

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. Mai 2010 (20.05.2010)

(10) Internationale Veröffentlichungsnummer
WO 2010/054871 A1

(51) Internationale Patentklassifikation:
G06F 11/26 (2006.01) **G06F 17/50** (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2009/061538

(22) Internationales Anmeldedatum:
7. September 2009 (07.09.2009)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
A1758/2008 12. November 2008 (12.11.2008) AT

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SIEMENS AG ÖSTERREICH** [AT/AT]; Siemensstraße 92, A-1210 Wien (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **GRIESSNIG, Gerhard** [AT/AT]; Brauhausstraße 84n, A-8052 Graz (AT).
MADER, Roland [AT/AT]; Kernstockgasse 11 - W58, A-8020 Graz (AT).

(74) Anwalt: **MAIER, Daniel**; Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

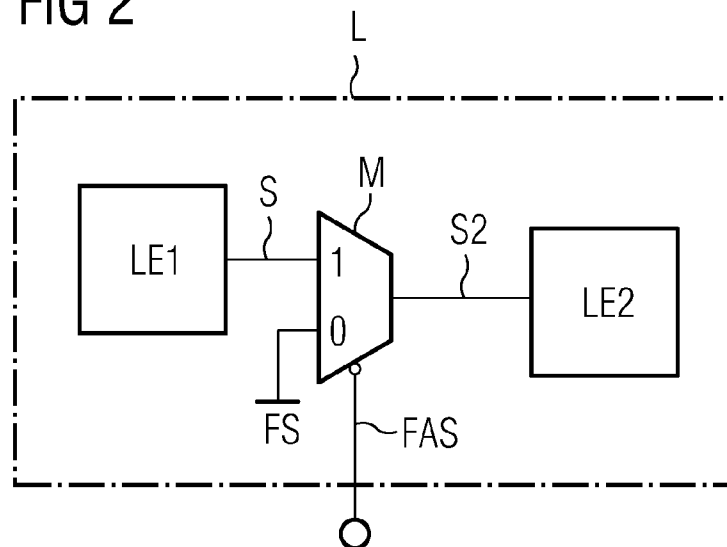
— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR TESTING CIRCUITS AND SUBASSEMBLIES WITH PROGRAMMABLE LOGIC COMPONENTS BY INTRODUCING FAULTS

(54) Bezeichnung : VERFAHREN ZUM TESTEN VON SCHALTUNGEN UND BAUGRUPPEN MIT PROGRAMMIERBA-
REN LOGIKBAUTEILEN MITTELS FEHLEREINBRINGUNG

FIG 2



(57) Abstract: Method for testing circuits with programmable logic components (L) by introducing faults, wherein a 2-in-1 multiplexer (M) is connected into a signal path in the hardware description language model (HDL) of the programmable logic component (L), and a fault selection signal (FAS) can be used to change over between the signal (S) and a fault signal FS.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



Beschreibung

Verfahren zum Testen von Schaltungen und Baugruppen mit
5 programmierbaren Logikbauteilen mittels Fehlereinbringung.

Technisches Gebiet

10 Die Erfindung betrifft ein Verfahren zum Testen von Schaltungen und Baugruppen mit programmierbaren Logikbauteilen mittels Fehlereinbringung.

Stand der Technik

15

Programmierbare Logikbauteile, beispielsweise CPLD (engl. Complex Programmable Logic Device) oder FPGA (Field Programmable Gate Array) werden eingesetzt, wenn spezifische
20 Schaltungsfunktionen erzielt werden sollen, ohne das dafür Standardbauteile erhältlich sind und eine Umsetzung der Schaltungsfunktionen mittels Rechenwerken (Mikrokontrollern) nicht zielführend ist.

Die Bestimmung der Funktionen von programmierbaren
25 Logikbauteilen wird mittels der Erstellung eines sogenannten Hardwarebeschreibungssprachen-Modells vorgenommen, welches mittels eines Synthesewerkzeugs in vom jeweiligen Logikbauteil nutzbare Information übersetzt und in das Logikbauteil geladen.

30

Werden solche programmierbaren Logikbauteile in sicherheitskritischen Anwendungen eingesetzt, so ist der Test dieser Logikbauteile von besonderer Bedeutung. Beispielsweise definiert die Normenfamilie IEC 61508 Anforderungen an

sicherheitsbezogene programmierbare elektronische Systeme, welche nur mit dem Nachweis mittels Test durch Fehlereinbau (Fehlereinbringung) erfüllt werden können. Dabei werden gezielt Fehler in die Hardware eingebracht und das Verhalten des Systems dokumentiert und zur weiteren Verbesserung herangezogen.

Die für Mikrokontroller üblichen Verfahren zum Fehlereinbau können bei programmierbaren Logikbauteilen nicht angewandt werden, da diese prinzipbedingt keine Programme ausführen. Das für den Test von ASICs (Application Specific Integrated Circuit) übliche, sogenannte „Scan Based“ Testen, ist prinzipiell auch für programmierbare Logikbauteile anwendbar, bringt jedoch eine Vielzahl an Problemen mit sich.

Insbesondere erhöhen sich die Komplexität des Hardwarebeschreibungs-Modells und die Größe der synthetisierten Schaltung. Weiters schränkt das Vorsehen von Scan Based Testen das Hardwaredesign wesentlich ein. Beispielsweise sind damit nur vollsynchroner Hardwardesigns möglich und das Abschalten des Takts einzelner Teile der Schaltung (Clock Gating) ist nicht möglich.

Verfahren zur Verifikation eines sicherheitsrelevanten PLD-basierenden Systems mittels Fehlereinbringung

Das beschriebene Verfahren wird im Entwicklungsprozess eingesetzt, um zu verifizieren, dass das System richtig entworfen und implementiert wurde. Es ist nicht dafür vorgesehen, um zu testen, ob ein in Serie produziertes Exemplar des Systems, korrekt gefertigt wurde.

Darstellung der Erfindung

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zum Testen von Schaltungen und Baugruppen mit programmierbaren Logikbauteilen mittels Fehlereinbringung anzugeben.

5

Die Aufgabe wird durch ein Verfahren gemäß Anspruch 1 und einem programmierbaren Logikbauteil mit den Merkmalen des Anspruchs 2 gelöst.

- 10 Dem Grundgedanken der Erfindung nach wird bei der Erstellung des Hardwarebeschreibungssprachen-Modells eines programmierbaren Logikbauteil in den Signalweg eines Signals, welches für Testzwecke verändert werden soll, ein 2in1 Multiplexer geschaltet. An den zweiten Eingang dieses 2in1
- 15 Multiplexers wird ein Fehlersignal geschaltet und an den Auswahleingang wird ein Fehlerauswahlsignal geschaltet. Mittels dieses Fehlerauswahlsignals ist es möglich zwischen dem Signal und dem Fehlersignal umzuschalten und entweder das Signal oder das Fehlersignal an die Signalsenke (im
- 20 Allgemeinen ein weiteres logisches Gatter) zu leiten.

- Das Einfügen dieses 2in1 Multiplexers erfolgt im jeweiligen Hardwarebeschreibungssprachen-Modell der zu testenden Schaltung. Die dabei verwendete Hardwarebeschreibungssprache
- 25 ist unerheblich. Das Fehlerauswahlsignal wird im jeweiligen Hardwarebeschreibungssprachen-Modell an einen Anschluss (Pin) des programmierbaren Logikbauteils geführt und ist somit von außerhalb des programmierbaren Logikbauteils direkt einstellbar. Somit kann von außerhalb des programmierbaren
- 30 Logikbauteils reversibel eingestellt werden, ob sich der programmierbare Logikbauteil fehlerhaft oder gemäß seiner vorgesehenen Funktion verhalten soll.

Das Fehlersignal, welches in Abhängigkeit vom Fehlerauswahlsignal statt dem vorgesehenen Signal an die Signalsenke geleitet wird, kann einerseits direkt am jeweiligen 2in1 Multiplexer auf einen bestimmten Signalpegel (logisch „high“ oder „low“) gesetzt werden oder aus dem Ausgangssignal eines weiteren logischen Gatters gebildet werden und somit entweder logisch „high“ oder „low“ darstellen.

10 Damit ist der Vorteil erzielbar, dass an beliebiger Stelle einer mittels eines programmierbaren Logikbauteils realisierten digitalen Schaltung ein Fehler reversibel eingebaut werden kann. Besonders vorteilhaft ist es, dass dadurch Tests während des Betriebs der Schaltung durchgeführt werden können und die Einbringung von Fehlern an Stellen der Schaltung (im Inneren des Schaltkreises) erfolgen kann, welche mit Mitteln gemäß des Stands der Technik nicht möglich ist.

Insbesondere das Einbringen von Fehlern in Signalwege, welche nicht unmittelbar an externe Anschlüsse (Pins) des programmierbaren Logikbauteils führen ist mit gegenständlicher Erfindung leicht möglich. Ebenso ist es vorteilhaft, dass gegenständliche Erfindung unabhängig von bestimmten Eigenschaften der Schaltung ist, beispielsweise ist es unerheblich ob die Schaltung synchron oder asynchron gestaltet wird, ob verschiedene Taktfrequenzen innerhalb der Schaltung angewandt werden und ob Teile der Schaltung mittels Unterbrechen des Taktsignals (Clock Gating) vorübergehend eingestellt werden können.

30 Ein weiterer Aspekt der Erfindung liegt in der universellen Anwendbarkeit, neben der Anwendung in Versuchsaufbauten (Prototyping Boards) eignet sich die Erfindung auch zum

Einsatz in der sogenannten Zielhardware, da keine zusätzliche Hardware erforderlich ist, allenfalls die Beschaltung des Fehlerauswahlsignals mittels eines Anschlusses des programmierbaren Logikbauteils muß sichergestellt sein.

5

Eine besonders vorteilhafte Anwendung dieser Erfindung liegt im Testen sicherheitskritischer Schaltungen und Baugruppen (welche neben programmierbaren Logikbauteilen noch weitere elektronische Bauteile umfassen) in der Entwicklungsphase,

10 für welche Nachweise über deren Verhalten im Fehlerfall erbracht werden müssen und wobei es erforderlich ist, fehlerhafte Zustände unmittelbar in der Schaltung einzustellen, diese Fehlerpunkte jedoch (da die Schaltung mittels eines programmierbaren Logikbauteils realisiert ist) nicht zugänglich sind. Diese Verifikation der geforderten
15 Eigenschaften einer Schaltung, bzw. Baugruppe kann mit gegenständlicher Erfindung besonders effizient durchgeführt werden.

20 Eine besondere Ausführungsform der Erfindung sieht vor, für jeden Testvorgang eine Konstante im Hardwarebeschreibungssprachen-Modell des programmierbaren Logikbauteils vorzusehen, mittels welcher bestimmte Tests jeweils unterbunden bzw. ermöglicht werden. Dadurch ist der
25 Vorteil erzielbar, dass die synthetisierte Schaltung eines solchen Hardwarebeschreibungssprachen-Modells einen geringeren Umfang annimmt, da aktuell nicht benötigte Bauelemente (2in1 Multiplexer) nicht realisiert werden, wenn die jeweilige Konstante den entsprechenden Testvorgang
30 ausschaltet. Die Durchführung von Tests wird somit wesentlich erleichtert, da zur Auswahl eines oder mehrerer Tests ein bereits erstelltes Hardwarebeschreibungssprachen-Modell

unverändert bleiben kann und nur mehr die Liste an Konstanten modifiziert werden muß.

5

Kurzbeschreibung der Zeichnungen

Es zeigen beispielhaft:

Fig.1 ein Hardwarebeschreibungssprachen-Modell eines programmierbaren Logikbauteils.

10

Fig.2 ein Hardwarebeschreibungssprachen-Modell eines programmierbaren Logikbauteils mit Vorkehrungen zum Testen mittels Fehlereinbringung.

Fig.3 eine Übersicht des Synthesevorgangs beim Einsatz einer Konstantenliste zur Fehlerermöglichung.

15

Ausführung der Erfindung

Fig.1 zeigt beispielhaft und schematisch ein

Hardwarebeschreibungssprachen-Modell eines programmierbaren

20

Logikbauteils. Ein Logikbauteil L umfasst eine erste logische Einheit LE1 und eine zweite logische Einheit LE2. Die erste logische Einheit LE1 übermittelt ein Signal S an die zweite logische Einheit LE2. Dieses Signal S ist an keinem der externen Anschlüsse des Logikbauteils L zugänglich, auch

25

bestehen keine Möglichkeiten dieses Signal S für Testzwecke mit einem bestimmten Wert (logisch „high“ oder „low“) zu beaufschlagen.

Fig.2 zeigt beispielhaft und schematisch ein

30

Hardwarebeschreibungssprachen-Modell eines programmierbaren Logikbauteils mit Vorkehrungen zum Testen mittels

Fehlereinbringung. Fig. 2 zeigt das

Hardwarebeschreibungssprachen-Modell aus Fig.1, wobei in den

Signalweg des Signals S ein 2in1-Multiplexer M geschaltet ist. Dabei ist ein Eingang des 2in1-Multiplexers M mit dem von der ersten logischen Einheit LE1 ausgehendem Signal S beaufschlagt, der Ausgang des 2in1-Multiplexers M liefert ein
5 Signal S2 an die zweite logische Einheit LE2. Der zweite Eingang des 2in1-Multiplexers M wird mit einem Fehlersignal FS beaufschlagt. In dem in Fig.2 dargestellten Beispiel ist als Fehlersignal FS logisch „low“ dargestellt. Der Auswahleingang des 2in1-Multiplexers M wird mit einem
10 Fehlerauswahlsignal FAS beaufschlagt, welches an einen externen Anschluß des programmierbaren Logikbauteils L geführt ist. Somit ist es möglich mittels des Fehlerauswahlsignal FAS jederzeit zwischen der Übermittlung des Signals S an die zweite logische Einheit und der
15 Übermittlung des Fehlersignals FS an die zweite logische Einheit umzuschalten.

Fig.3 zeigt beispielhaft und schematisch eine Übersicht des Synthesevorgangs beim Einsatz einer Konstantenliste zur
20 Fehlerermöglichung. Eine Software SYN zur Erstellung einer synthetisierten Schaltung SYNS erhält als zu verarbeitende Eingangsinformation das Hardwarebeschreibungssprachen-Modell HDL eines zu synthetisierenden Logikbauteils L und erstellt die synthetisierte Schaltung SYNS, welche in einen
25 integrierten Schaltkreis geladen wird, welcher daraufhin die Funktionalität gemäß des Hardwarebeschreibungssprachen-Modells HDL aufweist. Dieser Logikbauteil L umfasst einen externen Anschluß, welcher mit einem Fehlerauswahlsignal FAS beaufschlagt wird, mittels welchen zwischen fehlerfreiem
30 Betrieb und Betrieb mit Fehlereinbringung umgeschaltet wird. Eine Konstantenliste K, welche sogenannte HDL-Konstanten enthält, wird der Software SYN zur Erstellung einer synthetisierten Schaltung SYNS als weitere

Eingangsinformation zur Verfügung gestellt. Mittels dieser Konstantenliste K wird die Synthese der 2in1 Multiplexer M in den zur Fehlereinbringung vorgesehenen Signalwegen gesteuert und im Fall, das der jeweilige Fehler nicht eingebracht
5 werden soll unterbleibt die Synthese eines 2in1 Multiplexer M.

Liste der Bezeichnungen

	L	Logikbauteil
5	LE1	erste logische Einheit
	LE2	zweite logische Einheit
	S	Signal
	FS	Fehlersignal
	FAS	Fehlerauswahlsignal
10	M	2in1 Multiplexer
	S2	Signal an zweite logische Einheit
	SYNS	Synthetisierte Schaltung
	HDL	Hardwarebeschreibungssprachen-Modell
	SYN	Software zur Erstellung einer synthetisierten
15		Schaltung
	K	Konstantenliste

Patentansprüche

1. Verfahren zum Testen von Schaltungen und Baugruppen mit programmierbaren Logikbauteilen (L) mittels Fehlereinbringung, **dadurch gekennzeichnet, dass** in das Hardwarebeschreibungssprachen-Modell (HDL) eines programmierbaren Logikbauteils (L)
- in den Signalweg eines bestimmten Signals ein 2in1-Multiplexer (M) geschaltet wird,
 - dessen zweiter Eingang mit einem Fehlersignal (FS) beschaltet wird, und
 - dessen Auswahleingang mit einem Fehlerauswahlsignal (FAS) beschaltet wird, und
- 15 - dieses Hardwarebeschreibungssprachen-Modell (HDL) zur Synthese des programmierbaren Logikbauteils (L) herangezogen wird.
- 20 2. Programmierbarer Logikbauteil (L), dessen Funktionalität mittels Synthese aus einem Hardwarebeschreibungssprachen-Modell (HDL) festgelegt wird, **dadurch gekennzeichnet, dass** zum Testen mittels Fehlereinbringung ein 2in1-Multiplexer (M) in den
- 25 Signalweg eines bestimmten Signals (S) geschaltet ist und
- der zweite Eingang dieses 2in1-Multiplexers (M) mit einem Fehlersignal (FS) beschaltet ist und
- der Auswahleingang dieses 2in1-Multiplexers (M) mit
- 30 einem Fehlerauswahlsignal (FAS) beschaltet ist.

FIG 1

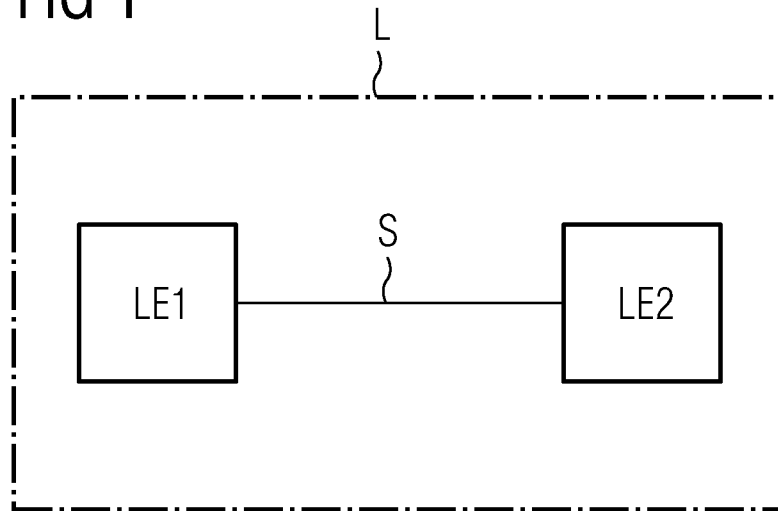


FIG 2

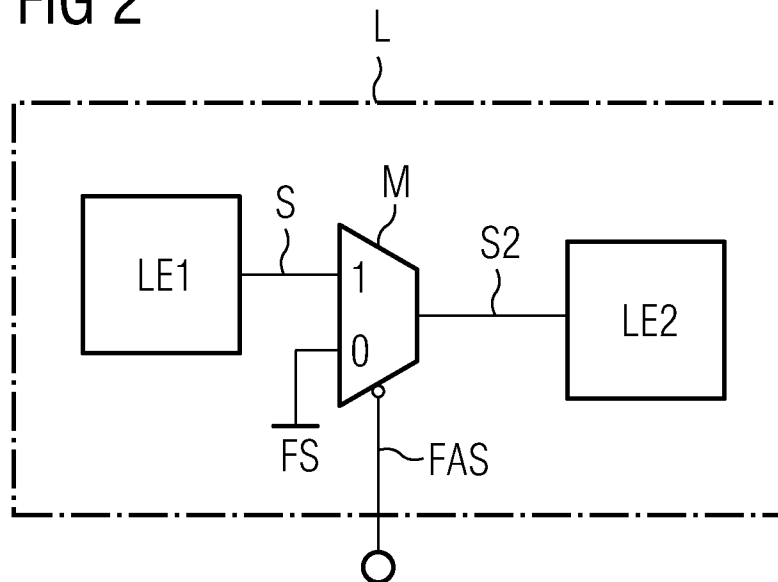
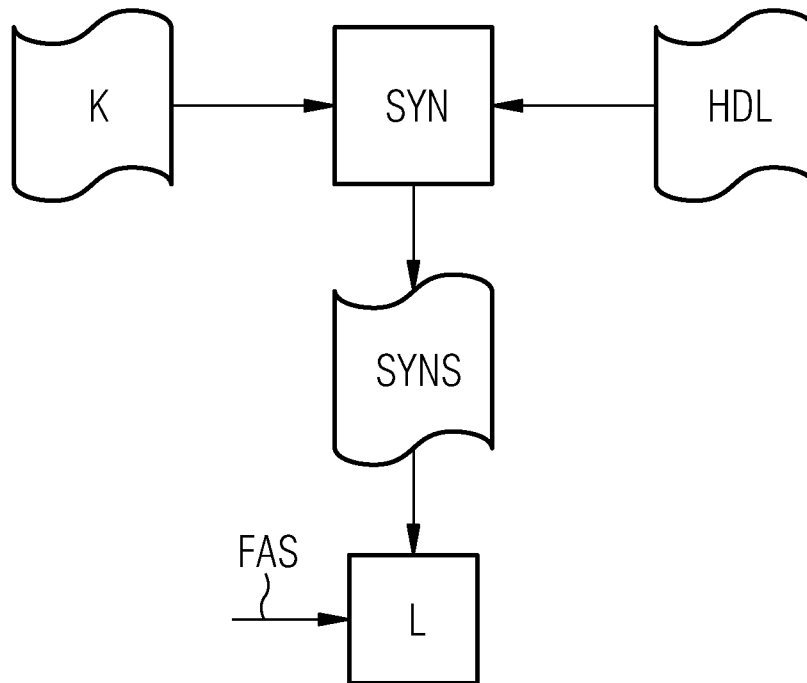


FIG 3



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/061538

A. CLASSIFICATION OF SUBJECT MATTER
 INV. G06F11/26 G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 7 240 303 B1 (SCHUBERT NILS ENDRIC [DE] ET AL) 3 July 2007 (2007-07-03) abstract figures 9,30,36a-36d column 5, lines 8-25 column 7, line 45 - column 8, line 13 column 12, line 51 - column 13, line 7 column 32, lines 23-50 column 42, line 13 - column 43, line 35 column 49, lines 8-37 column 51, line 58 - column 52, line 5 column 63, line 52 - column 64, line 56 column 71, lines 38-56 ----- -/--	1;2

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

8 document member of the same patent family

Date of the actual completion of the international search

11 November 2009

Date of mailing of the international search report

19/11/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Weber, Vincent

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2009/061538

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/049578 A1 (OHKAMI TAKAHIDE [US]) 25 April 2002 (2002-04-25) abstract paragraphs [0016], [0021], [0048], [0054], [0061], [0082], [0085]; claim 1; figures 2b,12,15 -----	1,2
X	EP 1 420 351 A (ALTERA CORP [US]) 19 May 2004 (2004-05-19) abstract; figure 1 paragraphs [0003], [0012], [0014], [0015], [0040], [0041], [0045] -----	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2009/061538

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7240303	B1	03-07-2007	NONE
US 2002049578	A1	25-04-2002	CA 2423824 A1 15-08-2002
			CN 1543618 A 03-11-2004
			EP 1399858 A2 24-03-2004
			JP 2004519041 T 24-06-2004
			WO 02063507 A2 15-08-2002
EP 1420351	A	19-05-2004	US 2004098638 A1 20-05-2004

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2009/061538

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. G06F11/26 G06F17/50

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G06F G01R

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 7 240 303 B1 (SCHUBERT NILS ENDRIC [DE] ET AL) 3. Juli 2007 (2007-07-03) Zusammenfassung Abbildungen 9,30,36a-36d Spalte 5, Zeilen 8-25 Spalte 7, Zeile 45 - Spalte 8, Zeile 13 Spalte 12, Zeile 51 - Spalte 13, Zeile 7 Spalte 32, Zeilen 23-50 Spalte 42, Zeile 13 - Spalte 43, Zeile 35 Spalte 49, Zeilen 8-37 Spalte 51, Zeile 58 - Spalte 52, Zeile 5 Spalte 63, Zeile 52 - Spalte 64, Zeile 56 Spalte 71, Zeilen 38-56 ----- -/-	1,2

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
 - *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
 - *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
 - *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
 - *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
 - *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
 - *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
 - *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
 - *G* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. November 2009

Absendedatum des internationalen Recherchenberichts

19/11/2009

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Weber, Vincent

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2009/061538

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/049578 A1 (OHKAMI TAKAHIDE [US]) 25. April 2002 (2002-04-25) Zusammenfassung Absätze [0016], [0021], [0048], [0054], [0061], [0082], [0085]; Anspruch 1; Abbildungen 2b, 12, 15	1, 2
X	EP 1 420 351 A (ALTERA CORP [US]) 19. Mai 2004 (2004-05-19) Zusammenfassung; Abbildung 1 Absätze [0003], [0012], [0014], [0015], [0040], [0041], [0045]	1, 2

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2009/061538

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 7240303	B1	03-07-2007	KEINE
US 2002049578	A1	25-04-2002	CA 2423824 A1 15-08-2002
			CN 1543618 A 03-11-2004
			EP 1399858 A2 24-03-2004
			JP 2004519041 T 24-06-2004
			WO 02063507 A2 15-08-2002
EP 1420351	A	19-05-2004	US 2004098638 A1 20-05-2004