



등록특허 10-2403113



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월30일
(11) 등록번호 10-2403113
(24) 등록일자 2022년05월24일

- (51) 국제특허분류(Int. Cl.)
H03M 13/11 (2006.01) *H03M 13/00* (2017.01)
H04L 1/00 (2006.01)
- (52) CPC특허분류
H03M 13/11 (2013.01)
H03M 13/1102 (2013.01)
- (21) 출원번호 10-2021-0030403(분할)
- (22) 출원일자 2021년03월08일
심사청구일자 2021년03월08일
- (65) 공개번호 10-2021-0030324
- (43) 공개일자 2021년03월17일
- (62) 원출원 특허 10-2020-0059390
원출원일자 2020년05월18일
심사청구일자 2020년09월28일
- (30) 우선권주장
62/115,810 2015년02월13일 미국(US)
(뒷면에 계속)
- (56) 선행기술조사문현
KR1020130024704 A
KR1020120096154 A
- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
정홍실
경기도 수원시 영통구 삼성로 129(매탄동)
김경중
경기도 수원시 영통구 삼성로 129(매탄동)
명세호
경기도 수원시 영통구 삼성로 129(매탄동)
- (74) 대리인
정홍식, 김태현

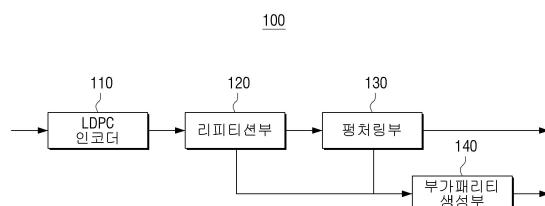
전체 청구항 수 : 총 7 항

심사관 : 조춘근

(54) 발명의 명칭 송신 장치 및 그의 부가 패리티 생성 방법

(57) 요약

송신 장치가 개시된다. 본 송신 장치는 아우터 인코딩된 비트들을 포함하는 입력 비트들을 인코딩하여 패리티 비트들을 생성하는 LDPC 인코더, 상기 패리티 비트들에서 일부 비트들을 평처링하는 평처링부 및 패리티 비트들에서 적어도 일부의 비트들을 선택하여, 이전 프레임에서 전송되는 부가 패리티 비트들을 생성하는 부가 패리티 생성부를 포함하며, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수 및 상기 평처링 이후 남은 패리티 비트들의 수에 기초하여 결정된다.

대 표 도 - 도1

(52) CPC특허분류

H03M 13/6362 (2013.01)

H04L 1/0041 (2013.01)

(30) 우선권주장

62/120,543 2015년02월25일 미국(US)

62/202,304 2015년08월07일 미국(US)

명세서

청구범위

청구항 1

송신 방법에 있어서,

입력 비트들을 포함하는 정보어 비트들을 인코딩하여 생성된 패리티 비트들 중 하나 또는 그 이상의 비트들을 상기 정보어 비트들 및 상기 패리티 비트들 사이에 부가(append)하는 단계;

상기 패리티 비트들 중 하나 또는 그 이상의 비트들을 평처링하는 단계; 및

추가 패리티 비트들의 수를 산출하고, 상기 산출된 수에 대응되는 패리티 비트들을 선택하여 추가 패리티 비트들을 생성하는 단계;를 포함하며,

상기 부가된 하나 또는 그 이상의 비트들의 수는, 상기 입력 비트들의 수에 기초하여 결정되고,

상기 추가 패리티 비트들의 수는, 상기 입력 비트들의 수, 상기 평처링된 하나 또는 그 이상의 비트들의 수 및 상기 부가된 하나 또는 그 이상의 비트들의 수에 기초하여 결정되고,

상기 추가 패리티 비트들은, 제1 프레임에서 전송되고,

상기 부가된 하나 또는 그 이상의 비트들은, 제2 프레임에서 전송되고,

상기 제1 프레임은, 상기 제2 프레임 이전에 전송되는, 송신 방법.

청구항 2

제1항에 있어서,

변조 차수에 기초하여 상기 추가 패리티 비트들을 변조하는 단계;를 더 포함하는 것을 특징으로 하는 송신 방법.

청구항 3

제2항에 있어서,

상기 추가 패리티 비트들의 수는,

하기의 수학식에 기초하여 산출되는 것을 특징으로 하는 송신 방법:

$$N_{AP} = \left\lfloor \frac{N_{AP_temp}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

여기에서, N_{AP} 는 상기 추가 패리티 비트들의 수이고, N_{AP_temp} 는 추가 패리티 비트들의 임시적인 수이고, n_{MOD} 는 변조 차수이다.

청구항 4

제3항에 있어서,

상기 추가 패리티 비트들의 임시적인 수는,

하기의 수학식에 기초하여 산출되는 것을 특징으로 하는 송신 방법:

$$N_{AP_temp} = \min \left\{ \begin{array}{l} 0.5 \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}), \\ (N_{ldpc_parity} + N_{punc} + N_{repeat}) \end{array} \right\}, K=0,1,2$$

$$\min(a,b) = \begin{cases} a, & \text{if } a \leq b \\ b, & \text{if } b < a \end{cases}$$

여기에서, N_{AP_temp} 는 상기 추가 패리티 비트들의 임시적인 수이고, 이고,

N_{ldpc_parity} 는 상기 패리티 비트들의 수, N_{punc} 는 상기 평처링된 패리티 비트들의 수, N_{outer} 는 상기 입력 비트들의 수, N_{repeat} 는 상기 부가된 하나 또는 그 이상의 비트들의 수이고, K는 기 설정된 상수로 0,1,2 중 어느 하나의 값이다.

청구항 5

복수의 모드 중 하나의 모드에서 동작하는 수신 장치의 수신 방법에 있어서,

송신 장치로부터 수신된 제1 프레임을 복조하여 상기 제1 프레임의 값들을 생성하고, 상기 송신 장치로부터 수신된 제2 프레임을 복조하여 상기 제2 프레임의 값들을 생성하는 단계;

상기 송신 장치에서 평처링된 상기 제1 프레임의 비트 수에 기초하여 기 설정된 값들을 상기 제1 프레임의 값들에 삽입하는 단계;

상기 삽입된 제1 프레임의 값들 중 제1 값들을 상기 삽입된 제1 프레임의 값들 중 상기 제1 값들과 연관된 제2 값들과 합산하고, 상기 제2 프레임의 값들 중 제3 값들을 상기 삽입된 제1 프레임의 값들 중 상기 제3 값들과 연관된 제4 값들과 합산하는 단계;

상기 제1 및 제2 값들이 합산된 값들, 상기 제3 및 제4 값들이 합산된 값들 및 상기 삽입된 제1 프레임의 값들 중 나머지 값들 중에서 하나 또는 그 이상의 값들을 디인터리빙하여, 상기 하나 또는 그 이상의 값들이 디인터리빙된 값들을 제공하는 단계; 및

LDPC(low density parity check) 코드에 기초하여 상기 제공된 값들을 디코딩하는 단계;를 포함하며,

상기 나머지 값들은, 상기 삽입된 제1 프레임의 값들 중에서 상기 제1 값들, 상기 제2 값들 및 상기 제4 값들을 제외한 값들이고,

상기 제1 프레임은, 상기 송신 장치의 모드가 기 설정된 모드인 경우, 정보어 비트들 및 패리티 비트들 사이에 부가된 하나 또는 그 이상의 패리티 비트들에 대응되는 값들을 포함하고,

상기 제2 프레임은, 추가 패리티 비트들에 대응되는 값들을 포함하고,

상기 추가 패리티 비트들의 수는, 상기 부가된 패리티 비트들의 수에 기초하여 결정되고,

상기 제1 값들은, 상기 부가된 패리티 비트들에 대응되고,

상기 제3 값들은, 상기 추가 패리티 비트들에 대응되고,

상기 제2 프레임은, 상기 제1 프레임 이전에 수신되는 수신 방법.

청구항 6

제5항에 있어서,

상기 추가 패리티 비트들의 수는,

하기의 수학식에 기초하여 산출되는 것을 특징으로 하는 수신 방법:

$$N_{AP} = \left\lfloor \frac{N_{AP_temp}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

여기에서, N_{AP} 는 상기 추가 패리티 비트들의 수이고, N_{AP_temp} 는 추가 패리티 비트들의 임시적인 수이고, n_{MOD} 는 변조 차수이다.

청구항 7

제6항에 있어서,

상기 추가 패리티 비트들의 임시적인 수는,

하기의 수학식에 기초하여 산출되는 것을 특징으로 하는 수신 방법:

$$N_{AP_temp} = \min \left\{ \frac{0.5 \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}),}{(N_{ldpc_parity} + N_{punc} + N_{repeat})} \right\}, K=0,1,2$$

$$\min(a,b) = \begin{cases} a, & \text{if } a \leq b \\ b, & \text{if } b < a \end{cases}$$

여기에서, N_{AP_temp} 는 상기 추가 패리티 비트들의 임시적인 수이고, N_{ldpc_parity} 는 상기 패리티 비트들의 수, N_{punc} 는 상기 평처링된 패리티 비트들의 수, N_{outer} 는 상기 정보어 비트들에 포함된 입력 비트들의 수, N_{repeat} 는 상기 부가된 패리티 비트들의 수이고, K 는 기 설정된 상수로 0,1,2 중 어느 하나의 값이다.

발명의 설명

기술 분야

[0001]

본 발명은 송신 장치 및 그의 부가 패리티 생성 방법에 관한 것으로, 더욱 상세하게는 부가 패리티 비트들을 생성하여 전송하는 본 발명은 송신 장치 및 그의 부가 패리티 생성 방법에 관한 것이다.

배경 기술

[0002]

21세기 정보화 사회에서 방송 통신 서비스는 본격적인 디지털화, 다채널화, 광대역화, 고품질화의 시대를 맞이하고 있다. 특히, 최근에 고화질 디지털 TV 및 휴대방송 기기 보급이 확대됨에 따라 디지털 방송 서비스도 다양한 수신방식 지원에 대한 요구가 증대되고 있다.

[0003]

이러한 요구에 따라 표준 그룹에서는 다양한 표준을 제정하여, 사용자의 니즈를 만족시킬 수 있는 다양한 서비스를 제공하고 있다. 이에 따라, 보다 우수한 성능을 통해 보다 나은 서비스를 사용자에게 제공하기 위한 방안의 모색이 요청된다.

발명의 내용

해결하려는 과제

[0004]

본 발명은 상술한 필요성에 따른 것으로, 본 발명의 목적은 패리티 비트들을 이용하여 부가 패리티 비트들을 생성하여 전송하는 본 발명은 송신 장치 및 그의 부가 패리티 생성 방법에 관한 것이다.

과제의 해결 수단

- [0005] 이상과 같은 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 송신 장치는 아우터 인코딩된 비트들을 포함하는 입력 비트들을 인코딩하여 패리티 비트들을 생성하는 LDPC 인코더, 상기 패리티 비트들에서 일부 비트들을 평처링하는 평처링부 및 상기 패리티 비트들에서 적어도 일부의 비트들을 선택하여, 이전 프레임에서 전송되는 부가 패리티 비트들을 생성하는 부가 패리티 생성부를 포함하며, 상기 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수 및 상기 평처링 이후 남은 패리티 비트들의 수에 기초하여 결정된다.
- [0006] 여기에서, 상기 입력 비트들 및 상기 패리티 비트들로 구성된 LDPC 코드워드의 적어도 일부의 비트들이 상기 현재 프레임에서 리피티션되어 전송되도록, 상기 LDPC 코드워드의 적어도 일부의 비트들을 상기 LDPC 코드워드에서 리피티션하는 리피티션부를 더 포함할 수 있다.
- [0007] 그리고, 상기 부가 패리티 비트들의 수는 상기 리피티션이 수행되는 경우, 상기 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수, 상기 평처링 이후 남은 패리티 비트들의 수 및 상기 현재 프레임에서 리피티션되는 비트들의 수에 기초하여 결정될 수 있다.
- [0008] 또한, 상기 부가 패리티 비트들의 수는 수학식 8에 기초하여 산출된 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 에 기초하여 산출될 수 있다.
- [0009] 여기에서, 상기 부가 패리티 비트들의 수는 수학식 10에 기초하여 산출될 수 있다.
- [0010] 한편, 본 발명의 일 실시 예에 따른 송신 장치의 부가 패리티 생성 방법은 아우터 인코딩된 비트들을 포함하는 입력 비트들을 인코딩하여 패리티 비트들을 생성하는 단계, 상기 패리티 비트들에서 일부 비트들을 평처링하는 단계 및 상기 패리티 비트들에서 적어도 일부의 비트들을 선택하여, 이전 프레임에서 전송되는 부가 패리티 비트들을 생성하는 단계를 포함하며, 상기 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수 및 상기 평처링 이후 남은 패리티 비트들의 수에 기초하여 결정된다.
- [0011] 여기에서, 상기 입력 비트들 및 상기 패리티 비트들로 구성된 LDPC 코드워드의 적어도 일부의 비트들이 상기 현재 프레임에서 리피티션되어 전송되도록, 상기 LDPC 코드워드의 적어도 일부의 비트들을 상기 LDPC 코드워드에서 리피티션하는 단계를 더 포함할 수 있다.
- [0012] 또한, 상기 부가 패리티 비트들의 수는 상기 리피티션이 수행되는 경우, 상기 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수, 상기 평처링 이후 남은 패리티 비트들의 수 및 상기 현재 프레임에서 리피티션되는 비트들의 수에 기초하여 결정될 수 있다.
- [0013] 한편, 상기 부가 패리티 비트들의 수는 수학식 8에 기초하여 산출된 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 에 기초하여 산출될 수 있다.
- [0014] 여기에서, 상기 부가 패리티 비트들의 수는 하기의 수학식 10에 기초하여 산출될 수 있다.

발명의 효과

- [0015] 이상과 같은 본 발명의 다양한 실시 예에 따르면, 패리티 비트들 중 일부 비트들이 추가적으로 전송될 수 있어, 부호어 이득을 얻음과 동시에 다이버시티 이득도 얻을 수 있게 된다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시 예에 따른 송신 장치의 구성을 설명하기 위한 블록도,
 도 2 및 도 3은 본 발명의 일 실시 예에 따른 패리티 검사 행렬을 설명하기 위한 도면들,
 도 4 내지 도 7은 본 발명의 일 실시 예에 따른 리피티션을 설명하기 위한 블록도,
 도 8 내지 도 11은 본 발명의 일 실시 예에 따른 평처링을 설명하기 위한 블록도,
 도 12 내지 도 40은 본 발명의 일 실시 예에 따른 부가 패리티 비트들을 생성하는 방법을 설명하기 위한 도면들,
 도 41은 본 발명의 일 실시 예에 따른 프레임 구조를 설명하기 위한 도면,

도 42 및 도 43은 본 발명의 일 실시 예에 따른 송신 장치의 세부 구성을 설명하기 위한 블록도들, 도 44 내지 도 57은 본 발명의 일 실시 예에 따라 시그널링을 처리하는 방법을 설명하기 위한 도면들, 도 58 및 도 59는 본 발명의 일 실시 예에 따른 수신 장치의 구성을 설명하기 위한 블록도, 도 60 및 도 61은 본 발명의 일 실시 예에 따른 수신 장치의 LLR 값을 컴비인하는 예를 설명하기 위한 도면들, 도 62는 본 발명의 일 실시 예에 따른 L1 시그널의 길이에 대한 정보가 제공되는 예를 나타낸 도면, 도 63은 본 발명의 일 실시 예에 따른 부가 패리티 생성 방법을 설명하기 위한 흐름도, 그리고 도 64는 본 발명의 일 실시 예에 따른 부가 패리티를 사용할 경우 얻을 수 있는 부호 이득과 다이버시트 이득을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하에서는 첨부된 도면을 참조하여 본 발명을 더욱 상세하게 설명한다.
- [0018] 도 1은 본 발명의 일 실시 예에 따른 송신 장치의 구성을 나타내는 블록도이다. 도 1을 참조하면, 송신 장치(100)는 LDPC 인코더(110), 리퍼티션부(120), 평처링부(130) 및 부가 패리티 생성부(140)를 포함한다.
- [0019] LDPC 인코더(110)는 입력 비트들을 인코딩 즉, LDPC(Low density parity check) 인코딩하여 패리티 비트들 즉, LDPC 패리티 비트들을 생성한다.
- [0020] 구체적으로, 입력 비트들은 LDPC 인코딩을 위한 LDPC 정보어 비트들로, 정보어 비트들(information bits) 및 정보어 비트들이 아우터 인코딩되어 생성된 패리티 비트들(또는, 패리티 체크 비트들)을 포함하는 아우터 인코딩된 비트들 및, 제로 비트들(zero bits)(즉, 0 값을 갖는 비트들)을 포함할 수 있다.
- [0021] 여기에서, 정보어 비트들은 시그널링(signaling)일 수 있다. 예를 들어, 정보어 비트들은 송신 장치(100)가 전송하는 데이터(예를 들어, 방송 데이터)를 처리하기 위해 요구되는 정보를 포함할 수 있다.
- [0022] 또한, 아우터 코드(outer code)는 연접 코드(concatenated code)에서 이너 코드(inner code) 이전에 수행되는 코드로, BCH(Bose, Chaudhuri, Hocquenghem), CRC(cyclic redundancy check) 등 다양한 인코딩 방식이 이용될 수 있다. 이 경우, 이너 코드는 LDPC 코드가 될 수 있다.
- [0023] 구체적으로, LDPC 코드의 경우, 코드 레이트(code rate) 및 코드 길이(code length)에 따라 일정한 수의 LDPC 정보어 비트들이 요구된다. 따라서, 정보어 비트들이 아우터 인코딩되어 생성된 아우터 인코딩된 비트들의 수가 요구되는 LDPC 정보어 비트들의 수보다 작은 경우, 요구되는 LDPC 정보어 비트들의 수를 맞추기 위해 적절한 수의 제로 비트들이 패딩된다. 이에 따라, 아우터 인코딩된 비트들 및 패딩된 제로 비트들이 LDPC 인코딩에 요구되는 비트 수만큼의 LDPC 정보어 비트들을 구성할 수 있다.
- [0024] 한편, 패딩된 제로 비트들은 LDPC 인코딩을 위한 일정한 비트 수를 맞추는데만 필요한 비트들이므로, LDPC 인코딩된 이후 수신 장치(200)로 전송되지 않게 된다. 이와 같이, 제로 비트들을 패딩하는 절차 또는 제로 비트들을 패딩하고 LDPC 인코딩 후 수신 장치(200)로 전송하지 않는 절차를 쇼트닝이라 할 수 있다. 이 경우, 패딩된 제로 비트들을 쇼트닝 비트들(또는, 쇼트닝된 비트들(shortened bits))이라 할 수 있다.
- [0025] 예를 들어, 정보어 비트들의 수가 K_{sig} 이고, 아우터 인코딩에 의해 M_{outer} 개의 패리티 비트들이 정보어 비트들에 부가된 경우의 비트들의 수 즉, 정보어 비트들 및 패리티 비트들을 포함하는 아우터 인코딩된 비트들의 수가 $N_{outer} (=K_{sig}+M_{outer})$ 인 경우를 가정한다.
- [0026] 이 경우, 아우터 인코딩된 비트들의 수 N_{outer} 가 LDPC 정보어 비트들의 수 K_{ldpc} 보다 작은 경우, $K_{ldpc}-N_{outer}$ 개의 제로 비트들이 패딩되어, 아우터 인코딩된 비트들 및 패딩된 제로 비트들이 함께 LDPC 정보어 비트들을 구성할 수 있다.
- [0027] 한편, 상술한 예에서는 제로 비트들이 패딩되는 것으로 설명하였으나, 이는 일 예에 불과하다.
- [0028] 예를 들어, 정보어 비트들은 데이터에 대한 시그널링이라는 점에서, 데이터의 양에 따라 정보어 비트들의 길이는 가변적일 수 있다. 따라서, 정보어 비트들의 수가 LDPC 인코딩에 요구되는 LDPC 정보어 비트들의 수보다 큰 경우, 정보어 비트들은 일정한 값 이하로 세그먼테이션될 수 있다.

- [0029] 이에 따라, 정보어 비트들 또는 세그먼트된 정보어 비트들의 수가 LDPC 정보어 비트들의 수에서 아우터 인코딩에 의해 생성되는 패리티 비트들의 수(즉, M_{outer})를 뺀 수보다 작은 경우, LDPC 정보어 비트들의 수에서 아우터 인코딩된 비트들 수를 뺀 수만큼의 제로 비트들이 패딩되어, LDPC 정보어 비트들은 아우터 인코딩된 비트들 및 패딩된 제로 비트들로 구성될 수 있다.
- [0030] 하지만, 정보어 비트들 또는 세그먼트된 정보어 비트들의 수가 LDPC 정보어 비트들의 수에서 아우터 인코딩에 의해 생성되는 패리티 비트들의 수를 뺀 수와 동일한 경우, LDPC 정보어 비트들은 패딩되는 제로 비트들이 없이 아우터 인코딩된 비트들만으로 구성될 수 있다.
- [0031] 또한, 상술한 예에서는 정보어 비트들이 아우터 인코딩되는 것으로 설명하였으나 이는 일 예에 불과하다. 즉, 정보어 비트들은 아우터 인코딩되지 않으며, 정보어 비트들의 수에 따라 패딩된 제로 비트와 함께 LDPC 정보어 비트들을 구성하거나, 별도의 패딩 없이 정보어 비트들만으로 LDPC 정보어 비트들을 구성할 수도 있다.
- [0032] 한편, 이하에서는 설명의 편의를 위해, 아우터 인코딩은 BCH 코드에 의해 수행되는 것으로 상정하여 설명하도록 한다.
- [0033] 구체적으로, 입력 비트들은 정보어 비트들 및 정보어 비트들이 BCH 인코딩되어 생성된 BCH 패리티 체크 비트들 (BCH parity-check bits)(또는, BCH 패리티 비트들)을 포함하는 BCH 인코딩된 비트들 및, 제로 비트들(zero bits)을 포함하는 것으로 상정하여 설명하도록 한다.
- [0034] 즉, 정보어 비트들의 수가 K_{sig} 이고, BCH 인코딩에 의해 M_{outer} 개의 BCH 패리티 체크 비트들이 정보어 비트들에 부가된 경우의 비트들의 수 즉, 정보어 비트들 및 BCH 패리티 체크 비트들을 포함하는 BCH 인코딩된 비트들의 수가 $N_{outer} (=K_{sig}+M_{outer})$ 인 경우를 상정하여 설명하도록 한다. 여기에서, $M_{outer}=168$ 이다.
- [0035] 또한, 상술한 예에서는 쇼트닝을 위해 제로 비트들이 패딩되는 것으로 설명하였으나 이는 일 예에 불과하다. 즉, 쇼트닝은 LDPC 정보어 비트들 중 일부 비트들이 수신 장치(200)로 실질적으로 전송하고자 하는 정보를 포함하는 비트들(즉, 정보어 비트들)로 채워진 경우, 나머지 비트들은 실질적인 정보를 전송하지 않도록 하기 위해, 나머지 비트들에 송수신 장치 사이에 기설정된 비트 값을 채우는 것이라는 점에서, 쇼트닝을 위해 제로 비트 외에 송수신 장치에서 기설정된 값(예를 들어, 1)을 갖는 비트가 패딩될 수도 있다.
- [0036] LDPC 인코더(110)는 LDPC 정보어 비트들을 시스템에 허가(technically) 인코딩하여 LDPC 패리티 비트들을 생성하고, LDPC 정보어 비트들과 LDPC 패리티 비트들로 구성된 LDPC 코드워드(또는, LDPC 인코딩된 비트들)를 출력할 수 있다. 즉, LDPC 코드는 시스템에 허가 코드(systematic code)라는 점에서, LDPC 코드워드는 인코딩 전의 LDPC 정보어 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들로 구성될 수 있다.
- [0037] 예를 들어, LDPC 인코더(110)는 K_{ldpc} 개의 LDPC 정보어 비트들 $I=(i_0, i_1, \dots, i_{K_{ldpc}-1})$ 을 LDPC 인코딩하여 N_{ldpc_parity} 개의 LDPC 패리티 비트들 $(p_0, p_1, \dots, p_{N_{ldpc_parity}-1})$ 을 생성하고, $N_{inner} (=K_{ldpc}+N_{ldpc_parity})$ 개의 비트들로 구성된 LDPC 코드워드 $\Lambda=(c_0, c_1, \dots, c_{N_{inner}-1})=(i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{inner}-1})$ 을 출력할 수 있다.
- [0038] 이 경우, LDPC 인코더(110)는 다양한 코드 레이트로 입력 비트들을 LDPC 인코딩하여, 일정한 길이를 갖는 LDPC 코드워드를 생성할 수 있다.
- [0039] 예를 들어, LDPC 인코더(110)는 3/15의 코드 레이트로 3240 개의 입력 비트들을 LDPC 인코딩하여 16200 개의 비트들로 구성된 LDPC 코드워드를 생성할 수 있다. 다른 예로, LDPC 인코더(110)는 6/15의 코드 레이트로 6480 개의 입력 비트들을 LDPC 인코딩하여 16200 개의 비트들로 구성된 LDPC 코드워드를 생성할 수 있다.
- [0040] 한편, LDPC 부호화를 수행하는 과정은 $H \cdot C^T = 0$ 을 만족하도록 LDPC 코드워드를 생성하는 과정이라는 점에서, LDPC 인코더(110)는 패리티 검사 행렬(parity check matrix)을 이용하여 LDPC 인코딩을 수행할 수 있다. 여기에서, H 는 패리티 검사 행렬을 나타내고, C 는 LDPC 코드워드를 나타낸다.
- [0041] 이하에서는 첨부된 도면을 참조하여, 본 발명의 다양한 실시 예에 따른 패리티 검사 행렬의 구조에 대해 설명하도록 한다. 패리티 검사 행렬에서 1을 제외한 부분의 원소는 0이다.
- [0042] 일 예로, 본 발명의 일 실시 예에 따른 패리티 검사 행렬은 도 2와 같은 구조를 가질 수 있다.

- [0043] 도 2를 참조하면, 패리티 검사 행렬(20)은 5 개의 행렬(A, B, C, Z, D)로 구성될 수 있으며, 이하에서는 패리티 검사 행렬(20)의 구조에 대해 설명하기 위해 각 행렬의 구조에 대해 설명하도록 한다.
- [0044] 행렬 A는 K 개의 열(column)과 g 개의 행(row)으로 구성되며, 행렬 C는 K+g 개의 열과 N-K-g 개의 행으로 구성된다. 여기에서, K(또는, K_{ldpc})는 LDPC 정보어 비트들의 길이이고, N(또는, N_{inner})은 LDPC 코드워드의 길이이다.
- [0045] 그리고, 행렬 A와 행렬 C에서 i 번째 열 그룹(column group)의 0 번째 열에서 1이 위치한 행의 인덱스들은 LDPC 코드워드의 길이가 16200이고, 코드 레이트가 3/15인 경우, 하기의 표 1에 기초하여 정의될 수 있다. 한편, 동일한 열 그룹에 속하는 열의 개수는 360이 될 수 있다.

표 1

8 372 841 4522 5253 7430 8542 9822 10550 11896 11988
80 255 667 1511 3549 5239 5422 5497 7157 7854 11267
257 406 792 2916 3072 3214 3638 4090 8175 8892 9003
80 150 346 1883 6838 7818 9482 10366 10514 11468 12341
32 100 978 3493 6751 7787 8496 10170 10318 10451 12561
504 803 856 2048 6775 7631 8110 8221 8371 9443 10990
152 283 696 1164 4514 4649 7260 7370 11925 11986 12092
127 1034 1044 1842 3184 3397 5931 7577 11898 12339 12689
107 513 979 3934 4374 4658 7286 7809 8830 10804 10893
2045 2499 7197 8887 9420 9922 10132 10540 10816 11876
2932 6241 7136 7835 8541 9403 9817 11679 12377 12810
2211 2288 3937 4310 5952 6597 9692 10445 11064 11272

- [0046] [0047] 이하에서는, 표 1을 일 예로, 행렬 A와 행렬 C에서 1이 존재하는 행의 위치에 대해 구체적으로 설명하도록 한다.
- [0048] 한편, LDPC 코드워드의 길이가 16200이고, 코드 레이트가 3/15인 경우, 패리티 검사 행렬(200)에 기초한 코딩 파라미터 M_1 , M_2 , Q_1 , Q_2 는 각각 1080, 11880, 3, 33이다.
- [0049] 여기에서, Q_1 은 행렬 A에서 동일한 열 그룹 내에 속한 열들이 시클릭 쉬프트(cyclic shift)되는 크기이고, Q_2 는 행렬 C에서 동일한 열 그룹 내에 속한 열들이 시클릭 쉬프트되는 크기이다.
- [0050] 그리고, $Q_1=M_1/L$, $Q_2=M_2/L$, $M_1=g$, $M_2=N-K-g$ 이고, L은 행렬 A, C 각각에서 열의 패턴이 반복되는 간격 즉, 동일한 열 그룹에 속하는 열의 개수로 일 예로, 360이 될 수 있다.
- [0051] 한편, 행렬 A, C 각각에서 1이 위치하는 행의 인덱스는 M_1 값에 기초하여 결정될 수 있다.
- [0052] 예를 들어, 표 1의 경우 $M_1=1080$ 이라는 점에서, 행렬 A에서 i 번째 열 그룹의 0 번째 열에서 1이 존재하는 행의 위치는 표 1의 인덱스 값들 중에서 1080 보다 작은 값들에 기초하여 결정될 수 있으며, 행렬 C에서 i 번째 열 그룹의 0 번째 열에서 1이 존재하는 행의 위치는 표 1의 인덱스 값들 중에서 1080 이상인 값들에 기초하여 결정될 수 있다.
- [0053] 구체적으로, 표 1에서 0 번째 열 그룹에 대응되는 수열은 "8 372 841 4522 5253 7430 8542 9822 10550 11896 11988"이다. 따라서, 행렬 A의 0 번째 열 그룹의 0 번째 열의 경우, 8 번째 행, 372 번째 행, 841 번째 행에 각각 1이 위치할 수 있고, 행렬 C의 0 번째 열 그룹의 0 번째 열의 경우 4522 번째 행, 5253 번째 행, 7430 번째 행, 8542 번째 행, 9822 번째 행, 10550 번째 행, 11896 번째 행, 11988 번째 행에 각각 1이 위치할 수 있다.
- [0054] 한편, 행렬 A의 경우 각 열 그룹의 0 번째 열에서 1의 위치가 정의되면 이를 Q_1 만큼 시클릭 쉬프트하여 각 열 그룹의 다른 열에서 1이 존재하는 행의 위치가 정의될 수 있고, 행렬 C의 경우 각 열 그룹의 0 번째 열에서 1의 위치가 정의되면 이를 Q_2 만큼 시클릭 쉬프트하여 각 열 그룹의 다른 열에서 1이 존재하는 행의 위치가 정의될 수 있다.
- [0055] 상술한 예에서, 행렬 A의 0 번째 열 그룹의 0 번째 열의 경우, 8 번째 행, 372 번째 행, 841 번째 행에 1이 존재한다. 이 경우, $Q_1=3$ 이므로, 0 번째 열 그룹의 1 번째 열에서 1이 위치한 행의 인덱스는 $11(=8+3)$, $375(=372+3)$, $844(=841+3)$ 이고, 0 번째 열 그룹의 2 번째 열에서 1이 위치한 행의 인덱스는 $14(=11+3)$, $378(=375+3)$, $847(=844+3)$ 이 될 수 있다.

[0056] 한편, 행렬 C의 0 번째 열 그룹의 0 번째 열의 경우, 4522 번째 행, 5253 번째 행, 7430 번째 행, 8542 번째 행, 9822 번째 행, 10550 번째 행, 11896 번째 행, 11988 번째 행에 1이 존재한다. 이 경우, $Q_2=33$ 이므로, 0 번째 열 그룹의 1 번째 열에서 1이 위치한 행의 인덱스는 $4555 (=4522+33)$, $5286 (=5253+33)$, $7463 (=7430+33)$, $8575 (=8542+33)$, $9855 (=9822+33)$ $10583 (=10550+33)$, $11929 (=11896+33)$, $12021 (=11988+33)$ 이고, 0 번째 열 그룹의 2 번째 열에서 1이 위치한 행의 인덱스는 $4588 (=4555+33)$, $5319 (=5286+33)$, $7496 (=7463+33)$, $8608 (=8575+33)$, $9888 (=9855+33)$, $10616 (=10583+33)$, $11962 (=11929+33)$, $12054 (=12021+33)$ 가 될 수 있다.

[0057] 이와 같은 방식에 따라 행렬 A 및 행렬 C의 모든 열 그룹에서 1이 존재하는 행의 위치가 정의될 수 있다.

[0058] 한편, 행렬 B는 이중 대각 행렬(dual diagonal matrix)이고, 행렬 D는 항등 행렬(identity matrix)이고, 행렬 Z는 영 행렬(zero matrix)이다.

[0059] 결국, 상술한 바와 같은 구조를 갖는 행렬 A, B, C, D, Z에 의해 도 2와 같은 패리티 검사 행렬(20)의 구조가 정의될 수 있게 된다.

[0060] 이하에서는 LDPC 인코더(110)가 도 2와 같은 패리티 검사 행렬(20)에 기초하여 LDPC 인코딩을 수행하는 방법에 대해 설명하도록 한다.

[0061] LDPC 코드는 정보어 블록 $S=(s_0, s_1, \dots, s_{K-1})$ 을 인코딩하기 위해 이용될 수 있다. 이 경우, $N=K+M_1+M_2$ 의 길이를 갖는 LDPC 코드워드 $\Lambda=(\lambda_0, \lambda_1, \dots, \lambda_{N-1})$ 를 생성하기 위해, 정보어 블록 S 로부터 패리티 비트들

$$P_{M_1+M_2-1} = (p_0, p_1, \dots, p_{M_1+M_2-1})$$
이 시스템에 페리티 인코딩될 수 있다.

[0062] 이에 따라, LDPC 코드워드는 $\Lambda=(s_0, s_1, \dots, s_{K-1}, p_0, p_1, \dots, p_{M_1+M_2-1})$ 가 될 수 있다.

[0063] 여기에서, M_1 및 M_2 각각은 이중 대각 행렬 B 및 항등 행렬 D 각각에 대응되는 패리티 행렬의 사이즈를 나타내며, $M_1=g$, $M_2=N-K-g$ 가 될 수 있다.

[0064] 한편, 패리티 비트를 산출하는 과정은 다음과 같이 나타낼 수 있다. 이하에서는 설명의 편의를 위해, 패리티 검사 행렬(20)이 표 1과 같이 정의되는 경우를 일 예로 설명하도록 한다.

[0065] 단계 1) $\lambda_i=s_i$ ($i=0, 1, \dots, K-1$), $p_j=0$ ($j=0, 1, \dots, M_1+M_2-1$)로 초기화한다.

[0066] 단계 2) 표 1의 첫 번째 행에서 정의되는 패리티 비트 어드레스에 첫 번째 정보어 비트 λ_0 을 누적한다.

[0067] 단계 3) 다음 $L-1$ 개의 정보어 비트 λ_m ($m=1, 2, \dots, L-1$)에 대해, λ_m 를 하기와 같은 수학식 1에 기초하여 산출되는 패리티 비트 어드레스에 누적한다.

수학식 1

$$(x + m \times Q_1) \bmod M_1 \quad (\text{if } x < M_1)$$

$$M_1 + \{(x - M_1 + m \times Q_2) \bmod M_2\} \quad (\text{if } x \geq M_1)$$

[0068]

[0069] 여기에서, x는 첫 번째 정보어 비트 λ_0 에 대응되는 패리티 비트 누적기의 어드레스이다.

[0070] 그리고, $Q_1=M_1/L$, $Q_2=M_2/L$ 이다. 이 경우, LDPC 코드워드의 길이가 16200이고, 코드 레이트가 3/15이므로, $M_1=1080$, $M_2=11880$, $Q_1=3$, $Q_2=33$, $L=360$ 이 될 수 있다.

[0071] 단계 4) L 번째 정보어 비트 λ_L 에 대해 표 1의 두 번째 행과 같은 패리티 비트의 어드레스가 주어진다는 점에

서, 상술한 방식과 유사하게, 이후의 $L-1$ 개 정보어 비트 λ_m ($m=L+1, L+2, \dots, 2L-1$)에 대한 패리티 비트의 어드레스를 단계 3에서 설명한 방식을 이용하여 산출한다. 이 경우, x 는 정보어 비트 λ_L 에 대응되는 패리티 비트 누적기의 어드레스로, 표 1의 두 번째 행에 기초하여 얻어질 수 있다.

[0072] 단계 5) 각 그룹의 L 개의 새로운 정보어 비트들에 대해, 표 1의 새로운 행들을 패리티 비트 누적기의 어드레스로 하여 상술한 과정을 반복한다.

[0073] 단계 6) 코드워드 비트 λ_0 부터 λ_{K-1} 까지 상술한 과정이 반복된 이후, $i=1$ 부터 순차적으로 하기의 수학식 2에 대한 값을 산출한다.

수학식 2

$$P_i = P_i \oplus P_{i-1} \quad (i=1, 2, \dots, M_1-1)$$

[0074] 단계 7) 이중 대각 행렬 B 에 대응되는 패리티 비트 λ_K 부터 λ_{K+M_1-1} 까지를 하기의 수학식 3에 기초하여 산출한다.

수학식 3

$$\lambda_{K+L+s} = p_{Q_1 \times s+t} \quad (0 \leq s < L, 0 \leq t < Q_1)$$

[0075] 단계 8) 각 그룹의 L 개의 새로운 코드워드 비트 λ_K 부터 λ_{K+M_1-1} 까지에 대한 패리티 비트 누적기의 어드레스는 표 1의 새로운 행 및 수학식 1에 기초하여 산출한다.

[0076] 단계 9) 코드워드 비트 λ_K 부터 λ_{K+M_1-1} 까지 적용된 이후, 대각 행렬 D 에 대응되는 패리티 비트 λ_{K+M_1} 부터 $\lambda_{K+M_1+M_2-1}$ 까지를 하기의 수학식 4에 기초하여 산출한다.

수학식 4

$$\lambda_{K+M_1+L+s} = p_{M_1+Q_2 \times s+t} \quad (0 \leq s < L, 0 \leq t < Q_2)$$

[0077] 결국, 이와 같은 방식에 따라 패리티 비트들을 산출할 수 있게 된다. 다만, 이는 일 예일 뿐이며, 도 2와 같은 패리티 검사 행렬에 기초하여 패리티 비트들을 산출하는 방식은 다양하게 정의될 수 있음을 물론이다.

[0078] 이와 같이, LDPC 인코더(110)는 표 1에 기초하여 LDPC 인코딩을 수행하여, LDPC 코드워드를 생성할 수 있다.

[0079] 구체적으로, LDPC 인코더(110)는 표 1에 기초하여 3/15의 코드 레이트로 3240 개의 입력 비트들 즉, LDPC 정보어 비트들을 LDPC 인코딩하여 12960 개의 LDPC 패리티 비트들을 생성하고, LDPC 패리티 비트들 및 LDPC 패리티 비트들로 구성된 LDPC 코드워드를 출력할 수 있다. 이 경우, LDPC 코드워드는 16200 개의 비트들로 구성될 수 있다.

- [0083] 다른 예로, 본 발명의 일 실시 예에 따른 패리티 검사 행렬은 도 3과 같은 구조를 가질 수 있다.
- [0084] 도 3을 참조하면, 패리티 검사 행렬(30)은 정보어 비트들(즉, LDPC 정보어 비트들)에 대응되는 부분 행렬인 정보어 부분 행렬(31)과 패리티 비트들(즉, LDPC 패리티 비트들)에 대응되는 부분 행렬인 패리티 부분 행렬(32)로 구성된다.
- [0085] 정보어 부분 행렬(31)은 K_{ldpc} 개의 열을 포함하고, 패리티 부분 행렬(32)은 $N_{ldpc_parity}=N_{inner}-K_{ldpc}$ 개의 열을 포함한다. 한편, 패리티 검사 행렬(30)의 행의 개수는 패리티 부분 행렬(32)의 열의 개수 $N_{ldpc_parity}=N_{inner}-K_{ldpc}$ 와 동일하다.
- [0086] 또한, 패리티 검사 행렬(30)에서 N_{inner} 는 LDPC 코드워드의 길이, K_{ldpc} 는 정보어 비트들의 길이, $N_{ldpc_parity}=N_{inner}-K_{ldpc}$ 는 패리티 비트들의 길이를 나타낸다.
- [0087] 이하에서는 정보어 부분 행렬(31)과 패리티 부분 행렬(32)의 구조에 대해 살펴보도록 한다.
- [0088] 정보어 부분 행렬(31)은 K_{ldpc} 개의 열(즉, 0 번째 열부터 $K_{ldpc}-1$ 번째 열)을 포함하는 행렬로, 다음과 같은 규칙을 따른다.
- [0089] 첫째, 정보어 부분 행렬(31)을 구성하는 K_{ldpc} 개의 열들은 M 개씩 동일한 그룹에 속하며, 총 K_{ldpc}/M 개의 열 그룹들로 구분된다. 동일한 열 그룹 내에 속한 열들은 서로 Q_{ldpc} 만큼 시클릭 쉬프트된 관계를 가진다. 즉, Q_{ldpc} 는 패리티 검사 행렬(30)을 구성하는 정보어 부분 행렬의 열 그룹 내에서 열들에 대한 시클릭 쉬프트 파라미터 값으로 볼 수 있다.
- [0090] 여기에서, M 은 정보어 부분 행렬(31)에서 열의 패턴이 반복되는 간격(일 예로, $M=360$)이고, Q_{ldpc} 는 정보어 부분 행렬(31)에서 각 열이 시클릭 쉬프트되는 크기이다. M 은 N_{inner} 와 K_{ldpc} 의 공약수(common divisor)이며, $Q_{ldpc}=(N_{inner}-K_{ldpc})/M$ 성립하도록 결정된다. 여기에서, M 및 Q_{ldpc} 는 정수이고, K_{ldpc}/M 도 정수가 된다. 한편, M 및 Q_{ldpc} 는 LDPC 코드워드의 길이와 코드 레이트에 따라 다양한 값을 가질 수 있다.
- [0091] 예를 들어, $M=360$ 이고 LDPC 부호어의 길이 N_{inner} 가 16200이고, 코드 레이트가 6/15인 경우, Q_{ldpc} 는 27이 될 수 있다.
- [0092] 둘째, i 번째 ($i=0, 1, \dots, K_{ldpc}/M-1$) 열 그룹의 0 번째 열의 차수(degree)(여기에서, 차수는 열에 존재하는 1 값의 개수로, 동일한 열 그룹에 속하는 모든 열들의 차수는 동일하다)를 D_i 라 하고, i 번째 열 그룹의 0 번째 열에서 1이 있는 각 행의 위치(또는, 인덱스)를 $R_{i,0}^{(0)}, R_{i,0}^{(1)}, \dots, R_{i,0}^{(D_i-1)}$ 이라 하면, i 번째 열 그룹 내의 j 번째 열에서 k 번째 1이 위치한 행의 인덱스 $R_{i,j}^{(k)}$ 는 하기의 수학식 5와 같이 결정된다.

수학식 5

$$R_{i,j}^{(k)} = R_{i,(j-1)}^{(k)} + Q_{ldpc} \bmod (N_{inner} - K_{ldpc})$$

- [0093] 여기에서, $k=0, 1, 2, \dots, D_i-1$, $i=0, 1, \dots, K_{ldpc}/M-1$, $j=1, 2, \dots, M-1$ 이다.
- [0094] 한편, 수학식 5는 하기의 수학식 6과 같이 동일하게 표현될 수 있다.

수학식 6

$$R_{i,j}^{(k)} = (R_{i,0}^{(k)} + (j \bmod M) \times Q_{ldpc}) \bmod (N_{inner} - K_{ldpc})$$

[0096]

[0097] 여기에서, $k=0,1,2,\dots,D_i-1$, $i=0,1,\dots,K_{ldpc}/M-1$, $j=1,2,\dots,M-1$ 이다. 여기에서, $j=1,2,\dots,M-1$ 이기 때문에 $(j \bmod M)$ 은 j 로 볼 수 있다.

[0098] 이를 수학식에서, $R_{i,j}^{(k)}$ 는 i 번째 열 그룹 내의 j 번째 열에서 k 번째 1이 위치한 행의 인덱스, N_{inner} 는 LDPC 부호어의 길이, K_{ldpc} 는 정보어 비트들의 길이, D_i 는 i 번째 열 그룹에 속하는 열들의 차수, M 은 하나의 열 그룹에 속하는 열의 개수, Q_{ldpc} 는 각 열이 시클릭 쉬프트되는 크기를 의미한다.

[0099] 결국, 이를 수학식을 참조하면 $R_{i,0}^{(k)}$ 값만을 알면 i 번째 열 그룹 내의 j 번째 열에서 k 번째 1이 있는 행의 인덱스 $R_{i,j}^{(k)}$ 를 알 수 있게 된다. 그러므로, 각각의 열 그룹 내의 0 번째 열에서 k 번째 1이 있는 행의 인덱스 값을 저장하면, 도 3의 구조를 갖는 패리티 검사 행렬(30)(즉, 패리티 검사 행렬(30)의 정보어 부분 행렬(31))에서 1이 있는 열과 행의 위치가 파악될 수 있다.

[0100] 상술한 규칙들에 따르면, i 번째 열 그룹에 속하는 열들의 차수는 모두 D_i 로 동일하다. 따라서, 상술한 규칙들에 따라 패리티 검사 행렬에 대한 정보를 저장하고 있는 LDPC 부호는 다음과 같이 간략하게 표현될 수 있다.

[0101] 예를 들어, N_{inner} 가 30, K_{ldpc} 가 15, Q_{ldpc} 가 3인 경우, 3 개의 열 그룹의 0 번째 열에서 1이 위치한 행의 위치 정보는 하기의 수학식 7과 같은 수열들로 표현될 수 있으며, 이는 '무게-1 위치 수열(weight-1 position sequence)'이라 지칭될 수 있다.

수학식 7

$$\begin{aligned} R_{1,0}^{(1)} &= 1, R_{1,0}^{(2)} = 2, R_{1,0}^{(3)} = 8, R_{1,0}^{(4)} = 10, \\ R_{2,0}^{(1)} &= 0, R_{2,0}^{(2)} = 9, R_{2,0}^{(3)} = 13, \\ R_{3,0}^{(1)} &= 0, R_{3,0}^{(2)} = 14. \end{aligned}$$

[0102]

[0103] 여기에서, $R_{i,j}^{(k)}$ 는 i 번째 열 그룹 내의 j 번째 열에서 k 번째 1이 있는 행의 인덱스를 의미한다.

[0104]

각 열 그룹의 0 번째 열에서 1이 위치한 행의 인덱스를 나타내는 수학식 7과 같은 무게-1 위치 수열들은 보다 간략하게 하기의 표 2와 같이 표현될 수 있다.

표 2

1	2	8	10
0	9	13	
0	14		

[0105]

[0106] 표 2는 패리티 검사 행렬에서 1 값을 가지는 원소의 위치를 나타낸 것으로서, i 번째 무게-1 위치 수열은 i 번

째 열 그룹에 속한 0 번째 열에서 1이 있는 행의 인덱스들로 표현된다.

[0107] 상술한 내용에 기초하여 본 발명의 일 실시 예에 다른 패리티 검사 행렬의 정보어 부분 행렬(31)은 하기의 표 3에 의해 정의될 수 있다.

[0108] 여기에서, 표 3은 정보어 부분 행렬(31)의 i 번째 열 그룹의 0 번째 열에서 1이 위치한 행의 인덱스들을 나타낸다. 즉, 정보어 부분 행렬(31)은 각각 M 개의 열을 포함하는 복수의 열 그룹으로 구성되며, 복수의 열 그룹 각각의 0 번째 열에서 1의 위치는 표 3에 의해 정의될 수 있다.

[0109] 일 예로, LDPC 부호어의 길이 N_{inner} 가 16200, 부호율이 6/15, M이 360인 경우, 정보어 부분 행렬(31)의 i 번째 열 그룹의 0 번째 열에서 1이 위치한 행의 인덱스들은 하기의 표 3과 같다.

표 3

27 430 519 828 1897 1943 2513 2600 2640 3310 3415 4266 5044 5100 5328 5483 5928 6204 6392 6416 6602 7019 7415 7623 8112 8485 8724 8994 9445 9667
27 174 188 631 1172 1427 1779 2217 2270 2601 2813 3196 3582 3895 3908 3948 4463 4955 5120 5809 5988 6478 6604 7096 7673 7735 7795 8925 9613 9670
27 370 617 852 910 1030 1326 1521 1606 2118 2248 2909 3214 3413 3623 3742 3752 4317 4694 5300 5687 6039 6100 6232 6491 6621 6860 7304 8542 8634
990 1753 7635 8540
933 1415 5666 8745
27 6567 8707 9216
2341 8692 9580 9615
260 1092 5839 6080
352 3750 4847 7726
4610 6580 9506 9597
2512 2974 4814 9348
1461 4021 5060 7009
1796 2883 5553 8306
1249 5422 7057
3965 6968 9422
1498 2931 5092
27 1090 6215
26 4232 6354

[0110]

[0111] 한편, 상술한 표 3에서 각 i 번째 열 그룹에 대응되는 수열 내의 숫자들의 순서가 바뀌어도 동일한 부호의 패리티 검사 행렬이라는 점에서, 표 3에서 각 i 번째 열 그룹에 대응되는 수열 내의 순서가 바뀐 경우도 본 발명에서 고려하는 부호의 한 가지 일 예가 될 수 있다.

[0112] 또한, 표 3에서 각 열 그룹에 대응되는 수열들의 나열 순서가 바뀌어도 부호의 그래프 상의 사이클 특성 및 차수 분포 등의 대수적 특성이 바뀌지 않기 때문에, 표 3에 나타난 수열들의 나열 순서가 바뀐 경우도 한 가지 일 예가 될 수 있다.

[0113] 또한, 표 3에서 임의의 열 그룹에 대응되는 수열들에 대해 모두 동일하게 Q_{ldpc} 의 배수를 더한 결과 또한 부호의 그래프 상의 사이클 특성이나 차수 분포 등의 대수적 특성이 바뀌지 않기 때문에, 표 3에 나타난 수열들에 대해 모두 동일하게 Q_{ldpc} 의 배수를 더한 결과도 한 가지 일 예가 될 수 있다. 여기에서 주의해야 할 점은 주어진 수열에 Q_{ldpc} 배수만큼 더했을 경우 그 값이 $(N_{inner}-K_{ldpc})$ 이상의 값이 나올 경우에는 그 값에 $(N_{inner}-K_{ldpc})$ 에 대한 모듈로(modulo) 연산을 적용한 값으로 바꾸어 적용해야 한다는 것이다.

[0114] 한편, 표 3과 같이 정보어 부분 행렬(31)의 i 번째 열 그룹의 0 번째 열에서 1이 존재하는 행의 위치가 정의되면, 이를 Q_{ldpc} 만큼 시클릭 쉬프트하여 각 열 그룹의 다른 열에서 1이 존재하는 행의 위치가 정의될 수 있다.

[0115] 예를 들어, 표 3의 경우, 정보어 부분 행렬(31)의 0 번째 열 그룹의 0 번째 열에 대응되는 시퀀스는 "27 430 519 828 1897 1943 2513 2600 2640 3310 3415 4266 5044 5100 5328 5483 5928 6204 6392 6416 6602 7019 7415 7623 8112 8485 8724 8994 9445 9667"이므로, 정보어 부분 행렬(31)의 0 번째 열 그룹의 0 번째 열의 경우, 27 번째 행, 430 번째 행, 519 번째 행,...에 1이 존재한다.

[0116] 이 경우, $Q_{ldpc}=(N_{inner}-K_{ldpc})/M=(16200-6480)/360=27$ 이므로, 0 번째 열 그룹의 1 번째 열에서 1이 위치한 행의 인덱스는 54($=27+27$), 457($=430+27$), 546($=519+27$),...이고, 81($=54+27$), 484($=457+27$), 573($=546+27$),...이 될 수 있다.

[0117] 이와 같은 방식에 의해, 각 열 그룹의 모든 행에서 1이 위치한 행의 인덱스가 정의될 수 있다.

[0118] 이하에서는 도 3과 같은 패리티 검사 행렬(30)에 기초하여 LDPC 인코딩을 수행하는 방법에 대해 설명하도록 한다.

[0119] 먼저, 인코딩되는 정보어 비트들을 $i_0, i_1, \dots, i_{K_{ldpc}-1}$ 이라 하고, 산출되는 코드 비트들을

$c_0, c_1, \dots, c_{N_{ldpc}-1}$ 이라 한다.

[0120] 그리고, LDPC 코드가 시스템에 허다는 점에서, $k(0 \leq k < K_{ldpc}-1)$ 에 대해, c_k 를 i_k 로 설정한다. 한편, 나머지 코

드 비트들의 경우, $p_k := c_{k+K_{ldpc}}$ 로 설정한다.

[0121] 이하에서는 이러한 패리티 비트를 p_k 를 산출하는 방법에 대해 설명하도록 한다.

[0122] 이하에서 $q(i, j, 0)$ 은 표 3과 같은 인덱스를 리스트(indicies list)에서 i 번째 행(row)의 j 번째 엔트리(entry)를 나타내고, $q(i, j, 1)$ 은 $0 < i < 360$ 에 대해 $q(i, j, 1) = q(i, j, 0) + Q_{ldpc} \times 1 \pmod{N_{inner} - K_{ldpc}}$ 라 한다. 한편, 모든 누적 연산(accumulation)은 GF(Galois Field)(2)에서의 덧셈 연산(additions)에 의해 실현될 수 있다. 그리고, 표 3의 경우 LDPC 코드워드의 길이가 16200이고, 코드 레이트가 6/15이므로, Q_{ldpc} 는 27이다.

[0123] 한편, $q(i, j, 0)$ 및 $q(i, j, 1)$ 이 상기와 같이 정의될 때, 패리티 비트를 산출하는 과정은 하기와 같다.

[0124] 단계 1) 패리티 비트들을 '0'으로 초기화한다. 즉, $p_k = 0$ for $0 \leq k < N_{inner} - K_{ldpc}$

[0125] 단계 2) $0 \leq k < K_{ldpc}$ 의 모든 k 값에 대하여 i 와 1 을 $i := \lfloor k/360 \rfloor$, $1 := k \pmod{360}$ 로 설정한다. 여기에서, x 는 x 보다 크지 않는 최대 정수이다.

[0126] 이후, 모든 i 에 대해, i_k 를 $p_{q(i, j, 1)}$ 에 누적한다. 즉, $p_{q(i, j, 1)} = p_{q(i, j, 1)} + i_k$ 를 산출한다.

[0127] 여기에서, $w(i)$ 는 표 3과 같은 인덱스를 리스트에서 i 번째 행의 값들(elements)의 개수이며, 패리티 검사 행렬에서 i_k 에 대응되는 열의 1의 개수를 의미한다. 또한, 표 3에서 i 번째 행의 j 번째 엔트리인 $q(i, j, 0)$ 은 패리티 비트의 인덱스이며, 패리티 검사 행렬에서 i_k 에 대응되는 열에서 1이 존재하는 행의 위치를 나타낸다.

[0128] 구체적으로, 표 3에서 i 번째 행의 j 번째 엔트리인 $q(i, j, 0)$ 은 LDPC 부호의 패리티 검사 행렬에서 i 번째 열 그룹 내의 첫 번째(즉, 0 번째) 열에서 1이 존재하는 행의 위치를 나타낸다.

[0129] $q(i, j, 0)$ 은 모든 i 에 대해, i_k 를 $p_{q(i, j, 1)}$ 에 누적하는 방식을 실제 장치에서 구현(implementation)하는 방법에 따라 LDPC 부호화에 의해 생성되어야 할 패리티 비트의 인덱스로 간주될 수도 있고, 다른 부호화 방법을 구현할 경우에는 또 다른 형태의 인덱스로 간주될 수도 있다. 하지만, 이는 하나의 일 예일 뿐이며, 어떠한 부호화 방식을 적용하더라도 기본적으로는 표 3의 $q(i, j, 0)$ 값들에 기초하여 생성할 수 있는 LDPC 부호의 패리티 검사 행렬로부터 얻을 수 있는 LDPC 부호화 결과와 동일한(equivalent) 결과를 얻어야 함은 자명하다.

[0130] 단계 3) $0 < k < N_{inner} - K_{ldpc}$ 를 만족하는 모든 k 에 대해 $p_k = p_k + p_{k-1}$ 를 산출하여 패리티 비트 p_k 를 산출하게 된다.

[0131] 이에 따라, 모든 코드 비트들 $c_0, c_1, \dots, c_{N_{ldpc}-1}$ 이 얻어질 수 있다.

[0132] 결국, 이와 같은 방식에 따라 패리티 비트들을 산출할 수 있게 된다. 다만, 이는 일 예일 뿐이며, 도 3과 같은 패리티 검사 행렬에 기초하여 패리티 비트들을 산출하는 방식은 다양하게 정의될 수 있음을 물론이다.

[0133] 이와 같이, LDPC 인코더(110)는 표 3에 기초하여 LDPC 인코딩을 수행하여, LDPC 코드워드를 생성할 수 있다.

- [0134] 구체적으로, LDPC 인코더(110)는 표 3에 기초하여 6/15의 코드 레이트로 6480 개의 입력 비트들 즉, LDPC 정보어 비트들을 LDPC 인코딩하여 9720 개의 LDPC 패리티 비트들을 생성하고, LDPC 패리티 비트들 및 LDPC 패리티 비트들로 구성된 LDPC 코드워드를 출력할 수 있다. 이 경우, LDPC 코드워드는 16200 개의 비트들로 구성될 수 있다.
- [0135] 상술한 바와 같이, LDPC 인코더(110)는 다양한 코드 레이트로 입력 비트들을 인코딩하여 입력 비트들 및 LDPC 패리티 비트들로 구성된 LDPC 코드워드를 생성할 수 있다.
- [0136] 리피티션부(120)는 입력 비트들 및 LDPC 패리티 비트들로 구성된 LDPC 코드워드의 적어도 일부 비트들이 현재 프레임에서 리피티션되어 전송되도록, LDPC 코드워드의 적어도 일부 비트들을 LDPC 코드워드에서 리피티션한다. 그리고, 리피티션부(120)는 리피티션된 LDPC 코드워드(즉, 리피티션된 비트들을 포함하는 LDPC 코드워드 비트들로, 리피티션 이후의 LDPC 코드워드(LDPC codeword with repetition)라 할 수도 있다)을 평처링부(130)로 출력할 수 있다. 또한, 리피티션부(120)는 리피티션 이후의 LDPC 코드워드를 부가 패리티 생성부(140)로 출력하고, 리피티션 비트들에 대한 정보(가령, 리피티션 비트들의 개수 및 위치 등)를 부가 패리티 생성부(140)로 제공할 수 있다.
- [0137] 구체적으로, 리피티션부(120)는 특정한 수의 LDPC 코드워드 비트들(예를 들어, N_{repeat} 개의 LDPC 패리티 비트들)을 LDPC 코드워드 내에서 특정한 위치에 리피티션할 수 있다. 이 경우, 리피티션 비트들의 수는 시스템에 따라 다양한 값을 가질 수 있다.
- [0138] 예를 들어, 리피티션부(120)는 특정한 수의 LDPC 패리티 비트들을 LDPC 정보어 비트들 및 LDPC 패리티 비트들을 포함하는 LDPC 코드워드 내에서 LDPC 정보어 비트들 이후에 부가할 수 있다. 즉, 리피티션부(120)는 패리티 비트들의 적어도 일부 비트들을 입력 비트들 즉, LDPC 정보어 비트들 이후에 부가할 수 있다.
- [0139] 또한, 리피티션부(120)는 특정한 수의 LDPC 패리티 비트들을 LDPC 패리티 비트들 이후에 부가하거나, LDPC 정보어 비트들 사이의 특정한 위치에 부가하거나, LDPC 패리티 비트들 사이의 특정한 위치에 부가할 수도 있다.
- [0140] 이에 따라, 리피티션 이후의 LDPC 코드워드 내에서 특정한 수의 LDPC 패리티 비트들은 반복되며, 수신 장치(200)로 추가적으로 전송될 수 있다는 점에서, 상술한 동작을 리피티션(repetition)이라 할 수 있다. 그리고, 리피티션 이후의 LDPC 코드워드에서 리피티션되는 비트들을 리피티션 비트들(repetition bits)(또는, 리피티션된 비트들(repeated bits))이라 할 수 있다.
- [0141] 이하에서는 도면을 참조하여, 본 발명의 다양한 실시 예에 따라 비트들이 리피티션되는 일 예를 설명하도록 한다.
- [0142] 리피티션부(120)는 리피티션 비트들의 수 N_{repeat} 가 LDPC 패리티 비트들의 수보다 작거나 같은 경우, 첫 번째 LDPC 패리티 비트부터 N_{repeat} 개의 비트들을 LDPC 정보어 비트들 이후에 부가할 수 있다.
- [0143] 예를 들어, $N_{repeat} \leq N_{ldpc_parity}$ 보다 작거나 같은 경우, 즉, $N_{repeat} \leq N_{ldpc_parity}$ 인 경우, 리피티션부(120)는 도 4와 같이, LDPC 패리티 비트들 $(p_0, p_1, \dots, p_{N_{ldpc} - K_{ldpc} - 1})$ 의 처음 N_{repeat} 개의 비트들 $(p_0, p_1, \dots, p_{N_{repeat}-1})$ 을 LDPC 정보어 비트들 $(i_0, i_1, \dots, i_{K_{ldpc}-1})$ 다음에 부가할 수 있다.
- [0144] 이에 따라, LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 번째 비트는 LDPC 정보어 비트들 이후에 부가되며, $(i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{repeat}-1}, p_0, p_1, \dots, p_{N_{ldpc} - K_{ldpc} - 1})$ 와 같이 N_{repeat} 개의 비트들은 LDPC 정보어 비트들과 LDPC 패리티 비트들 사이에 위치하게 된다.
- [0145] 한편, 리피티션부(120)는 리피티션 비트들의 수 N_{repeat} 가 LDPC 패리티 비트들의 수보다 큰 경우, LDPC 패리티 비트들 전체를 LDPC 정보어 비트들 이후에 부가하고, 첫 번째 LDPC 패리티 비트부터 리피티션 비트들의 수에서 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 먼저 부가된 LDPC 패리티 비트들 이후에 추가적으로 부가할 수 있다.
- [0146] 이 경우, 리피티션부(120)는 리피티션된 LDPC 패리티 비트들이 아닌, 기존의 LDPC 패리티 비트들 즉, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 리피티션 비트들의 수에서 LDPC 패리티 비트들의 수를 뺀

수만큼의 비트들을 먼저 부가된 LDPC 패리티 비트들 이후에 추가적으로 부가할 수 있다.

[0147] 예를 들어, $N_{repeat} \leq N_{ldpc_parity}$ 보다 큰 경우, 즉, $N_{repeat} > N_{ldpc_parity}$ 인 경우, 리피티션부(120)는 도 5과 같이,

N_{ldpc_parity} 개의 LDPC 패리티 비트들 $(p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1})$ 을 LDPC 정보어 비트들 $(i_0, i_1, \dots, \overset{i}{i}_{K_{ldpc}-1})$ 다음에 부가한다. 그리고, 리피티션부(120)는 LDPC 패리티 비트들의 처음 $N_{repeat}-N_{ldpc_parity}$ 개의 비트들

$(p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-N_{ldpc_parity}-1})$ 을 먼저 부가된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 다음에 추가적으로 부가할 수 있다.

[0148] 이에 따라, N_{ldpc_parity} 개의 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가되고, LDPC 패리티 비트들의 처음 $N_{repeat}-N_{ldpc_parity}$ 개의 비트들이 먼저 부가된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 이후에 추가적으로 부가될 수 있다.

[0149] 따라서, $(i_0, i_1, \dots, \overset{i}{i}_{K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-N_{ldpc_parity}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1})$ 와 같아 N_{repeat} 개의 비트들은 LDPC 정보어 비트들과 LDPC 패리티 비트들 사이에 위치하게 된다.

[0150] 한편, 상술한 예에서는 리피티션 비트들이 LDPC 정보어 비트들 이후에 부가되는 것으로 설명하였으나, 이는 일 예에 불과하며, 리피티션부(120)는 리피티션 비트들을 LDPC 패리티 비트들 이후에 부가할 수도 있다.

[0151] 예를 들어, $N_{repeat} \leq N_{ldpc_parity}$ 보다 작거나 같은 경우, 즉, $N_{repeat} \leq N_{ldpc_parity}$ 인 경우, 리피티션부(120)는 도 6과 같이, LDPC 패리티 비트들 $(p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1})$ 의 처음 N_{repeat} 개의 비트들 $(p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-1})$ 을 LDPC 패리티 비트들 다음에 부가할 수 있다.

[0152] 이에 따라, LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 번째 비트는 LDPC 패리티 비트들 이후에 부가되며, $(i_0, i_1, \dots, \overset{i}{i}_{K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-1})$ 와 같이 N_{repeat} 개의 비트들은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0153] 그리고, $N_{repeat} \leq N_{ldpc_parity}$ 보다 큰 경우, 즉, $N_{repeat} > N_{ldpc_parity}$ 인 경우, 리피티션부(120)는 도 7과 같이, N_{ldpc_parity} 개의 LDPC 패리티 비트들 $(p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1})$ 을 LDPC 패리티 비트들 다음에 부가할 수 있다. 그리고, 리피티션부(120)는 LDPC 패리티 비트들의 처음 $N_{repeat}-N_{ldpc_parity}$ 개의 비트들 $(p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-N_{ldpc_parity}-1})$ 을 먼저 부가된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 다음에 추가적으로 부가할 수 있다.

[0154] 이에 따라, N_{ldpc_parity} 개의 LDPC 패리티 비트들이 LDPC 패리티 비트들 이후에 부가되고, LDPC 패리티 비트들의 처음 $N_{repeat}-N_{ldpc_parity}$ 개의 비트들이 먼저 부가된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 이후에 추가적으로 부가될 수 있다.

[0155] 따라서, $(i_0, i_1, \dots, \overset{i}{i}_{K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{ldpc}-K_{ldpc}-1}, p_0, p_1, \dots, \overset{P}{p}_{N_{repeat}-N_{ldpc_parity}-1})$ 와 같이 N_{repeat} 개의 비트들은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0156] 또한, 상술한 예에서는 앞 부분의 LDPC 패리티 비트들이 리피티션되는 것으로 설명하였으나, 이는 일 예에 불과하며, 리피티션부(120)는 LDPC 패리티 비트들의 뒤 부분 또는 중간 부분 등 다양한 위치에 존재하는 LDPC 패리티 비트들이 리피티션될 수도 있다.

[0157] 또한, 상술한 예에서는 LDPC 패리티 비트들이 리피티션되는 것으로 설명하였으나, 이는 일 예에 불과하며, LDPC 정보어 비트들 또는 LDPC 정보어 비트들의 일부 및 LDPC 패리티 비트들의 나머지 일부가 리피티션될 수도 있다.

[0158] 또한, 상술한 예에서는 리피티션이 수행되는 것으로 설명하였으나, 이는 일 예에 불과하며, 경우에 따라 리피티

션은 생략될 수도 있다. 이 경우, LDPC 코드워드에 포함된 LDPC 패리티 비트들의 일부 비트들은 후술할 평처링부(130)에 의해 평처링될 수 있다. 한편, 리피티션 수행 여부는 시스템에 따라 기설정되어 있을 수 있다.

[0159] 평처링부(130)는 LDPC 패리티 비트들에서 일부 비트들을 평처링할 수 있다. 그리고, 평처링부(130)는 평처링된 LDPC 코드워드(즉, 평처링된 비트들을 제외한 나머지 LDPC 코드워드 비트들을 의미하며, 평처링 이후의 LDPC 코드워드라 할 수도 있다)를 출력한다. 또한, 평처링부(130)는 평처링된 LDPC 패리티 비트들에 대한 정보(가령, 평처링되는 비트들의 개수 및 위치 등)를 부가 패리티 생성부(140)로 제공할 수 있다.

[0160] 여기에서, 평처링(puncturing)은 LDPC 패리티 비트들의 일부 비트들을 수신 장치(200)로 전송하지 않는 것을 의미한다. 이 경우, 평처링부(130)는 평처링되는 LDPC 패리티 비트들을 제거하거나, LDPC 코드워드에서 평처링되는 LDPC 패리티 비트들을 제외하고 나머지 비트들만을 출력할 수 있다.

[0161] 구체적으로, 평처링부(130)는 LDPC 패리티 비트들에서 특정한 수의 비트들(가령, N_{punc} 개의 비트들)을 평처링할 수 있다. 여기에서, 평처링되는 비트들의 수 N_{punc} 는 0 또는 양의 정수로, 시스템에 따라 다양한 값을 가질 수 있다. 한편, $N_{punc}=0$ 이라는 것은 평처링이 수행되지 않는 것을 의미한다.

[0162] 이 경우, 평처링부(130)는 LDPC 패리티 비트들의 뒷 부분에서 특정한 수의 비트들을 평처링할 수 있다. 예를 들어, 평처링부(130)는 마지막 LDPC 패리티 비트부터 N_{punc} 개의 LDPC 패리티 비트들을 평처링할 수 있다.

[0163] 하지만, 이는 일 예일 뿐이며, LDPC 패리티 비트들에서 비트들이 평처링되는 위치는 다양하게 변경될 수 있다. 예를 들어, 평처링부(130)는 LDPC 패리티 비트들의 앞 부분 또는 중간 부분에서 N_{punc} 개의 LDPC 패리티 비트들을 평처링하거나, LDPC 패리티 비트들에서 특정한 위치에 존재하는 N_{punc} 개의 LDPC 패리티 비트들을 평처링할 수도 있다.

[0164] 또한, 평처링부(130)는 리피티션이 수행된 경우, 리피티션 비트들이 아닌, 인코딩에 의해 생성된 LDPC 패리티 비트에서 특정한 수의 비트들을 평처링할 수 있다.

[0165] 예를 들어, 리피티션이 수행되어, N_{repeat} 개의 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가된 경우를 가정한다.

[0166] 이 경우, 리피티션 이후의 LDPC 코드워드는 리피티션 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함한다. 이때, 리피티션 비트들은 LDPC 정보어 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들 사이에 위치하게 되므로, 평처링부(130)는 인코딩에 의해 생성된 LDPC 패리티 비트들 중 마지막 LDPC 패리티 비트부터 N_{punc} 개의 비트들을 평처링할 수 있다.

[0167] 이하에서는 첨부된 도 8 내지 도 11을 참조하여, 본 발명의 다양한 실시 예에 따라 평처링 방법을 설명하도록 한다. 도 8 내지 도 11에서는 도 4 내지 도 8과 같이 리피티션이 수행된 경우의 평처링 방법을 설명하기 위한 예들이다.

[0168] 먼저, 도 4와 같이, 리피티션에 의해 N_{repeat} 개의 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가된 경우를 가정한다.

[0169] 이 경우, 도 8과 같이, 평처링부(130)는 N_{ldpc_parity} 개의 LDPC 패리티 비트들의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다.

[0170] 이에 따라, 리피티션 및 평처링 이후의 LDPC 코드워드(즉, 평처링된 비트들을 제외하고, 리피티션된 비트들을 포함하는 LDPC 코드워드 비트들)에서 LDPC 패리티 비트들은 $N_{ldpc_parity} + N_{repeat} - N_{punc}$ 개이고,

$(p_0, p_1, \dots, \mathbf{P}^{N_{repeat}-1}, p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - N_{punc} - 1})$ 와 나타낼 수 있다.

[0171] 다른 예로, 도 5와 같이, 리피티션에 의해 N_{repeat} 개의 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가된 경우를 가정한다.

[0172] 이 경우, 도 9와 같이, 평처링부(130)는 N_{ldpc_parity} 개의 LDPC 패리티 비트들의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다.

- [0173] 이에 따라, 리피티션 및 평처링 이후의 LDPC 코드워드에서 LDPC 패리티 비트들은 $N_{ldpc_parity} + N_{repeat} - N_{punc}$ 개이고, $(p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - 1}, p_0, p_1, \dots, \mathbf{P}^{N_{repeat} - N_{ldpc_parity} - 1}, p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - N_{punc} - 1})$ 와 같이 나타낼 수 있다.
- [0174] 또 다른 예로, 도 6과 같이, 리피티션에 의해 N_{repeat} 개의 LDPC 패리티 비트들이 LDPC 패리티 비트들 이후에 부가된 경우를 가정한다.
- [0175] 이 경우, 도 10과 같이, 평처링부(130)는 N_{ldpc_parity} 개의 LDPC 패리티 비트들의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다.
- [0176] 이에 따라, 리피티션 및 평처링 이후의 LDPC 코드워드에서 LDPC 패리티 비트들은 $N_{ldpc_parity} + N_{repeat} - N_{punc}$ 개이고, $(p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - N_{punc} - 1}, p_0, p_1, \dots, \mathbf{P}^{N_{repeat} - 1})$ 와 같이 나타낼 수 있다.
- [0177] 또 다른 예로, 도 7과 같이, 리피티션에 의해 N_{repeat} 개의 LDPC 패리티 비트들이 LDPC 패리티 비트들 이후에 부가된 경우를 가정한다.
- [0178] 이 경우, 도 11과 같이, 평처링부(130)는 N_{ldpc_parity} 개의 LDPC 패리티 비트들의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다.
- [0179] 이에 따라, 리피티션 및 평처링 이후의 LDPC 코드워드에서 LDPC 패리티 비트들은 $N_{ldpc_parity} + N_{repeat} - N_{punc}$ 개이고, $(p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - N_{punc} - 1}, p_0, p_1, \dots, \mathbf{P}^{N_{ldpc} - K_{ldpc} - 1}, p_0, p_1, \dots, \mathbf{P}^{N_{repeat} - N_{ldpc_parity} - 1})$ 와 같이 나타낼 수 있다.
- [0180] 부가 패리티 생성부(140)는 패리티 비트들에서 적어도 일부의 비트들을 선택하여, 이전 프레임에서 전송되는 부가 패리티 비트들(additional parity bits)을 생성한다.
- [0181] 이 경우, 부가 패리티 비트들은 현재 프레임에서 전송되는 정보어 비트들에 기초하여 생성된 LDPC 패리티 비트들 중에서 선택되어 현재 프레임 이전의 프레임 즉, 이전 프레임을 통해 수신 장치(200)로 전송될 수 있다.
- [0182] 구체적으로, 정보어 비트들을 포함하는 입력 비트들은 LDPC 인코딩되고, LDPC 인코딩에 의해 생성된 LDPC 패리티 비트들이 입력 비트들에 부가되어 LDPC 코드워드를 구성한다.
- [0183] 그리고, LDPC 코드워드에 대해 리피티션, 평처링 및 쇼트닝이 수행되고, 리피티션, 평처링 및 쇼트닝된 LDPC 코드워드(repeated/punctured/shortened LDPC codeword)(즉, 평처링된 비트들 및 쇼트닝된 비트들을 제외하고, 리피티션된 비트들을 포함하는 LDPC 코드워드 비트들로, 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드라 할 수도 있다)은 프레임에 맵핑되어 수신 장치(200)로 전송될 수 있다. 다만, 리피티션이 수행되지 않는 경우, 평처링 및 쇼트닝 이후의 LDPC 코드워드가 프레임에 맵핑되어 수신 장치(200)로 전송될 수 있다.
- [0184] 이 경우, 각 프레임마다 그에 대응되는 정보어 비트들이 LDPC 패리티 비트들과 함께 각 프레임을 통해 수신 장치(200)로 전송될 수 있다. 예를 들어, $i-1$ 번째 프레임에 대응되는 정보어 비트들을 포함하는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드는 $i-1$ 번째 프레임에 맵핑되어 수신 장치(200)로 전송되고, i 번째 프레임에 대응되는 정보어 비트들을 포함하는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드는 i 번째 프레임에 맵핑되어 수신 장치(200)로 전송될 수 있다.
- [0185] 한편, 부가 패리티 생성부(140)는 i 번째 프레임에서 전송되는 정보어 비트들에 기초하여 생성된 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0186] 구체적으로, 정보어 비트들이 LDPC 인코딩되어 생성된 LDPC 패리티 비트들에서 일부 비트들은 평처링되어 수신 장치(200)로 전송되지 않는다. 이 경우, 부가 패리티 생성부(140)는 i 번째 프레임에서 전송되는 정보어 비트들이 LDPC 인코딩되어 생성된 LDPC 패리티 비트들 중 평처링된 LDPC 패리티 비트들에서 일부 또는 전체 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0187] 또한, 부가 패리티 생성부(140)는 i 번째 프레임을 통해 수신 장치(200)로 전송되는 LDPC 패리티 비트들에서 적

어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0188] 구체적으로, i 번째 프레임에 맵핑되는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들은 인코딩에 의해 생성된 LDPC 패리티 비트들 및 리피티션된 LDPC 패리티 비트들로 구성될 수 있다.

[0189] 이 경우, 부가 패리티 생성부(140)는 i 번째 프레임에 맵핑되는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 다만, 리피티션이 생략되는 경우, 부가 패리티 생성부(140)는 i 번째 프레임에 맵핑되는 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0190] 한편, 부가 패리티 비트들은 i 번째 프레임 이전의 프레임 즉, i-1 번째 프레임을 통해 수신 장치(200)로 전송될 수 있다.

[0191] 즉, 송신 장치(100)는 i-1 번째 프레임에 대응되는 정보어 비트들을 포함하는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드뿐만 아니라, i 번째 프레임에서 전송되는 정보어 비트들에 기초하여 생성된 LDPC 패리티 비트들에서 선택되어 생성된 부가 패리티 비트들을 i-1 번째 프레임을 통해 수신 장치(200)로 전송할 수 있다.

[0192] 한편, 상술한 예에서는 부가 패리티 비트들이 i-1 번째 프레임을 통해 수신 장치(200)로 전송되는 것으로 설명하였으나 이는 일 예일 뿐이며, 부가 패리티 비트들은 시간적으로 i 번째 프레임 이전에 전송되는 프레임을 통해 수신 장치(200)로 전송될 수도 있다.

[0193] 이하에서는 LDPC 패리티 비트들에서 비트들을 선택하여 부가 패리티 비트들을 생성하는 방법에 대해 구체적으로 설명하도록 한다.

[0194] 부가 패리티 생성부(140)는 LDPC 코드워드 비트들에서 부가 패리티 비트들의 수만큼을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0195] 구체적으로, 부가 패리티 생성부(140)는 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 크거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0196] 한편, 부가 패리티 생성부(140)는 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 작은 경우, 평처링된 모든 비트들을 먼저 선택하고, LDPC 코드워드에 포함된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0197] 구체적으로, 리피티션이 수행되지 않은 경우, LDPC 코드워드에 포함된 LDPC 패리티 비트들은 인코딩에 의해 생성된 LDPC 패리티 비트들이다.

[0198] 이 경우, 부가 패리티 생성부(140)는 평처링된 모든 LDPC 패리티 비트들을 먼저 선택하고, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0199] 여기에서, 인코딩에 의해 생성된 LDPC 패리티 비트들은 평처링되지 않는 LDPC 패리티 비트들과 평처링되는 LDPC 패리티 비트들로 구분된다. 따라서, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 마지막 비트부터 평처링이 수행되는 경우, 부가 패리티 비트들을 위해, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 비트들을 선택할 때, 평처링되지 않는 LDPC 패리티 비트들 및 평처링되는 LDPC 패리티 비트들 순으로 비트들이 선택될 수 있다.

[0200] 한편, 리피티션이 수행된 경우, 부가 패리티 생성부(140)는 리피티션 이후의 LDPC 코드워드에서 적어도 일부 비트들을 선택하여, 부가 패리티 비트들을 생성할 수 있다.

[0201] 상술한 바와 같이, 리피티션 이후의 LDPC 코드워드의 LDPC 패리티 비트들은 리피티션된 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함한다. 이 경우, 부가 패리티 생성부(140)는 평처링된 모든 LDPC 패리티 비트들을 먼저 선택하고, 리피티션된 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 중 리피티션된 비트들의 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

- [0202] 이에 따라, 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택할 때, 리피티션된 비트들이 먼저 선택되고, 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수가 리피티션 비트들의 수를 초과하는 경우 인코딩에 의해 생성된 LDPC 패리티 비트들에서 비트들이 추가로 선택될 수 있다. 이 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들에서 추가로 선택되는 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 선택될 수 있다.
- [0203] 여기에서, 상술한 바와 같이 리피티션 비트들은 리피티션 이후의 LDPC 코드워드 내에서 다양한 위치에 위치할 수 있다.
- [0204] 이하에서는, 리피티션된 LDPC 패리티 비트들은 LDPC 정보어 비트들 및 LDPC 패리티 비트들 사이에 위치하는 경우를 일 예로, 리피티션이 수행된 경우의 부가 패리티 생성 방법에 대해 보다 구체적으로 설명하도록 한다.
- [0205] 이 경우, 리피티션부(120)는 LDPC 패리티 비트들의 적어도 일부 비트들을 선택하여, LDPC 정보어 비트들 이후에 부가하고, 평처링부(130)는 리피티션된 LDPC 패리티 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함하는 LDPC 패리티 비트들 중 마지막 비트부터 평처링을 수행하는 경우를 가정한다.
- [0206] 이 경우, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수 및 평처링된 LDPC 패리티 비트들의 수에 기초하여 입력 비트들 즉, LDPC 정보어 비트들 이후에 부가된 리피티션된 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0207] 구체적으로, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, 리피티션된 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0208] 여기에서, 부가 패리티 비트들을 위해, 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 비트들을 선택할 때, 리피티션 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 순으로 선택될 수 있다. 또한, 인코딩에 의해 생성된 LDPC 패리티 비트들 내에서는, 평처링되지 않는 LDPC 패리티 비트들 및 평처링되는 LDPC 패리티 비트들 순으로 비트들이 선택될 수 있다.
- [0209] 이와 같이, 특정한 수만큼의 부가 패리티 비트들을 생성할 때, 평처링된 비트들을 가장 우선적으로 선택한다. 그리고, 평처링된 비트들을 초과하는 개수만큼의 비트들을 선택하는 경우, 리피티션 수행 여부에 따라, LDPC 패리티 비트들 중에서 리피티션된 LDPC 패리티 비트들을 우선적으로 선택하게 된다.
- [0210] 이와 같이, 평처링 비트들을 우선적으로 선택하여, 현재 프레임에서 전송되지 않는 패리티 비트들을 부가 패리티 비트들로서 전송한다는 점에서, 부호 이득을 얻을 수 있다. 그리고, 평처링 비트들을 선택한 이후에는, 리피티션된 LDPC 패리티 비트들을 선택함으로써 LDPC 패리티 비트들 중에서 더 중요한 비트들을 선택하게 된다. 또한, LDPC 패리티 비트들은 평처링 순서에 따라 정렬되어 있기 때문에, 패리티 비트들의 우선 순위에 따라 정렬되어 있는 것으로 생각할 수 있다. 한편, 평처링 순서와 관련된 구체적인 내용은 후술하기로 한다.
- [0211] 한편, 평처링이 수행되지 않는 경우, 즉, 평처링되는 비트들의 수가 0인 경우, 부가 패리티 생성부(140)는 리피티션 수행 여부에 따라 LDPC 코드워드 또는 리피티션 이후의 LDPC 코드워드에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0212] 먼저, 리피티션이 수행되지 않는 경우, 부가 패리티 생성부(140)는 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 즉, 평처링된 비트들의 수가 0이고, 리피티션된 비트들의 수가 0인 경우, 부가 패리티 생성부(140)는 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0213] 한편, 리피티션이 수행된 경우, 부가 패리티 생성부(140)는 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0214] 즉, 평처링된 비트들의 수가 0이고, 리피티션된 비트들의 수가 1 이상인 경우, 부가 패리티 생성부(140)는 리피티션된 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 중 리피티션된 비트들의 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.
- [0215] 이에 따라, 리피티션된 비트들이 먼저 선택되고, 부가 패리티 비트들의 수에서 리피티션된 비트들의 수를 뺀 수

가 리피티션 비트들의 수를 초과하는 경우 인코딩에 의해 생성된 LDPC 패리티 비트들에서 비트들이 추가로 선택될 수 있다. 이 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들에서 추가로 선택되는 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 선택될 수 있다.

[0216] 한편, 평처링된 비트들의 의미는 정보어 비트들이 전송되는 프레임에서 전송될 평처링된 LDPC 코드워드에 기반하여 비트들이 평처링되었다는 것을 말한다.

[0217] 한편, 상술한 예에서 첫 번째 리피티션 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 추가적으로 선택하는 것으로 설명하였으나 이는 일 예에 불과하다. 즉, 부가 패리티 생성부(140)는 첫 번째 정보어 비트 또는 첫 번째 아우터 인코딩된 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 추가적으로 선택할 수도 있다.

[0218] 또한, LDPC 패리티 비트들이 평처링되지 않는 경우, 부가 패리티 생성부(140)는 리피티션 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수도 있다.

[0219] 이하에서는 부가 패리티 비트들의 수를 산출하는 방법에 대해 설명하도록 한다.

[0220] 먼저, 부가 패리티 생성부(140)는 하기의 수학식 8에 기초하여 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 를 산출한다.

수학식 8

$$N_{AP_temp} = \min \left\{ \begin{array}{l} 0.5 \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}), \\ (N_{ldpc_parity} + N_{punc} + N_{repeat}) \end{array} \right\}, K=0,1,2$$

[0221]

$$\min(a,b) = \begin{cases} a, & \text{if } a \leq b \\ b, & \text{if } b < a \end{cases}$$

[0222] 여기에서, N_{AP_temp} 은 a 와 b 중 더 작은 값을 의미하는 것이다.

[0223] 그리고, N_{ldpc_parity} 는 LDPC 패리티 비트들의 수, N_{punc} 는 평처링된 LDPC 패리티 비트들의 수이다. 그리고, N_{outer} 는 아우터 인코딩된 비트들의 수이다. 여기에서, 아우터 인코딩이 BCH 코드에 의해 수행되는 경우, N_{outer} 는 BCH 인코딩된 비트들의 수이다. 또한, N_{repeat} 는 리피티션 비트들의 수로, 리피티션이 수행되지 않는 경우 $N_{repeat}=0$ 이다.

[0224] 이에 따라, $N_{ldpc_parity} - N_{punc} + N_{repeat}$ 는 정보어 비트들을 전송하는 현재 프레임에서 전송되는 LDPC 패리티 비트들의 총 수(즉, 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들의 총 수)이고, $N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}$ 는 현재 프레임에서 전송되는 LDPC 코드워드 비트들의 총 수(즉, 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드 비트들의 총 수)이다.

[0225] 또한, K는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드를 구성하는 비트들의 총 수의 절반에 대한 부가 패리티 비트들의 수의 비율(ratio)을 나타낸다. 여기에서, K=2인 경우, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 LDPC 코드워드 비트들의 총 수와 동일하게 된다.

[0226] 이와 같이, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 비트들의 총 수에 기초하여 결정될 수 있다.

[0227] 한편, 수학식 12를 참조하면, 본 발명의 일 실시 예에서는 부가 패리티 비트들의 길이를 산출할 때, 성능과 복잡도를 모두 고려하여 평처링 비트들, 리피티션 비트들 및 LDPC 패리티 비트들을 모두 선택한 이후에는 추가로 더 선택하지 않도록 한다. 즉, 도 12와 같이, 부가 패리티 비트들의 길이가 N_{AP_max} (= $N_{ldpc_parity} + N_{punc} + N_{repeat}$) 보다 작거나 같아지도록 한다(즉, 부가 패리티 비트들의 길이가 N_{AP_max} (= $N_{ldpc_parity} + N_{punc} + N_{repeat}$) 보다 크지 않도록 한다).

[0228] 예를 들어, 평처링되는 LDPC 패리티 비트들의 수는 3200이고, K=2인 경우 부가 패리티 비트들의 수는

13000(=N_{outer}+N_{ldpc_parity}-N_{punc}=6480+9720-3200)인 경우를 가정한다.

[0229] 이 경우, 평처링되는 LDPC 패리티 비트들의 수는 3200이므로, 부가 패리티 비트들을 위해 평처링된 LDPC 패리티 비트들 전체를 선택하고 LDPC 패리티 비트들 전체를 선택하는 경우, 선택된 비트들의 수는 12920(=3200+9720)이 된다. 이에 따라, 별도의 제한이 없는 경우, 80 개의 비트들을 더 선택하여야 한다. 하지만, 수학식 12와 같이 부가 패리티 비트들의 최대 길이를 N_{ldpc_parity}+N_{punc}+N_{repeat}로 제한할 경우, 부가 패리티 비트들의 수는 12920로 제한되어 80 개의 비트들을 추가로 선택할 필요가 없게 된다.

[0230] 하지만, 이와 같이, 부가 패리티 비트들의 길이의 최대값을 제한하는 것은 일 예에 불과하며, 부가 패리티 비트들의 길이를 제한하지 않을 경우, 부가 패리티 비트들의 임시적인 N_{AP_temp}는 하기의 수학식 9에 기초하여 산출될 수 있다.

수학식 9

$$N_{AP_temp} = 0.5 \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}), K=0,1,2$$

[0231]

[0232] 이와 같이 부가 패리티 비트들의 길이를 제한하지 않을 경우, 부가 패리티 생성부(140)는 수학식 9에 기초하여 부가 패리티 비트들의 임시적인 N_{AP_temp}를 산출할 수 있다.

[0233] 한편, 부가 패리티 생성부(140)는 수학식 8 또는 수학식 9에 기초하여 산출된 부가 패리티 비트들의 임시적인 수 N_{AP_temp}에 기초하여 부가 패리티 비트들의 수 N_{AP}를 산출할 수 있다.

[0234]

구체적으로, 부가 패리티 생성부(140)는 하기의 수학식 10에 기초하여 부가 패리티 비트들의 수 N_{AP}를 산출할 수 있다.

[0235]

이와 같이, 부가 패리티 비트들의 수는 수학식 8 또는 수학식 9에 기초하여 산출된 부가 패리티 비트들의 임시적인 수 N_{AP_temp}에 기초하여 산출될 수 있으며, 구체적으로는, 하기의 수학식 10에 기초하여 산출될 수 있다.

수학식 10

$$N_{AP} = \left\lfloor \frac{N_{AP_temp}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

[0236]

[0237] 여기에서, n_{MOD}는 변조 차수이다. 일 예로, QPSK(Quadrature Phase Shift Keying), 16-QAM(quadrature amplitude modulation), 64-QAM 및 256-QAM의 경우, n_{MOD}는 2,4,6,8이 될 수 있다.

[0238]

이에 따라, 부가 패리티 비트들의 수는 변조 차수의 배수가 될 수 있다. 즉, 부가 패리티 비트들은 정보어 비트들과 별개로 변조되어 성상도 심볼들에 맵핑된다는 점에서, 수학식 10과 같이 부가 패리티 비트들의 수는 변조 차수의 배수가 되도록 결정될 수 있다.

[0239]

이 경우, 수학식 8은 하기의 수학식 11과 같이 나타내어지고, 수학식 9는 하기의 수학식 12와 같이 나타내어질 수도 있다.

수학식 11

$$N_{AP} = \left\lfloor \frac{\min \left\{ \frac{\alpha \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}),}{(N_{ldpc_parity} + N_{punc} + N_{repeat})} \right\}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

[0240]

수학식 12

$$N_{AP} = \left\lfloor \frac{\alpha \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat})}{n_{MOD}} \right\rfloor \times n_{MOD}$$

[0241]

[0242] 이들 수학식에서 $\alpha=0.5$ 일 수 있다.

[0243] 이와 같이, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수 및 평처링 이후 남은 패리티 비트들의 수에 기초하여 결정될 수 있다.

[0244] 여기에서, 리피티션이 수행되는 경우, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수, 평처링 이후 남은 패리티 비트들의 수 및 현재 프레임에서 리피티션되는 비트들의 수에 기초하여 결정될 수 있다.

[0245] 이하에서는, 부가 패리티 비트들을 사용함에 따라 변경되는 부호율에 대해 설명하고자 한다.

[0246] 부가 패리티 비트들을 전송하지 않았을 경우의 부호율 R 을 $R=(k/n)$ 이라고 하면, 부가 패리티 비트들을 전송할 경우의 부호율 R_{ap} 은 $R_{ap}=(k/(n+N_{AP}))$ 이고, N_{AP} 는 K 값에 따라 $1/2 \times n$ 또는 n 값을 갖게 된다. 따라서, 부가 패리티 비트들을 전송할 경우의 부호율 R_{ap} 은 $R_{ap}=(k/(3/2 \times n))=2/3R$ 또는 $R_{ap}=(k/(2 \times n))=1/2R$ 이므로, 부가 패리티 비트들을 전송하지 않았을 경우 대비 부호율은 $2/3$ 또는 $1/2$ 로 낮아지게 되어, 부호어 이득을 얻을 수 있다. 또한, 부가 패리티 비트들을 제외한 부분들과 부가 패리티 비트들을 다른 프레임에서 전송함으로써 다이버시티 이득도 얻을 수 있게 된다. 이는 입력 길이 즉, 입력되는 정보어 비트들의 길이에 상관없이 상술한 바와 같이 부호율에 변경됨에 따라, 입력 길이에 따라 부호율을 변경하게 하는 특성을 유지할 수 있게 된다.

[0247] 이하에서는 LDPC 패리티 비트들에서 비트들을 선택하여 부가 패리티 비트들을 생성하는 방법을 도면을 참조하여 보다 구체적으로 설명하도록 한다.

[0248] 부가 패리티 생성부(140)는 LDPC 패리티 비트들에서 산출된 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0249] 구체적으로, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 산출된 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0250] 예를 들어, 리피티션에 의해 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가되어, 리피티션 이후의 LDPC 코드워드가 LDPC 정보어 비트들, 리피티션된 LDPC 패리티 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 순으로 구성되는 경우를 가정한다.

[0251] 이 경우, 리피티션 이후의 LDPC 코드워드 $V=(v_0, v_1, \dots, v_{N_{inner} + N_{repeat}-1})$ 는 도 13과 같이 나타낼 수 있다.

[0252] 구체적으로, N_{AP} 가 N_{punc} 보다 작거나 같은 경우, 즉, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 14 및 도 15와 같이, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들

을 생성할 수 있다.

- [0253] 이에 따라, 부가 패리티 비트들을 위해, $(\mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}}, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+N_{AP}-1})$ 가 선택될 수 있다.

- [0254] 한편, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, 리피티션 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

- [0255] 예를 들어, $N_{AP} > N_{punc}$ 인 경우, 즉, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 16 및 도 17과 같이,

먼저, 평처링된 LDPC 패리티 비트들 전체를 선택할 수 있다. 이에 따라, 먼저 $(\mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}}, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, \mathbf{v}^{N_{repeat}+N_{inner}-1})$ 이 선택될 수 있다.

- [0256] 그리고, 부가 패리티 생성부(140)는 리피티션된 LDPC 패리티 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함하는 LDPC 패리티 비트들 중 첫 번째 비트부터 $(N_{AP}-N_{punc})$ 개의 비트들을 추가적으로 선택할 수 있다.

- [0257] 이 경우, 리피티션에 의해 LDPC 패리티 비트들이 LDPC 정보어 비트들 이후에 부가되어, 리피티션된 LDPC 패리티 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들이 순차적으로 배열되어 LDPC 패리티 비트들을 구성할 수 있다.

- [0258] 따라서, 부가 패리티 생성부(140)는 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들 즉, $(N_{AP}-N_{punc})$ 개의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다. 이 경우, 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 선택된다는 점에서, $(N_{AP}-N_{punc})$ 가 리피티션된 LDPC 패리티 비트들의 수 N_{repeat} 보다 큰 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들의 적어도 일부가 부가 패리티 비트들로 선택될 수도 있다.

- [0259] 이에 따라, $(\mathbf{v}^{K_{ldpc}}, \mathbf{v}^{K_{ldpc}+1}, \dots, \mathbf{v}^{K_{ldpc}+N_{AP}-N_{punc}-1})$ 이 추가적으로 선택될 수 있다.

- [0260] 결국, 부가 패리티 비트들을 위해 $(\mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}}, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, \mathbf{v}^{N_{repeat}+N_{inner}-1})$ 및 $(\mathbf{v}^{K_{ldpc}}, \mathbf{v}^{K_{ldpc}+1}, \dots, \mathbf{v}^{K_{ldpc}+N_{AP}-N_{punc}-1})$ 이 선택될 수 있다.

- [0261] 한편, 부가 패리티 생성부(140)는 상술한 방법 외에도 다양한 방법을 이용하여 부가 패리티 비트들을 생성할 수도 있다.

- [0262] 예를 들어, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들에서 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

- [0263] 즉, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 18과 같이, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 이에 따라, 부가 패리티 비트들을 위해

$(\mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}}, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, \mathbf{v}^{N_{repeat}+N_{inner}-N_{punc}+N_{AP}-1})$ 가 선택될 수 있다.

- [0264] 그리고, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 크지만 (인코딩에 의해 생성된 LDPC 패리티 비트들의 수 + 평처링된 LDPC 패리티 비트들의 수)보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터

부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0265] 즉, $N_{\text{punc}} < N_{\text{AP}} \leq N_{\text{ldpc_parity}} + N_{\text{punc}}$ 인 경우, 부가 패리티 생성부(140)는 도 19와 같이, 먼저 평처링된 LDPC 패리티 비

트들 전체를 선택할 수 있다. 이에 따라, 먼저 $(\mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}}},$
 $\mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$ 이 선택될 수 있다.

[0266] 그리고, 부가 패리티 생성부(140)는 인코딩에 의해 생성된 $N_{\text{ldpc_parity}}$ 개의 LDPC 패리티 비트들 중 첫 번째 비트

부터 $(N_{\text{AP}} - N_{\text{punc}})$ 개의 비트들을 추가적으로 선택할 수 있다. 이에 따라, $(\mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}}},$
 $\mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + N_{\text{AP}} - N_{\text{punc}} - 1})$ 이 추가적으로 선택될 수 있다.

[0267] 결국, 부가 패리티 비트들을 위해 $(\mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}}}, \mathbf{v}^{N_{\text{repeat}} + n_{\text{inner}} - N_{\text{punc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$ 및
 $(\mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}}}, \mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + N_{\text{AP}} - N_{\text{punc}} - 1})$ 이 선택될 수 있다.

[0268] 또한, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 (인코딩에 의해 생성된 LDPC 패리티 비트들의 수 + 평처링된 LDPC 패리티 비트들의 수)보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체 및 인코딩에 의해 생성된 LDPC 패리티 비트들 전체를 선택하고, 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 인코딩에 의해 생성된 LDPC 패리티 비트들의 수와 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0269] 즉, $N_{\text{ldpc_parity}} + N_{\text{punc}} < N_{\text{AP}}$ 인 경우, 부가 패리티 생성부(140)는 도 20과 같이, 먼저 평처링된 LDPC 패리티 비트들 전체를 선택한다. 이에 따라, 먼저, $(\mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}}}, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$ 이 선택될 수 있다.

[0270] 그리고, 부가 패리티 생성부(140)는 인코딩에 의해 생성된 $N_{\text{ldpc_parity}}$ 개의 LDPC 패리티 비트들 전체를 추가적으로 선택한다. 이에 따라, $(\mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}}}, \mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$ 이 추가적으로 선택될 수 있다.

[0271] 그리고, 부가 패리티 생성부(140)는 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 $(N_{\text{AP}} - N_{\text{ldpc_parity}} - N_{\text{punc}})$ 개의 비트들을 추가적으로 선택할 수 있다. 이에 따라, $(\mathbf{v}^{K_{\text{ldpc}}},$
 $\mathbf{v}^{K_{\text{ldpc}} + 1}, \dots, \mathbf{v}^{K_{\text{ldpc}} + N_{\text{AP}} - N_{\text{punc}} - N_{\text{inner}} - 1})$ 가 추가적으로 선택될 수 있다.

[0272] 결국, 부가 패리티 비트들을 위해 $(\mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - N_{\text{punc}}}, \mathbf{v}^{N_{\text{repeat}} + n_{\text{inner}} - N_{\text{punc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$,
 $(\mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}}}, \mathbf{v}^{N_{\text{repeat}} + K_{\text{ldpc}} + 1}, \dots, \mathbf{v}^{N_{\text{repeat}} + N_{\text{inner}} - 1})$ 및 $(\mathbf{v}^{K_{\text{ldpc}}},$

$\mathbf{v}_{K_{ldpc}+1}, \dots, \mathbf{v}_{K_{ldpc}+N_{AP}-N_{punc}-N_{inner}-1}$)가 선택될 수 있다.

[0273] 한편, 상술한 에서는 리피티션에 의해 리피티션 비트들이 LDPC 정보어 비트들 다음에 부가되는 경우를 가정하였다.

[0274] 이하에서는 다른 예로, 리피티션에 의해 리피티션 비트들이 LDPC 패리티 비트들 다음에 부가되는 경우, 부가 패리티 비트들을 생성하는 방법에 대해 설명하도록 한다. 이 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들과 리피티션된 LDPC 패리티 비트들은 순차적으로 배열되어 LDPC 패리티 비트들을 구성할 수 있다.

[0275] 한편, 리피티션 이후의 LDPC 코드워드는 $\mathbf{v}=(v_0, v_1, \dots, \mathbf{v}_{N_{inner}+N_{repeat}-1})$ 와 같이 나타낼 수 있다.

[0276] 먼저, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 (평처링된 LDPC 패리티 비트들의 수 + 리피티션된 LDPC 패리티 비트들의 수)보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0277] 이 경우, 인코딩에 의해 생성된 LDPC 패리티 비트들과 리피티션된 LDPC 패리티 비트들이 순차적으로 배열된다는 점에서, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 비트들을 선택하는 경우, 부가 패리티 비트들의 수에 따라 리피티션된 LDPC 패리티 비트들의 적어도 일부가 부가 패리티 비트들로 선택될 수도 있다.

[0278] 즉, $N_{AP} \leq N_{punc} + N_{rep}$ 인 경우, 부가 패리티 생성부(140)는 도 21과 같이, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택할 수 있다. 이에 따라, 부가 패리티 비트들 위해

$(\mathbf{v}_{N_{inner}-N_{punc}}, \mathbf{v}_{N_{inner}-N_{punc}+1}, \dots, \mathbf{v}_{N_{inner}-N_{punc}+N_{AP}-1})$ 가 선택될 수 있다.

[0279] 그리고, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 (평처링된 LDPC 패리티 비트들의 수 + 리피티션된 LDPC 패리티 비트들의 수)보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체 및 리피티션된 LDPC 패리티 비트들 전체를 선택하고, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수 및 리피티션된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0280] 즉, $N_{AP} > N_{punc} + N_{rep}$ 인 경우, 부가 패리티 생성부(140)는 도 22와 같이, 먼저 평처링된 LDPC 패리티 비트들 전체 및 리피티션된 LDPC 패리티 비트들 전체를 선택할 수 있다. 이에 따라, 먼저

$(\mathbf{v}_{N_{inner}-N_{punc}}, \mathbf{v}_{N_{inner}-N_{punc}+1}, \dots, \mathbf{v}_{N_{inner}+N_{repeat}-1})$ 가 선택될 수 있다.

[0281] 그리고, 부가 패리티 생성부(140)는 인코딩에 의해 생성된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 중 첫 번째 비트부터 $(N_{AP}-N_{punc})$ 개의 비트들을 추가적으로 선택할 수 있다. 이에 따라,

$(\mathbf{v}_{K_{ldpc}}, \mathbf{v}_{K_{ldpc}+1}, \dots, \mathbf{v}_{K_{ldpc}+N_{AP}-N_{punc}-1})$ 가 추가적으로 선택될 수 있다.

[0282] 결국, 부가 패리티 비트들을 위해 $(\mathbf{v}_{N_{inner}-N_{punc}}, \mathbf{v}_{N_{inner}-N_{punc}+1}, \dots, \mathbf{v}_{N_{inner}+N_{repeat}-1})$ 및 $(\mathbf{v}_{K_{ldpc}}, \mathbf{v}_{K_{ldpc}+1}, \dots, \mathbf{v}_{K_{ldpc}+N_{AP}-N_{punc}-1})$ 가 선택될 수 있다.

[0283] 다른 예로, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들에서 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0284] 즉, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 23과 같이, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트

부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 이에 따라, 부가 패리티 비트들을 위해

$$(\mathbf{v}_{N_{inner} \cdot N_{punc}}, \mathbf{v}_{N_{inner} \cdot N_{punc} + 1}, \dots, \mathbf{v}_{N_{inner} \cdot N_{punc} + N_{AP} - 1}) \text{가 선택될 수 있다.}$$

[0285] 그리고, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0286] 즉, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(130)는 도 24와 같이, 먼저 평처링된 LDPC 패리티 비트들 전체를 선

택할 수 있다. 이에 따라, 먼저 $(\mathbf{v}_{N_{inner} \cdot N_{punc}}, \mathbf{v}_{N_{inner} \cdot N_{punc} + 1}, \dots, \mathbf{v}_{N_{inner} \cdot N_{punc} + N_{AP} - 1})$ 가 선택될 수 있다.

[0287] 그리고, 부가 패리티 생성부(140)는 인코딩에 의해 생성된 N_{ldpc_parity} 개의 LDPC 패리티 비트들 중 첫 번째 비트

부터 $(N_{AP} - N_{punc})$ 개의 비트들을 추가적으로 선택할 수 있다. 이에 따라, $(\mathbf{v}_{K_{ldpc}},$

$$(\mathbf{v}_{K_{ldpc} + 1}, \dots, \mathbf{v}_{K_{ldpc} + N_{AP} - N_{punc} - 1})$$
가 추가적으로 선택될 수 있다.

[0288] 결국, 부가 패리티 비트들을 위해 $(\mathbf{v}_{N_{inner} \cdot N_{punc}}, \mathbf{v}_{N_{inner} \cdot N_{punc} + 1}, \dots, \mathbf{v}_{N_{inner} \cdot N_{punc} + N_{AP} - 1})$ 및

$$(\mathbf{v}_{K_{ldpc}}, \mathbf{v}_{K_{ldpc} + 1}, \dots, \mathbf{v}_{K_{ldpc} + N_{AP} - N_{punc} - 1})$$
가 선택될 수 있다.

[0289] 한편, 이하에서는 부가 패리티 비트들을 생성하는 다른 방법에 대해 설명하도록 한다.

[0290] 일 예로, $N_{punc} > 0$ 이고, $N_{repeat} = 0$ 인 경우를 가정한다.

[0291] 구체적으로, 부가 패리티 생성부(140)는 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 크거나 같은 경우, 평처링된 LDPC 패리티 비트들에서 적어도 일부를 선택하여 부가 패리티 비트들을 생성하고, 다른 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, 나머지 비트들을 LDPC 코드워드에서 순차적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0292] 예를 들어, $N_{punc} > 0$ 이고, $N_{repeat} = 0$ 인 경우, LDPC 코드워드는 도 25와 같이 나타낼 수 있다. 한편, 도 25에서 LDPC 정보어 비트들의 수는 N_{outer} 이다. 즉, 제로 비트들이 패딩되지 않고 아우터 인코딩된 비트들만으로 LDPC 정보어 비트들이 구성되는 경우이다.

[0293] 먼저, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 26과 같이 평처링된 LDPC 패리티 비트들에서 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0294] 그리고, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 27과 같이 평처링된 LDPC 패리티 비트들 전체를 선택하고, LDPC 패리티 비트들 중 첫 번째 비트부터 $(N_{AP} - N_{punc})$ 개의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0295] 한편, 상술한 예에서는 첫 번째 비트부터 $(N_{AP} - N_{punc})$ 개의 비트들을 추가적으로 선택하는 것으로 설명하였으나, 이는 일 예에 불과하다. 즉, 부가 패리티 생성부(140)는 정보어 비트들 중 첫 번째 비트부터 $(N_{AP} - N_{punc})$ 개의 비트들을 추가적으로 선택할 수도 있다.

[0296] 다른 예로, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 28과 같이 평처링된 LDPC 패리티 비트들 전체를 선

택하고, 기설정된 패턴에 기초하여 LDPC 패리티 비트들 중에서 ($N_{AP} - N_{punc}$) 개의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0297] 또 다른 예로, $N_{punc} = 0$ 인 경우, 부가 패리티 생성부(140)는 도 29와 같이 첫 번째 LDPC 패리티 비트들부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0298] 한편, 상술한 예에서는, 리피티션 이후의 LDPC 코드워드 내에서 비트들을 선택하여 부가 패리티 비트들을 생성하는 것으로 설명하였다.

[0299] 하지만, 본 발명의 일 실시 예에 따르면, 리피티션이 수행되기 전의 LDPC 코드워드 내에서 비트들을 선택하여 부가 패리티 비트들을 생성할 수도 있다. 이를 위해, LDPC 인코더(110)는 LDPC 코드워드를 부가 패리티 생성부(140)로 출력할 수 있다.

[0300] 예를 들어, $N_{repeat} > 0$ 인 경우를 가정한다. 이하에서는, LDPC 정보어 비트들의 수가 K_{ldpc} 인 것으로 가정하도록 한다.

[0301] 부가 패리티 생성부(140)는 평처링된 LDPC 패리티 비트들을 우선적으로 선택하여 부가 패리티 비트들을 생성하고, 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 작은 경우에 한하여 LDPC 패리티 비트들 중 일부를 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0302] 이 경우, LDPC 패리티 비트들은 인코딩에 의해 생성된 LDPC 패리티 비트만으로 구성될 수 있다.

[0303] 구체적으로, 부가 패리티 생성부(140)는 첫 번째 LDPC 패리티 비트부터 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0304] 예를 들어, $N_{repeat} < N_{ldpc_parity} - N_{punc}$ 인 경우를 가정한다.

[0305] 이 때, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 평처링된 LDPC 패리티 비트들에서 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0306] 예를 들어, 부가 패리티 생성부(140)는 도 30과 같이 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 이 경우, 리피티션부(120)는 도 30과 같이 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 개의 비트들을 선택하여, LDPC 패리티 비트들 이후에 부가할 수 있고, 평처링 이후, 리피티션 비트들은 평처링되지 않은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0307] 한편, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 31과 같이 평처링된 LDPC 패리티 비트들 전체를 선택하고, 첫 번째 LDPC 패리티 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0308] 이 경우, 리피티션부(120)는 도 30과 같이 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 개의 비트들을 선택하여, LDPC 패리티 비트들 이후에 부가할 수 있고, 평처링 이후, 리피티션 비트들은 평처링되지 않은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0309] 다른 예로, $N_{ldpc_parity} \geq N_{repeat} \geq N_{ldpc_parity} - N_{punc}$ 인 경우를 가정한다.

[0310] 이 때, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 32와 같이 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 이 경우, 리피티션부(120)는 도 32와 같이 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 개의 비트들을 선택하여, LDPC 패리티 비트들 이후에 부가할 수 있고, 평처링 이후, 리피티션 비트들은 평처링되지 않은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0311] 한편, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 33과 같이 평처링된 LDPC 패리티 비트들 전체를 선택하고, 첫 번째 LDPC 패리티 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0312] 이 경우, 리피티션부(120)는 도 33과 같이 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 개의 비트들을 선택하여, LDPC 패리티 비트들 이후에 부가할 수 있고, 평처링 이후, 리피티션 비트들은 평처링되지 않은 LDPC 패리티 비트들 이후에 위치하게 된다.

티 비트들 이후에 위치하게 된다. 이에 따라, LDPC 패리티 비트들에서 부가 패리티 비트들로 선택된 비트들 중 적어도 일부가 리피티션 비트들로 선택될 수 있다.

[0313] 다른 예로, $N_{repeat} > N_{ldpc_parity}$ 인 경우를 가정한다.

[0314] 이때, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 34와 같이 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0315] 한편, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 33과 같이 평처링된 LDPC 패리티 비트들 전체를 선택하고, 첫 번째 LDPC 패리티 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0316] 이들 경우, 리피티션부(120)는 도 33 및 도 34와 같이 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{repeat} 개의 비트들을 선택하여, LDPC 패리티 비트들 이후에 부가할 수 있고, 평처링 이후, 리피티션 비트들은 평처링되지 않은 LDPC 패리티 비트들 이후에 위치하게 된다.

[0317] 또한, N_{repeat} 가 N_{ldpc_parity} 보다 큰 경우, 도 34 및 도 35와 같이, LDPC 패리티 비트들 전체는 리피티션되고, LDPC 패리티 비트들 중 적어도 일부는 추가로 리피티션될 수 있다.

[0318] 한편, 부가 패리티 생성부(140)는 LDPC 패리티 비트들 중에서 리피티션되는 LDPC 패리티 비트들을 제외한 나머지 LDPC 패리티 비트들에서 특정한 수의 비트들을 선택할 수도 있다.

[0319] 예를 들어, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 36과 같이 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0320] 그리고, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 37과 같이 평처링된 LDPC 패리티 비트들 전체를 선택하고, LDPC 패리티 비트들 중에서 리피티션되는 LDPC 패리티 비트들을 제외한 나머지 LDPC 패리티 비트들 중 첫 번째 비트부터 ($N_{AP} - N_{punc}$) 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0321] 이 경우, 부가 패리티 생성부(130)는 도 38과 같이 LDPC 패리티 비트들 중에서 리피티션되는 LDPC 패리티 비트들을 제외한 나머지 LDPC 패리티 비트들이 모두 선택되면, 나머지 비트들은 리피티션되는 LDPC 패리티 비트들에서 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0322] 한편, 상술한 예에서는 LDPC 패리티 비트들을 선택하여 부가 패리티 비트들을 생성하는 것으로 설명하였으나 이는 일 예에 불과하고, 부가 패리티 생성부(140)는 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 작은 경우 아우터 인코딩된 비트들 및 LDPC 패리티 비트들에서 비트들을 선택하여 부가 패리티 비트들을 생성할 수도 있다.

[0323] 이 경우, 부가 패리티 생성부(140)는 아우터 인코딩된 비트들 및 LDPC 패리티 비트들에서 비트들을 선택할 때, 이미 선택되었던 비트들을 제외하고 비트들을 선택할 수 있다. 이때, 중복하여 선택할 경우 선택된 횟수가 가장 작은 비트들부터 선택될 수 있다.

[0324] 또한, 상술한 예에서는 리피티션이 수행된 이후, 리피티션 비트들을 고려하여 부가 패리티 비트들을 생성하는 것으로 설명하였으나 이는 일 예에 불과하다. 즉, 경우에 따라, 리피티션은 생략될 수도 있다.

[0325] 이 경우, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0326] 또한, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들보다 큰 경우, 평처링된 LDPC 패리티 비트들 전체를 선택하고, LDPC 패리티 비트들 즉, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 값만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수도 있다.

[0327] 또한, 상술한 예에서는 비트 단위로 LDPC 패리티 비트들을 선택하여 부가 패리티 비트들을 생성하는 것으로 설명하였으나 이는 일 예에 불과하고, 부가 패리티 생성부(140)는 비트 그룹 단위로 LDPC 패리티 비트들을 선택하여 부가 패리티 비트들을 생성할 수도 있다.

[0328] 예를 들어, LDPC 코드워드 $(v_0, v_1, \dots, v_{N_{inner}-1})$ 가 N_{group} 개의 비트 그룹으로 구분되어, $V=(Y_0, Y_1, \dots, Y_{N_{group}-1})$ 와 같이 나타내어지는 경우를 가정한다.

[0329] 이 경우, 부가 패리티 생성부(140)는 하기와 같은 수학식 13에 기초하여 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 를 산출할 수 있다.

수학식 13

$$N_{AP_temp} = \alpha \times K \times (N_{ldpc_parity} - N_{punc}),$$

[0330]

[0331] 여기에서, N_{ldpc_parity} 는 LDPC 패리티 비트들의 수, N_{punc} 는 평처링된 LDPC 패리티 비트들의 수이다. 그리고, $\alpha = 0.5$, $K=0,1,2$ 가 될 수 있다.

[0332] 그리고, 부가 패리티 생성부(140)는 하기의 수학식 14 또는 수학식 15에 기초하여 부가 패리티 비트들의 수 N_{AP} 를 산출할 수 있다.

수학식 14

$$N_{AP} = \left\lceil \frac{N_{AP_temp}}{n_{MOD}} \right\rceil \times n_{MOD}$$

[0333]

수학식 15

$$N_{AP} = \left\lfloor \frac{N_{AP_temp}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

[0335] 이들 수학식에서, $\lceil x \rceil$ 은 x 보다 크거나 같은 최소 정수를 의미하고, $\lfloor x \rfloor$ 는 x 보다 크지 않는 최대 정수를 의미한다. 그리고, n_{MOD} 는 변조 차수이다. 일 예로, QPSK, 16-QAM, 64-QAM 및 256-QAM의 경우, n_{MOD} 는 2, 4, 6, 8이 될 수 있다.

[0336] 이후, 부가 패리티 생성부(140)는 LDPC 패리티 비트들에서 산출된 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0337] 구체적으로, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 작거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 산출된 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0338] 즉, $N_{AP} \leq N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 39와 같이, 평처링된 LDPC 패리티 비트들 중 첫 번째 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다. 이에 따라, 부가 패리티 비트들을 위해

$$(\mathbf{v}_{N_{inner} \cdot N_{punc}}, \mathbf{v}_{N_{inner} \cdot N_{punc} + 1}, \dots, \mathbf{v}_{N_{inner} \cdot N_{punc} + N_{AP} - 1})$$

가 선택될 수 있다.

[0339] 한편, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수가 평처링된 LDPC 패리티 비트들의 수보다 큰 경우,

$$\text{즉, } N_{AP} > N_{punc} \text{인 경우, 먼저, 평처링된 LDPC 패리티 비트들 전체를 선택할 수 있다. 이에 따라, } (\mathbf{v}_{N_{inner} \cdot N_{punc}},$$

$$\mathbf{v}_{N_{inner} \cdot N_{punc} + 1}, \dots, \mathbf{v}_{N_{inner} \cdot N_{punc} + N_{AP} - 1})$$

가 부가 패리티 비트들로 선택될 수 있다

[0340] 그리고, 부가 패리티 생성부(140)는 부가 패리티 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 비트 그룹 단위로 선택할 수 있다.

[0341] 이를 위해, 부가 패리티 생성부(140)는 하기의 수학식 16에 기초하여 비트 그룹 내의 모든 비트들이 부가 패리티 비트들을 위해 선택되는 비트 그룹의 개수를 산출할 수 있다.

수학식 16

$$N_{AP_groups} = \left\lfloor \frac{N_{AP} - N_{punc}}{360} \right\rfloor$$

[0342]

[0343] 그리고, 부가 패리티 생성부(140)는 부가 패리티 패턴에 기초하여, 복수의 비트 그룹 중 부가 패리티 비트들의 생성에 이용되는 비트 그룹을 판단하고, 판단된 비트 그룹 중 일부 비트 그룹 내의 모든 비트들 및 나머지 비트 그룹 내의 일부 비트들을 선택하여, 부가 패리티 비트들을 생성할 수 있다.

[0344] 이 경우, 부가 패리티 패턴은 LDPC 패리티 비트들을 구성하는 복수의 비트 그룹 중 부가 패리티 비트들로 선택되는 비트 그룹의 순서를 정의하는 패턴으로, 일 예로, $\pi_{AP}(j) (0 \leq j < N_{group})$ 에 대해, $\pi_{AP}(0) = x_0$, $\pi_{AP}(1) = x_1, \dots, \pi_{AP}(N_{group} - 1) = x_{N_{group} - 1}$ 과 같이 정의되어 있을 수 있다.

[0345] 여기에서, $x_0, x_1, \dots, x_{N_{group} - 1}$ 은 LDPC 패리티 비트들을 구성하는 복수의 비트 그룹의 인덱스이고, N_{group} 은 LDPC 패리티 비트들을 구성하는 복수의 비트 그룹의 수이며, 하나의 비트 그룹은 360 개의 비트들로 구성되어 있을 수 있다.

[0346] 구체적으로, 부가 패리티 생성부(140)는 부가 패리티 패턴에 기초하여 복수의 비트 그룹 중 $\pi_{AP}(0)$ 번째 비트 그룹, $\pi_{AP}(1)$ 번째 비트 그룹, \dots , $\pi_{AP}(N_{AP_groups} - 1)$ 번째 비트 그룹의 모든 비트들을 부가 패리티 비트들을 위해

선택할 수 있다. 즉, x_0 번째 비트 그룹, x_1 번째 비트 그룹, \dots , $x_{N_{group} - 1}$ 번째 비트 그룹의 모든 비트들을 부가 패리티 비트들로 선택할 수 있다.

[0347] 한편, 부가 패리티 생성부(140)는 $N_{AP} - N_{punc}$ 개의 비트들을 선택하여야 하지만, N_{AP_groups} 개의 비트 그룹에서 선택된 비트들은 $(360 \times N_{AP_groups})$ 이므로, 부가 패리티 생성부(140)는 $(N_{AP} - N_{punc} - 360 \times N_{AP_groups})$ 개의 비트들을 추가적으로 선택할 수 있다.

[0348] 이 경우, 부가 패리티 생성부(140)는 부가 패리티 패턴에 기초하여 추가적으로 선택되는 비트들을 포함하는 비트 그룹을 판단하고, 판단된 비트 그룹의 첫 번째 비트부터 $(N_{AP} - N_{punc} - 360 \times N_{AP_groups})$ 개의 비트들을 추가적으로

선택할 수 있다.

[0349] 구체적으로, 부가 패리티 생성부(140)는 부가 패리티 패턴에 기초하여 $\pi_{AP}(N_{AP_groups})$ 번째 비트 그룹을 판단하고, $\pi_{AP}(N_{AP_groups})$ 번째 비트 그룹의 첫 번째 비트부터 ($N_{AP}-N_{punc}-360 \times N_{AP_groups}$) 개의 비트들을 부가 패리

티 비트들을 위해 선택할 수 있다. 즉, $x^{N_{group}}$ 번째 비트 그룹의 트부터 ($N_{AP}-N_{punc}-360 \times N_{AP_groups}$) 개의 비트들을 부가 패리티 비트들로 추가적으로 선택할 수 있다.

[0350] 결국, $N_{AP} > N_{punc}$ 인 경우, 부가 패리티 생성부(140)는 도 40과 같이, 평처링된 LDPC 패리티 비트들 전체를 선택하고, $\pi_{AP}(0)$ 번째 비트 그룹, $\pi_{AP}(1)$ 번째 비트 그룹, ..., $\pi_{AP}(N_{AP_groups}-1)$ 번째 비트 그룹의 모든 비트들 및 $\pi_{AP}(N_{AP_groups})$ 번째 비트 그룹의 첫 번째 비트부터 ($N_{AP}-N_{punc}-360 \times N_{AP_groups}$) 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0351] 한편, 리피티션이 소정의 패턴을 기반으로 선택될 경우, 부가 패리티 비트들을 선택할 때 소정의 리피티션 패턴을 우선으로 고려하여 사용할 수 있다. 즉, 리피티션 패턴에 기반하여 리피티션된 비트들 이후의 비트들부터 선택하여 부가 패리티로 선택하도록 한다. 리피티션 패턴으로 정의된 리피티션 비트들의 최대 개수에서 리피티션 비트의 개수를 제외한 개수가 부가 패리티 비트의 개수보다 클 경우, 리피티션 패턴과 부가 패리티 패턴 모두를 기반으로 하여, 부가 패리티 비트를 생성할 수 있다. 리피티션 패턴이라고 함은 주어진 LDPC 코드워드 중에서 추가로 전송할 때 성능이 우수한 그룹의 순서를 의미하므로 리피티션 패턴을 기반으로 부가 패리티를 생성하고, 부가 패리티 비트가 더 필요할 경우 부가 패리티 비트의 패턴을 기반하도록 한다.

[0352] 한편, 송신 장치(100)는 평처링부(130)에서 출력되는 비트들 및 부가 패리티 생성부(140)에서 출력되는 비트들을 수신 장치(200)로 전송할 수 있다.

[0353] 이 경우, 송신 장치(100)는 평처링부(130)에서 출력되는 리피티션 및 평처링 이후의 LDPC 코드워드에서 패딩된 제로 비트들을 제외한 LDPC 코드워드 비트들 즉, 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드를 수신 장치(200)로 전송할 수 있다.

[0354] 구체적으로, 송신 장치(100)는 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드 비트들 및 부가 패리티 비트들을 각각 변조하여 성상도 심볼들에 맵핑하고, 이들을 프레임에 맵핑하여 수신 장치(200)로 전송할 수 있다.

[0355] 다만, 리피티션이 생략되는 경우, 송신 장치(100)는 평처링 이후의 LDPC 코드워드에서 패딩된 제로 비트들을 제외한 LDPC 코드워드 비트들 즉, 평처링 및 쇼트닝 이후의 LDPC 코드워드를 수신 장치(200)로 전송할 수 있다.

[0356] 이 경우, 송신 장치(100)는 QPSK, 16-QAM, 64-QAM 또는 256-QAM 등을 이용하여 변조할 수 있으며, 리피티션, 평처링 및 쇼트닝 이후의 LDPC 코드워드 비트들(또는, 평처링 및 쇼트닝 이후의 LDPC 코드워드) 및 부가 패리티 비트들을 동일한 변조 방식으로 이용하여 변조할 수 있다.

[0357] 한편, 송신 장치(100)는 현재 프레임에서 전송되는 정보어 비트들에 기초하여 생성된 부가 패리티 비트들을 해당 프레임 이전의 프레임에 맵핑할 수 있다.

[0358] 즉, 송신 장치(100)는 $i-1$ 번째 프레임에 대응되는 정보어 비트들을 포함하는 평처링 및 쇼트닝 이후의 LDPC 코드워드는 $i-1$ 번째 프레임에 맵핑하고, i 번째 프레임에 대응되는 정보어 비트들에 기초하여 생성된 부가 패리티 비트들을 $i-1$ 번째 프레임에 추가로 맵핑하여 수신 장치(200)로 전송할 수 있다.

[0359] 이에 따라, $i-1$ 번째 프레임에는 $i-1$ 번째 프레임에 대응되는 정보어 비트들 및 그에 기초하여 생성된 패리티 비트들뿐만 아니라, i 번째 프레임에 대응되는 정보어 비트들에 기초하여 생성된 부가 패리티 비트들이 맵핑될 수 있다.

[0360] 한편, 상술한 바와 같이, 정보어 비트들은 데이터에 대한 시그널링 정보를 포함하는 시그널링이라는 점에서, 송신 장치(100)는 데이터를 해당 데이터를 처리하기 위한 시그널링과 함께 프레임에 맵핑하여 수신 장치(200)로 전송할 수 있다.

[0361] 구체적으로, 송신 장치(100)는 데이터를 일정한 방식으로 처리하여 성상도 심볼들을 생성하고, 이들을 각 프레임의 데이터 심볼에 맵핑할 수 있다. 그리고, 송신 장치(100)는 각 프레임에 맵핑된 데이터에 대한 시그널링을 해당 프레임의 프리앰블에 맵핑할 수 있다. 예를 들어, 송신 장치(100)는 i 번째 프레임에 맵핑된 데이터에 대

한 시그널링 정보를 포함하는 시그널링을 i 번째 프레임에 맵핑할 수 있다.

[0362] 이에 따라, 수신 장치(200)는 프레임으로부터 획득한 시그널링을 이용하여 해당 프레임으로부터 데이터를 획득하여 처리할 수 있게 된다.

[0363] 한편, 본 발명의 일 실시 예에 따르면, 상술한 정보어 비트들은 L1 디테일 시그널링(L1-detail signaling)으로 구현될 수 있다. 이에 따라, 송신 장치(100)는 상술한 방법을 이용하여 L1 디테일 시그널링에 대한 부가 패리티 비트들을 생성하여 수신 장치(200)로 전송할 수 있다.

[0364] 여기에서, L1 디테일 시그널링은 ATSC(Advanced Television System Committee) 3.0 표준에서 정의된 시그널링 일 수 있다.

[0365] 구체적으로, L1 디테일 시그널링 처리하는 모드는 7 개로 구분되는데, 본 발명의 일 실시 예에 따른 송신 장치(100)는 7 개의 모드에 따라 L1 디테일 시그널링에 대한 부가 패리티 비트들을 생성할 수 있다.

[0366] 한편, ATSC 3.0 표준에서는 L1 디테일 시그널링 외에도 L1 베이직 시그널링(L1-basic signaling)을 정의하고 있는데, 송신 장치(100)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 특정 방식으로 처리하여 수신 장치(200)로 전송할 수 있다.

[0367] 한편, L1 베이직 시그널링 및 L1 디테일 시그널링을 처리하는 구체적인 방법은 후술하기로 한다.

[0368] 송신 장치(100)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 프레임의 프리앰블에 맵핑하고, 데이터를 프레임의 데이터 심볼에 맵핑하여 수신 장치(200)로 전송할 수 있다.

[0369] 도 41을 참조하면, 프레임은 3 가지 파트 즉, 부트스트랩(bootsrap) 파트, 프리앰블 파트 및 데이터 파트로 구성될 수 있다.

[0370] 부트스트랩 파트는 초기 동기화(synchronization)를 위해 이용되며, 수신 장치(200)가 L1 시그널링을 디코딩하기 위한 기본적인 파라미터를 제공한다. 또한, 부트스트랩 파트는 송신 장치(100)가 L1 베이직 시그널링을 처리한 모드에 대한 정보 즉, 송신 장치(100)가 어떠한 모드로 L1 베이직 시그널링을 처리하였는지에 대한 정보를 포함할 수 있다.

[0371] 프리앰블 파트는 L1 시그널링을 포함하며, 2 개의 파트 즉, L1 베이직 시그널링 및 L1 디테일 시그널링으로 구성될 수 있다.

[0372] 여기에서, L1 베이직 시그널링은 L1 디테일 시그널링에 대한 정보를 포함하고, L1 디테일 시그널링은 데이터(여기에서, 데이터는 방송 서비스를 제공하기 위한 방송 데이터로, 하나 이상의 물리 계층 파이프(Physical Layer Pipes, PLPs)를 통해 전송될 수 있다)에 대한 정보를 포함할 수 있다.

[0373] 구체적으로, L1 베이직 시그널링은 수신 장치(200)가 L1 디테일 시그널링을 처리하기 위해 필요한 정보(예를 들어, 송신 장치(100)가 L1 디테일 시그널링을 처리한 모드에 대한 정보(즉, 송신 장치(100)가 어떠한 모드로 L1 디테일 시그널링을 처리하였는지에 대한 정보), L1 디테일 시그널링의 길이에 대한 정보, 부가 패리티 모드에 대한 정보(즉, L1B_L1_Detail_additional_parity_mode로, 송신 장치(100)에서 부가 패리티 비트들을 생성하기 위해 이용한 K 값에 대한 정보(여기에서, L1B_L1_Detail_additional_parity_mode가 '00'으로 설정된 경우 K=0이며, 부가 패리티 비트들은 이용되지 않은 것이다) 및 total cells의 길이에 대한 정보)를 포함한다. 또한, L1 베이직 시그널링은 FFT(Fast Fourier Transform) 사이즈, 가드 인터벌 및 파일럿 패턴 등과 같은 시스템의 기본적인 시그널링 정보를 포함할 수도 있다.

[0374] 그리고, L1 디테일 시그널링은 수신 장치(200)가 PLPs를 디코딩하기 위해 필요한 정보(예를 들어, PLP 별로 데이터 심볼에 맵핑된 셀들의 시작 위치, PLP ID, PLP의 사이즈, 변조 방식 및 부호율 등)를 포함한다.

[0375] 이에 따라, 수신 장치(200)는 프레임의 동기를 획득하고 프리앰블로부터 L1 베이직 시그널링 및 L1 디테일 시그널링을 획득하고, L1 디테일 시그널링을 이용하여 데이터 심볼로부터 사용자가 필요로 하는 방송 데이터를 수신 할 수 있다.

[0376] 한편, 이하에서는 첨부된 도면을 참조하여, L1 베이직 시그널링 및 L1 디테일 시그널링을 처리하는 방법에 대해 보다 구체적으로 설명하도록 한다.

[0377] 도 42 및 도 43은 본 발명의 일 실시 예에 따른 송신 장치의 세부 구성을 설명하기 위한 블록도이다.

[0378] 구체적으로, 도 42와 같이, 송신 장치(100)는 L1 베이직 시그널링을 처리하기 위해, 스크램블러(211), BCH 인코

더(212), 제로 패딩부(213), LDPC 인코더(214), 패리티 퍼뮤테이션부(215), 리퍼티션부(216), 평처링부(217), 제로 제거부(218), 비트 디믹스(219) 및 성상도 맵퍼(221)를 포함할 수 있다.

[0379] 또한, 도 43과 같이, 송신 장치(100)는 L1 디테일 시그널링을 처리하기 위해, 세그먼테이션부(311), 스크램블러(312), BCH 인코더(313), 제로 패딩부(314), LDPC 인코더(315), 패리티 퍼뮤테이션부(316), 리퍼티션부(317), 평처링부(318), 부가 패리티 생성부(319), 제로 제거부(321), 비트 디믹스(322, 323) 및 성상도 맵퍼(324, 325)를 포함할 수 있다.

[0380] 여기에서, 도 42 및 도 43에 도시된 구성요소는, L1 베이직 시그널링 및 L1 디테일 시그널링에 대한 인코딩 및 변조(encoding and modulation)를 수행하는 구성요소로서, 이는 일 예일 뿐이며, 경우에 따라 도 42 및 도 43에 도시된 구성요소 중 일부는 생략 또는 변경될 수 있고, 다른 구성요소가 더 추가될 수도 있다.

[0381] 한편, 도 43에 도시된 LDPC 인코더(315), 리퍼티션부(317), 평처링부(318) 및 부가 패리티 생성부(319)는 도 1에 도시된 LDPC 인코더(110), 리퍼티션부(120), 평처링부(130) 및 부가 패리티 생성부(140)가 수행하는 동작을 수행할 수 있다.

[0382] 한편, 도 42 및 도 43을 설명함에 있어, 공통적인 기능을 수행하는 구성요소에 대해서는 편의상 함께 설명하도록 한다.

[0383] L1 베이직 시그널링 및 L1 디테일 시그널링은 BCH 아우터 코드(BCH outer code) 및 LDPC 이너 코드(LDPC inner code)의 연접(concatenation)에 의해 보호될 수 있다. 다만, 이는 일 예일 뿐이며, 연접 코드에서 이너 코드 이전에 수행되는 아우터 코드는 BCH 외의 CRC 등의 다른 코드가 이용될 수 있다. 또한, 아우터 코드 없이 LDPC 코드만으로 L1 베이직 시그널링 및 L1 디테일 시그널링이 보호될 수도 있다.

[0384] 먼저, L1 베이직 시그널링 및 L1 디테일 시그널링은 스크램블링될 수 있다. 그리고, L1 베이직 시그널링 및 L1 디테일 시그널링이 BCH 인코딩되고, BCH 인코딩에 따라 생성된 L1 베이직 시그널링 및 L1 디테일 시그널링의 BCH 패리티 체크 비트들이 L1 베이직 시그널링 및 L1 디테일 시그널링 각각에 부가될 수 있다. 그리고, 연접된 시그널링과 BCH 패리티 체크 비트들은 쇼트닝 및 평처링된 16K LDPC 코드에 의해 추가로 보호될 수 있다.

[0385] 한편, 넓은 SNR 범위에 적합한, 다양한 강인함 레벨(robustness level)을 제공하기 위해, L1 베이직 시그널링 및 L1 디테일 시그널링의 보호 레벨(protection level)은 7 개의 모드로 구분될 수 있다. 즉, L1 베이직 시그널링 및 L1 디테일 시그널의 보호 레벨은 LDPC 코드, 변조 차수, 쇼트닝/평처링 파라미터(즉, 쇼트닝되는 비트들의 수에 대한 평처링되는 비트들의 수의 비율) 및 기본 평처링 비트들의 수(즉, 쇼트닝되는 비트들의 수가 0일 때, 기본적으로 평처링되는 비트들의 수)에 기초하여 7 개의 모드로 구분될 수 있다. 각 모드에서, LDPC 코드, 변조 차수, 성상도(constellation) 및 쇼트닝/평처링 패턴 중 적어도 하나의 서로 다른 조합이 이용될 수 있다.

[0386] 한편, 송신 장치(100)가 어떠한 모드로 시그널링을 처리할지는 시스템에 따라 미리 설정되어 있을 수 있다. 이에 따라, 송신 장치(100)는 설정된 모드에 따라 시그널링을 처리하기 위한 파라미터(가령, 각 모드에 대한 ModCod(modulation and code rate), BCH 인코딩을 위한 파라미터, 제로 패딩을 위한 파라미터, 쇼트닝 패턴, LDPC 코드의 코드 레이트/코드 길이, 그룹-와이즈 인터리빙 패턴, 리퍼티션을 위한 파라미터, 평처링을 위한 파라미터 및 변조 방식 등)를 결정하고, 결정된 파라미터를 기초로 시그널링을 처리하여 수신 장치(200)로 전송할 수 있다. 이를 위해, 송신 장치(100)는 모드에 따라 시그널링을 처리하기 위한 파라미터를 기저장하고 있을 수 있다.

[0387] L1 베이직 시그널링을 처리하는 7 개의 모드 및 L1 디테일 시그널링을 처리하는 7 개의 모드에 대한 ModCod 구성(modulation and code rate configurations)은 하기의 표 4와 같다. 송신 장치(100)는 모드에 따라 표 4에서 정의된 ModCod 구성에 기초하여 시그널링을 인코딩 및 변조할 수 있다. 즉, 송신 장치(100)는 표 4에 기초하여 각 모드에서의 시그널링에 대한 인코딩 및 변조 방식을 결정하고, 결정된 방식에 따라 시그널링을 인코딩 및 변조할 수 있다. 이 경우, 송신 장치(100)는 동일한 변조 방식으로 L1 시그널링을 변조하는 경우에도, 서로 다른 성상도를 이용할 수도 있다.

표 4

Signaling FEC Type	K_{sig}	Code Length	Code Rate	Constellation	
L1-Basic	Mode 1	200	3/15 (Type A)	QPSK	
	Mode 2			QPSK	
	Mode 3			QPSK	
	Mode 4			NUC_16-QAM	
	Mode 5			NUC_64-QAM	
	Mode 6			NUC_256-QAM	
	Mode 7			NUC_256-QAM	
L1-Detail	Mode 1	400 ~ 2352	16200 6/15 (Type B)	QPSK	
	Mode 2	400 ~ 3072		QPSK	
	Mode 3	400 ~ 6312		QPSK	
	Mode 4			NUC_16-QAM	
	Mode 5			NUC_64-QAM	
	Mode 6			NUC_256-QAM	
	Mode 7			NUC_256-QAM	

[0388]

한편, 표 4에서 K_{sig} 는 코딩된 블록(coded block)에 대한 정보이 비트들의 수를 의미한다. 즉, K_{sig} 의 길이를 갖는 L1 시그널링 비트들이 인코딩되어 코딩된 블록이 생성된다는 점에서, 하나의 코딩된 블록에서 L1 시그널링의 길이는 K_{sig} 가 된다. 따라서, K_{sig} 의 사이즈를 갖는 L1 시그널링 비트들은 하나의 LDPC 코딩된 블록에 대응되는 것으로 볼 수 있다.

[0389]

표 4를 참조하면, L1 베이직 시그널링에 대한 K_{sig} 값은 200으로 고정적이다. 하지만, L1 디테일 시그널링 비트들의 양은 가변적이라는 점에서, L1 디테일 시그널링에 대한 K_{sig} 값은 가변적이다.

[0390]

구체적으로, L1 디테일 시그널링의 경우, L1 디테일 시그널링 비트들의 수가 가변적이라는 점에서, L1 디테일 시그널링 비트들의 수가 기설정된 값보다 큰 경우, L1 디테일 시그널링은 기설정된 값 이하의 길이를 갖도록 세그먼테이션될 수 있다.

[0391]

이 경우, 세그먼트된 L1 디테일 시그널링 블록(즉, L1 디테일 시그널링의 세그먼트(segment)) 각각의 사이즈는 표 4에서 정의되는 K_{sig} 값을 가질 수 있다. 그리고, K_{sig} 의 사이즈를 갖는 세그먼트된 L1 디테일 시그널링 블록 각각은 하나의 LDPC 코딩된 블록에 대응될 수 있다.

[0392]

다만, L1 디테일 시그널링 비트들의 수가 기설정된 값보다 작거나 같은 경우, L1 디테일 시그널링을 세그먼테이션되지 않는다. 이 경우, L1 디테일 시그널링의 사이즈는 표 4에서 정의되는 K_{sig} 값을 가질 수 있다. 그리고, K_{sig} 의 사이즈를 갖는 L1 디테일 시그널링은 하나의 LDPC 코딩된 블록에 대응될 수 있다.

[0393]

이하에서는 L1 디테일 시그널링을 세그먼테이션하는 방법에 대해 구체적으로 살펴보도록 한다.

[0394]

세그먼테이션부(311)는 L1 디테일 시그널링을 세그먼테이션한다. 구체적으로, L1 디테일 시그널링의 길이는 가변적이라는 점에서, 세그먼테이션부(311)는 L1 디테일 시그널링의 길이가 기설정된 값보다 큰 경우, 기설정된 값 이하의 비트들을 갖도록 L1 디테일 시그널링을 세그먼테이션하고, 세그먼트된 L1 디테일 시그널링 각각을 스크램블러(312)로 출력할 수 있다.

[0395]

다만, 세그먼테이션부(311)는 L1 디테일 시그널링의 길이가 기설정된 값보다 작거나 같은 경우, 별도의 세그먼테이션 동작을 수행하지 않는다.

[0396]

한편, 세그먼테이션부(311)가 L1 디테일 시그널링을 세그먼테이션하는 방법은 다음과 같다.

[0397]

L1 디테일 시그널링 비트들의 양은 가변적이며, 주로 PLPs의 수에 의존적이다. 이에 따라, 전체 L1 디테일 시그널링을 전송하기 위해서는 적어도 하나의 FEC(forward error correction) 프레임들이 요구된다. 여기에서, FEC 프레임은 L1 디테일 시그널링이 인코딩되어, L1 디테일 시그널링에 인코딩에 따른 패리티 비트들이 부가된 형태를 의미할 수 있다.

[0398]

구체적으로, L1 디테일 시그널링이 세그먼테이션되지 않는 경우에는 L1 디테일 시그널링이 BCH 인코딩 및 LDPC 인코딩되어 하나의 FEC 프레임이 생성되므로, L1 디테일 시그널링 전송을 위해 하나의 FEC 프레임이 요구된다. 반면, L1 디테일 시그널링이 적어도 두 개로 세그먼테이션되는 경우에는 세그먼트된 적어도 두 개의 L1 디테일

시그널링이 각각 BCH 인코딩 및 LDPC 인코딩되어 적어도 두 개의 FEC 프레임이 생성되므로, L1 디테일 시그널링 전송을 위해 적어도 두 개의 FEC 프레임이 요구된다.

[0400] 따라서, 세그먼테이션부(311)는 하기의 수학식 17에 기초하여 L1 디테일 시그널링을 위한 FEC 프레임의 수 $N_{L1D_FECFRAME}$ 을 산출할 수 있다. 즉, L1 디테일 시그널링을 위한 FEC 프레임의 수 $N_{L1D_FECFRAME}$ 는 하기의 수학식 17에 기초하여 결정될 수 있다.

수학식 17

$$N_{L1D_FECFRAME} = \left\lceil \frac{K_{L1D_ex_pad}}{K_{seg}} \right\rceil$$

[0401]

$\lceil x \rceil$

[0402] 여기에서, $\lceil x \rceil$ 은 x보다 크거나 같은 최소 정수를 의미한다.

[0403] 그리고, $K_{L1D_ex_pad}$ 는 도 44에 도시된 바와 같이 L1 패딩 비트들(L1 padding bits)을 제외한 L1 디테일 시그널링의 길이를 나타내며, L1 베이직 시그널링에 포함된 L1B_L1_Detail_size_bits 필드의 값에 의해 결정될 수 있다.

[0404] 또한, K_{seg} 는 LDPC 인코더(315)로 입력되는 정보어 비트들 즉, LDPC 정보어 비트들의 수 K_{ldpc} 에 기초하여 정의되는 세그먼테이션을 위한 임계값(threshold number)이다. 또한, K_{seg} 는 BCH 코드의 BCH 패리티 체크 비트들의 수와 360의 배수 값에 기초하여 정의될 수 있다.

[0405] 한편, K_{seg} 는 세그먼테이션 후, 코딩된 블록에서 정보어 비트들의 수 K_{sig} 가 $(K_{ldpc}-M_{outer})$ 보다 작거나 같아지도록 한다. 구체적으로, K_{seg} 에 기초하여 L1 디테일 시그널링을 세그먼테이션하는 경우, 세그먼트된 L1 디테일 시그널링의 길이는 K_{seg} 를 초과하지 않게 된다는 점에서, K_{seg} 를 하기의 표 5와 같이 설정하는 경우, 세그먼트된 L1 디테일 시그널링의 길이는 $(K_{ldpc}-M_{outer})$ 보다 작거나 같아지게 된다.

[0406] 여기에서, M_{outer} 및 K_{ldpc} 는 표 6 및 표 7과 같다. 한편, 충분한 강인함(sufficient robustness)을 위해, L1 디테일 모드 1에 대한 K_{seg} 값은 $(K_{ldpc}-M_{outer}-720)$ 으로 설정될 수 있다.

[0407] 한편, L1 디테일 시그널링의 각 모드에 대한 K_{seg} 는 하기의 표 5와 같이 정의될 수 있다. 이 경우, 세그먼테이션부(311)는 표 5에 기초하여 모드에 따른 K_{seg} 를 결정할 수 있다.

표 5

L1-Detail	K_{seg}
Mode 1	2352
Mode 2	3072
Mode 3	
Mode 4	
Mode 5	
Mode 6	
Mode 7	6312

[0408]

[0409] 한편, 도 44와 같이, 전체 L1 디테일 시그널링은 L1 디테일 시그널링 및 L1 패딩 비트들로 구성될 수 있다.

[0410] 이 경우, 세그먼테이션부(311)는 하기의 수학식 18에 기초하여 L1 디테일 시그널링에 대한 L1_PADDING 필드의 길이 즉, L1 패딩 비트들의 수 K_{L1D_PAD} 를 산출할 수 있다.

[0411] 하지만, 수학식 18에 기초하여 K_{L1D_PAD} 를 산출하는 것은 일 예일 뿐이다. 즉, 세그먼테이션부(311)는 $K_{L1D_ex_pad}$ 및 $N_{L1D_FECFRAME}$ 값을 기초로 L1 디테일 시그널링에 대한 L1_PADDING 필드의 길이 즉, L1 패딩 비트들의 수 K_{L1D_PAD} 를

산출할 수 있다. 일 예로, 하기 수학식 18에 기초하여 K_{L1D_PAD} 값을 구할 수 있다. 즉, 수학식 18은 K_{L1D_PAD} 값을 구하는 방법의 일 예일 뿐, 동일한 결과가 나오도록 $K_{L1D_ex_pad}$ 및 $N_{L1D_FECFRAME}$ 값을 기초하여 다른 방법을 통해 적용할 수도 있다.

수학식 18

$$K_{L1D_PAD} = \left\lceil \frac{K_{L1D_ex_pad}}{N_{L1D_FECFRAME}} \right\rceil \times N_{L1D_FECFRAME} - K_{L1D_ex_pad}$$

[0412]

[0413] 그리고, 세그먼테이션부(311)는 L1_PADDING 파트에 K_{L1D_PAD} 개의 제로 비트들(즉, 0 값을 갖는 비트들)을 채울 수 있다. 이에 따라, 도 44와 같이 K_{L1D_PAD} 개의 제로 비트들이 L1_PADDING 파트에 채워질 수 있다.

[0414]

이와 같이, L1_PADDING 필드의 길이를 산출하고 산출된 길이만큼의 제로 비트들을 L1_PADDING 파트에 패딩함으로써, L1 디테일 시그널링을 세그먼테이션할 때, L1 디테일 시그널링을 각각 동일한 수의 비트들로 구성된 복수의 블록으로 세그먼테이션할 수 있게 된다.

[0415]

이후, 세그먼테이션부(311)는 하기의 수학식 19에 기초하여 제로 패딩 비트들(zero padding bits)을 포함하는 전체 L1 디테일 시그널링의 최종 길이 K_{L1D} 를 산출할 수 있다.

수학식 19

$$K_{L1D} = K_{L1D_ex_pad} + K_{L1D_PAD}$$

[0416]

[0417] 그리고, 세그먼테이션부(311)는 하기의 수학식 20에 기초하여 $N_{L1D_FECFRAME}$ 개의 블록 각각에서의 정보어 비트들의 수 K_{sig} 를 산출할 수 있다.

수학식 20

$$K_{sig} = \frac{K_{L1D}}{N_{L1D_FECFRAME}}$$

[0418]

[0419] 이후, 세그먼테이션부(311)는 전체 L1 디테일 시그널링을 K_{sig} 개의 비트 수만큼씩 세그먼테이션할 수 있다.

[0420]

구체적으로, 도 44와 같이, 세그먼테이션부(311)는 $N_{L1D_FECFRAME}$ 가 1 보다 큰 경우, 전체 L1 디테일 시그널링을 K_{sig} 개의 비트 수만큼씩 세그먼테이션하여, 전체 L1 디테일 시그널링을 $N_{L1D_FECFRAME}$ 개의 블록으로 세그먼테이션할 수 있다.

[0421]

이에 따라, L1 디테일 시그널링은 $N_{L1D_FECFRAME}$ 개의 블록으로 세그먼테이션되고, $N_{L1D_FECFRAME}$ 개의 블록 각각에서 L1 디테일 시그널링 비트들의 수는 K_{sig} 가 될 수 있다. 또한, 세그먼트된 L1 디테일 시그널링 각각은 인코딩되어, 인코딩 결과로서 코딩된 블록 즉, FEC 프레임을 형성한다는 점에서, 결국, $N_{L1D_FECFRAME}$ 개의 코딩된 블록 각각에서 L1 디테일 시그널링 비트들의 수는 K_{sig} 가 될 수 있다.

[0422]

다만, L1 디테일 시그널링이 세그먼테이션되지 않는 경우, $K_{sig} = K_{L1D_ex_pad}$ 이다.

- [0423] 한편, 세그먼트된 L1 디테일 시그널링 블록은 하기와 같은 절차에 의해 인코딩될 수 있다.
- [0424] 구체적으로, K_{sig} 의 정보어 사이즈를 갖는 L1 디테일 시그널링 블록 각각의 모든 비트들은 스크램블링될 수 있다. 이후, 스크램블링된 L1 디테일 시그널링 블록 각각은 BCH 아우터 코드 및 LDPC 이너 코드의 연접에 의해 인코딩될 수 있다.
- [0425] 구체적으로, L1 디테일 시그널링 블록 각각은 BCH 인코딩되어 M_{outer} (=168) 개의 BCH 패리티 체크 비트들이 각 블록의 K_{sig} 개의 L1 디테일 시그널링 비트들에 부가되고, 다음으로 각 블록의 L1 디테일 시그널링 비트들과 BCH 패리티 체크 비트들의 연접은 쇼트닝 및 평처링된 16K LDPC 코드에 의해 인코딩될 수 있다. 한편, BCH 코드 및 LDPC 코드와 관련된 구체적인 내용은 후술하기로 한다. 다만, 본 발명에서는 $M_{outer}=168$ 인 경우에 대해서만 설명하지만, 시스템의 요구 사항에 따라 적절한 값으로 변경 가능함은 자명하다.
- [0426] 스크램블러(211, 312)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 스크램블링한다. 구체적으로, 스크램블러(211, 312)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 랜덤화하고, 랜덤화된 L1 베이직 시그널링 및 L1 디테일 시그널링을 BCH 인코더(212, 313)로 출력할 수 있다.
- [0427] 이 경우, 스크램블러(211, 312)는 매(every) K_{sig} 개의 정보어 비트들을 스크램블링할 수 있다.
- [0428] 즉, 각 프레임을 통해 수신 장치(200)로 전송되는 L1 베이직 시그널링 비트들의 수는 200이라는 점에서, 스크램블러(211)는 매 K_{sig} (=200) 개씩의 L1 베이직 시그널링 비트들을 스크램블링할 수 있다.
- [0429] 한편, 각 프레임을 통해 수신 장치(200)로 전송되는 L1 디테일 시그널링 비트들의 수는 가변적이라는 점에서, 경우에 따라, L1 디테일 시그널링은 세그먼테이션부(311)에 의해 세그먼테이션될 수 있다. 그리고, 세그먼테이션부(311)는 K_{sig} 개의 비트들로 구성된 L1 디테일 시그널링 또는 세그먼트된 L1 디테일 시그널링을 스크램블러(312)로 출력할 수 있다. 이에 따라, 스크램블러(312)는 세그먼테이션부(311)로부터 출력되는 매 K_{sig} 개의 L1 디테일 시그널링 비트들을 스크램블링할 수 있다.
- [0430] BCH 인코더(212, 313)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 BCH 인코딩하여 BCH 패리티 체크 비트들을 생성한다.
- [0431] 구체적으로, BCH 인코더(212, 313)는 스크램블러(211, 313)에서 출력되는 L1 베이직 시그널링 및 L1 디테일 시그널링을 BCH 인코딩하여 BCH 패리티 체크 비트들을 생성하고, L1 베이직 시그널링 및 L1 디테일 시그널링 각각에 BCH 패리티 체크 비트들이 부가된 BCH 인코딩된 비트들을 제로 패딩부(213, 314)로 출력할 수 있다.
- [0432] 예를 들어, BCH 인코더(212, 313)는 입력되는 K_{sig} 개의 비트들을 BCH 인코딩하여(즉, $K_{sig}=K_{payload}$) M_{outer} 개의 BCH 패리티 체크 비트들을 생성하고, $N_{outer}(=K_{sig}+M_{outer})$ 개의 비트들로 구성된 BCH 인코딩된 비트들을 제로 패딩부(213, 314)로 출력할 수 있다.
- [0433] 한편, BCH 인코딩에 대한 파라미터는 하기의 표 6과 같이 정의될 수 있다.

표 6

Signaling FEC Type	K_{sig} $= K_{payload}$	M_{outer}	$N_{outer} = K_{sig} + M_{outer}$
L1-Basic	Mode 1	200	368
	Mode 2		
	Mode 3		
	Mode 4		
	Mode 5		
	Mode 6		
	Mode 7		
L1-Detail	Mode 1	400 ~ 2352	568 ~ 2520
	Mode 2	400 ~ 3072	568 ~ 3240
	Mode 3	400 ~ 6312	568 ~ 6480
	Mode 4		
	Mode 5		
	Mode 6		
	Mode 7		

[0434]

- [0435] 한편, 도 42 및 도 43을 참조하면, LDPC 인코더(214, 315)는 BCH 인코더(212, 313) 이후에 배치됨을 알 수 있다.
- [0436] 이에 따라, L1 베이직 시그널링 및 L1 디테일 시그널링은 BCH 아우터 코드 및 LDPC 이너 코드의 연접에 의해 보호될 수 있다.
- [0437] 구체적으로, L1 베이직 시그널링 및 L1 디테일 시그널링은 BCH 인코딩되어, L1 베이직 시그널링에 대한 BCH 패리티 체크 비트들이 L1 베이직 시그널링에 부가되고, L1 디테일 시그널링에 대한 BCH 패리티 체크 비트들이 L1 디테일 시그널링에 부가된다. 그리고, 연접된 L1 베이직 시그널링과 BCH 패리티 체크 비트들은 LDPC 코드에 의해 추가로 보호되고, 연접된 L1 디테일 시그널링과 BCH 패리티 체크 비트들은 LDPC 코드에 의해 추가로 보호될 수 있다.
- [0438] 여기에서, LDPC 코드는 16K LDPC 코드라는 점에서, BCH 인코더(212, 313)에서는 $N_{inner}=16200$ (즉, 16K LDPC 코드의 코드 길이는 16200으로, LDPC 인코딩에 의해 생성된 LDPC 코드워드는 16200 개의 비트들로 구성될 수 있다)을 위한 시스템틱 BCH 코드가 L1 베이직 시그널링 및 L1 디테일 시그널링의 아우터 인코딩을 위해 이용될 수 있다.
- [0439] 제로 패딩부(213, 314)는 제로 비트들을 패딩한다. 구체적으로, LDPC 코드의 경우, 코드 레이트 및 코드 길이에 따라 정해진 특정 수의 LDPC 정보어 비트들이 요구된다는 점에서, 제로 패딩부(213, 314)는 BCH 인코딩된 비트들의 수가 LDPC 정보어 비트들의 수보다 작은 경우, LDPC 인코딩을 위해 제로 비트들을 패딩하여, BCH 인코딩된 비트들 및 제로 비트들로 구성된 특정 수의 LDPC 정보어 비트들을 생성하고, 이를 LDPC 인코더(214, 315)로 출력할 수 있다. 한편, BCH 인코딩된 비트들의 수가 LDPC 정보어 비트들의 수와 동일한 경우, 제로 비트들은 패딩되지 않는다.
- [0440] 여기에서, 제로 패딩부(213, 314)에 의해 패딩된 제로 비트들은 LDPC 인코딩을 위해 패딩된 것으로, 쇼트닝에 따라 패딩된 제로 비트들은 수신 장치(200)로 전송되지 않는다.
- [0441] 예를 들어, 16K LDPC 코드의 LDPC 정보어 비트들의 수가 K_{ldpc} 인 경우, K_{ldpc} 개의 LDPC 정보어 비트들을 채우기 위해, LDPC 정보어 비트들의 일부에는 제로 비트들이 패딩될 수 있다.
- [0442] 구체적으로, BCH 인코딩된 비트들의 수가 N_{outer} 이고 16K LDPC 코드의 LDPC 정보어 비트들의 수가 K_{ldpc} 이고, $N_{outer} < K_{ldpc}$ 인 경우, 제로 패딩부(213, 314)는 LDPC 정보어 비트들의 일부에 $K_{ldpc}-N_{outer}$ 개의 제로 비트들을 패딩하고, N_{outer} 개의 BCH 인코딩된 비트들을 LDPC 정보어 비트들의 나머지 부분으로 사용하여, K_{ldpc} 개의 비트들로 구성된 LDPC 정보어 비트들을 생성할 수 있다. 다만, $N_{outer}=K_{ldpc}$ 인 경우, 제로 비트들은 패딩되지 않는다.
- [0443] 이를 위해, 제로 패딩부(213, 314)는 LDPC 정보어 비트들을 복수의 비트 그룹으로 구분할 수 있다.
- [0444] 예를 들어, 제로 패딩부(213, 314)는 하기의 수학식 21 또는 수학식 22에 기초하여, K_{ldpc} 개의 LDPC 정보어 비트들 ($i_0, i_1, \dots, i_{K_{ldpc}-1}$)을 N_{info_group} (= $K_{ldpc}/360$) 개의 비트 그룹으로 나눌 수 있다. 즉, 제로 패딩부(213, 314)는 각 비트 그룹에 포함된 비트들의 수가 360이 되도록, LDPC 정보어 비트들을 복수의 비트 그룹으로 나눌 수 있다.

수학식 21

$$Z_j = \left\{ i_k \mid j = \left\lfloor \frac{k}{360} \right\rfloor, 0 \leq k < K_{ldpc} \right\} \text{ for } 0 \leq j < N_{info_group}$$

- [0445]

수학식 22

$$Z_j = \{ i_k \mid 360 \times j \leq k < 360 \times (j+1) \} \text{ for } 0 \leq j < N_{\text{info_group}}$$

[0446]

[0447] 여기에서, Z_j 는 j 번째 비트 그룹을 나타낸다.

[0448] 한편, L1 베이직 시그널링 및 L1 디테일 시그널링에 대한 제로 패딩을 위한 파라미터 (N_{outer} , K_{ldpc} , $N_{\text{info_group}}$)은 하기의 표 7과 같이 정의될 수 있다. 이 경우, 제로 패딩부(213, 314)는 표 7에 기초하여 모드에 따라 제로 패딩을 위한 파라미터를 결정할 수 있다.

표 7

Signaling FEC Type	N_{outer}	K_{ldpc}	$N_{\text{info_group}}$
L1-Basic (all modes)	368	3240	9
L1-Detail Mode 1	568 ~ 2520		
L1-Detail Mode 2	568 ~ 3240		
L1-Detail Mode 3			
L1-Detail Mode 4			
L1-Detail Mode 5		6480	18
L1-Detail Mode 6			
L1-Detail Mode 7			

[0449]

[0450] 또한, $0 \leq j < N_{\text{info_group}}$ 에 대해, 도 45와 같이 각 비트 그룹 Z_j 는 360 개의 비트들로 구성될 수 있다.

[0451] 구체적으로, 도 45는 L1 베이직 시그널링 및 L1 디테일 시그널링 각각이 LDPC 인코딩된 후의 데이터 포맷을 나타낸다. 도 45에서 K_{ldpc} 개의 LDPC 정보어 비트들에 부가된 LDPC FEC는 LDPC 인코딩에 의해 생성된 LDPC 패리티 비트들을 나타낸다.

[0452] 도 45를 참조하면, K_{ldpc} 개의 LDPC 정보어 비트들은 $N_{\text{info_group}}$ 개의 비트 그룹으로 구분되며, 각 비트 그룹은 360 개의 비트들로 구성될 수 있다.

[0453] 한편, L1 베이직 시그널링 및 L1 디테일 시그널링에 대한 BCH 인코딩된 비트들의 수 $N_{\text{outer}} (=K_{\text{sig}}+M_{\text{outer}})$ 가 K_{ldpc} 보다 작은 경우, 즉, $N_{\text{outer}} (=K_{\text{sig}}+M_{\text{outer}}) < K_{\text{ldpc}}$ 인 경우, LDPC 인코딩을 위해, K_{ldpc} 개의 LDPC 정보어 비트들은 N_{outer} 개의 BCH 인코딩된 비트들과 $(K_{\text{ldpc}}-N_{\text{outer}})$ 개의 제로 패딩 비트들(zero-padded bits)로 채워질 수 있다. 이 경우, 패딩된 제로 비트들은 수신 장치(200)로 전송되지 않게 된다.

[0454] 이하에서는 제로 패딩부(213, 314)에서 수행되는 셋트닝 절차를 보다 구체적으로 설명하도록 한다.

[0455] 제로 패딩부(213, 314)는 패딩되는 제로 비트들의 수를 산출할 수 있다. 즉, 제로 패딩부(213, 314)는 LDPC 인코딩을 위해 요구되는 비트 수를 맞추기 위해, 패딩되어야 할 제로 비트들의 수를 산출할 수 있다.

[0456] 구체적으로, 제로 패딩부(213, 314)는 LDPC 정보어 비트들의 수와 BCH 인코딩된 비트들의 수의 차이만큼의 비트 수를 패딩되는 제로 비트들의 수로 산출할 수 있다. 즉, 제로 패딩부(213, 314)는 주어진 N_{outer} 에 대해, 제로 패딩 비트들의 수를 $(K_{\text{ldpc}}-N_{\text{outer}})$ 로 산출할 수 있다.

[0457] 그리고, 제로 패딩부(213, 314)는 모든 비트들이 패딩되는 비트 그룹의 수를 산출할 수 있다. 즉, 제로 패딩부(213, 314)는 비트 그룹 내의 모든 비트들이 제로 비트들로 패딩되는 비트 그룹의 수를 산출할 수 있다.

[0458] 구체적으로, 제로 패딩부(213, 314)는 하기의 수학식 23 또는 수학식 24에 기초하여 모든 비트들이 패딩되는 그룹의 수 N_{pad} 를 산출할 수 있다.

수학식 23

$$N_{\text{pad}} = \left\lfloor \frac{K_{\text{ldpc}} - N_{\text{outer}}}{360} \right\rfloor$$

[0459]

수학식 24

$$N_{\text{pad}} = \left\lfloor \frac{(K_{\text{ldpc}} - M_{\text{outer}}) - K_{\text{sig}}}{360} \right\rfloor$$

[0460]

[0461] 이후, 제로 패딩부(213, 314)는 쇼트닝 패턴에 기초하여, 복수의 그룹 중 제로 비트들이 패딩되는 비트 그룹을 판단하고, 판단된 비트 그룹 중 일부 비트 그룹 내의 모든 비트들 및 나머지 비트 그룹 내의 일부 비트들에 제로 비트들을 패딩할 수 있다.

[0462] 이 경우, 패딩되는 비트 그룹의 쇼트닝 패턴은 하기의 표 8과 같이 정의될 수 있다. 이 경우, 제로 패딩부(213, 314)는 표 8에 기초하여 모드에 따라 쇼트닝 패턴을 결정할 수 있다.

표 8

Signaling FEC Type	N _{info_group}	$\pi_s(j)$ ($0 \leq j < N_{\text{info_group}}$)								
		$\pi_s(0)$	$\pi_s(1)$	$\pi_s(2)$	$\pi_s(3)$	$\pi_s(4)$	$\pi_s(5)$	$\pi_s(6)$	$\pi_s(7)$	$\pi_s(8)$
L1-Basic (for all modes)		$\pi_s(9)$	$\pi_s(10)$	$\pi_s(11)$	$\pi_s(12)$	$\pi_s(13)$	$\pi_s(14)$	$\pi_s(15)$	$\pi_s(16)$	$\pi_s(17)$
L1-Detail Mode 1	9	4	1	5	2	8	6	0	7	3
L1-Detail Mode 2		-	-	-	-	-	-	-	-	-
L1-Detail Mode 3		7	8	5	4	1	2	6	3	0
L1-Detail Mode 4		-	-	-	-	-	-	-	-	-
L1-Detail Mode 5	18	6	1	7	8	0	2	4	3	5
L1-Detail Mode 6		-	-	-	-	-	-	-	-	-
L1-Detail Mode 7		0	12	15	13	2	5	7	9	8
		6	16	10	14	1	17	11	4	3
		0	15	5	16	17	1	6	13	11
		4	7	12	8	14	2	3	9	10
		2	4	5	17	9	7	1	6	15
		8	10	14	16	0	11	13	12	3
		0	15	5	16	17	1	6	13	11
		4	7	12	8	14	2	3	9	10
		15	7	8	11	5	10	16	4	12
		3	0	6	9	1	14	17	2	13

[0463]

[0464] 여기에서, $\pi_s(j)$ 는 j 번째로 패딩되는 비트 그룹의 인덱스이다. 즉, $\pi_s(j)$ 는 j 번째가 되는 비트 그룹의 쇼트닝 패턴 오더(shortening pattern order)를 나타낸다. 그리고, $N_{\text{info_group}}$ 은 LDPC 정보어 비트들을 구성하는 복수의 비트 그룹의 수이다.

[0465] 구체적으로, 제로 패딩부(213, 314)는 쇼트닝 패턴에 기초하여

$Z_{\pi_s(0)}, Z_{\pi_s(1)}, \dots, Z_{\pi_s(N_{\text{pad}}-1)}$ 을 비트

그룹 내의 모든 비트들이 제로 비트들로 패딩되는 비트 그룹으로 판단하고, 해당 비트 그룹의 모든 비트들에 제로 비트들을 패딩할 수 있다. 즉, 제로 패딩부(213, 314)는 쇼트닝 패턴에 기초하여 복수의 비트 그룹 중 $\pi_s(0)$ 번째 비트 그룹, $\pi_s(1)$ 번째 비트 그룹, \dots , $\pi_s(N_{\text{pad}}-1)$ 번째 비트 그룹의 모든 비트들에 제로 비트들을 패딩할 수 있다.

[0466]

이와 같이, N_{pad} 가 0이 아닌 경우, 제로 패딩부(213, 314)는 표 8에 기초하여 N_{pad} 개의 비트 그룹의 리스트 즉,

$Z_{\pi_s(0)}, Z_{\pi_s(1)}, \dots, Z_{\pi_s(N_{\text{pad}}-1)}$ 을 판단하고, 판단된 비트 그룹 내의 모든 LDPC 정보어 비트들에 제로

들을 패딩할 수 있다

[0467] 다만, N_{pad} 가 0인 경우, 상술한 절차는 생략될 수 있다.

[0468] 한편, 패딩되는 전체 제로 비트들의 수가 $(K_{\text{ldpc}} - N_{\text{outer}})$ 이고 N_{pad} 개의 비트 그룹에 패딩된 제로 비트들의 수는 $(360 \times N_{\text{pad}})$ 라는 점에서, 제로 패딩부(213, 314)는 $(K_{\text{ldpc}} - N_{\text{outer}} - 360 \times N_{\text{pad}})$ 개의 LDPC 정보어 비트들에 제로 비트들을 추가적으로 패딩할 수 있다.

[0469] 이 경우, 제로 패딩부(213, 314)는 쇼트닝 패턴에 기초하여 제로 비트들이 추가적으로 패딩되는 비트 그룹을 판단하고, 판단된 비트 그룹의 앞 부분부터 제로 비트들을 추가적으로 패딩할 수 있다.

[0470] 구체적으로, 제로 패딩부(213, 314)는 쇼트닝 패턴에 기초하여 $Z_{\pi_s(N_{\text{pad}})}$ 를 제로 비트들이 추가적으로 패딩되는 비트 그룹인 것으로 판단하고, $Z_{\pi_s(N_{\text{pad}})}$ 의 앞 부분에 위치하는 $(K_{\text{ldpc}} - N_{\text{outer}} - 360 \times N_{\text{pad}})$ 개의 비트들에 제로 비트들을 추가적으로 패딩할 수 있다. 이에 따라, $\pi_s(N_{\text{pad}})$ 번째 비트 그룹의 첫 번째 비트부터 $(K_{\text{ldpc}} - N_{\text{outer}} - 360 \times N_{\text{pad}})$ 개의 제로 비트들이 패딩될 수 있다.

[0471] 결국, $Z_{\pi_s(N_{\text{pad}})}$ 의 경우, $Z_{\pi_s(N_{\text{pad}})}$ 의 처음 부분에 위치한 $(K_{\text{ldpc}} - N_{\text{bch}} - 360 \times N_{\text{pad}})$ 개의 LDPC 정보어 비트들에 제로들이 추가적으로 패딩될 수 있다.

[0472] 한편, 상술한 예에서는 $Z_{\pi_s(N_{\text{pad}})}$ 의 첫 번째 비트부터 $(K_{\text{ldpc}} - N_{\text{outer}} - 360 \times N_{\text{pad}})$ 개의 제로 비트들이 패딩되는 것으로 설명하였으나 이는 일 예에 불과하며, $Z_{\pi_s(N_{\text{pad}})}$ 에서 제로 비트들이 패딩되는 위치는 변경될 수 있다. 예를 들어, $(K_{\text{ldpc}} - N_{\text{outer}} - 360 \times N_{\text{pad}})$ 개의 제로 비트들은 $Z_{\pi_s(N_{\text{pad}})}$ 의 중간 부분 또는 마지막 부분에 패딩되거나, $Z_{\pi_s(N_{\text{pad}})}$ 의 임의 위치에 패딩될 수도 있다.

[0473] 이후, 제로 패딩부(213, 314)는 LDPC 정보어 비트들 중에서 패딩되지 않은 비트 위치에 BCH 인코딩된 비트들을 맵핑하여, LDPC 정보어 비트들을 구성할 수 있다.

[0474] 이에 따라, N_{outer} 개의 BCH 인코딩된 비트들이 K_{ldpc} 개의 LDPC 정보어 비트들 ($i_0, i_1, \dots, i_{K_{\text{ldpc}}-1}$)에서 제로 비트들이 패딩되지 않은 비트 위치에 순차적으로 맵핑되어, N_{outer} 개의 BCH 인코딩된 비트들 및 $(K_{\text{ldpc}} - N_{\text{outer}})$ 개의 정보어 비트들에 의해 K_{ldpc} 개의 LDPC 정보어 비트들이 구성될 수 있다.

[0475] 한편, 패딩된 제로 비트들은 수신 장치(200)로 전송되지 않는다. 이와 같이, 제로 비트들을 패딩하는 절차 또는 제로 비트들을 패딩하고 LDPC 인코딩 후 수신 장치(200)로 전송하지 않는 절차를 쇼트닝이라 할 수 있다.

[0476] LDPC 인코더(214, 315)는 L1 베이직 시그널링 및 L1 디테일 시그널링을 LDPC 인코딩한다.

[0477] 구체적으로, LDPC 인코더(214, 315)는 제로 패딩부(213, 314)에서 출력되는 LDPC 정보어 비트들을 LDPC 인코딩하여 LDPC 패리티 비트들을 생성하고, LDPC 정보어 비트들 및 LDPC 패리티 비트들로 구성된 LDPC 코드워드를 패리티 퍼뮤테이션부(215, 316)로 출력할 수 있다.

[0478] 즉, 제로 패딩부(213)로부터 출력되는 K_{ldpc} 개의 비트들은 K_{sig} 개의 L1 베이직 시그널링 비트들, $M_{\text{outer}} (=N_{\text{outer}} - K_{\text{sig}})$ 개의 BCH 패리티 체크 비트들 및 $(K_{\text{ldpc}} - N_{\text{outer}})$ 개의 제로 패딩 비트들을 포함할 수 있으며, 이는 LDPC 인코

더(214)를 위한 K_{ldpc} 개의 LDPC 정보어 비트들 $I=(i_0, i_1, \dots, i_{K_{\text{ldpc}}-1})$ 을 구성할 수 있다.

[0479] 또한, 제로 패딩부(314)로부터 출력되는 K_{ldpc} 개의 비트들은 K_{sig} 개의 L1 디테일 시그널링 비트들, $M_{outer} (=N_{outer} - K_{sig})$ 개의 BCH 패리티 체크 비트들 및 $(K_{ldpc} - N_{outer})$ 개의 제로 패딩 비트들을 포함할 수 있으며, 이는 LDPC 인코더(316)를 위한 K_{ldpc} 개의 LDPC 정보어 비트들 $I = (i_0, i_1, \dots, i_{K_{ldpc}-1})$ 을 구성할 수 있다.

[0480] 이 경우, LDPC 인코더(214, 315)는 K_{ldpc} 개의 LDPC 정보어 비트들을 시스템에 하게 LDPC 인코딩하여, N_{inner} 개의 비트들로 구성된 LDPC 코드워드 $A = (c_0, c_1, \dots, c_{N_{inner}-1}) = (i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{inner} - K_{ldpc} - 1})$ 를 생성할 수 있다.

[0481] 한편, LDPC 인코더(214, 315)는 L1 베이직 모드들 및 L1 디테일 모드 1 및 2의 경우, L1 베이직 시그널링 및 L1 디테일 시그널링을 3/15의 코드 레이트로 인코딩하여 16200 개의 LDPC 코드워드 비트들을 생성할 수 있다. 이 경우, LDPC 인코더(214, 315)는 표 1에 기초하여 인코딩을 수행할 수 있다.

[0482] 또한, LDPC 인코더(315)는 L1 디테일 모드 3, 4, 5, 6 및 7의 경우, L1 디테일 시그널링을 6/15의 코드 레이트로 인코딩하여 16200 개의 LDPC 코드워드 비트들을 생성할 수 있다. 이 경우, LDPC 인코더(315)는 표 3에 기초하여 인코딩을 수행할 수 있다.

[0483] 한편, L1 베이직 시그널링 및 L1 디테일 시그널링에 대한 코드 레이트 및 코드 길이는 표 4와 같고, LDPC 정보어 비트들의 수는 표 7과 같다.

[0484] 패리티 페뮤테이션부(215, 316)는 패리티 페뮤테이션(parity permutation)을 수행한다. 즉, 패리티 페뮤테이션부(215, 316)는 LDPC 정보어 비트들을 제외하고, LDPC 패리티 비트들에 대해서만 페뮤테이션을 수행할 수 있다.

[0485] 구체적으로, 패리티 페뮤테이션부(215, 316)는 LDPC 인코더(214, 315)로부터 출력되는 LDPC 코드워드 중에서 LDPC 패리티 비트들에 대해서만 페뮤테이션을 수행하고, 패리티 페뮤테이션된 LDPC 코드워드를 리퍼티션부(216, 317)로 출력할 수 있다. 한편, 패리티 페뮤테이션부(316)는 패리티 페뮤테이션된 LDPC 코드워드를 부가 패리티 생성부(319)로 출력할 수도 있다. 이 경우, 부가 패리티 생성부(319)는 패리티 페뮤테이션부(316)에서 출력되는 패리티 페뮤테이션된 LDPC 코드워드를 이용하여 부가 패리티 비트들을 생성할 수 있다.

[0486] 이를 위해, 패리티 페뮤테이션부(215, 316)는 패리티 인터리버(미도시) 및 그룹-와이즈(group-wise) 인터리버(미도시)를 포함할 수 있다.

[0487] 먼저, 패리티 인터리버(미도시)는 LDPC 코드워드를 구성하는 LDPC 정보어 비트들 및 LDPC 패리티 비트들 중에서 LDPC 패리티 비트들만을 인터리빙할 수 있다. 다만, 패리티 인터리버(미도시)는 L1 디테일 모드 3, 4, 5, 6 및 7인 경우에만 패리티 인터리빙을 수행할 수 있다. 즉, L1 베이직 모드들 및 L1 디테일 모드 1, 2의 경우, LDPC 인코딩 과정의 일부로서 패리티 인터리빙이 포함되어 있다는 점에서, L1 베이직 모드들 및 L1 디테일 모드 1, 2인 경우, 패리티 인터리버(미도시)는 패리티 인터리빙을 수행하지 않을 수 있다.

[0488] 한편, 패리티 인터리빙을 수행하는 모드의 경우, 패리티 인터리버(미도시)는 하기의 수학식 25에 기초하여 LDPC 패리티 비트들을 인터리빙할 수 있다.

수학식 25

$$u_i = c_i \quad \text{for } 0 \leq i < K_{ldpc} \quad (\text{information bits are not interleaved.})$$

$$u_{K_{ldpc} + 360t + s} = c_{K_{ldpc} + 27s + t} \quad \text{for } 0 \leq s < 360, 0 \leq t < 27$$

[0489] 구체적으로, 수학식 25에 따르면, LDPC 코드워드 $(c_0, c_1, \dots, c_{N_{inner}-1})$ 는 패리티 인터리버(미도시)에 의해

패리티 인터리빙되며, 패리티 인터리버(미도시)의 출력은 $U=(u_0, u_1, \dots, \mathbf{u}^{N_{inner}-1})$ 로 나타내어질 수 있다.

[0491] 한편, L1 베이직 모드를 및 L1 디테일 모드 1,2의 경우, 패리티 인터리버(미도시)는 이용되지 않는다는 점에서,

패리티 인터리버(미도시)의 출력 $U=(u_0, u_1, \dots, \mathbf{u}^{N_{inner}-1})$ 은 하기의 수학식 26과 같이 나타내어질 수 있다.

수학식 26

$$u_i = c_i \quad \text{for } 0 \leq i < N_{inner}$$

[0492]

[0493] 한편, 그룹-와이즈 인터리버(미도시)는 패리티 인터리버(미도시)의 출력을 그룹-와이즈 인터리빙할 수 있다.

[0494]

여기에서, 상술한 바와 같이, 패리티 인터리버(미도시)의 출력은 패리티 인터리버(미도시)에 의해 패리티 인터리빙된 LDPC 코드워드이거나, 패리티 인터리버(미도시)에 의해 패리티 인터리빙이 되지 않은 LDPC 코드워드가 될 수 있다.

[0495]

이에 따라, 패리티 인터리빙이 수행된 경우, 그룹-와이즈 인터리버(미도시)는 패리티 인터리빙된 LDPC 코드워드를 그룹-와이즈 인터리빙하고, 패리티 인터리빙이 수행되지 않은 경우, 그룹-와이즈 인터리버(미도시)는 LDPC 코드워드를 그룹-와이즈 인터리빙할 수 있다.

[0496]

구체적으로, 그룹-와이즈 인터리버(미도시)는 패리티 인터리버(미도시)의 출력을 비트 그룹 단위로 인터리빙할 수 있다.

[0497]

이를 위해, 그룹 와이즈 인터리버(미도시)는 패리티 인터리버(미도시)에서 출력되는 LDPC 코드워드를 복수의 비트 그룹으로 구분할 수 있다. 이에 따라, 패리티 인터리버(미도시)에서 출력되는 LDPC 패리티 비트들은 복수의 비트 그룹으로 구분될 수 있다.

[0498]

구체적으로, 그룹-와이즈 인터리버(미도시)는 하기의 수학식 27에 기초하여 패리티 인터리버(미도시)에서 출력되는 LDPC 인코딩된 비트들 $(u_0, u_1, \dots, \mathbf{u}^{N_{inner}-1})$ 을 $N_{group} (=N_{inner}/360)$ 개의 비트 그룹으로 나눌 수 있다.

수학식 27

$$X_j = \{u_k \mid 360 \times j \leq k < 360 \times (j+1), 0 \leq k < N_{inner}\} \text{ for } 0 \leq j < N_{group}$$

[0499]

[0500] 여기에서, X_j 는 j 번째 비트 그룹을 나타낸다.

[0501]

도 46은 패리티 인터리버(미도시)에서 출력되는 LDPC 코드워드를 복수의 비트 그룹으로 구분하는 일 예를 나타낸다.

[0502]

도 46을 참조하면, LDPC 코드워드는 $N_{group} (=N_{inner}/360)$ 개의 비트 그룹으로 구분되며, $0 \leq j < N_{group}$ 에 대해 각 비트 그룹 X_j 는 360 개의 비트들로 구성된다.

[0503]

이에 따라, K_{ldpc} 개의 비트들로 구성된 LDPC 정보어 비트들은 $(K_{ldpc}/360)$ 개의 비트 그룹으로 구분되고, $N_{inner} - K_{ldpc}$ 개의 비트들로 구성된 LDPC 패리티 비트들은 $(N_{inner} - K_{ldpc})/360$ 개의 비트 그룹으로 구분될 수 있다.

[0504]

그리고, 그룹-와이즈 인터리버(미도시)는 패리티 인터리버(미도시)에서 출력되는 LDPC 코드워드를 그룹-와이즈 인터리빙한다.

- [0505] 이 경우, 그룹-와이즈 인터리버(미도시)는 LDPC 정보어 비트들에 대해서는 인터리빙을 수행하지 않고 LDPC 패리티 비트들에 대해서만 인터리빙을 수행하여, LDPC 패리티 비트들을 구성하는 복수의 비트 그룹의 순서를 변경할 수 있다.
- [0506] 이에 따라, LDPC 비트들 중 LDPC 정보어 비트들은 그룹-와이즈 인터리버(미도시)에 의해 인터리빙되지 않지만, LDPC 비트들 중 LDPC 패리티 비트들은 그룹-와이즈 인터리버(미도시)에 의해 인터리빙될 수 있다. 이 경우, LDPC 패리티 비트들은 그룹 단위로 인터리빙될 수 있다.
- [0507] 구체적으로, 그룹-와이즈 인터리버(미도시)는 하기의 수학식 28에 기초하여 패리티 인터리버(미도시)에서 출력되는 LDPC 코드워드를 그룹-와이즈 인터리빙할 수 있다.

수학식 28

$$Y_j = X_j, \quad 0 \leq j < K_{ldpc} / 360$$

$$Y_j = X_{\pi_p(j)}, \quad K_{ldpc} / 360 \leq j < N_{group}$$

[0508]

- [0509] 여기에서, X_j 는 LDPC 코드워드를 구성하는 복수의 비트 그룹 중 j 번째 비트 그룹 즉, 그룹-와이즈 인터리빙 전의 j 번째 비트 그룹을 나타내고, Y_j 는 그룹-와이즈 인터리빙된 j 번째 비트 그룹을 나타낸다. 그리고, $\pi_p(j)$ 는 그룹-와이즈 인터리빙을 위한 페르미테이션 오더(permutation order)를 나타낸다.
- [0510] 한편, 페르미테이션 오더는 하기의 표 9 및 표 10에 기초하여 정의될 수 있다. 여기에서, 표 9는 L1 베이직 모드들 및 L1 디테일 모드 1, 2에 대한 패리티 부분의 그룹-와이즈 인터리빙 패턴을 나타내고, 표 10은 L1 디테일 모드 3, 4, 5, 6, 7에 대한 패리티 부분의 그룹-와이즈 인터리빙 패턴을 나타낸다.
- [0511] 이 경우, 그룹-와이즈 인터리버(미도시)는 표 9 및 표 10에 기초하여 모드에 따라 그룹-와이즈 인터리빙 패턴을 결정할 수 있다.

표 9

Signaling FEC Type	N_{group}	Order of group-wise interleaving $\pi_p(j) \quad (9 \leq j < 45)$											
		$\pi_p(9)$	$\pi_p(10)$	$\pi_p(11)$	$\pi_p(12)$	$\pi_p(13)$	$\pi_p(14)$	$\pi_p(15)$	$\pi_p(16)$	$\pi_p(17)$	$\pi_p(18)$	$\pi_p(19)$	$\pi_p(20)$
		$\pi_p(21)$	$\pi_p(22)$	$\pi_p(23)$	$\pi_p(24)$	$\pi_p(25)$	$\pi_p(26)$	$\pi_p(27)$	$\pi_p(28)$	$\pi_p(29)$	$\pi_p(30)$	$\pi_p(31)$	$\pi_p(32)$
L1-Basic (all modes)	45	$\pi_p(33)$	$\pi_p(34)$	$\pi_p(35)$	$\pi_p(36)$	$\pi_p(37)$	$\pi_p(38)$	$\pi_p(39)$	$\pi_p(40)$	$\pi_p(41)$	$\pi_p(42)$	$\pi_p(43)$	$\pi_p(44)$
		20	23	25	32	38	41	18	9	10	11	31	24
		14	15	26	40	33	19	28	34	16	39	27	30
		21	44	43	35	42	36	12	13	29	22	37	17
		16	22	27	30	37	44	20	23	25	32	38	41
		9	10	17	18	21	33	35	14	28	12	15	19
		11	24	29	34	36	13	40	43	31	26	39	42
		9	31	23	10	11	25	43	29	36	16	27	34
		26	18	37	15	13	17	35	21	20	24	44	12
		22	40	19	32	38	41	30	33	14	28	39	42

[0512]

표 10

Signaling FEC Type	N_{group}	Order of group-wise interleaving $\pi_p(j) (18 \leq j < 45)$													
		$\pi_p(18)$	$\pi_p(19)$	$\pi_p(20)$	$\pi_p(21)$	$\pi_p(22)$	$\pi_p(23)$	$\pi_p(24)$	$\pi_p(25)$	$\pi_p(26)$	$\pi_p(27)$	$\pi_p(28)$	$\pi_p(29)$	$\pi_p(30)$	$\pi_p(31)$
		$\pi_p(32)$	$\pi_p(33)$	$\pi_p(34)$	$\pi_p(35)$	$\pi_p(36)$	$\pi_p(37)$	$\pi_p(38)$	$\pi_p(39)$	$\pi_p(40)$	$\pi_p(41)$	$\pi_p(42)$	$\pi_p(43)$	$\pi_p(44)$	
L1-Detail Mode 3	45	19	37	30	42	23	44	27	40	21	34	25	32	29	24
		26	35	39	20	18	43	31	36	38	22	33	28	41	
		20	35	42	39	26	23	30	18	28	37	32	27	44	43
		41	40	38	36	34	33	31	29	25	24	22	21	19	
		19	37	33	26	40	43	22	29	24	35	44	31	27	20
		21	39	25	42	34	18	32	38	23	30	28	36	41	
		20	35	42	39	26	23	30	18	28	37	32	27	44	43
L1-Detail Mode 6		41	40	38	36	34	33	31	29	25	24	22	21	19	
		44	23	29	33	24	28	21	27	42	18	22	31	32	37
L1-Detail Mode 7		43	30	25	35	20	34	39	36	19	41	40	26	38	

[0513]

이하에서는 L1 디테일 모드 2에 대한 그룹-와이즈 인터리빙 패턴을 일 예로, 그룹-와이즈 인터리버(미도시)의 동작에 대해 설명하도록 한다.

[0515]

L1 디테일 모드 2의 경우, LDPC 인코더(315)는 3/15의 코드 레이트로 3240 개의 LDPC 정보어 비트들을 LDPC 인코딩하여 12960 개의 LDPC 패리티 비트들을 생성한다. 이 경우, LDPC 코드워드는 16200 개의 비트들로 구성될 수 있다.

[0516]

한편, 각 비트 그룹은 360 개의 비트들로 구성되므로, 16200 개의 비트들로 구성된 LDPC 코드워드는 45 개의 비트 그룹으로 구분된다.

[0517]

여기에서, LDPC 정보어 비트들은 3240 개이고, LDPC 패리티 비트들은 12960 개이므로, 0 번째 비트 그룹부터 8 번째 비트 그룹은 LDPC 정보어 비트들에 해당하고, 9 번째 비트 그룹부터 44 번째 비트 그룹은 LDPC 패리티 비트들에 해당한다.

[0518]

이 경우, 패리티 인터리버(미도시)는 패리티 인터리빙을 수행하지 않고, 그룹-와이즈 인터리버(미도시)는 수학식 28 및 표 9에 기초하여, LDPC 정보어 비트들을 구성하는 비트 그룹 즉, 0 번째 비트 그룹부터 8 번째 비트 그룹은 인터리빙하지 않고, LDPC 패리티 비트들을 구성하는 비트 그룹 즉, 9 번째 비트 그룹부터 44 번째 비트 그룹에 대해서는 그룹 단위로 인터리빙하여, 9 번째 비트 그룹부터 44 번째 비트 그룹의 순서를 변경할 수 있다.

[0519]

구체적으로, 표 9에서 L1 디테일 모드 2의 경우, 경우, 수학식 28은 $Y_0=X_0, Y_1=X_1, \dots, Y_7=X_7, Y_8=X_8, Y_9=X_{\pi_p(9)}=X_9, Y_{10}=X_{\pi_p(10)}=X_{31}, Y_{11}=X_{\pi_p(11)}=X_{23}, \dots, Y_{42}=X_{\pi_p(42)}=X_{28}, Y_{43}=X_{\pi_p(43)}=X_{39}, Y_{44}=X_{\pi_p(44)}=X_{42}$ 와 같이 나타낼 수 있다.

[0520]

이에 따라, 그룹-와이즈 인터리버(미도시)는 LDPC 정보어 비트들을 포함하는 0 번째 비트 그룹부터 8 번째 비트 그룹의 순서를 변경하지 않지만, LDPC 패리티 비트들을 포함하는 9 번째 비트 그룹부터 44 번째 비트 그룹의 순서를 변경할 수 있다.

[0521]

구체적으로, 그룹-와이즈 인터리버(미도시)는 9 번째 비트 그룹이 9 번째, 31 번째 비트 그룹이 10 번째, 23 번째 비트 그룹이 11 번째, ..., 28 번째 비트 그룹이 42 번째, 39 번째 비트 그룹이 43 번째, 42 번째 비트 그룹이 44 번째가 되도록, 9 번째 비트 그룹부터 44 번째 비트 그룹까지 비트 그룹의 순서를 변경할 수 있다.

[0522]

한편, 후술하는 바와 같이, 평처링부(217, 318)는 마지막 패리티 비트부터 평처링하기 때문에, 패리티 비트 그룹들은 패리티 퍼뮤테이션에 의해 평처링 패턴의 역순으로 배열될 수 있다. 즉, 가장 먼저 평처링되는 비트 그룹이 가장 마지막 비트 그룹에 위치하게 된다.

[0523]

한편, 상술한 예에서는 패리티 비트들만을 인터리빙하는 것으로 설명하였으나 이는 일 예에 불과하다. 즉, 패리티 퍼뮤테이션부(215, 316)는 LDPC 정보어 비트들을 인터리빙할 수도 있다. 이 경우, 패리티 퍼뮤테이션부(215, 316)는 LDPC 정보어 비트들의 순서가 변경되지 않도록, identity로 LDPC 정보어 비트들을 인터리빙하고, 인터리빙 전과 동일한 순서를 갖는 LDPC 정보어 비트들을 출력할 수 있다.

[0524]

리피티션부(216, 317)는 패리티 퍼뮤테이션된 LDPC 코드워드의 적어도 일부 비트들을 LDPC 정보어 비트들 다음 위치에 리피티션하고, 리피티션된 LDPC 코드워드(즉, 리피티션된 비트들을 포함하는 LDPC 코드워드 비트들을 의

미하며, 리피티션 이후의 LDPC 코드워드라 할 수도 있다)를 평처링부(217, 318)로 출력할 수 있다. 한편, 리피티션부(317)는 리피티션 이후의 LDPC 코드워드를 부가 패리티 생성부(319)로 출력할 수도 있다. 이 경우, 부가 패리티 생성부(319)는 리피티션 이후의 LDPC 코드워드를 이용하여 부가 패리티 비트들을 생성할 수 있다.

[0525] 구체적으로, 리피티션부(216, 317)는 특정 수의 LDPC 패리티 비트들을 LDPC 정보어 비트들 이후에 리피티션할 수 있다. 즉, 리피티션부(216, 317)는 특정 수의 LDPC 패리티 비트들을 LDPC 정보어 비트들 이후에 부가할 수 있다. 이에 따라, 리피티션 비트들은 LDPC 코드워드 내에서 LDPC 정보어 비트들과 LDPC 패리티 비트들 사이에 위치하게 된다.

[0526] 이에 따라, 리피티션 이후의 LDPC 코드워드 내에서 특정 수의 비트들은 반복되며, 수신 장치(200)로 추가적으로 전송될 수 있다는 점에서, 상술한 동작을 리피티션(repetition)이라 할 수 있다. 그리고, 리피티션 이후의 LDPC 코드워드에서 리피티션되는 비트들 즉, 리피티션에 따라 LDPC 정보어 비트들 이후에 부가되는 비트들을 리피티션 비트들(repetition bits)(또는, 리피티션된 비트들(repeated bits))이라 할 수 있다.

[0527] 한편, 부가라는 것은 비트들이 반복되도록, LDPC 정보어 비트들과 LDPC 패리티 비트들 사이에 리피티션 비트들을 덧붙이는 것을 의미한다.

[0528] 리피티션은 L1 베이직 모드 1 및 L1 디테일 모드 1에 대해서만 수행될 수 있으며, 다른 모드에 대해서는 수행되지 않을 수 있다. 이 경우, 리피티션부(216, 317)는 리피티션을 수행하지 않고, 패리티 퍼뮤테이션된 LDPC 코드워드를 평처링부(217, 318)로 출력할 수 있다.

[0529] 이하에서는 리피티션을 수행하는 방법에 대해 보다 구체적으로 설명하도록 한다.

[0530] 리피티션부(216, 317)는 하기의 수학식 29에 기초하여 LDPC 코드워드 당 추가적으로 전송되는 비트들의 수 N_{repeat} 를 산출할 수 있다.

수학식 29

$$N_{repeat} = 2 \times \lfloor C \times N_{outer} \rfloor + D$$

[0531] 여기에서, C는 고정된 값(fixed number)을 가지며, D는 짝수(even integer)일 수 있다. 수학식 29를 참조하면, 리피티션되는 비트들의 수는 주어진 N_{outer} 에 대해 C가 곱해지고 D가 더해짐에 따라 산출됨을 알 수 있다.

[0533] 한편, 리피티션을 위한 파라미터 C, D는 하기의 표 11에 따라 선택될 수 있다. 즉, 리피티션부(216, 317)는 표 11에 기초하여, 모드에 따라 C, D를 결정할 수 있다.

표 11

	N_{outer}	K_{sig}	K_{ldpc}	C	D	N_{ldpc_parity} (= $N_{inner} - K_{ldpc}$)	η_{MOD}
L1-Basic Mode 1	368	200	3240	0	3672	12960	2
L1-Detail Mode 1	568 ~ 2520	400 ~ 2352	3240	61/16	- 508	12960	2

[0535] 그리고, 리피티션부(216, 317)는 N_{repeat} 개의 LDPC 패리티 비트들을 리피티션할 수 있다.

[0536] 구체적으로, 리피티션부(216, 317)는 $N_{repeat} \leq N_{ldpc_parity}$ 인 경우, 도 47과 같이 패리티 퍼뮤테이션된 LDPC 패리티 비트들의 처음 N_{repeat} 개의 비트들을 LDPC 정보어 비트들에 부가할 수 있다. 즉, 리피티션부(216, 317)는 패리티 퍼뮤테이션된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 N_{repeat} 번째 LDPC 패리티 비트를 LDPC 정보어 비트들 이후에 부가할 수 있다.

[0537] 한편, 리피티션부(216, 317)는 $N_{repeat} > N_{ldpc_parity}$ 인 경우, 도 48과 같이 패리티 퍼뮤테이션된 N_{ldpc_parity} 개의 LDPC 패리티 비트들을 LDPC 정보어 비트들에 부가하고, 패리티 퍼뮤테이션된 LDPC 패리티 비트들의 처음 $N_{repeat} -$

N_{ldpc_parity} 개를 먼저 부가된 N_{ldpc_parity} 개의 LDPC 패리티 비트들에 추가적으로 부가할 수 있다. 즉, 리피티션부(216, 317)는 패리티 퍼뮤테이션된 LDPC 패리티 비트들 전체를 LDPC 정보어 비트들 이후에 부가하고, 패리티 퍼뮤테이션된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 $N_{repeat} - N_{ldpc_parity}$ 번째 LDPC 패리티 비트를 먼저 부가된 LDPC 패리티 비트들 이후에 추가적으로 부가할 수 있다.

[0538] 이에 따라, L1 베이직 모드 1 및 L1 디테일 모드 1의 경우, 추가적인 N_{repeat} 개의 비트들이 LDPC 코드워드 내에서 선택되어 전송될 수 있다.

[0539] 평처링부(217, 318)는 리피티션부(216, 317)에서 출력되는 LDPC 코드워드에 포함된 LDPC 패리티 비트들에서 일부 비트들을 평처링하고, 평처링된 LDPC 코드워드(즉, 평처링된 비트들을 제외한 나머지 LDPC 코드워드 비트들로, 평처링 이후의 LDPC 코드워드라 할 수도 있다)를 제로 제거부(218, 321)로 출력할 수 있다. 한편, 평처링부(318)는 평처링되는 LDPC 패리티 비트들에 대한 정보(가령, 평처링되는 비트들의 개수 및 위치 등)를 부가 패리티 생성부(319)로 제공할 수 있다. 이 경우, 부가 패리티 생성부(319)는 이에 기초하여 부가 패리티 비트들을 생성할 수 있다.

[0540] 이에 따라, 패리티 퍼뮤테이션 후, 일부 LDPC 패리티 비트들은 평처링될 수 있다.

[0541] 이 경우, 평처링된 LDPC 패리티 비트들은 L1 시그널링 비트들을 전송하는 프레임에서 전송되지 않는다. 구체적으로, 평처링된 LDPC 패리티 비트들은 L1 시그널링 비트들을 전송하는 현재 프레임에서 전송되지 않고, 경우에 따라, 현재 프레임 이전의 프레임에서 전송될 수 있으며, 이는 부가 패리티 생성부(319)와 관련하여 후술하기로 한다.

[0542] 이를 위해, 평처링부(217, 318)는 LDPC 코드워드 당 평처링되는 LDPC 패리티 비트들의 수 및 하나의 코딩된 블록의 사이즈를 판단할 수 있다.

[0543] 구체적으로, 평처링부(217, 318)는 하기의 수학식 30에 기초하여 평처링되는 LDPC 패리티 비트들의 임시적인 수 N_{punc_temp} 를 산출할 수 있다. 즉, 평처링부(217, 318)는 주어진 N_{outer} 에 대해, 하기의 수학식 30에 기초하여 평처링되는 LDPC 패리티 비트들의 임시적인 수 N_{punc_temp} 를 산출할 수 있다.

수학식 30

$$N_{punc_temp} = \lfloor A \times (K_{ldpc} - N_{outer}) \rfloor + B$$

[0544]

[0545] 수학식 30을 참조하면, 모드에 따라, 평처링 비트들의 임시적인 사이즈는 쇼트닝 길이(shortening length)(즉, $K_{ldpc} - N_{outer}$)에 기설정된 상수 A 값을 곱한 결과로부터 구한 정수에 정수형 상수(constant integer) B를 더함으로써 산출될 수 있다. 본 발명에서는 상수 A의 값은 쇼트닝되는 비트들의 수에 대한 평처링되는 비트들의 수의 비율로 설정하였으나, 시스템의 요구 사항에 따라 다양하게 설정될 수 있음을 자명하다.

[0546] 여기에서, B 값은 쇼트닝 길이가 0인 경우에도 평처링하는 길이를 의미하는 값으로, 평처링 비트들의 최소 값을 나타낸다. 또한, A 및 B 값은 실제 전송되는 부호율을 조절하는 역할을 한다. 즉, A 및 B 값은 정보어 비트들의 길이 즉, L1 시그널링의 길이가 짧을 경우 또는 L1 시그널링의 길이가 길 경우를 대비하여, 실제 전송되는 부호율을 낮출 수 있도록 조절하는 역할을 한다.

[0547] 한편, K_{ldpc} , A 및 B는 하기의 표 12와 같다. 표 12는 평처링을 위한 파라미터들을 나타낸다. 이에 따라, 평처링부(217, 318)는 표 12에 기초하여, 모드에 따라 평처링을 위한 파라미터를 결정할 수 있다.

표 12

Signaling FEC Type	N_{outer}	K_{ldpc}	A	B	N_{ldpc_parity}	n_{MOD}	
L1-Basic	Mode 1	368	3240	0	9360	12960	
	Mode 2				11460		
	Mode 3				12360		
	Mode 4				12292		
	Mode 5				12350		
	Mode 6				12432		
	Mode 7				12776		
L1-Detail	Mode 1	568 ~ 2520	6480	7/2	0	9720	
	Mode 2	568 ~ 3240		2	6036		
	Mode 3	568 ~ 6480		11/16	4653		
	Mode 4			29/32	3200		
	Mode 5			3/4	4284		
	Mode 6			11/16	4900		
	Mode 7			49/256	8246		

[0548]

[0549] 한편, 평처링부(217, 318)는 하기의 수학식 31에 기초하여 하나의 코딩된 블록의 임시적인 사이즈 N_{FEC_temp} 를 산출할 수 있다. 여기에서, 모드에 따른 LDPC 패리티 비트들의 수 N_{ldpc_parity} 는 표 12와 같다.

수학식 31

$$N_{FEC_temp} = N_{outer} + N_{ldpc_parity} - N_{punc_temp}$$

[0550]

[0551] 그리고, 평처링부(217, 318)는 하기의 수학식 32에 기초하여 하나의 코딩된 블록의 사이즈 N_{FEC} 를 산출할 수 있다.

수학식 32

$$N_{FEC} = \left\lceil \frac{N_{FEC_temp}}{n_{MOD}} \right\rceil \times n_{MOD}$$

[0552]

[0553] 여기에서, n_{MOD} 는 변조 차수이다. 일 예로, 모드에 따라 L1 베이직 시그널링 및 L1 디테일 시그널링이 QPSK, 16-QAM, 64-QAM 및 256-QAM으로 변조되는 경우, 표 12와 같이 n_{MOD} 는 2, 4, 6, 8이 될 수 있다. 한편, 수학식 32에 따르면, N_{FEC} 는 변조 차수의 정수 배가 될 수 있다.

[0554]

그리고, 평처링부(217, 318)는 하기의 수학식 33에 기초하여 평처링되는 LDPC 패리티 비트들의 수 N_{punc} 를 산출할 수 있다.

수학식 33

$$N_{punc} = N_{punc_temp} - (N_{FEC} - N_{FEC_temp})$$

[0555]

[0556] 여기에서, N_{punc} 는 0 또는 양의 정수이다. 그리고, N_{FEC} 는 각 정보어 블록 즉, K_{sig} 개의 정보어 비트들이 BCH 및

LDPC에 의해 인코딩된 후 얻어진 $N_{\text{outer}} + N_{\text{ldpc_parity}}$ 개의 비트들 중에서 N_{punc} 개의 평처링되는 비트들을 제외한 수이다. 즉, N_{FEC} 는 리피티션 비트들을 제외하고 실제 전송되는 나머지 비트들의 수로 쇼트닝 및 평처링이 적용된 LDPC 코드워드 비트들의 수라고 할 수 있다.

[0557] 상술한 과정을 살펴보면, 평처링부(217, 318)는 폐딩되는 제로 비트들의 수 즉, 쇼트닝 길이에 A를 곱하고, 그 결과에 B를 더해 평처링되는 LDPC 패리티 비트들의 임시적인 수 $N_{\text{punc_temp}}$ 를 산출하게 된다.

[0558] 그리고, 평처링부(217, 318)는 $N_{\text{punc_temp}}$ 에 기초하여 평처링 및 쇼트닝 이후의 LDPC 코드워드 비트들의 임시적인 수 $N_{\text{FEC_temp}}$ 를 산출하게 된다.

[0559] 구체적으로, LDPC 정보어 비트들은 LDPC 인코딩되고, LDPC 인코딩에 의해 생성된 LDPC 패리티 비트들이 LDPC 정보어 비트들에 부가되어 LDPC 코드워드를 구성한다. 여기에서, LDPC 정보어 비트들은 L1 베이직 시그널링 및 L1 디테일 시그널링이 BCH 인코딩된 BCH 인코딩된 비트들을 포함하며, 경우에 따라 폐딩된 제로 비트들을 더 포함할 수 있다.

[0560] 이 경우, 폐딩된 제로 비트들은 LDPC 인코딩 후 수신 장치(200)로 전송되지 않는다는 점에서, 쇼트닝된 LDPC 코드워드 즉, 폐딩된 제로 비트들을 제외한 LDPC 코드워드(즉, 쇼트닝 이후의 LDPC 코드워드)는 BCH 인코딩된 비트들 및 LDPC 패리티 비트들로 구성될 수 있다.

[0561] 따라서, 평처링부(217, 318)는 BCH 인코딩된 비트들의 수 및 LDPC 패리티 비트들의 수를 합한 값에 평처링되는 LDPC 패리티 비트들의 임시적인 수를 빼서, $N_{\text{FEC_temp}}$ 를 산출하게 된다.

[0562] 한편, 평처링 및 쇼트닝된 LDPC 코드워드(즉, 평처링된 비트들 및 쇼트닝된 비트들을 제외한 나머지 LDPC 코드워드 비트들로, 평처링 및 쇼트닝 이후의 LDPC 코드워드라 할 수 있다)는 모드에 따라 QPSK, 16-QAM, 64-QAM, 및 256-QAM 등의 다양한 변조 방식을 통해 성상도 심볼들에 맵핑되고, 성상도 심볼들은 프레임을 통해 수신 장치(200)로 전송될 수 있다.

[0563] 이에 따라, 평처링부(217, 318)는 $N_{\text{FEC_temp}}$ 에 기초하여 변조 차수의 정수 배가 되는 평처링 및 쇼트닝 이후의 LDPC 코드워드 비트들의 수 N_{FEC} 를 결정하고, N_{FEC} 이 되기 위해 쇼트닝 이후의 LDPC 코드워드 비트들에서 평처링되어야 하는 비트들의 수 N_{punc} 를 결정하게 된다.

[0564] 한편, 제로 비트들이 폐딩되지 않는 경우, LDPC 코드워드는 BCH 인코딩된 비트들 및 LDPC 패리티 비트들로 구성되며, 쇼트닝은 생략될 수 있다.

[0565] 또한, L1 베이직 모드 1 및 L1 디테일 모드 1의 경우, 리피티션이 수행되어, 쇼트닝 및 평처링 이후의 LDPC 코드워드 비트들의 수는 $N_{\text{FEC}} + N_{\text{repeat}}$ 과 같다.

[0566] 한편, 평처링부(217, 318)는 산출된 수만큼의 LDPC 패리티 비트들을 평처링할 수 있다.

[0567] 이 경우, 평처링부(217, 318)는 전체 LDPC 코드워드의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다. 즉, 평처링부(217, 318)는 마지막 LDPC 패리티 비트부터 N_{punc} 개의 비트들을 평처링할 수 있다.

[0568] 구체적으로, 리피티션이 수행되지 않은 경우, 패리티 퍼뮤테이션된 LDPC 코드워드는 인코딩에 의해 생성된 LDPC 패리티 비트들만을 포함하게 된다.

[0569] 이 경우, 평처링부(217, 318)는 패리티 퍼뮤테이션된 전체 LDPC 코드워드의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다. 이에 따라, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 마지막 LDPC 패리티 비트부터 N_{punc} 개의 비트들이 평처링될 수 있다.

[0570] 한편, 리피티션이 수행된 경우, 패리티 퍼뮤테이션 및 리피티션 이후의 LDPC 코드워드는 리피티션된 LDPC 패리티 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함하게 된다.

[0571] 이 경우, 평처링부(217, 318)는 도 49 및 도 50과 같이 패리티 퍼뮤테이션 및 리피티션이 수행된 전체 LDPC 코드워드의 마지막 N_{punc} 개의 비트들을 평처링할 수 있다.

[0572] 구체적으로, 리피티션된 LDPC 패리티 비트들은 LDPC 정보어 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들

사이에 위치하므로, 평처링부(217, 318)는 인코딩에 의해 생성된 LDPC 패리티 비트들 중 마지막 LDPC 패리티 비트부터 N_{punc} 개의 비트들을 평처링할 수 있다.

[0573] 이와 같이, 평처링부(217, 318)는 마지막 LDPC 패리티 비트들부터 N_{punc} 개의 비트들을 평처링할 수 있다.

[0574] 한편, N_{punc} 는 0 또는 양의 정수이고, 리피티션은 L1 베이직 모드 1 및 L1 디테일 모드 1에 대해서만 적용될 수 있다.

[0575] 한편, 상술한 예에서는 리피티션이 수행된 후 평처링이 수행되는 것으로 설명하였으나, 이는 일 예에 불과하다. 경우에 따라, 평처링이 수행된 후 리피티션이 수행될 수도 있다.

[0576] 부가 패리티 생성부(319)는 LDPC 패리티 비트들에서 비트들을 선택하여 부가 패리티 비트들(additional parity(AP) bits)을 생성한다.

[0577] 이 경우, 부가 패리티 비트들은 현재 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 LDPC 패리티 비트들 중에서 선택되어 현재 프레임 이전의 프레임 즉, 이전 프레임을 통해 수신 장치(200)로 전송될 수 있다.

[0578] 구체적으로, L1 디테일 시그널링은 LDPC 인코딩되고, LDPC 인코딩에 의해 생성된 LDPC 패리티 비트들이 L1 디테일 시그널링에 부가되어 LDPC 코드워드를 구성한다.

[0579] 그리고, LDPC 코드워드에 대해 평처링 및 쇼트닝이 수행되고, 평처링 및 쇼트닝 이후의 LDPC 코드워드는 프레임에 맵핑되어 수신 장치(200)로 전송될 수 있다. 여기에서, 모드에 따라 리피티션이 수행된 경우, 평처링 및 쇼트닝 이후의 LDPC 코드워드는 리피티션된 LDPC 패리티 비트들을 포함할 수 있다.

[0580] 이 경우, 각 프레임마다 그에 대응되는 L1 디테일 시그널링이 LDPC 패리티 비트들과 함께 각 프레임을 통해 수신 장치(200)로 전송될 수 있다. 예를 들어, $i-1$ 번째 프레임에 대응되는 L1 디테일 시그널링을 포함하는 평처링 및 쇼트닝 이후의 LDPC 코드워드는 $i-1$ 번째 프레임에 맵핑되어 수신 장치(200)로 전송되고, i 번째 프레임에 대응되는 L1 디테일 시그널링을 포함하는 평처링 및 쇼트닝 이후의 LDPC 코드워드는 i 번째 프레임에 맵핑되어 수신 장치(200)로 전송될 수 있다.

[0581] 한편, 부가 패리티 생성부(319)는 i 번째 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0582] 구체적으로, L1 디테일 시그널링이 LDPC 인코딩되어 생성된 LDPC 패리티 비트들에서 일부 비트들은 평처링되어 수신 장치(200)로 전송되지 않는다. 이 경우, 부가 패리티 생성부(319)는 i 번째 프레임에서 전송되는 L1 디테일 시그널링이 LDPC 인코딩되어 생성된 LDPC 패리티 비트들 중 평처링되는 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0583] 또한, 부가 패리티 생성부(319)는 i 번째 프레임을 통해 수신 장치(200)로 전송되는 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0584] 구체적으로, i 번째 프레임에 맵핑되는 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들은 모드에 따라 인코딩에 의해 생성된 LDPC 패리티 비트들만으로 구성되거나, 인코딩에 의해 생성된 LDPC 패리티 비트들 및 리피티션된 LDPC 패리티 비트들로 구성될 수 있다.

[0585] 이 경우, 부가 패리티 생성부(319)는 i 번째 프레임에 맵핑되는 평처링 및 쇼트닝 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들에서 적어도 일부 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0586] 한편, 부가 패리티 비트들은 i 번째 프레임 이전의 프레임 즉, $i-1$ 번째 프레임을 통해 수신 장치(200)로 전송될 수 있다.

[0587] 즉, 송신 장치(100)는 $i-1$ 번째 프레임에 대응되는 L1 디테일 시그널링을 포함하는 평처링 및 쇼트닝 이후의 LDPC 코드워드뿐만 아니라, i 번째 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 부가 패리티 비트들을 $i-1$ 번째 프레임을 통해 수신 장치(200)로 전송할 수 있다.

[0588] 이 경우, 부가 패리티 비트들이 전송되는 프레임은 현재 프레임 이전의 프레임들 중 시간적으로 가장 근접한 이전 프레임이 될 수 있다.

[0589] 예를 들어, 부가 패리티 비트들은 현재 프레임 이전의 프레임들 중 현재 프레임과 동일한 부트스트랩 메이저/마이너(major/minor) 버전을 가지며, 시간적으로 가장 근접한 이전 프레임에서 전송될 수 있다.

- [0590] 한편, 경우에 따라, 부가 패리티 생성부(319)는 부가 패리티 비트들을 생성하지 않을 수도 있다.
- [0591] 이 경우, 송신 장치(100)는 다음 프레임의 L1 디테일 시그널링에 대한 부가 패리티 비트들이 현재 프레임을 통해 전송되는지에 대한 정보를 현재 프레임을 통해 전송되는 L1 베이직 시그널링을 이용하여 수신 장치(200)로 전송할 수 있다.
- [0592] 예를 들어, 현재 프레임과 동일한 부트스트랩 메이저/마이너 버전을 갖는 다음 프레임의 L1 디테일 시그널링에 대한 부가 패리티 비트들의 사용은 현재 프레임의 L1 베이직 파라미터의 필드 L1B_L1_Detail_additional_parity_mode를 통해 시그널링될 수 있다. 구체적으로, 현재 프레임의 L1 베이직 파라미터에서 L1B_L1_Detail_additional_parity_mode가 '00'으로 설정된 경우, 다음 프레임의 L1 디테일 시그널링에 대한 부가 패리티 비트들은 현재 프레임에서 전송되지 않는다.
- [0593] 이와 같이, L1 디테일 시그널링의 추가적인 강인함(robustness)을 증가시키기 위해, 부가 패리티 비트들은 현재 프레임의 L1 디테일 시그널링을 전송하는 현재 프레임 이전의 프레임에서 전송될 수 있다.
- [0594] 도 51은 i 번째 프레임의 L1 디테일 시그널링을 위한 부가 패리티 비트들이 i-1 번째 프레임의 프리앰블에서 전송되는 예를 나타낸다.
- [0595] 도 51의 경우, i 번째 프레임을 통해 전송되는 L1 디테일 시그널링이 세그먼테이션에 의해 M 개의 블록으로 세그먼트되고, 세그먼트된 각 블록이 FEC 인코딩된 경우를 나타낸다.
- [0596] 이에 따라, M 개의 LDPC 코드워드들 즉, LDPC 정보어 비트들 L1-D(i)_1 및 그에 대한 패리티 비트들(parity for L1-D(i)_1)을 포함하는 LDPC 코드워드, ..., LDPC 정보어 비트들 L1-D(i)_M 및 그에 대한 패리티 비트들(parity for L1-D(i)_M)을 포함하는 LDPC 코드워드가 i 번째 프레임에 맵핑되어 수신 장치(200)로 전송된다.
- [0597] 이 경우, i 번째 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 부가 패리티 비트들이 i-1 번째 프레임을 통해 수신 장치(200)로 전송될 수 있다.
- [0598] 구체적으로, i 번째 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 부가 패리티 비트들 즉, AP for L1-D(i)_1, ..., AP for L1-D(i)_M이 i-1 번째 프레임의 프리앰블에 맵핑되어 수신 장치(200)로 전송될 수 있다. 이와 같은 부가 패리티 비트들의 사용 결과, L1 시그널링에 대한 다이버시티 게인(diversity gain)을 얻을 수 있게 된다.
- [0599] 이하에서는 부가 패리티 비트들을 생성하는 방법에 대해 설명하도록 한다.
- [0600] 부가 패리티 생성부(319)는 하기의 수학식 34에 기초하여 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 를 산출한다.

수학식 34

$$N_{AP_temp} = \min \left\{ \frac{0.5 \times K \times (N_{outer} + N_{ldpc_parity} - N_{punc} + N_{repeat}),}{(N_{ldpc_parity} + N_{punc} + N_{repeat})} \right\}, K=0,1,2$$

[0601]

$$\min(a,b) = \begin{cases} a, & \text{if } a \leq b \\ b, & \text{if } b < a \end{cases}$$

[0602] 여기에서, N_{AP_temp} 이다.

[0603] 그리고, K는 전송되는 코딩된 L1 디테일 시그널링 블록의 비트들(즉, 리피티션, 평처링 및 제로 비트들이 제거된(즉, 쇼트닝된) 이후의 L1 디테일 시그널링 블록을 구성하는 비트들)의 총 수의 절반에 대한 부가 패리티 비트들의 수의 비율을 나타낸다.

[0604] 이 경우, K는 L1 베이직 시그널링의 필드 L1B_L1_Detail_additional_parity_mode 필드에 대응된다. 여기에서, i 번째 프레임(즉, frame (#i))의 L1 디테일 시그널링과 관련된 L1B_L1_Detail_additional_parity_mode의 값은 i-1 번째 프레임(즉, frame (#i-1))에서 전송될 수 있다.

[0605] 한편, 상술한 바와 같이, L1 디테일 모드 2,3,4,5,6 및 7의 경우, 리피티션이 수행되지 않는다는 점에서, 수학식 34에서 N_{repeat} 는 0이다.

[0606] 그리고, 부가 패리티 생성부(319)는 하기의 수학식 35에 기초하여 부가 패리티 비트들의 수 N_{AP} 를 산출한다. 이에 따라, 부가 패리티 비트들의 수 N_{AP} 는 변조 차수의 정수 배가 될 수 있다.

수학식 35

$$N_{AP} = \left\lfloor \frac{N_{AP_temp}}{n_{MOD}} \right\rfloor \times n_{MOD}$$

[0607]

$$\lfloor x \rfloor$$

[0608] 여기에서, $\lfloor x \rfloor$ 는 x 보다 작거나 같은 최대 정수이다. 그리고, n_{MOD} 는 변조 차수이다. 일 예로, 모드에 따라 L1 디테일 시그널링이 QPSK, 16-QAM, 64-QAM 및 256-QAM으로 변조되는 경우, n_{MOD} 는 2,4,6,8이 될 수 있다.

[0609] 이와 같이, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 비트들의 총 수에 기초하여 결정될 수 있다.

[0610] 이후, 부가 패리티 생성부(319)는 LDPC 패리티 비트들에서 산출된 비트 수만큼을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0611] 구체적으로, 부가 패리티 생성부(319)는 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 크거나 같은 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 산출된 수만큼의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0612] 한편, 부가 패리티 생성부(319)는 평처링된 LDPC 패리티 비트들의 수가 부가 패리티 비트들의 수보다 작은 경우, 평처링된 모든 LDPC 패리티 비트들을 먼저 선택하고, LDPC 코드워드에 포함된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 산출된 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0613] 구체적으로, 리피티션이 수행되지 않은 경우, 리피티션 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들은 인코딩에 의해 생성된 LDPC 패리티 비트들이다.

[0614] 이 경우, 부가 패리티 생성부(319)는 평처링된 모든 LDPC 패리티 비트들을 먼저 선택하고, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 산출된 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0615] 여기에서, 인코딩에 의해 생성된 LDPC 패리티 비트들은 평처링되지 않는 LDPC 패리티 비트들 및 평처링되는 LDPC 패리티 비트들로 구분된다. 이에 따라, 인코딩에 의해 생성된 LDPC 패리티 비트들 중 첫 번째 비트부터 비트들을 선택하는 경우, 평처링되지 않는 LDPC 패리티 비트들 및 평처링되는 LDPC 패리티 비트들 순으로 선택될 수 있다.

[0616] 한편, 리피티션이 수행된 경우, 리피티션 이후의 LDPC 코드워드에 포함된 LDPC 패리티 비트들은 리피티션된 LDPC 패리티 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들이다. 여기에서, 리피티션된 LDPC 패리티 비트들은 LDPC 정보어 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 사이에 위치하게 된다.

[0617] 이 경우, 부가 패리티 생성부(319)는 평처링된 모든 LDPC 패리티 비트들을 먼저 선택하고, 리피티션된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 산출된 비트들의 수에서 평처링된 LDPC 패리티 비트들의 수를 뺀 수만큼의 비트들을 추가적으로 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0618] 여기에서, 리피티션된 LDPC 패리티 비트들 중 첫 번째 비트부터 비트들을 선택할 때, 리피티션 비트들 및 인코딩에 의해 생성된 LDPC 패리티 비트들 순으로 선택될 수 있다. 또한, 인코딩에 의해 생성된 LDPC 패리티 비트들 내에서는, 평처링되지 않는 LDPC 패리티 비트들 및 평처링되는 LDPC 패리티 비트들 순으로 비트들이 선택될 수

있다.

[0619] 이하에서는 본 발명의 일 실시 예에 따른 부가 패리티 비트들을 생성하는 방법을 도 52 내지 도 54를 참조하여 보다 구체적으로 설명하도록 한다.

[0620] 도 52 내지 도 54는 본 발명의 일 실시 예에 따라 리피티션이 수행된 경우 부가 패리티 비트들을 생성하는 방법

을 설명하기 위한 도면들이다. 이 경우, 리피티션 이후의 LDPC 코드워드 $V=(v_0, v_1, \dots, v_{N_{inner}+N_{repeat}-1})$ 는 도 52와 같이 나타낼 수 있다.

[0621] 먼저, $N_{AP} \leq N_{punc}$ 인 경우, 도 53과 같이, 부가 패리티 생성부(319)는 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0622] 이에 따라, 부가 패리티 비트들을 위해, 평처링된 LDPC 패리티 비트들 ($v_{N_{repeat}+N_{inner}-N_{punc}}, v_{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, v_{N_{repeat}+N_{inner}-N_{punc}+N_{AP}-1}$)이 선택될 수 있다. 즉, 부가 패리티 생성부(319)는 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 N_{AP} 개의 비트들을 선택하여 부가 패리티 비트들을 생성할 수 있다.

[0623] 한편, $N_{AP} > N_{punc}$ 인 경우, 도 54와 같이, 부가 패리티 생성부(319)는 모든 평처링된 LDPC 패리티 비트들을 선택한다.

[0624] 이에 따라, 부가 패리티 비트들을 위해, 모든 평처링된 LDPC 패리티 비트들 ($v_{N_{repeat}+N_{inner}-N_{punc}}, v_{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, v_{N_{repeat}+N_{inner}-1}$)이 선택될 수 있다.

[0625] 그리고, 부가 패리티 생성부(319)는 리피티션된 LDPC 패리티 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들을 포함하는 LDPC 패리티 비트들에서 처음 $(N_{AP}-N_{punc})$ 개의 비트들을 추가적으로 선택할 수 있다.

[0626] 즉, 리피티션된 LDPC 패리티 비트들과 인코딩에 의해 생성된 LDPC 패리티 비트들이 순차적으로 배열된다는 점에서, 부가 패리티 생성부(319)는 리피티션된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 $(N_{AP}-N_{punc})$ 개의 패리티 비트들을 추가적으로 선택할 수 있다.

[0627] 이에 따라, 부가 패리티 비트들을 위해, LDPC 패리티 비트들 ($v_{K_{ldpc}}, v_{K_{ldpc}+1}, \dots, v_{K_{ldpc}+N_{AP}-N_{punc}-1}$)이 추가적으로 선택될 수 있다.

[0628] 이 경우, 부가 패리티 생성부(319)는 추가적으로 선택된 비트들을 이전에 선택된 비트들에 부가하여 부가 패리티 비트들을 생성할 수 있다. 즉, 도 54와 같이, 부가 패리티 생성부(319)는 추가적으로 선택된 LDPC 패리티 비트들을 평처링된 LDPC 패리티 비트들에 부가하여 부가 패리티 비트들을 생성할 수 있다.

[0629] 결국, 부가 패리티 비트들을 위해, ($v_{N_{repeat}+N_{inner}-N_{punc}}, v_{N_{repeat}+N_{inner}-N_{punc}+1}, \dots, v_{N_{repeat}+N_{inner}-1}, v_{K_{ldpc}}, v_{K_{ldpc}+1}, \dots, v_{K_{ldpc}+N_{AP}-N_{punc}-1}$)가 선택될 수 있다.

[0630] 이와 같이, 평처링된 비트들의 수가 부가 패리티 비트들의 수보다 크거나 같은 경우, 부가 패리티 비트들은 평처링 오더에 기초하여 평처링된 비트들 중에서 비트들을 선택함에 의해 생성될 수 있다. 반면, 그 외의 경우,

부가 패리티 비트들은 평처링된 모든 비트들과 ($N_{AP}-N_{punc}$) 개의 패리티 비트들을 선택함에 의해 생성될 수 있다.

[0631] 한편, 리피티션이 수행되지 않는 경우 $N_{repeat}=0$ 이라는 점에서, 리피티션이 수행되지 않는 경우에서 부가 패리티 비트들을 생성하는 방법은 도 52 내지 도 54에서 $N_{repeat}=0$ 인 경우와 동일하다.

[0632] 한편, 부가 패리티 비트들은 비트 인터리빙되고, 성상도에 맵핑될 수 있다. 이 경우, 부가 패리티 비트들에 대한 성상도는 현재 프레임에서 전송되는 리피티션, 평처링 및 제로 비트들이 제거된 이후의 L1 디테일 시그널링 비트들에 대한 성상도와 동일한 방식으로 생성될 수 있다. 그리고, 도 51과 같이, 성상도에 맵핑된 이후, 부가 패리티 비트들은 현재 프레임의 L1 디테일 시그널링을 전송하는 현재 프레임 이전의 프레임에서 L1 디테일 시그널링 블록에 이후에 부가될 수 있다.

[0633] 한편, 부가 패리티 생성부(319)는 부가 패리티 비트들을 비트 디믹스(323)로 출력할 수 있다.

[0634] 한편, 퍼뮤테이션 오더를 정의하는 그룹-와이즈 인터리빙 패턴은 제1 패턴과 제2 패턴으로 구성될 수 있다.

[0635] 구체적으로, 수학식 30의 B 값은 평처링되는 LDPC 패리티 비트들의 최소 값을 나타낸다는 점에서, B 값에 따라 특정한 개수의 비트들은 입력 시그널링의 길이에 상관없이 항상 평처링될 수 있다. 예를 들어, L1 디테일 모드 2의 경우, B=6036이고, 비트 그룹은 360 개의 비트들로 구성된다는 점에서, 쇼트닝 길이가 0인 경우에도 최소

$$\left\lfloor \frac{6036}{360} \right\rfloor = 16$$

개의 비트 그룹은 항상 평처링된다.

[0636] 이 경우, 평처링은 마지막 LDPC 패리티 비트부터 수행된다는 점에서, 그룹-와이즈 인터리빙 후, LDPC 패리티 비트들을 구성하는 복수의 비트 그룹 중 마지막 비트 그룹부터 특정한 개수의 비트 그룹은 쇼트닝 길이에 상관없이 항상 평처링될 수 있다.

[0637] 예를 들어, L1 디테일 모드 2의 경우, 그룹-와이즈 인터리빙 후, LDPC 패리티 비트들을 구성하는 36 개의 비트 그룹 중에서 마지막 16 개의 비트 그룹은 항상 평처링될 수 있다.

[0638] 이에 따라, 퍼뮤테이션 오더를 정의하는 그룹-와이즈 인터리빙 패턴에서 일부 패턴은 항상 평처링되는 비트 그룹을 나타내게 되므로, 그룹-와이즈 인터리빙 패턴은 두 개의 패턴으로 구분될 수 있다. 구체적으로, 그룹-인터리빙 패턴에서 항상 평처링되는 비트 그룹을 제외한 나머지 비트 그룹을 정의하는 패턴을 제1 패턴이라하고, 항상 평처링되는 비트 그룹을 정의하는 패턴을 제2 패턴이라 할 수 있다.

[0639] 예를 들어, L1 디테일 모드 2의 경우 그룹-와이즈 인터리빙 패턴은 표 10과 같이 정의되므로, 그룹-와이즈 인터리빙 후 9 번째 비트 그룹부터 28 번째 비트 그룹에 위치하게 되는 그룹-와이즈 인터리빙 전의 비트 그룹의 인덱스를 나타내는 패턴 즉, $Y_9=X_{\pi p(9)}=X_9$, $Y_{10}=X_{\pi p(10)}=X_{31}$, $Y_{11}=X_{\pi p(11)}=X_{23}$, ..., $Y_{26}=X_{\pi p(26)}=X_{17}$, $Y_{27}=X_{\pi p(27)}=X_{35}$, $Y_{28}=X_{\pi p(28)}=X_{21}$ 는 제1 패턴이 되고, 그룹-와이즈 인터리빙 후 29 번째 비트 그룹부터 44 번째 비트 그룹에 위치하게 되는 그룹-와이즈 인터리빙 전의 비트 그룹의 인덱스를 나타내는 패턴 즉, $Y_{29}=X_{\pi p(29)}=X_{20}$, $Y_{30}=X_{\pi p(30)}=X_{24}$, $Y_{31}=X_{\pi p(31)}=X_{44}$, ..., $Y_{42}=X_{\pi p(42)}=X_{28}$, $Y_{43}=X_{\pi p(43)}=X_{39}$, $Y_{44}=X_{\pi p(44)}=X_{42}$ 는 제2 패턴이 될 수 있다.

[0640] 한편, 상술한 바와 같이 제2 패턴은 현재 프레임에서 쇼트닝 길이에 상관없이 항상 평처링되는 비트 그룹을 정의하고, 제1 패턴은 쇼트닝 길이가 길어짐에 따라 추가적으로 평처링되는 비트 그룹을 정의하기 때문에, 결과적으로, 제1 패턴은 평처링 이후 현재 프레임에서 전송되는 LDPC 패리티 비트들을 결정하기 위해 이용될 수 있다.

[0641] 구체적으로, 평처링되는 LDPC 패리티 비트들의 수에 따라, 항상 평처링되는 LDPC 패리티 비트들에 추가로 더 많은 LDPC 패리티 비트들이 평처링될 수 있다.

[0642] 예를 들어, L1 디테일 모드 2의 경우, 평처링되는 LDPC 패리티 비트들의 수가 7200인 경우, 20 개의 비트 그룹이 평처링되어야 하므로, 항상 평처링되는 16 개의 비트 그룹에 추가로 4 개의 비트 그룹이 더 평처링되어야 한다.

[0643] 이 경우, 추가로 평처링되는 4 개의 비트 그룹은 그룹-와이즈 인터리빙 후 25 번째부터 28 번째에 위치하는 비트 그룹에 해당하며, 이들 비트 그룹은 제1 패턴에 따라 결정된다는 점에서 즉, 제1 패턴에 속하기 때문에, 제1 패턴은 평처링되는 비트 그룹을 결정하는데 이용될 수 있다.

[0644] 즉, 평처링되는 LDPC 패리티 비트들의 최소 값 이상으로 LDPC 패리티 비트들이 평처링되는 경우, 추가적으로 어

며한 비트 그룹이 평처링되는지는 항상 평처링되는 비트 그룹 다음에 어떠한 비트 그룹이 위치하느냐에 따라 결정된다. 이에 따라, 평처링되는 방향을 기준으로, 항상 평처링되는 비트 그룹 다음에 위치되는 비트 그룹을 정의하는 제1 패턴이 평처링되는 비트 그룹을 결정하는 것으로 볼 수 있다.

[0645] 즉, 상술한 예에서, 평처링되는 LDPC 패리티 비트들의 수가 7200인 경우, 항상 평처링되는 16 개의 비트 그룹에, 추가로 4 개의 비트 그룹 즉, 그룹-와이즈 인터리빙 후 28 번째, 27 번째, 26 번째 및 25 번째에 위치하는 비트 그룹이 더 평처링된다. 여기에서, 그룹-와이즈 인터리빙 후 25 번째부터 28 번째에 위치되는 비트 그룹은 제1 패턴에 따라 결정된다.

[0646] 결국, 제1 패턴은 평처링되는 비트 그룹을 결정하는데 이용되는 것으로 볼 수 있다. 또한, 평처링되는 LDPC 패리티 비트들을 제외한 나머지 LDPC 패리티 비트들이 현재 프레임을 통해 전송되므로, 제1 패턴은 현재 프레임에서 전송되는 비트 그룹을 결정하는데 이용되는 것으로 볼 수 있다.

[0647] 한편, 제2 패턴은 이전 프레임에서 전송되는 부가 패리티 비트들을 결정하기 위해서만 이용될 수 있다.

[0648] 구체적으로, 항상 평처링되는 비트 그룹으로 결정된 비트 그룹은 항상 평처링되어 현재 프레임에서 전송되지 않기 때문에 항상 평처링되는 비트 그룹의 위치로 그룹-와이즈 인터리빙되기만 하면 되고, 항상 평처링되는 비트 그룹들 내에서 어디에 위치하는지는 중요하지 않다.

[0649] 예를 들어, L1 디테일 모드 2의 경우, 그룹-와이즈 인터리빙 전 20 번째, 24 번째, 44 번째, ..., 28 번째, 39 번째 및 42 번째에 위치하는 비트 그룹들은 그룹-와이즈 인터리빙 후 29 번째 비트 그룹부터 44 번째 비트 그룹에 위치하기만 하면 되고, 해당 비트 그룹들 내에서 어디에 위치하는지는 중요하지 않다.

[0650] 이와 같이, 평처링 측면에서 보면, 항상 평처링되는 비트 그룹들을 정의하는 제2 패턴은 평처링되는 비트 그룹을 식별하는데만 이용되게 된다. 이에 따라, 제2 패턴에서 비트 그룹 간 순서를 정의한 것은 평처링 측면에서 무의미하므로, 결과적으로, 항상 평처링되는 비트 그룹을 정의하는 제2 패턴은 평처링에 이용되지 않는 것으로 볼 수 있다.

[0651] 하지만, 부가 패리티 비트들 측면에서 보면, 항상 평처링되는 비트 그룹으로 결정된 비트 그룹이 항상 평처링되는 비트 그룹들 내에서 어디에 위치하는지가 중요하다.

[0652] 구체적으로, 부가 패리티 비트들은 평처링되는 LDPC 패리티 비트들 중 첫 번째 비트부터 특정한 수만큼의 비트들이 선택되어 생성된다는 점에서, 평처링되는 LDPC 패리티 비트들의 수 및 부가 패리티 비트들의 수에 따라 항상 평처링되는 비트 그룹들 중에서 적어도 일부 비트 그룹에 포함된 비트들이 부가 패리티 비트들로 선택될 수 있다.

[0653] 즉, 부가 패리티 비트들이 제1 패턴에 따라 정의된 비트 그룹을 초과하여 선택되는 경우, 제2 패턴의 시작 부분부터 차례로 부가 패리티 비트들이 선택된다는 점에서, 제2 패턴에 속하는 비트 그룹들의 순서는 부가 패리티 선택 측면에서 중요한 의미를 갖게 된다. 이에 따라 항상 평처링되는 비트 그룹을 정의하는 제2 패턴은 부가 패리티 비트들을 결정하는데 이용되는 것으로 볼 수 있다.

[0654] 예를 들어, L1 디테일 모드 2의 경우, 전체 LDPC 패리티 비트들의 수는 12960이고, 항상 평처링되는 비트 그룹의 개수는 16 개이다.

[0655] 이 경우, 전체 LDPC 패리티 비트들에서 평처링되는 LDPC 패리티 비트들의 수를 빼고 부가 패리티 비트들의 수를 합한 값이 7200을 초과하는지에 따라 부가 패리티 생성을 위해 제2 패턴이 이용될 수 있다. 여기에서, 7200은 LDPC 패리티 비트들을 구성하는 비트 그룹들 중에서 항상 평처링되는 비트 그룹들을 제외한 나머지 비트 그룹들에 포함된 LDPC 패리티 비트들의 수이다. 즉, $7200 = (36-16) \times 360$ 이다.

[0656] 구체적으로, 전체 LDPC 패리티 비트들에서 평처링되는 LDPC 패리티 비트들의 수를 빼고 부가 패리티 비트들의 수를 합한 값이 7200 이하인 경우, 즉, $12960 - N_{punc} + N_{AP} \leq 7200$ 인 경우, 부가 패리티 비트들은 제1 패턴에 기초하여 생성될 수 있다.

[0657] 하지만, 전체 LDPC 패리티 비트들에서 평처링되는 LDPC 패리티 비트들의 수를 빼고 부가 패리티 비트들의 수를 합한 값이 7200을 초과하는 경우, 즉, $12960 - N_{punc} + N_{AP} > 7200$ 인 경우, 부가 패리티 비트들은 제1 패턴 및 제2 패턴에 기초하여 생성될 수 있다.

[0658] 구체적으로, $12960 - N_{punc} + N_{AP} > 7200$ 인 경우, 부가 패리티 비트들을 위해, 평처링된 LDPC 패리티 비트들 중 첫 번

째 LDPC 패리티 비트부터 28 번째에 위치하는 비트 그룹에 포함된 LDPC 패리티 비트들이 선택되고, 29 번째부터 특정한 위치에 위치하는 비트 그룹에 포함된 비트들이 선택될 수 있다.

[0659] 여기에서, 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트가 속하는 비트 그룹 및 특정한 위치의 비트 그룹(즉, 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 순차적으로 선택하였을 때 마지막으로 선택되는 LDPC 패리티 비트들이 속하는 비트 그룹)은 평처링되는 LDPC 패리티 비트들의 수 및 부가 패리티 비트들의 수에 따라 결정될 수 있다.

[0660] 이 경우, 평처링된 LDPC 패리티 비트들 중 첫 번째 LDPC 패리티 비트부터 28 번째에 위치하는 비트 그룹은 제1 패턴에 따라 결정되고, 29 번째부터 특정한 위치에 위치하는 비트 그룹은 제2 패턴에 따라 결정된다.

[0661] 이에 따라, 부가 패리티 비트들은 제1 패턴 및 제2 패턴에 따라 결정된다.

[0662] 이와 같이, 제1 패턴은 평처링되는 LDPC 패리티 비트들뿐만 아니라 부가 패리티 비트들을 결정하는데 이용되지만, 제2 패턴은 오직 부가 패리티 비트들을 결정하는데만 이용될 수 있다.

[0663] 한편, 상술한 예에서는 그룹-와이즈 인터리빙 패턴이 제1 패턴과 제2 패턴을 포함하는 것으로 설명하였으나, 이는 평처링 및 부가 패리티 관점에서 설명의 편의를 위한 것일 뿐이다. 즉, 그룹-와이즈 인터리빙 패턴은 제1 패턴 및 제2 패턴으로 구분없이 하나의 패턴으로 볼 수도 있으며, 이 경우, 평처링 및 부가 패리티 모두를 위해 하나의 패턴으로 그룹-와이즈 인터리빙이 수행되는 것으로 볼 수 있다.

[0664] 한편, 상술한 예에서, 평처링되는 LDPC 패리티 비트들의 수로 예로 든 값은 설명의 편의를 위한 일 예에 불과하다.

[0665] 제로 제거부(218, 321)는 평처링부(217, 318)에서 출력되는 LDPC 코드워드에서 제로 패딩부(213, 314)에 의해 패딩된 제로 비트들을 제거하고, 나머지 비트들을 비트 디믹스(219, 322)로 출력할 수 있다.

[0666] 여기에서, 제거는 패딩된 제로 비트들을 제거하는 것뿐만 아니라, 패딩된 제로 비트들을 제거하지는 않지만 LDPC 코드워드에서 패딩된 제로 비트들을 제외하고 나머지 비트들만을 출력하는 것을 포함할 수 있다.

[0667] 구체적으로, 제로 제거부(218, 321)는 제로 패딩부(213, 314)에 의해 패딩된 $K_{ldpc}-N_{outer}$ 개의 제로 비트들을 제거할 수 있다. 이에 따라, $K_{ldpc}-N_{outer}$ 개의 제로 패딩 비트들은 제거되고, 수신 장치(200)로 전송되지 않을 수 있다.

[0668] 예를 들어, 도 55와 같이, LDPC 코드워드를 구성하는 복수의 비트 그룹 중 1 번째 비트 그룹, 4 번째 비트 그룹, 5 번째 비트 그룹, 7 번째 비트 그룹 및 8 번째 비트 그룹의 모든 비트들이 제로 비트들로 패딩되고, 2 번째 비트 그룹의 일부 비트들이 제로 비트들로 패딩된 경우를 가정한다.

[0669] 이 경우, 제로 제거부(218, 321)는 1 번째 비트 그룹, 2 번째 비트 그룹, 4 번째 비트 그룹, 5 번째 비트 그룹, 7 번째 비트 그룹 및 8 번째 비트 그룹에 패딩된 제로 비트들을 제거할 수 있다.

[0670] 이와 같이 제로 비트들이 제거되면, 도 55와 같이 K_{sig} 개의 정보어 비트들(즉, K_{sig} 개의 L1 베이직 시그널링 비트들 및 K_{sig} 개의 L1 디테일 시그널링 비트들), 168 개의 BCH 패리티 체크 비트들(즉, BCH FEC) 및 $(N_{inner}-K_{ldpc}-N_{punc})$ 또는 $(N_{inner}-K_{ldpc}-N_{punc}+N_{repeat})$ 개의 패리티 비트들로 구성된 워드(word)가 남을 수 있다.

[0671] 즉, 리피티션이 수행된 경우, 전체 LDPC 코드워드의 길이는 $(N_{FEC}+N_{repeat})$ 가 된다. 여기에서, $N_{FEC}=N_{outer}+N_{ldpc_parity}-N_{punc}$ 이다. 다만, 리피티션이 수행되지 않는 모드의 경우, 전체 LDPC 코드워드의 길이는 N_{FEC} 가 된다.

[0672] 비트 디믹스(219, 322)는 제로 제거부(218, 321)에서 출력되는 비트들을 인터리빙하고 인터리빙된 비트들을 디멀티플렉싱한 후, 이를 성상도 맵퍼(221, 324)로 출력할 수 있다.

[0673] 이를 위해, 비트 디믹스(219, 322)는 블록 인터리버(미도시) 및 디멀티플렉서(미도시)를 포함할 수 있다.

[0674] 먼저, 블록 인터리버(미도시)에서 수행되는 블록 인터리빙 스키ーム(scheme)은 도 56과 같다.

[0675] 구체적으로, 제로 비트들이 제거된 이후의 N_{FEC} 또는 $(N_{FEC}+N_{repeat})$ 길이의 비트들은 블록 인터리버(미도시)에 컬럼 와이즈하게 연속적으로(serially) 라이트될 수 있다. 여기에서, 블록 인터리버(미도시)의 컬럼의 수는 변조 차수와 동일하고, 로우의 수는 N_{FEC}/n_{MOD} 또는 $(N_{FEC}+N_{repeat})/n_{MOD}$ 이다.

[0676] 그리고, 리드 동작에서, 하나의 성상도 심볼(constellation symbol)에 대한 비트들이 로우 와이즈하게 순차적으로(sequentially) 리드되어 디멀티플렉서(미도시)로 입력될 수 있다. 이러한 동작은 컬럼의 마지막 로우까지 계속될 수 있다.

[0677] 즉, N_{FEC} 또는 $(N_{FEC}+N_{repeat})$ 개의 비트들은 첫 번째 컬럼의 첫 번째 로우부터 컬럼 방향으로 복수의 컬럼에 라이트되고, 복수의 컬럼에 라이트된 비트들은 복수의 컬럼의 첫 번째 로우부터 마지막 로우까지 로우 방향으로 순차적으로 리드될 수 있다. 이때, 동일한 로우에서 리드된 비트들이 하나의 변조 심볼을 구성할 수 있다.

[0678] 한편, 디멀티플렉서(미도시)는 블록 인터리버(미도시)에서 출력되는 비트들에 대한 디멀티플렉싱을 할 수 있다.

[0679] 구체적으로, 디멀티플렉서(미도시)는 블록 인터리빙된 각 비트 그룹 즉, 블록 인터리버(미도시)의 동일한 로우에서 리드되어 출력되는 비트들을 성상도 맵핑 이전에 비트 그룹 내에서 비트-바이-비트(bit-by-bit)로 디멀티플렉싱할 수 있다.

[0680] 이 경우, 변조 차수에 따라 2 개의 맵핑 룰이 존재할 수 있다.

[0681] 구체적으로, QPSK의 경우, 성상도 심볼 내의 비트들의 신뢰도(reliability)가 동일하다는 점에서, 디멀티플렉서(미도시)는 비트 그룹에 대해 디멀티플렉싱 동작을 수행하지 않는다. 이에 따라, 블록 인터리버(미도시)로부터 리드되어 출력되는 비트 그룹은 디멀티플렉싱 동작 없이 QPSK 심볼에 맵핑될 수 있다.

[0682] 하지만, 고차 변조(high order modulation)의 경우, 디멀티플렉서(미도시)는 하기의 수학식 36에 기초하여 블록 인터리버(미도시)로부터 리드되어 출력되는 비트 그룹에 대해 디멀티플렉싱을 수행할 수 있다. 즉, 비트 그룹은 하기의 수학식 36에 따라 QAM 심볼에 맵핑될 수 있다.

수학식 36

$$\begin{aligned} S_{\text{demux_in}(i)} &= \{b_i(0), b_i(1), b_i(2), \dots, b_i(n_{\text{MOD}}-1)\}, \\ S_{\text{demux_out}(i)} &= \{c_i(0), c_i(1), c_i(2), \dots, c_i(n_{\text{MOD}}-1)\}, \\ c_i(0) &= b_i(i\%n_{\text{MOD}}), c_i(1) = b_i((i+1)\%n_{\text{MOD}}), \dots, c_i(n_{\text{MOD}}-1) = b_i((i+n_{\text{MOD}}-1)\%n_{\text{MOD}}) \end{aligned}$$

[0683]

[0684] 여기에서, %는 모듈로 연산이고, n_{MOD} 는 변조 차수이다.

[0685] 그리고, i 는 블록 인터리버(미도시)의 로우 인덱스에 대응되는 비트 그룹 인덱스이다. 즉, QAM 심볼 각각에 맵핑되는 출력 비트 그룹 $S_{\text{demux_out}}(i)$ 는 비트 그룹 인덱스 i 에 따라 $S_{\text{demux_in}}(i)$ 에서 시클릭 쉬프트될 수 있다.

[0686] 한편, 도 57은 16-NUC(non uniform constellation) 즉, NUC 16-QAM에 대한 비트 디멀티플렉싱의 일 예를 나타낸다. 이러한 동작은 모든 비트 그룹들이 블록 인터리버(미도시)에서 리드될 때까지 계속될 수 있다.

[0687] 한편, 비트 디믹스(323)는 부가 패리티 생성부(319)에서 출력되는 부가 패리티 비트들에 대해 비트 디믹스(219, 322)에서 수행한 동작과 동일한 동작을 수행하고, 블록 인터리빙 및 디멀티플렉싱된 비트들을 성상도 맵퍼(325)로 출력할 수 있다.

[0688] 성상도 맵퍼(221, 324, 325)는 비트 디믹스(219, 322, 323)에서 출력되는 비트들을 성상도 심볼들에 맵핑할 수 있다.

[0689] 즉, 성상도 맵퍼(221, 324, 325)는 모드에 따라 $S_{\text{demux_out}}(i)$ 를 성상도를 이용하여 셀 워드(cell word)에 맵핑할 수 있다. 여기에서, $S_{\text{demux_out}}(i)$ 는 변조 차수와 동일한 수의 비트들로 구성될 수 있다.

[0690] 구체적으로, 성상도 맵퍼(221, 324, 325)는 비트 디믹스(219, 322, 323)에서 출력되는 비트들을 모드에 따라 QPSK, 16-QAM, 64-QAM 및 256-QAM 등의 변조 방식을 이용하여 성상도 심볼들에 맵핑할 수 있다.

[0691] 이 경우, 성상도 맵퍼(221, 324, 325)는 NUC을 이용할 수 있다. 즉, 성상도 맵퍼(221, 324, 325)는 NUC 16-QAM, NUC 64-QAM 및 NUC 256-QAM을 이용할 수 있다. 한편, 모드에 따라 L1 베이직 시그널링 및 L1 디테일 시그널링에 적용되는 변조 방식은 표 4와 같다.

- [0692] 한편, 송신 장치(100)는 성상도 심볼들을 프레임에 맵핑하여 수신 장치(200)로 전송할 수 있다.
- [0693] 구체적으로, 송신 장치(100)는 성상도 맵퍼(221, 324)에서 출력되는 L1 베이직 시그널링 및 L1 디테일 시그널링 각각에 대응되는 성상도 심볼들 및 성상도 맵퍼(325)에서 출력되는 부가 패리티 비트들에 대응되는 성상도 심볼들을 프레임의 프리앰블 심볼에 맵핑할 수 있다.
- [0694] 이 경우, 송신 장치(100)는 현재 프레임에서 전송되는 L1 디테일 시그널링에 기초하여 생성된 부가 패리티 비트들을 해당 프레임 이전의 프레임에 맵핑할 수 있다.
- [0695] 즉, 송신 장치(100)는 i-1 번째 프레임에 대응되는 L1 베이직 시그널링을 포함하는 LDPC 코드워드 비트들을 i-1 번째 프레임에 맵핑하고, i-1 번째 프레임에 대응되는 L1 디테일 시그널링을 포함하는 LDPC 코드워드 비트들을 i-1 번째 프레임에 맵핑하고, i 번째 프레임에 대응되는 L1 디테일 시그널링에 기초하여 생성된 LDPC 패리티 비트들에서 선택되어 생성된 부가 패리티 비트들을 i-1 번째 프레임에 추가로 맵핑하여 수신 장치(200)로 전송할 수 있다.
- [0696] 뿐만 아니라, 송신 장치(100)는 L1 시그널링 외에도 데이터를 프레임의 데이터 심볼에 맵핑하고, L1 시그널링 및 데이터를 포함하는 프레임을 수신 장치(200)로 전송할 수 있다.
- [0697] 이 경우, L1 시그널링들은 데이터에 대한 시그널링 정보를 포함한다는 점에서, 각 데이터에 맵핑된 데이터에 대한 시그널링을 해당 프레임의 프리앰블에 맵핑할 수 있다. 예를 들어, 송신 장치(100)는 i 번째 프레임에 맵핑된 데이터에 대한 시그널링 정보를 포함하는 L1 시그널링을 i 번째 프레임에 맵핑할 수 있다.
- [0698] 이에 따라, 수신 장치(200)는 프레임으로부터 획득한 시그널링을 이용하여 해당 프레임으로부터 데이터를 획득하여 처리할 수 있게 된다.
- [0699] 도 58 및 도 59는 본 발명의 일 실시 예에 따른 수신 장치의 구성을 설명하기 위한 블록도들이다.
- [0700] 구체적으로, 도 58과 같이, 수신 장치(200)는 L1 베이직 시그널링을 처리하기 위해, 성상도 디맵퍼(2510), 먹스(2520), LLR 인서터(2530), LLR 컴바이너(2540), 패리티 디퍼뮤테이션부(2550), LDPC 디코더(2560), 제로 제거부(2570), BCH 디코더(2580) 및 디스크램블러(2590)를 포함할 수 있다.
- [0701] 또한, 도 59와 같이, 수신 장치(200)는 L1 디테일 시그널링을 처리하기 위해, 성상도 디맵퍼(2611, 2612), 먹스(2621, 2622), LLR 인서터(2630), LLR 컴바이너(2640), 패리티 디퍼뮤테이션부(2650), LDPC 디코더(2660), 제로 제거부(2670), BCH 디코더(2680), 디스크램블러(2690) 및 디세그먼테이션부(2695)를 포함할 수 있다.
- [0702] 여기에서, 도 58 및 도 59에 도시된 구성요소는, 도 42 및 도 43에 도시된 구성요소에 대응되는 기능을 수행하는 구성요소로서, 이는 일 예일 뿐이고 경우에 따라 일부는 생략 또는 변경될 수 있고, 다른 구성요소가 더 추가될 수도 있다.
- [0703] 수신 장치(200)는 프레임의 부트스트랩을 이용하여 프레임의 동기를 획득하고, 부트스트랩에 포함된 L1 베이직 시그널링을 처리하기 위한 정보를 이용하여 프레임의 프리앰블로부터 L1 베이직 시그널링을 수신할 수 있다.
- [0704] 그리고, 수신 장치(200)는 L1 베이직 시그널링에 포함된 L1 디테일 시그널링을 처리하기 위한 정보를 이용하여 프리앰블로부터 L1 디테일 시그널링을 수신하고, L1 디테일 시그널링을 이용하여 프레임의 데이터 심볼로부터 사용자가 필요로 하는 방송 데이터를 수신할 수 있다.
- [0705] 이에 따라, 수신 장치(200)는 송신 장치(100)에서 L1 베이직 시그널링 및 L1 디테일 시그널링을 처리한 모드를 판단하고, 판단된 모드에 따라 송신 장치(100)로부터 수신된 신호를 처리하여 L1 베이직 시그널링 및 L1 디테일 시그널링을 수신할 수 있다. 이를 위해, 수신 장치(200)는 송신 장치(100)가 모드에 따라 시그널링을 처리하기 위해 이용한 파리미터에 대한 정보를 기저장하고 있을 수 있다.
- [0706] 이와 같이, 프리앰블로부터 L1 베이직 시그널링 및 L1 디테일 시그널링을 순차적으로 획득하나, 도 58 및 도 59를 설명함에 있어, 설명의 편의를 위해 공통적인 기능을 수행하는 구성요소에 대해서는 함께 설명하도록 한다.
- [0707] 성상도 디맵퍼(2510, 2611, 2612)는 송신 장치(100)로부터 수신된 신호를 복조한다.
- [0708] 구체적으로, 성상도 디맵퍼(2510, 2611, 2612)는 송신 장치(100)의 성상도 맵퍼(221, 324, 325)에 대응되는 구성요소로, 송신 장치(100)로부터 수신된 신호를 복조하여, 송신 장치(100)에서 전송한 비트들에 대응되는 값들을 생성할 수 있다.

- [0709] 즉, 상술한 바와 같이, 송신 장치(100)는 프레임의 프리앰블에 L1 베이직 시그널링을 포함하는 LDPC 코드워드 및 L1 디테일 시그널링을 포함하는 LDPC 코드워드를 맵핑하여 수신 장치(200)로 전송한다. 또한, 경우에 따라, 송신 장치(100)는 프레임의 프리앰블에 부가 패리티 비트들을 맵핑하여 수신 장치(200)로 전송할 수 있다.
- [0710] 이에 따라, 성상도 디맵퍼(2510, 2611)는 L1 베이직 시그널링을 포함하는 LDPC 코드워드 비트들 및 L1 디테일 시그널링을 포함하는 LDPC 코드워드 비트들에 대응되는 값들을 생성할 수 있다. 그리고, 성상도 디맵퍼(2612)는 부가 패리티 비트들에 대응되는 값들을 생성할 수 있다.
- [0711] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 L1 베이직 시그널링, L1 디테일 시그널링 및 부가 패리티 비트들을 변조한 변조 방식에 대한 정보를 기저장할 수 있다. 이에 따라, 성상도 디맵퍼(2510, 2611, 2612)는 모드에 따라 송신 장치(100)로부터 수신된 신호를 복조하여, LDPC 코드워드 비트들 및 부가 패리티 비트들에 대응되는 값들을 생성할 수 있다.
- [0712] 한편, 송신 장치(100)에서 전송한 비트들에 대응되는 값은 통상적으로 수신된 비트가 0일 확률과 1일 확률에 기초하여 계산되는 값으로서 각각의 확률 자체를 각 비트에 대응되는 값으로 사용할 수도 있으며, 다른 일 예로서 LR (Likelihood Ratio) LLR(Log Likelihood Ratio) 값일 수도 있다.
- [0713] 구체적으로, LR 값은 송신 장치(100)에서 전송한 비트가 0일 확률과 1일 확률의 비율을 의미하며, LLR 값은 송신 장치(100)에서 전송한 비트가 0일 확률과 1일 확률의 비율에 Log를 취한 값으로 나타낼 수 있다.
- [0714] 한편, 상술한 예에서는 LR 값 또는 LLR 값을 이용하는 것으로 설명하였으나, 이는 일 예이고, 수신된 신호 자체를 이용할 수도 있다.
- [0715] 멱스(2520, 2621, 2622)는 성상도 디맵퍼(2510, 2611, 2612)로부터 출력되는 LLR 값에 대한 멀티플렉싱을 수행한다.
- [0716] 구체적으로, 멱스(2520, 2621, 2622)는 송신 장치(100)의 비트 디멱스(219, 322, 323)에 대응되는 구성요소로, 비트 디멱스(219, 322, 323)에 대응되는 동작을 수행할 수 있다.
- [0717] 이를 위해, 수신 장치(200)는 송신 장치(100)가 디멀티플렉싱 및 블록 인터리빙을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 멱스(2520, 2621, 2622)는 셀 워드에 대응되는 LLR 값에 대해 비트 디멱스(219, 322, 323)에서 수행된 디멀티플렉싱 및 블록 인터리빙 동작을 역으로 수행하여, 셀 워드에 대응되는 LLR 값을 비트 단위로 멀티플렉싱할 수 있다.
- [0718] LLR 인서터(2530, 2630)는 멱스(2520, 2621)로부터 출력되는 LLR 값에 평처링 및 쇼트닝 비트에 대한 LLR 값을 삽입할 수 있다. 이 경우, LLR 인서터(2530, 2630)는 멱스(2520, 2621)로부터 출력되는 LLR 값들의 사이 또는 맨 앞 또는 맨 뒤에 미리 약속된 LLR 값들을 삽입할 수 있다.
- [0719] 구체적으로, LLR 인서터(2530, 2630)는 송신 장치(100)의 제로 제거부(218, 321) 및 평처링부(217, 318)에 대응되는 구성요소로, 제로 제거부(218, 321) 및 평처링부(217, 318)에 대응되는 동작을 수행할 수 있다.
- [0720] 먼저, LLR 인서터(2530, 2630)는 LDPC 코드워드에서 제로 비트들이 패딩되었던 위치에 제로 비트들에 대응되는 LLR 값을 삽입할 수 있다. 이 경우, 패딩되었던 제로 비트들 즉, 쇼트닝된 제로 비트들에 대응되는 LLR 값은 ∞ 또는 $-\infty$ 가 될 수 있다. 하지만, ∞ 또는 $-\infty$ 는 이론적인 값이며, 실질적으로는 수신 장치(200)에서 이용되는 LLR 값의 최대 값 또는 최소 값이 될 수 있다.
- [0721] 이를 위해, 수신 장치(200)는 송신 장치(100)가 모드에 따라 제로 비트들을 패딩하기 위해 이용하였던 파라미터 및/또는 패턴에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, LLR 인서터(2530, 2630)는 모드에 따라 LDPC 코드워드에서 제로 비트들이 패딩되었던 위치를 판단하고, 해당 위치에 쇼트닝된 제로 비트들에 대응되는 LLR 값을 삽입할 수 있다.
- [0722] 또한, LLR 인서터(2530, 2630)는 LDPC 코드워드에서 평처링된 비트들의 위치에 평처링된 비트들에 대응되는 LLR 값을 삽입할 수 있다. 이 경우, 평처링된 비트들에 대응되는 LLR 값은 0이 될 수 있다.
- [0723] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 평처링을 위해 이용한 파라미터 및/또는 패턴에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 인서터(2530, 2630)는 모드에 따라 평처링된 LDPC 패리티 비트들의 길이를 판단하고, LDPC 패리티 비트들이 평처링된 위치에 그에 대응되는 LLR 값을 삽입할 수 있다.
- [0724] 한편, 부가 패리티 비트들 중 평처링 비트들에서 선택된 부가 패리티 비트들의 경우, LLR 인서터(2630)는 평처

령된 비트에 대한 LLR 값 '0'이 아닌 수신된 부가 패리티 비트들에 대응되는 LLR 값을 평처링된 비트들의 위치에 인서트할 수 있다.

[0725] LLR 컴바이너(2540, 2640)는 LLR 인서터(2530, 2630) 및 멀스(2622)에서 출력되는 LLR 값을 컴바인 즉, 합산할 수 있다. 다만, LLR 컴바이너(2540, 2640)는 특정 비트들에 대해 LLR 값을 보다 좋은 값으로 갱신해 주는 역할을 하지만, LLR 컴바이너(2540, 2640)가 없이 수신된 LLR 값을로부터 복호가 가능할 수도 있기 때문에 경우에 따라서는 생략도 가능하다.

[0726] 구체적으로, LLR 컴바이너(2540)는 송신 장치(100)의 리피티션부(216)에 대응되는 구성요소로, 리피티션부(216)에 대응되는 동작을 수행할 수 있다. 또는, LLR 컴바이너(2640)는 송신 장치(100)의 리피티션부(317) 및 부가 패리티 생성부(319)에 대응되는 구성요소로, 리피티션부(317) 및 부가 패리티 생성부(319)에 대응되는 동작을 수행할 수 있다.

[0727] 먼저, LLR 컴바이너(2540, 2640)는 리피티션된 비트들에 대응되는 LLR 값을 다른 LLR 값과 컴바인할 수 있다. 여기에서, 다른 LLR 값은 송신 장치(100)에서 리피티션된 비트들 생성에 기초가 된 비트들 즉, 리피티션 대상으로 선택되었던 LDPC 패리티 비트들에 대한 LLR 값일 수 있다.

[0728] 즉, 상술한 바와 같이, 송신 장치(100)는 LDPC 패리티 비트들에서 비트들을 선택하고, 이들을 LDPC 정보어 비트들 및 LDPC 패리티 비트들 사이에서 리피티션시켜 수신 장치(200)로 전송하게 된다.

[0729] 이에 따라, LDPC 패리티 비트들에 대한 LLR 값은 리피티션된 LDPC 패리티 비트들에 대한 LLR 값 및 리피티션되지 않은 LDPC 패리티 비트들 즉, 인코딩에 의해 생성된 LDPC 패리티 비트들에 대한 LLR 값으로 구성될 수 있다. 따라서, LLR 컴바이너(2540, 2640)는 동일한 LDPC 패리티 비트들에 LLR 값을 컴바인할 수 있다.

[0730] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 리피티션을 위해 이용한 파라미터에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 컴바이너(2540, 2640)는 리피티션된 LDPC 패리티 비트들의 길이를 판단하고, 리피티션의 기초가 된 비트들의 위치를 판단하고, 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 리피티션의 기초가 된 LDPC 패리티 비트들에 대한 LLR 값과 컴바인할 수 있다.

[0731] 예를 들어, 도 60 및 도 61과 같이, LLR 컴바이너(2540, 2640)는 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 리피티션의 기초가 된 LDPC 패리티 비트들에 대한 LLR 값과 컴바인할 수 있다.

[0732] 한편, LLR 컴바이너(2540, 2640)는 LDPC 패리티 비트들이 n 번 리피티션된 경우, 동일한 위치의 비트들에 대한 LLR 값을 n 번 이하로 컴바인할 수 있다.

[0733] 예를 들어, 도 60은 평처링된 비트들을 제외하고 LDPC 패리티 비트들의 일부가 1 번 리피티션된 경우이다. 이 경우, LLR 컴바이너(2540, 2640)는 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 LDPC 패리티 비트들에 대한 LLR 값에 컴바인하여 출력하거나, 이들을 컴바인하지 않고 수신된 리피티션된 LDPC 패리티 비트들에 대한 LLR 값 또는 수신된 LDPC 패리티 비트들에 대한 LLR 값을 출력할 수 있다.

[0734] 다른 예로, 도 61은 평처링되지 않고 전송된 LDPC 패리티 비트들 중 일부가 2 번 리피티션되고, 나머지 부분이 1 번 리피티션되고, 평처링된 LDPC 패리티 비트들이 1 번 리피티션된 경우이다.

[0735] 이 경우, LLR 컴바이너(2540, 2640)는 1 번 리피티션된 경우는 상술한 바와 동일한 방식으로 처리할 수 있다. 다만, LLR 컴바이너(2540, 2640)는 2 번 리피티션된 부분에 대해서는 다음과 처리할 수 있다. 이 경우, 2 번 리피티션된 LDPC 패리티 비트들 중 하나를 제1 리피티션된 LDPC 패리티 비트들이라 하고, 나머지 하나를 제2 리피티션된 LDPC 패리티 비트들이라 한다.

[0736] 구체적으로, LLR 컴바이너(2540, 2640)는 제1 리피티션된 LDPC 패리티 비트들 및 제2 리피티션된 LDPC 패리티 비트들 각각에 대한 LLR 값을 LDPC 패리티 비트들에 대한 LLR 값과 컴바인하여 출력할 수 있다. 또는, LLR 컴바이너(2540, 2640)는 제1 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 LDPC 패리티 비트들에 대한 LLR 값과 컴바인하여 출력하거나, 제2 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 LDPC 패리티 비트들에 대한 LLR 값과 컴바인하여 출력하거나, 제1 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 제2 리피티션된 LDPC 패리티 비트들에 대한 LLR 값을 컴바인하여 출력할 수 있다. 또는, LLR 컴바이너(2540, 2640)는 별도의 컴바인 없이, 제1 리피티션된 LDPC 패리티 비트들에 대한 LLR 값, 제2 리피티션된 LDPC 패리티 비트들 또는 LDPC 패리티 비트들을 출력할 수 있다.

[0737] 또한, LLR 컴바이너(2640)는 부가 패리티 비트들에 대응되는 LLR 값을 다른 LLR 값을 컴바인할 수 있다. 여기에

서, 다른 LLR 값은 송신 장치(100)에서 부가 패리티 비트들 생성에 기초가 된 LDPC 패리티 비트들 즉, 부가 패리티 비트들 생성을 위해 선택되었던 LDPC 패리티 비트들에 대한 LLR 값일 수 있다.

[0738] 즉, 상술한 바와 같이, 송신 장치(100)는 현재 프레임에서 전송되는 L1 디테일 시그널링에 대한 부가 패리티 비트들을 이전 프레임에 맵핑하여 수신 장치(200)로 전송할 수 있다.

[0739] 이 경우, 부가 패리티 비트들은 평처링되어 현재 프레임에서 전송되지 않는 LDPC 패리티 비트들을 포함하고, 경우에 따라, 현재 프레임에서 전송되는 LDPC 패리티 비트들을 더 포함할 수 있다.

[0740] 이에 따라, LLR 캠바이너(2640)는 현재 프레임을 통해 수신된 부가 패리티 비트들에 대한 LLR 값을 다음 프레임을 통해 수신되는 LDPC 코드워드에서 평처링된 LDPC 패리티 비트들의 위치에 삽입된 LLR 값 및 다음 프레임을 통해 수신되는 LDPC 패리티 비트들에 대한 LLR 값과 캠바인할 수 있다.

[0741] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 부가 패리티 비트들 생성을 위해 이용한 파라미터 및/또는 패턴에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 캠바이너(2640)는 부가 패리티 비트들의 길이를 판단하고, 부가 패리티 비트들 생성에 기초가 된 LDPC 패리티 비트들의 위치를 판단하고, 부가 패리티 비트들에 대한 LLR 값을 부가 패리티 비트들의 생성에 기초가 된 LDPC 패리티 비트들에 대한 LLR 값과 캠바인할 수 있다.

[0742] 패리티 디퍼뮤테이션부(2550, 2650)는 LLR 캠바이너(2540, 2640)에서 출력되는 LLR 값을 디퍼뮤테이션할 수 있다.

[0743] 구체적으로, 패리티 디퍼뮤테이션부(2550, 2650)는 송신 장치(100)의 패리티 퍼뮤테이션부(215, 316)에 대응되는 구성요소로, 패리티 퍼뮤테이션부(215, 316)에 대응되는 동작을 수행할 수 있다.

[0744] 이를 위해, 수신 장치(200)는 송신 장치(100)가 모드에 따라 그룹-와이즈 인터리빙 및 패리티 인터리빙을 위해 이용하였던 파라미터 및/또는 패턴에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 패리티 디퍼뮤패트부(2550, 2650)는 LDPC 코드워드 비트들에 대응되는 LLR 값에 대해 패리티 퍼뮤패트부(215, 316)에서 수행된 그룹-와이즈 인터리빙 및 패리티 인터리빙 동작을 역으로 수행하여 즉, 그룹-와이즈 디인터리빙 및 패리티 디인터리빙 동작을 수행하여, LDPC 코드워드 비트들에 대응되는 LLR 값을 패리티 디퍼뮤패트할 수 있다.

[0745] LDPC 디코더(2560, 2660)는 패리티 디퍼뮤패트부(2550, 2650)에서 출력되는 LLR 값에 기초하여 LDPC 디코딩을 수행할 수 있다.

[0746] 구체적으로, LDPC 디코더(2560, 2660)는 송신 장치(100)의 LDPC 인코더(214, 315)에 대응되는 구성요소로, LDPC 인코더(214, 315)에 대응되는 동작을 수행할 수 있다.

[0747] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 LDPC 인코딩을 수행하기 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, LDPC 디코더(2560, 2660)는 모드에 따라 패리티 디퍼뮤패트부(2550, 2650)에서 출력되는 LLR 값에 기초하여 LDPC 디코딩을 수행할 수 있다.

[0748] 예를 들어, LDPC 디코더(2560, 2660)는 합곱 알고리즘(sum-product algorithm)에 기반한 반복 복호 방식(Iterative decoding)에 기초하여 패리티 디퍼뮤패트부(2550, 2650)에서 출력되는 LLR 값에 기초하여 LDPC 디코딩을 수행하고, LDPC 디코딩에 따라 에러가 정정된 비트들을 출력할 수 있다.

[0749] 제로 제거부(2570, 2670)는 LDPC 디코더(2560, 2660)에서 출력되는 비트들에서 제로 비트들을 제거할 수 있다.

[0750] 구체적으로, 제로 제거부(2570, 2670)는 송신 장치(100)의 제로 패딩부(213, 314)에 대응되는 구성요소로, 제로 패딩부(213, 314)에 대응되는 동작을 수행할 수 있다.

[0751] 이를 위해, 수신 장치(200)는 송신 장치(100)에서 모드에 따라 제로 비트들을 패딩하기 위해 이용하였던 파라미터 및/또는 패턴에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 제로 제거부(2570, 2670)는 LDPC 디코더(2560, 2660)에서 출력되는 비트들에서 제로 패딩부(213, 314)에서 패딩되었던 제로 비트들을 제거할 수 있다.

[0752] BCH 디코더(2580, 2680)는 제로 제거부(2570, 2670)에서 출력되는 비트들을 BCH 디코딩할 수 있다.

[0753] 구체적으로, BCH 디코더(2580, 2680)는 송신 장치(100)의 BCH 인코더(212, 313)에 대응되는 구성요소로, BCH 인코더(212, 313)에 대응되는 동작을 수행할 수 있다.

[0754] 이를 위해, 수신 장치(200)는 BCH 인코딩을 수행하기 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, BCH 디코더(2580, 2680)는 제로 제거부(2570, 2670)에서 출력되는 비트들을 BCH 디코딩하

여 에러를 정정하고, 에러가 정정된 비트들을 출력할 수 있다.

[0755] 디스크램블러(2590, 2690)는 BCH 디코더(2580, 2680)에서 출력되는 비트들을 디스크램블링할 수 있다.

[0756] 구체적으로, 디스크램블러(2590, 2690)는 송신 장치(100)의 스크램블러(211, 312)에 대응되는 구성요소로, 스크램블러(211, 312)에 대응되는 동작을 수행할 수 있다.

[0757] 이를 위해, 수신 장치(200)는 송신 장치(100)가 스크램블링을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 디스크램블러(2590, 2690)는 BCH 디코더(2580, 2680)에서 출력되는 비트들을 디스크램블하여 출력할 수 있다.

[0758] 이에 따라, 송신 장치(100)에서 전송하였던 L1 베이직 시그널링이 복원될 수 있다. 그리고, 송신 장치(100)에서 L1 디테일 시그널링에 대한 세그먼테이션이 수행되지 않는 경우, 송신 장치(100)에서 전송하였던 L1 디테일 시그널링 또한 복원될 수 있다.

[0759] 다만, 송신 장치(100)에서 L1 디테일 시그널링에 대한 세그먼테이션을 수행한 경우, 디세그먼테이션부(2695)는 디스크램블러(2690)에서 출력되는 비트들을 디세그먼테이션할 수 있다.

[0760] 구체적으로, 디세그먼테이션부(2695)는 송신 장치(100)의 세그먼테이션부(311)에 대응되는 구성요소로, 세그먼테이션부(311)에 대응되는 동작을 수행할 수 있다.

[0761] 이를 위해, 수신 장치(200)는 송신 장치(100)가 세그먼테이션을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 디세그먼테이션부(2695)는 디스크램бл러(2690)에서 출력되는 비트들 즉, L1 디테일 시그널링에 대한 세그먼트들을 결합하여, 세그먼테이션 전의 L1 디테일 시그널링을 복원할 수 있다.

[0762] 한편, L1 시그널링의 길이에 대한 정보는 도 62와 같이 제공된다. 이에 따라, 수신 장치(200)는 L1 디테일 시그널링에 대한 길이 및 부가 패리티에 대한 길이를 산출할 수 있다.

[0763] 도 62를 참조하면, L1 베이직 시그널링은 L1 Detail total cells의 정보를 제공한다는 점에서, 수신 장치(200)는 L1 디테일 시그널링에 대한 길이 및 부가 패리티 비트들의 길이를 산출해야 한다.

[0764] 구체적으로, L1 베이직 시그널링의 L1B_L1_Detail_additional_parity_mode가 0이 아닐 경우, 주어진 L1B_L1_Detail_total_cells의 정보는 total cell 길이($=N_{L1_detail_total_cells}$)를 나타내므로, 수신 장치(200)는 하기의 수학식 37 내지 40에 기초하여 L1 디테일 시그널링에 대한 길이 $N_{L1_detail_cells}$ 및 부가 패리티에 대한 길이 $N_{AP_total_cells}$ 를 산출할 수 있다.

수학식 37

$$N_{L1_FEC_cells} = \frac{N_{outer} + N_{repeat} + N_{ldpc_parity} - N_{punc}}{n_{MOD}} = \frac{N_{FEC}}{n_{MOD}}$$

[0765]

수학식 38

$$N_{L1_detail_cells} = N_{L1D_FECFRAME} \times N_{L1_FEC_cells}$$

[0766]

수학식 39

$$N_{AP_total_cells} = N_{L1_detail_total_cells} - N_{L1_detail_cells}$$

[0767]

[0768] 이 경우, 수학식 37 내지 수학식 39에 기초하여, L1 베이직 시그널링의 L1B_L1_Detail_total_cells의 정보로부터 얻을 수 있는 $N_{L1_detail_total_cells}$ 값과 N_{FEC} , $N_{L1D_FECFRAME}$ 및 변조 차수(n_{MOD})에 기초하여 $N_{AP_total_cells}$ 값을 구할 수 있다. 그 일 예로서 다음과 같은 수학식 40을 통해 $N_{AP_total_cells}$ 을 계산할 수 있다.

수학식 40

$$N_{AP_total_cells} = N_{L1_detail_total_cells} \cdot N_{L1D_FECFRAME} \times \frac{N_{FEC}}{n_{MOD}}$$

[0769]

[0770] 한편, L1 베이직 시그널링 필드의 syntax 및 field semantics는 하기의 표 13과 같다.

표 13

Syntax	# of bits	Format
L1_Basic_signaling() {		
L1B_L1_Detail_size_bits	16	uimsbf
L1B_L1_Detail_fec_type	3	uimsbf
L1B_L1_Detail_additional_parity_mode	2	uimsbf
L1B_L1_Detail_total_cells	19	uimsbf
L1B_Reserved	?	uimsbf
L1B_crc	32	uimsbf
}		

[0771]

[0772] 그러므로, 수신 장치(200)는 수신된 L1 디테일 셀들 중에서 $N_{AP_total_cells}$ 셀로 전송되는 부가 패리티 비트들을 기반으로 다음 프레임에서 부가 패리티 비트들에 대한 수신기 동작을 수행할 수 있다.

[0773] 도 63은 본 발명의 일 실시 예에 따른 부가 패리티 생성 방법을 설명하기 위한 흐름도이다.

[0774] 먼저, 아우터 인코딩된 비트들을 포함하는 입력 비트들을 인코딩하여 패리티 비트들을 생성하고(S6210), 패리티 비트들에서 일부 비트들을 평처링한다(S6220).

[0775] 그리고, 패리티 비트들에서 적어도 일부의 비트들을 선택하여, 이전 프레임에서 전송되는 부가 패리티 비트들을 생성한다(S6230).

[0776] 이 경우, 부가 패리티 비트들의 수는 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수 및 평처링 이후 남은 패리티 비트들의 수에 기초하여 결정된다.

[0777] 한편, 입력 비트들 및 상기 패리티 비트들로 구성된 LDPC 코드워드의 적어도 일부의 비트들이 현재 프레임에서 리피티션되어 전송되도록, LDPC 코드워드의 적어도 일부의 비트들을 LDPC 코드워드에서 리피티션하는 단계를 더 포함할 수 있다.

[0778] 이 경우, 부가 패리티 비트들의 수는 리피티션이 수행되는 경우, 현재 프레임에서 전송되는 아우터 인코딩된 비트들의 수, 평처링 이후 남은 패리티 비트들의 수 및 현재 프레임에서 리피티션되는 비트들의 수에 기초하여 결정될 수 있다.

[0779] 또한, 부가 패리티 비트들의 수는 수학식 8에 기초하여 산출된 부가 패리티 비트들의 임시적인 수 N_{AP_temp} 에 기초하여 산출되며, 구체적으로는, 수학식 10에 기초하여 산출될 수 있다.

- [0780] 한편, 부가 패리티를 생성하는 구체적인 방법에 대해서는 상술한 바 있다.

[0781] 도 64는 본 발명의 일 실시 예에 따라 부가 패리티 비트들을 사용할 경우와 사용하지 않을 경우에 대한 성능을 나타낸 도면이다.

[0782] 도 64에서는, L1 디테일 시그널링의 길이가 각각 2000, 3000, 4000인 경우, 부가 패리티 비트를 사용하지 않았을 경우(dot line)와 부가 패리티 비트를 사용할 경우(solid line)에 대한 FER(Frame Error Rate)를 나타내며, 부가 패리티 비트를 사용할 경우 부호 이득과 다이버시티 이득(기울기)을 얻을 수 있음을 알 수 있다.

[0783] 한편, 본 발명에 따른 부가 패리티 생성 방법을 순차적으로 수행하는 프로그램이 저장된 비일시적 판독 가능 매체(non-transitory computer readable medium)가 제공될 수 있다.

[0784] 비일시적 판독 가능 매체란 레지스터, 캐쉬, 메모리 등과 같이 짧은 순간 동안 데이터를 저장하는 매체가 아니라 반영구적으로 데이터를 저장하며, 기기에 의해 판독(reading)이 가능한 매체를 의미한다. 구체적으로는, 상술한 다양한 어플리케이션 또는 프로그램들은 CD, DVD, 하드 디스크, 블루레이 디스크, USB, 메모리카드, ROM 등과 같은 비일시적 판독 가능 매체에 저장되어 제공될 수 있다.

[0785] 또한, 송신 장치 및 수신 장치에 대해 도시한 상술한 블록도에서는 버스(bus)를 미도시하였으나, 송신 장치 및 수신 장치에서 각 구성요소 간의 통신은 버스를 통해 이루어질 수도 있다. 또한, 각 장치에는 상술한 다양한 동작을 수행하는 CPU, 마이크로 프로세서 등과 같은 프로세서가 더 포함될 수도 있으며, 각 장치에는 상술한 다양한 동작을 수행하기 위한 메모리가 더 포함될 수도 있다.

[0786] 또한, 본 발명의 실시 예에서 "모듈", "유닛", "부(part)" 등과 같은 용어는 적어도 하나의 기능이나 동작을 수행하는 구성요소를 지칭하기 위한 용어이며, 이러한 구성요소는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다. 또한, 복수의 "모듈", "유닛", "부(part)" 등은 각각이 개별적인 특정한 하드웨어로 구현될 필요가 있는 경우를 제외하고는, 적어도 하나의 모듈이나 칩으로 일체화되어 적어도 하나의 프로세서(미도시)로 구현될 수 있다.

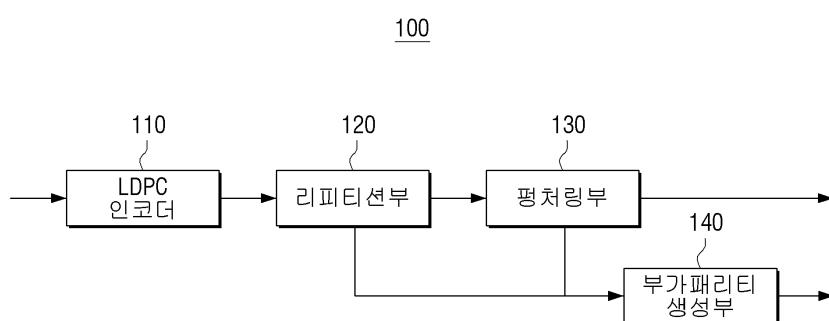
[0787] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

부호의 설명

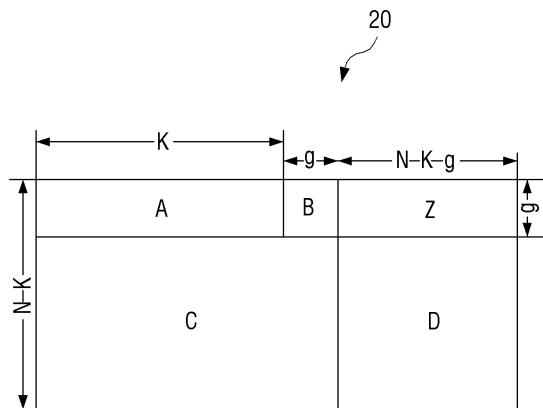
- | | | |
|--------|------------------|----------------|
| [0788] | 100 : 송신 장치 | 110 : LDPC 인코더 |
| | 120 : 리피티션부 | 130 : 평쳐링부 |
| | 140 : 부가 패리티 생성부 | |

도면

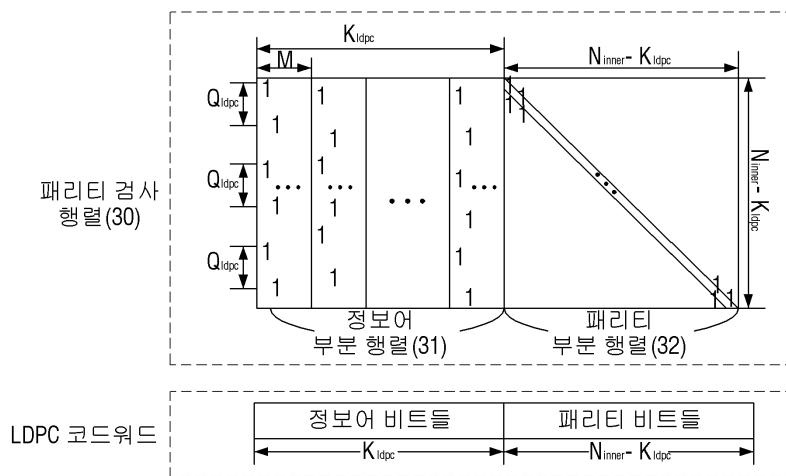
도면1



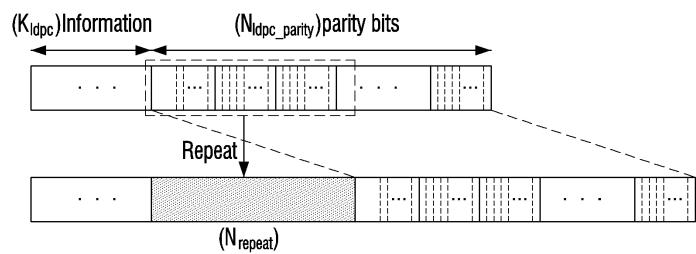
도면2



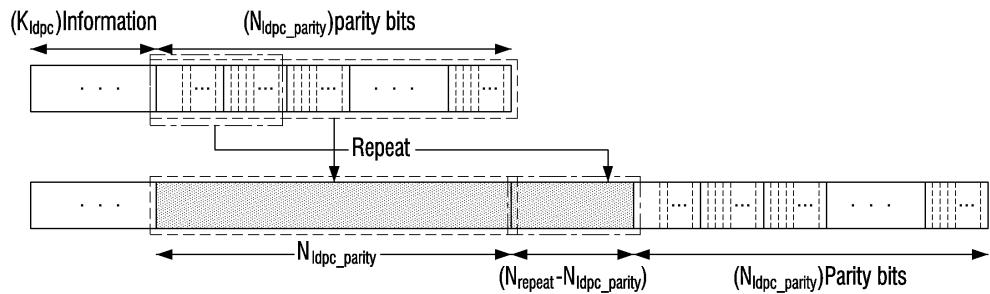
도면3



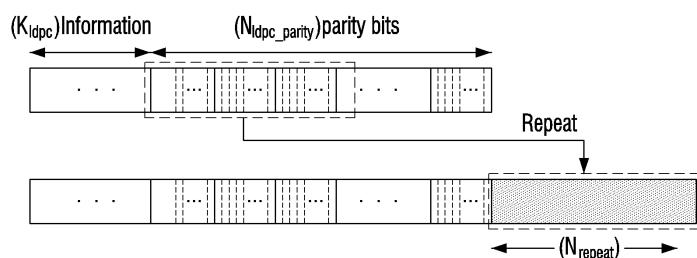
도면4



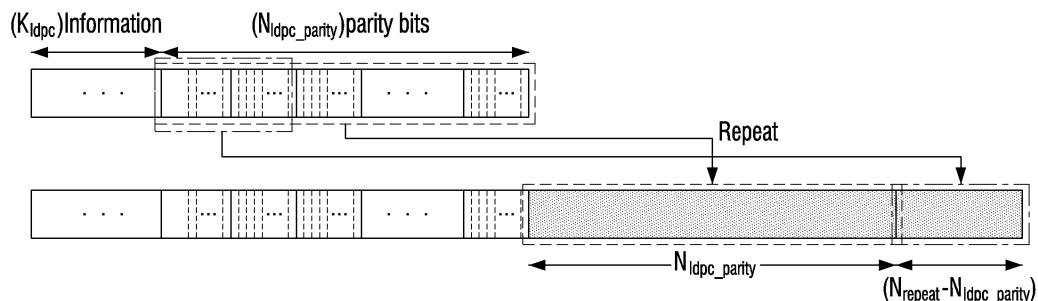
도면5



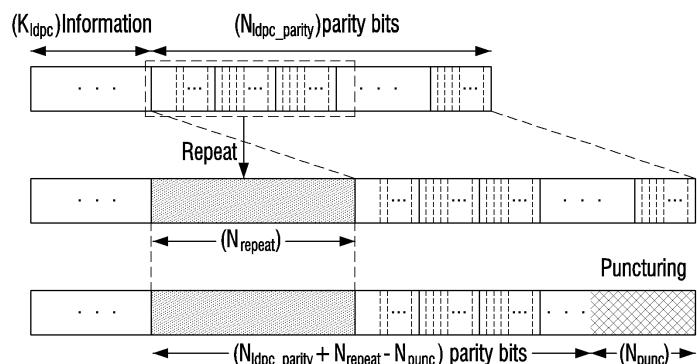
도면6



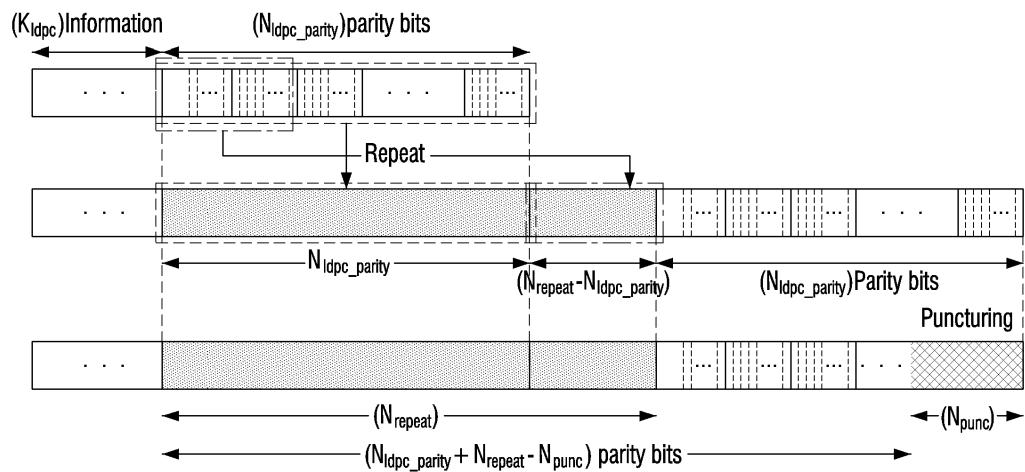
도면7



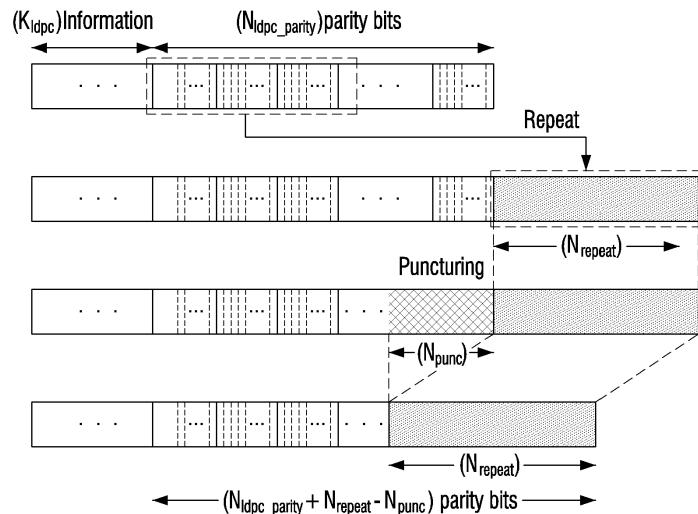
도면8



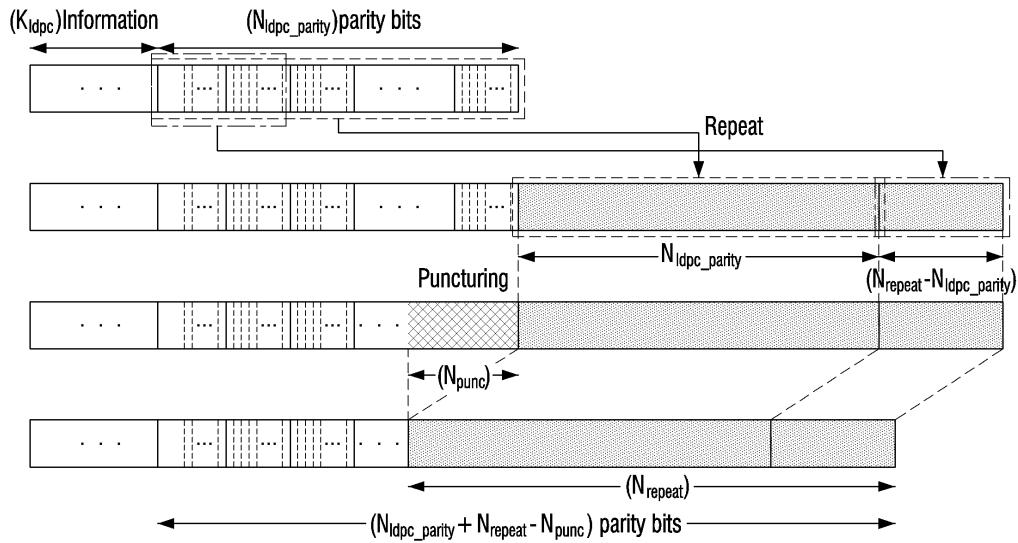
도면9



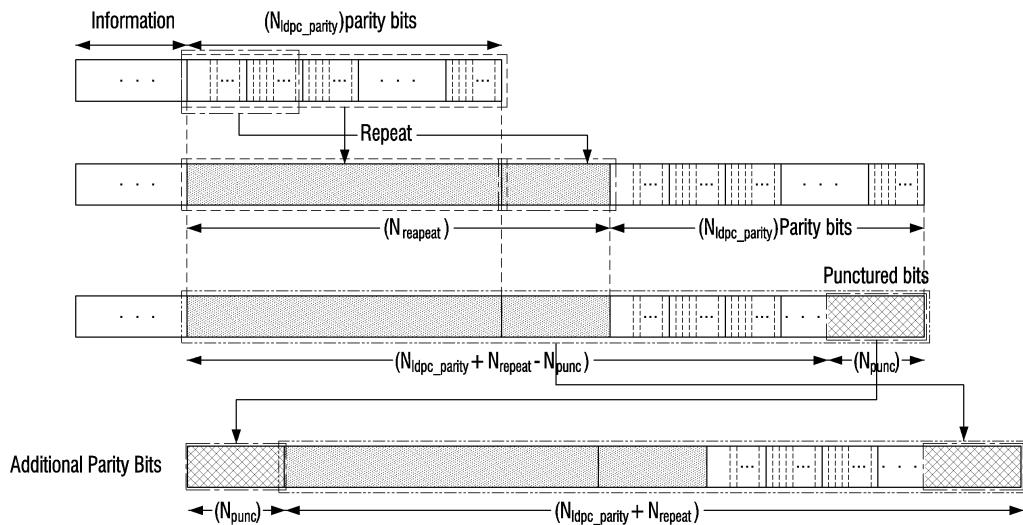
도면10



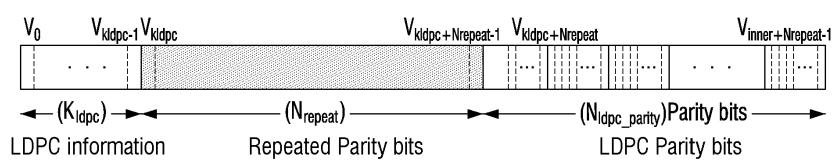
도면11



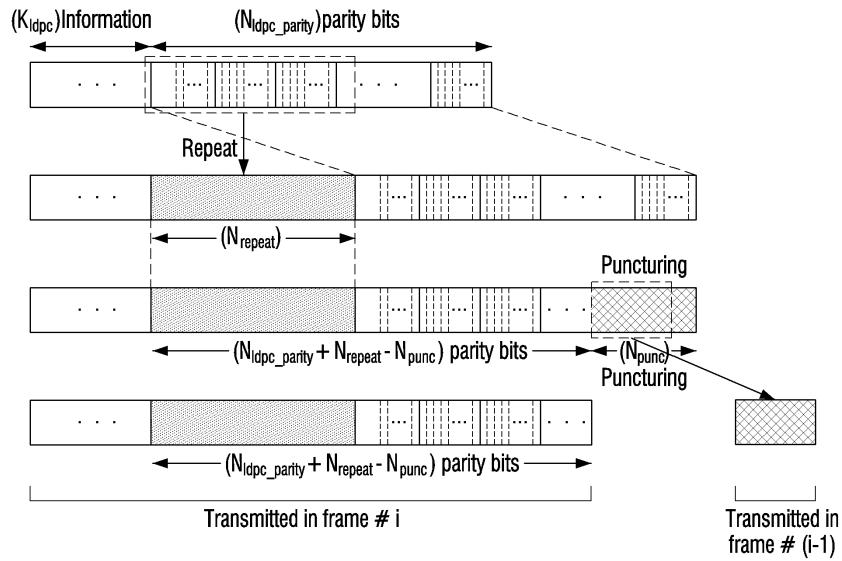
도면12



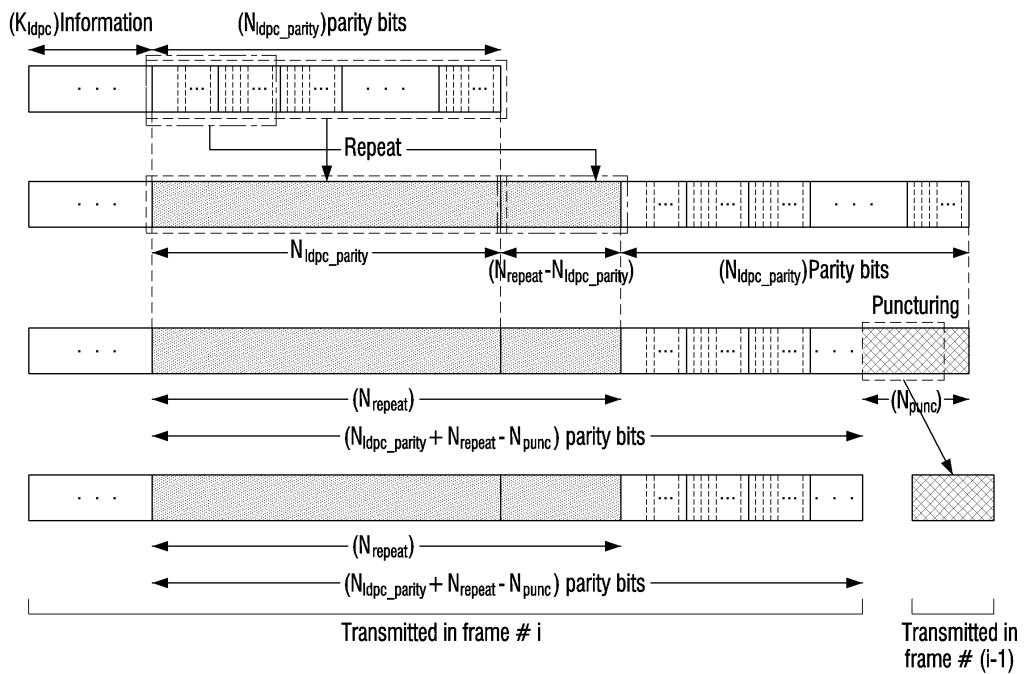
도면13



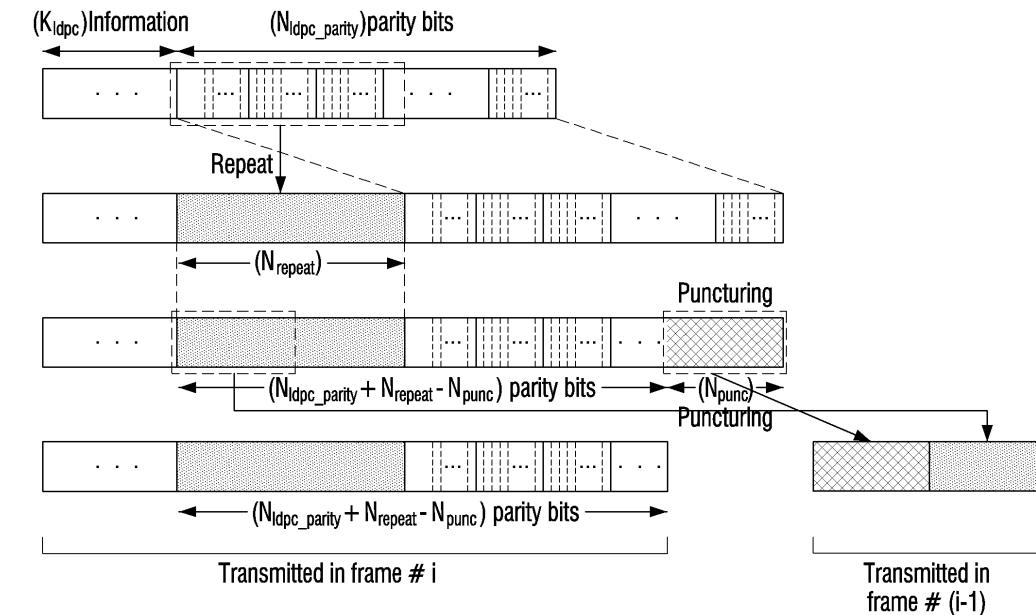
도면14



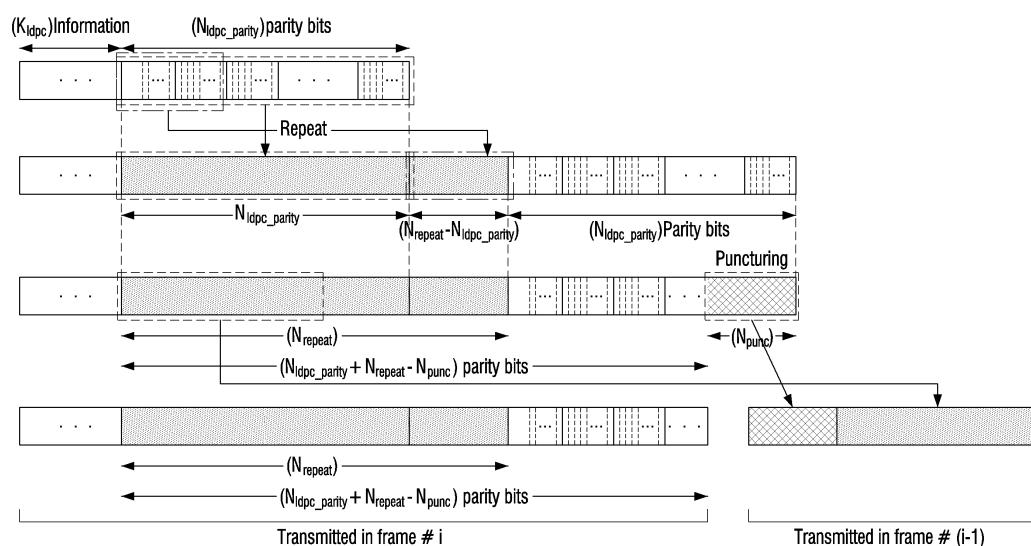
도면15



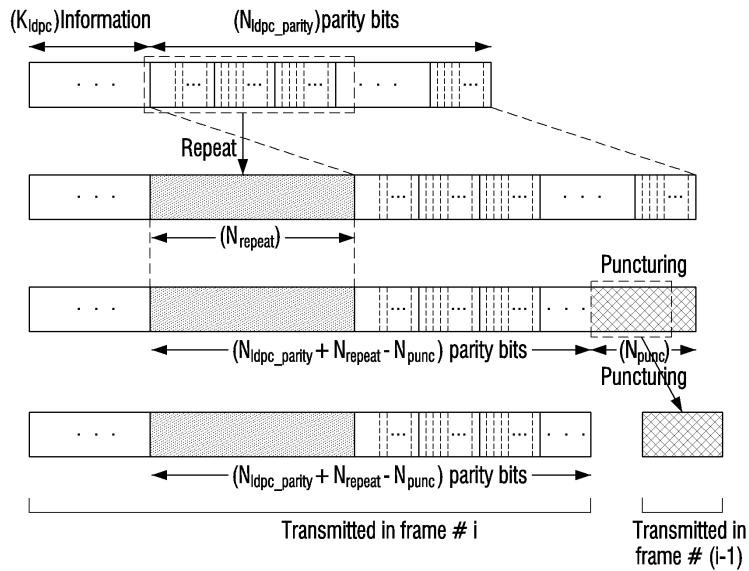
도면16



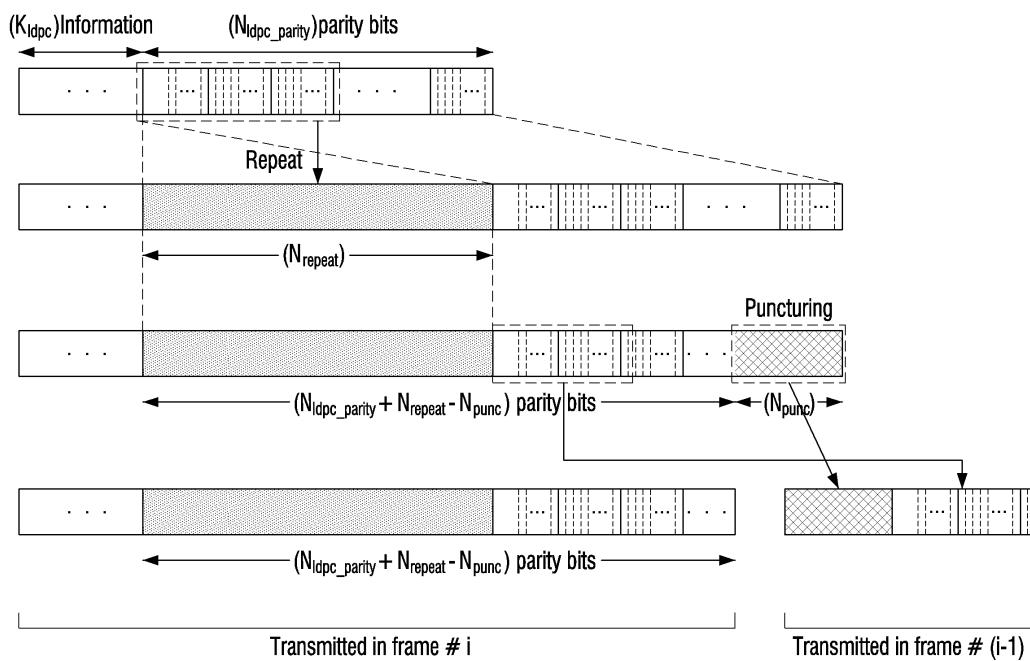
도면17



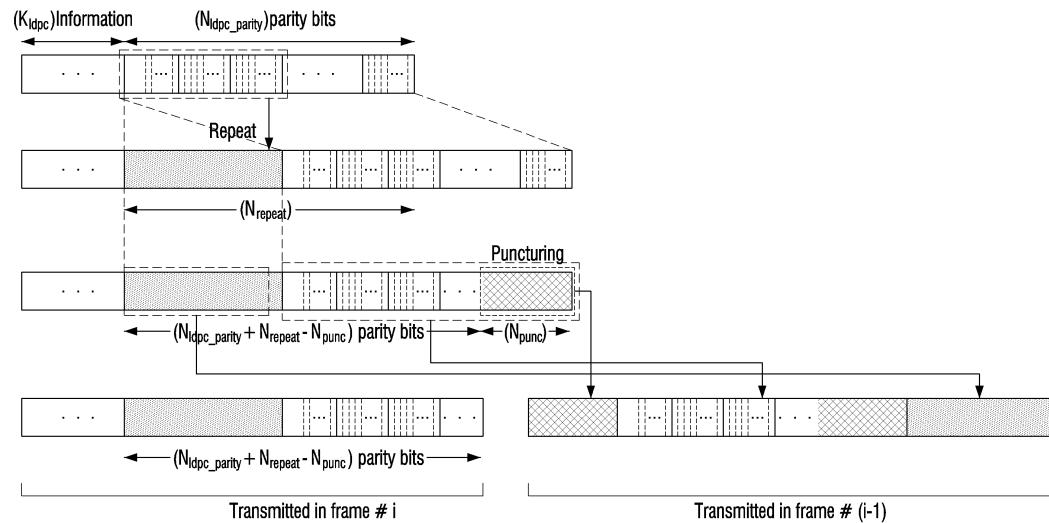
도면18



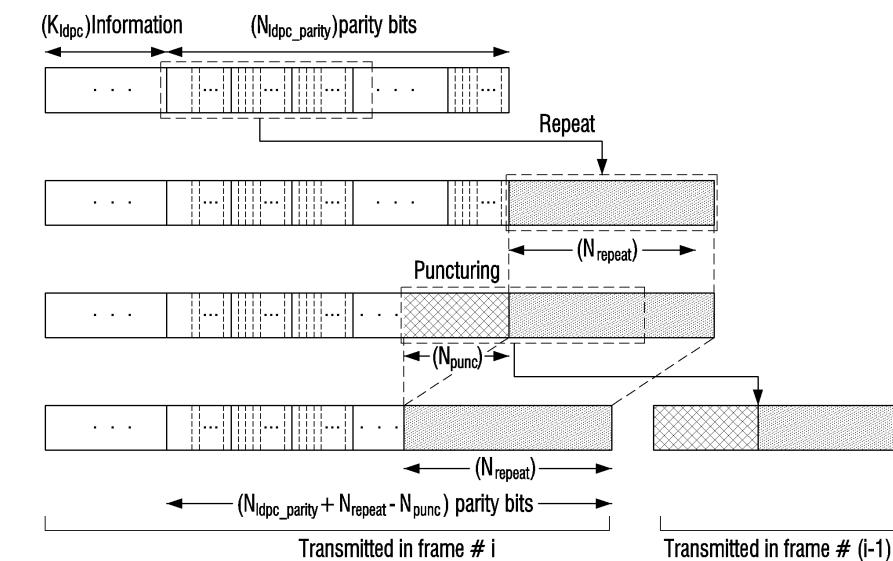
도면19



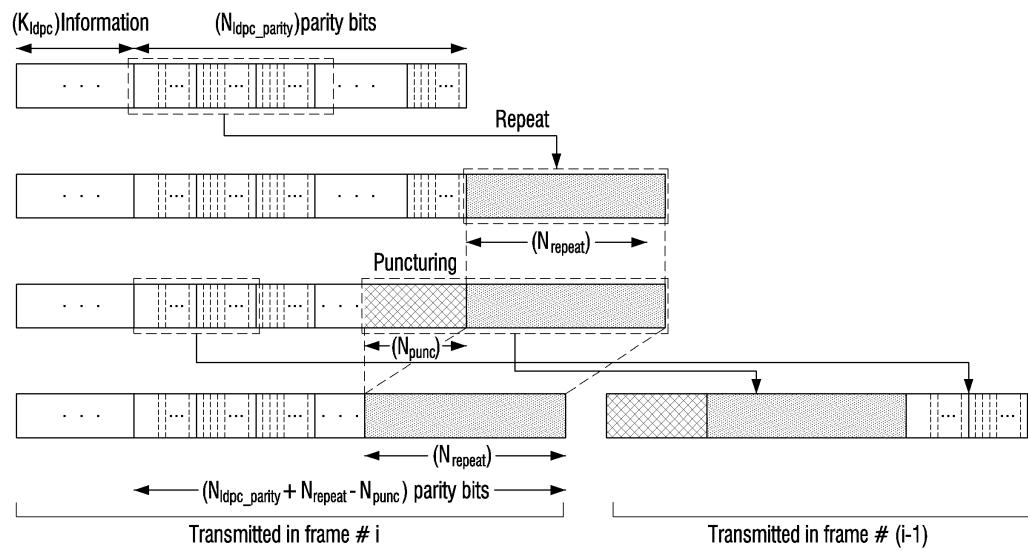
도면20



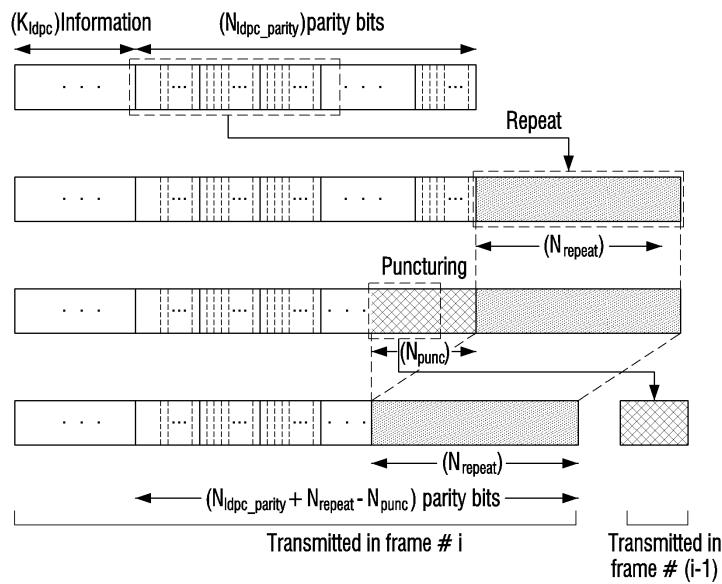
도면21



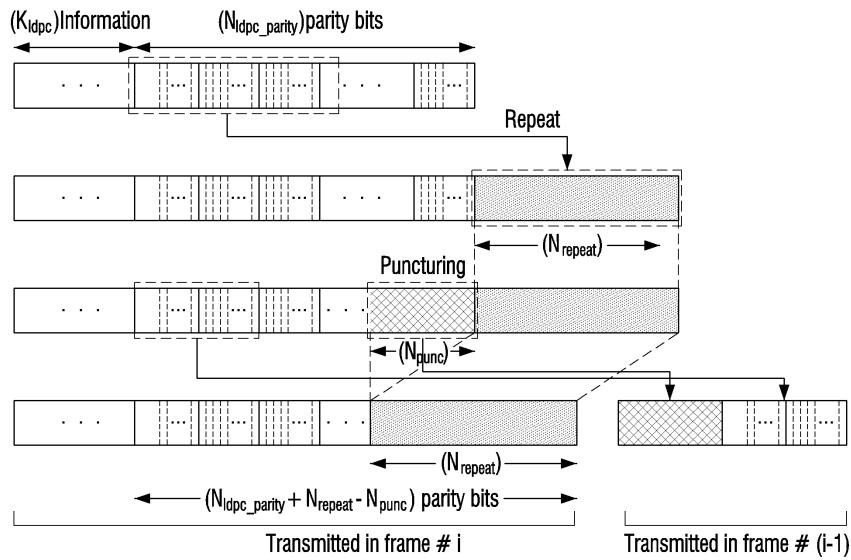
도면22



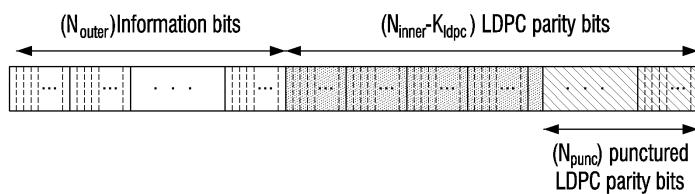
도면23



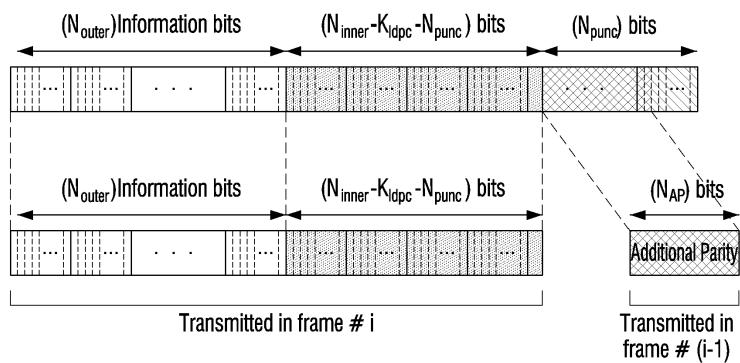
도면24



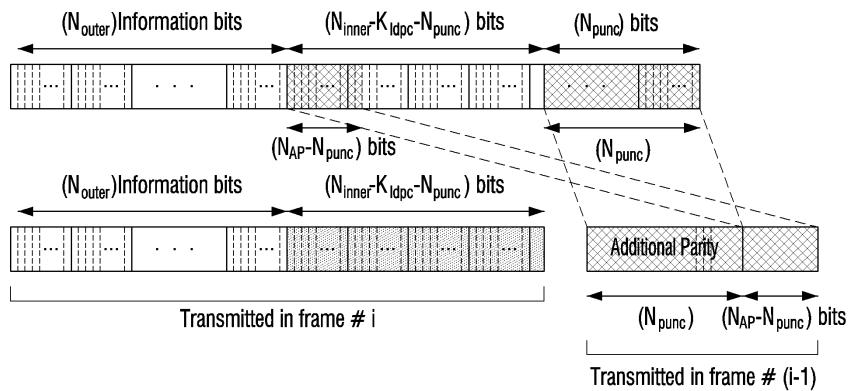
도면25



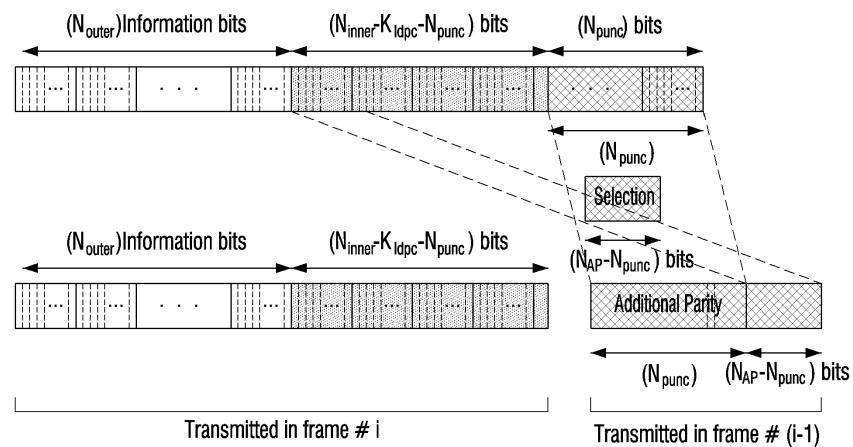
도면26



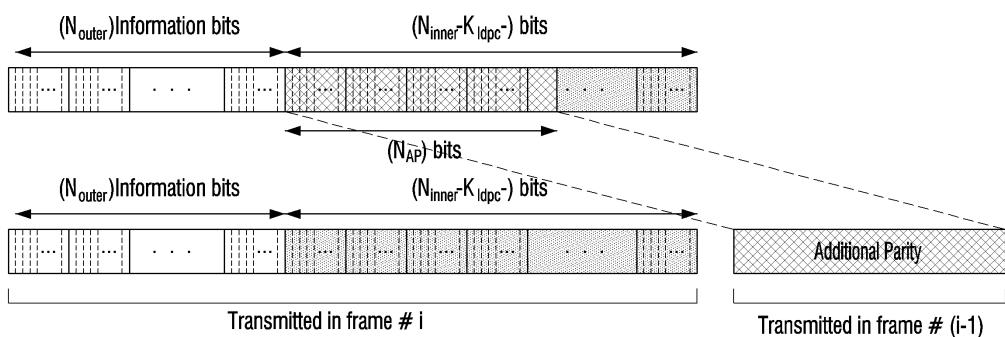
도면27



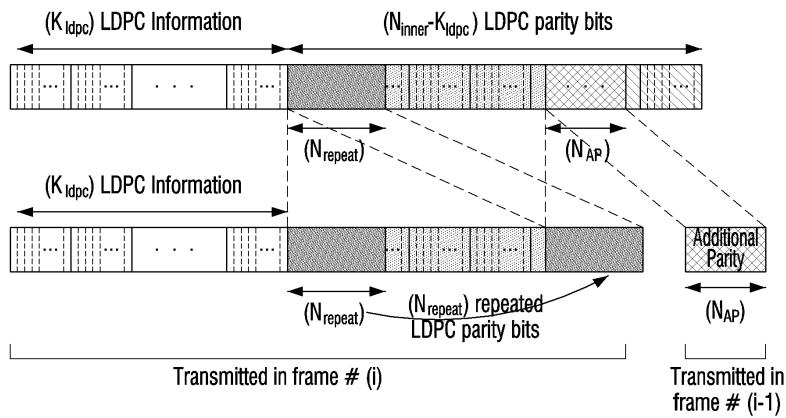
도면28



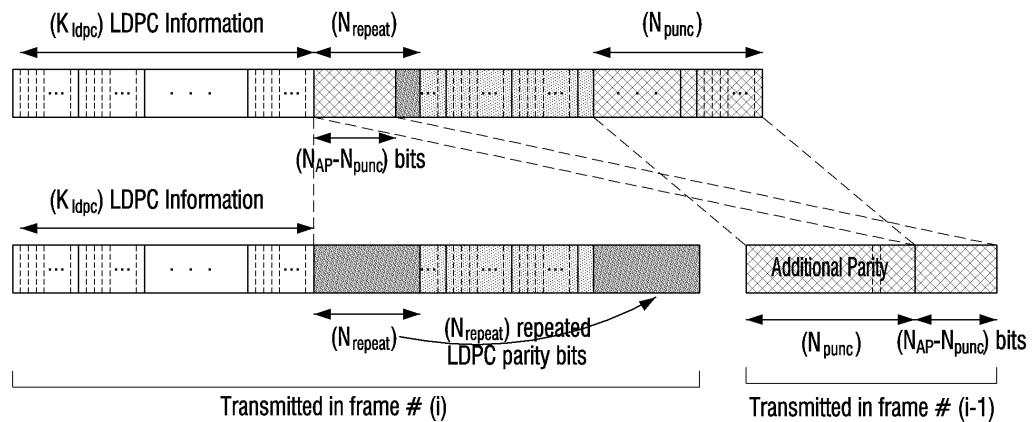
도면29



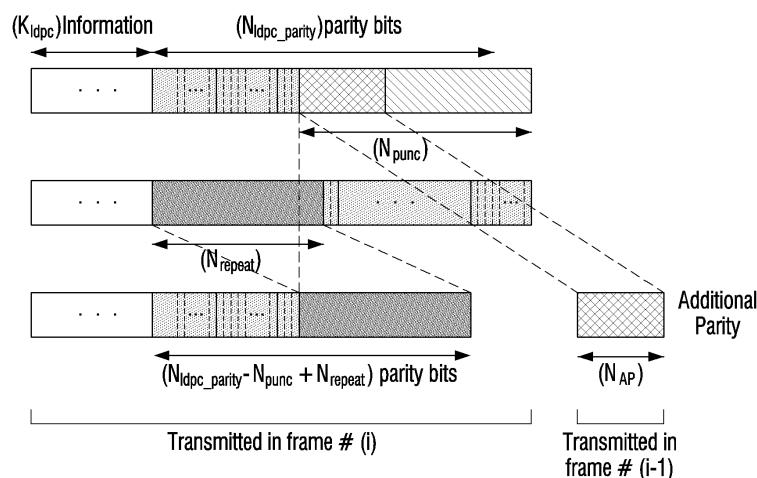
도면30



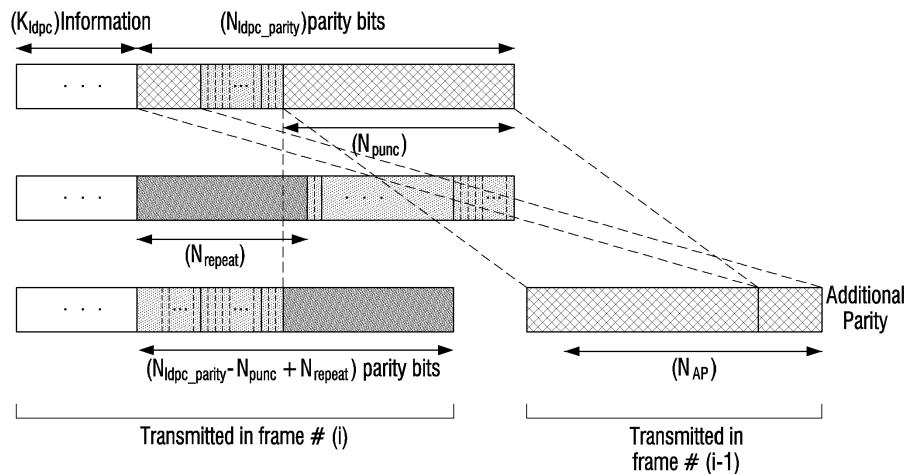
도면31



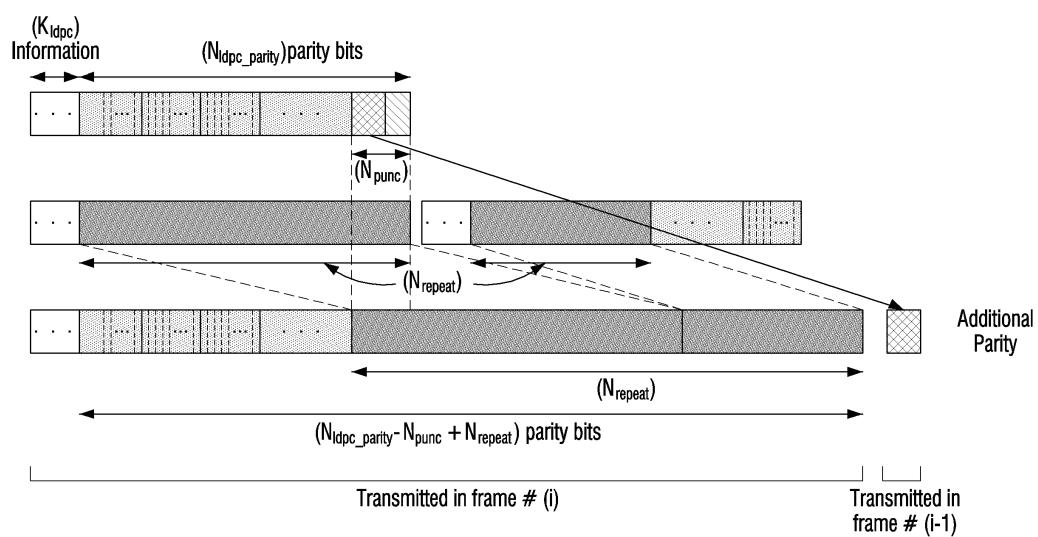
도면32



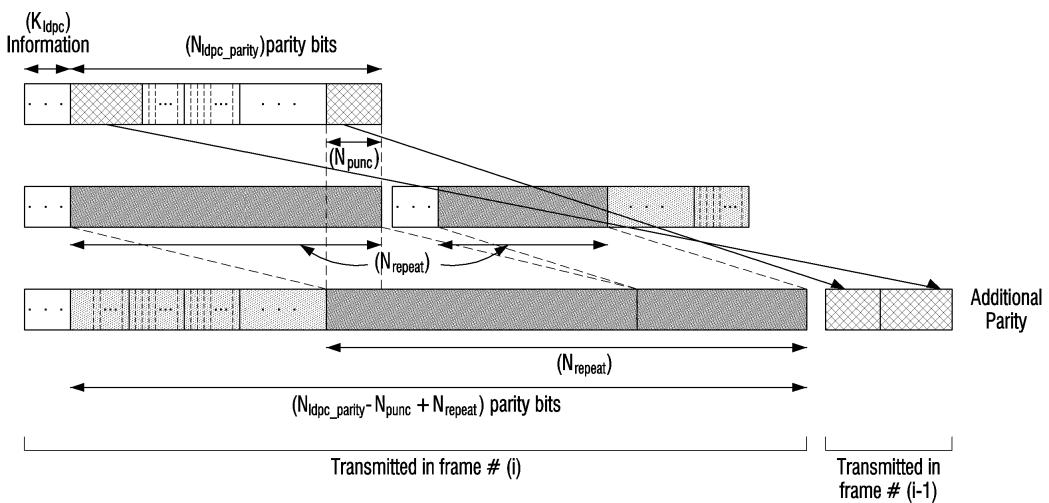
도면33



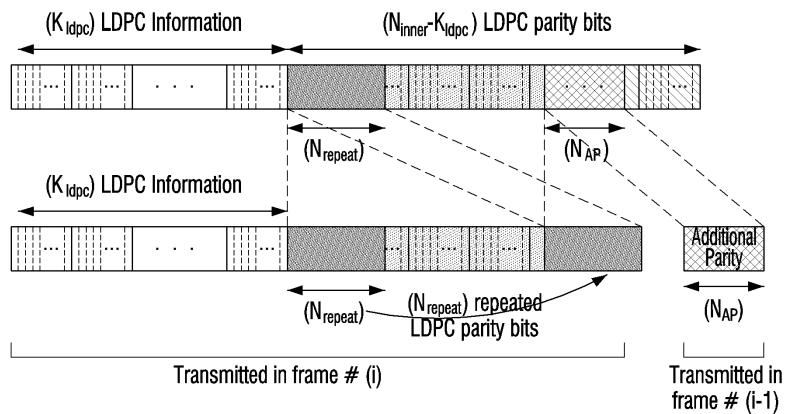
도면34



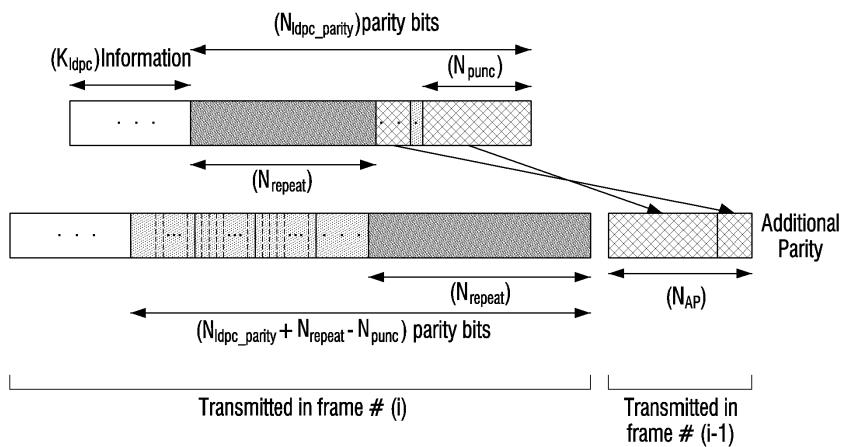
도면35



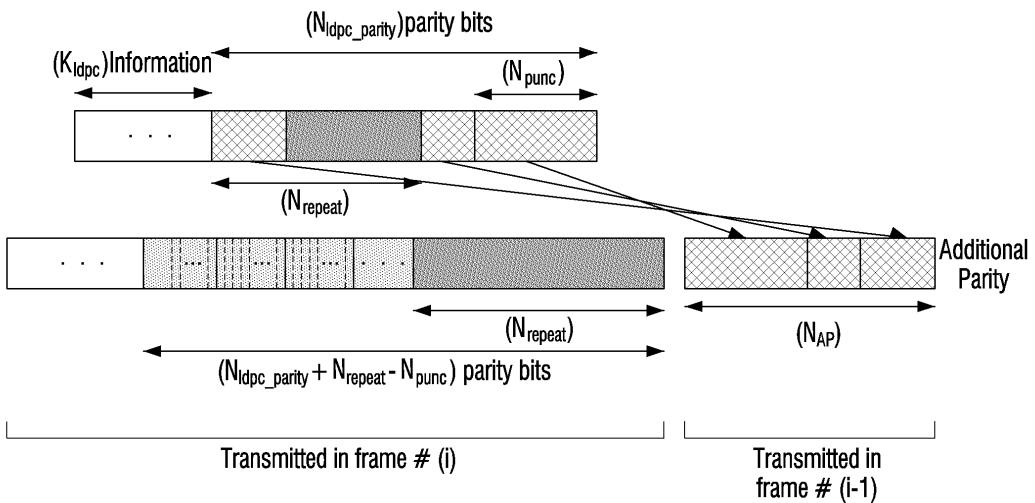
도면36



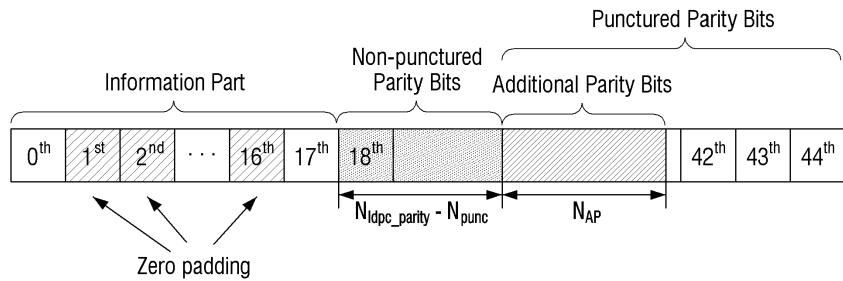
도면37



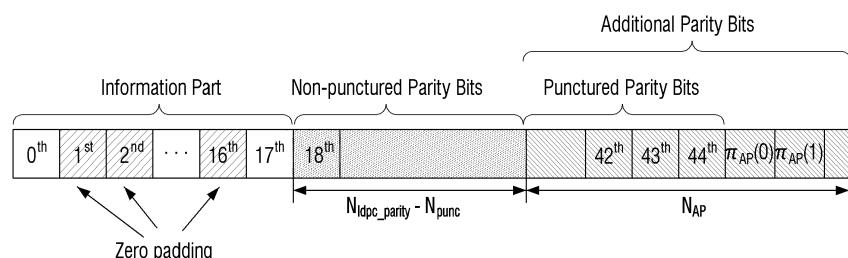
도면38



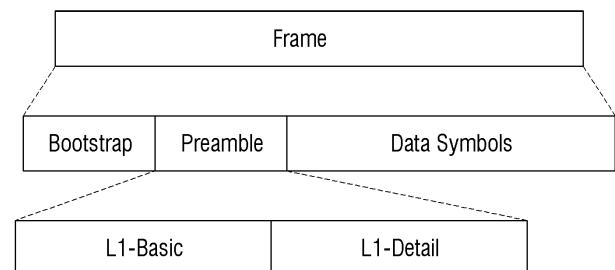
도면39



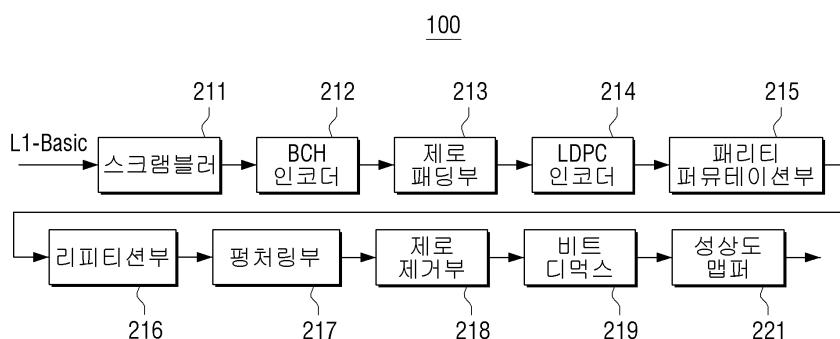
도면40



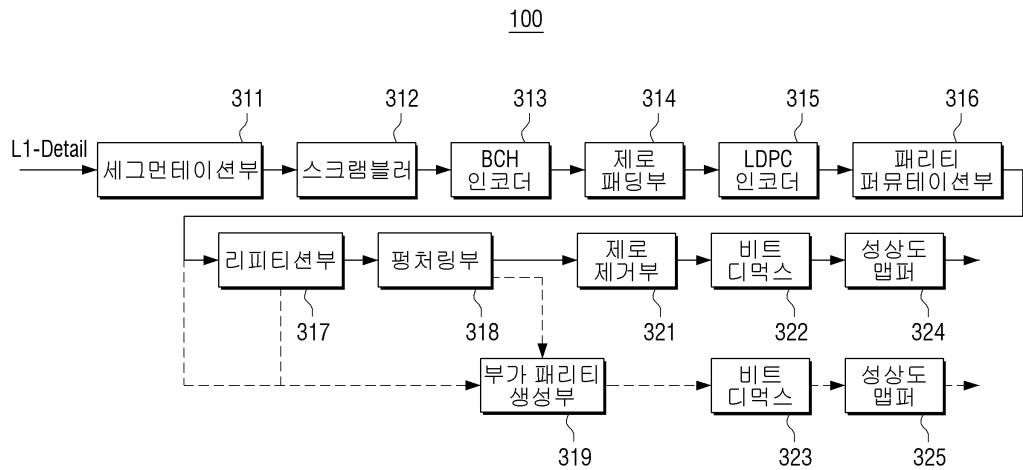
도면41



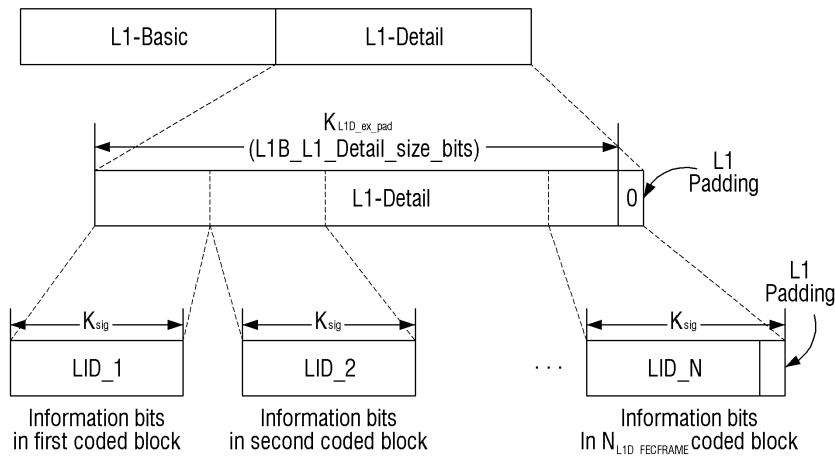
도면42



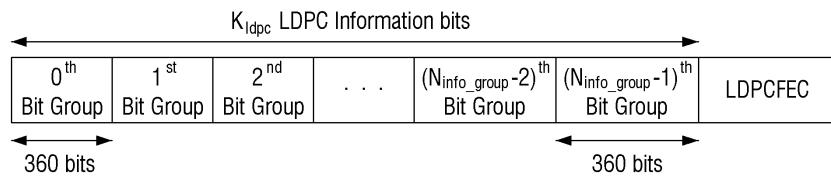
도면43



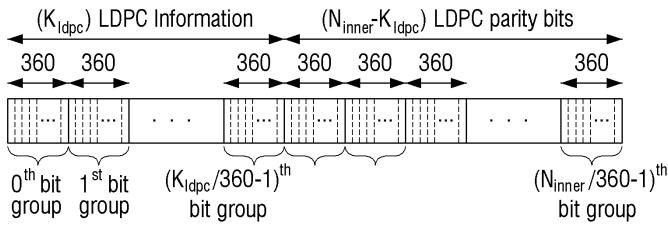
도면44



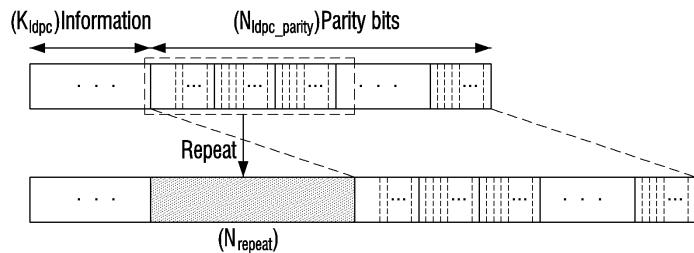
도면45



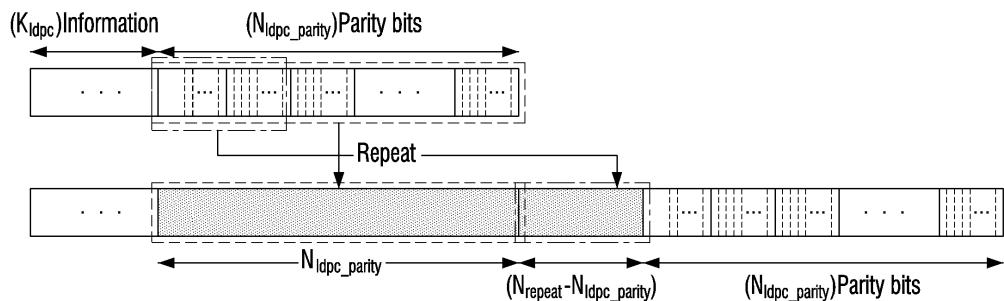
도면46



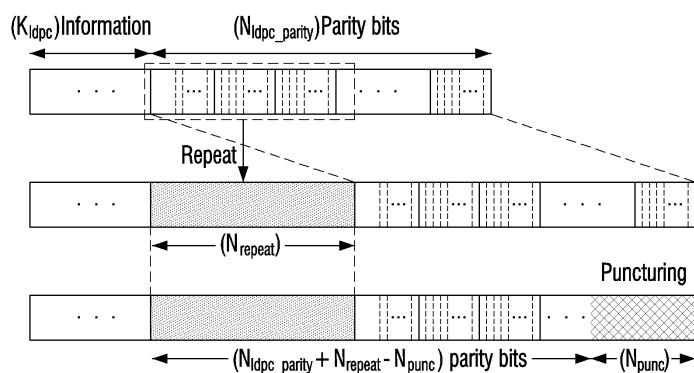
도면47



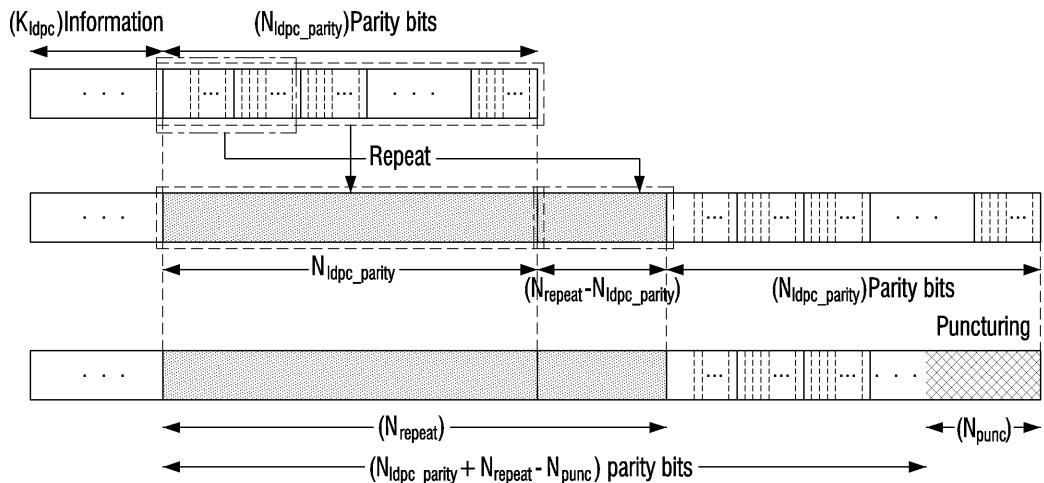
도면48



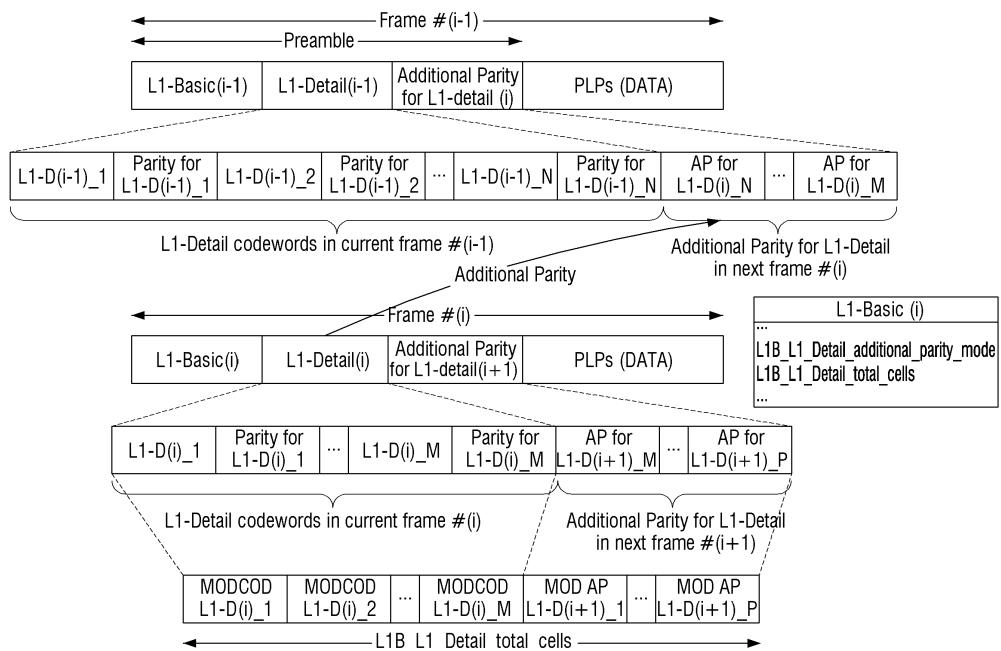
도면49



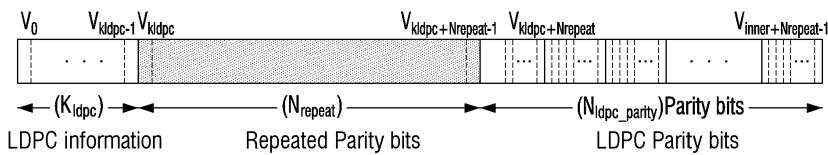
도면50



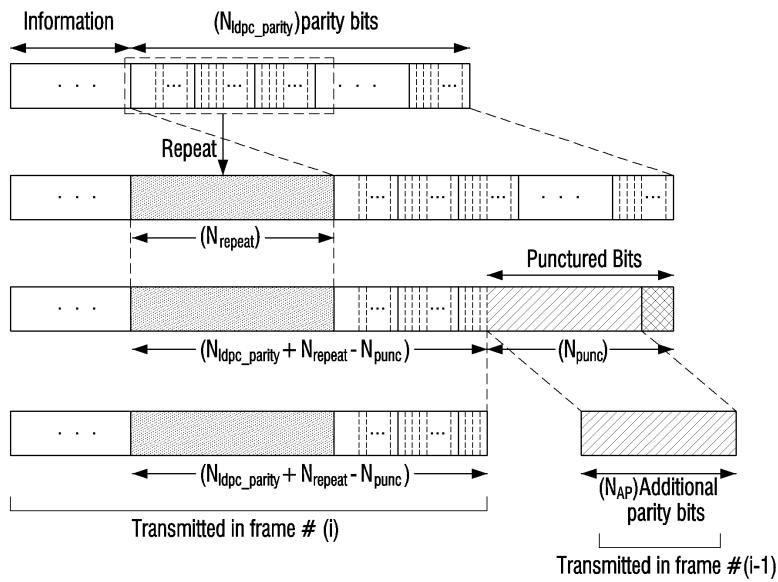
도면51



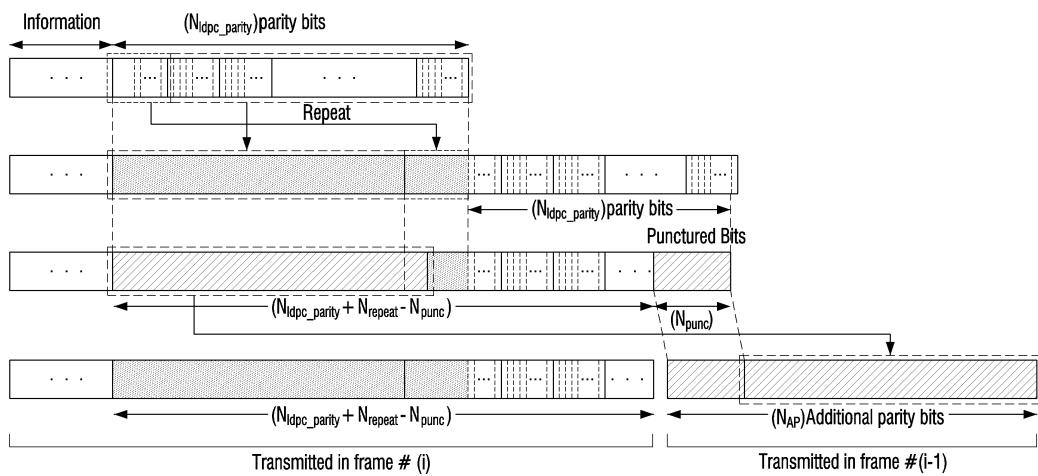
도면52



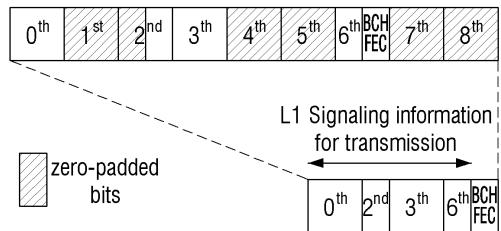
도면53



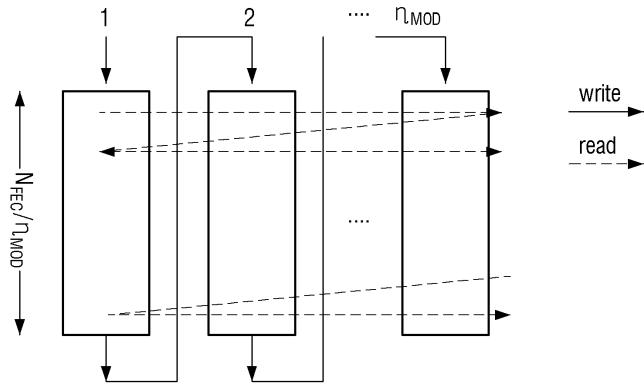
도면54



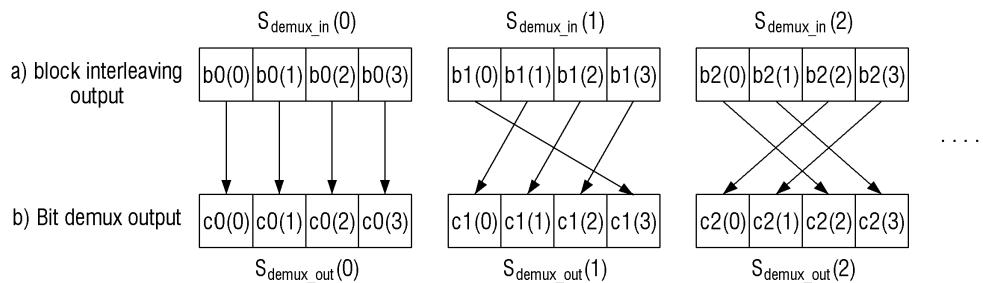
도면55



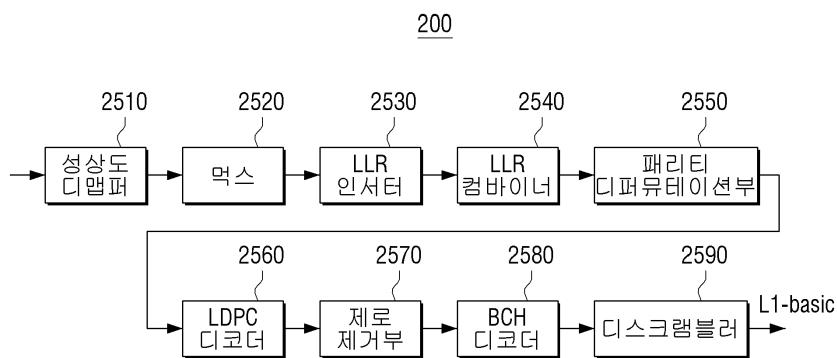
도면56



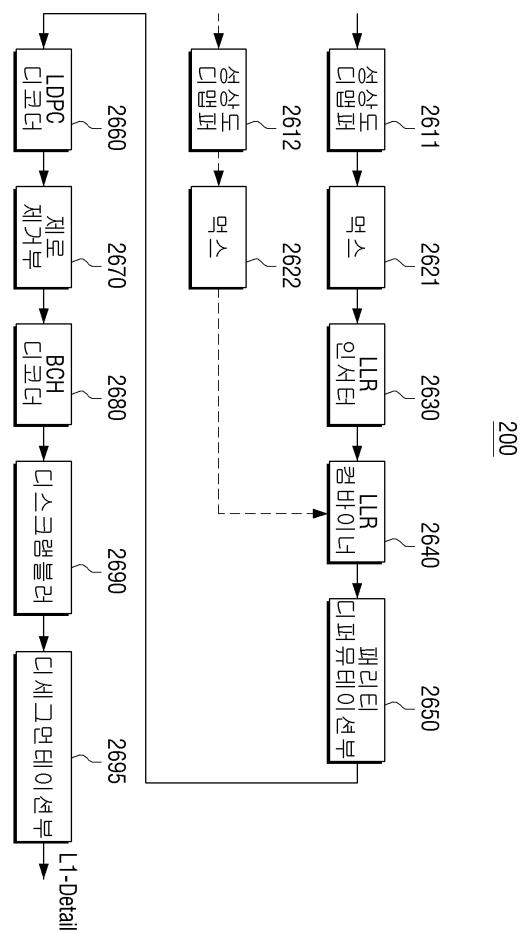
도면57



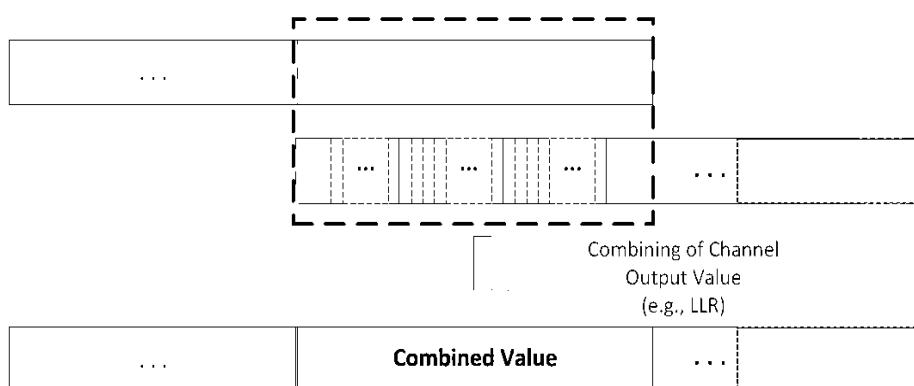
도면58



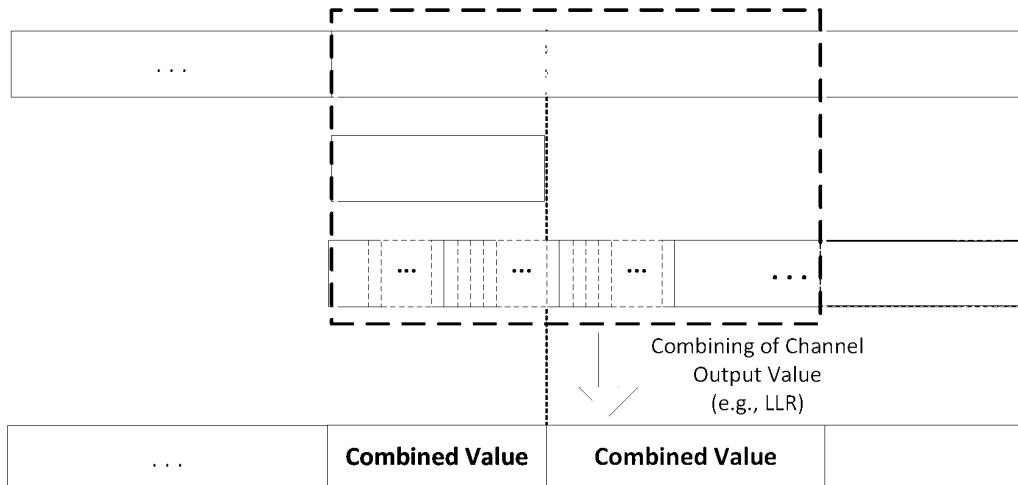
도면59



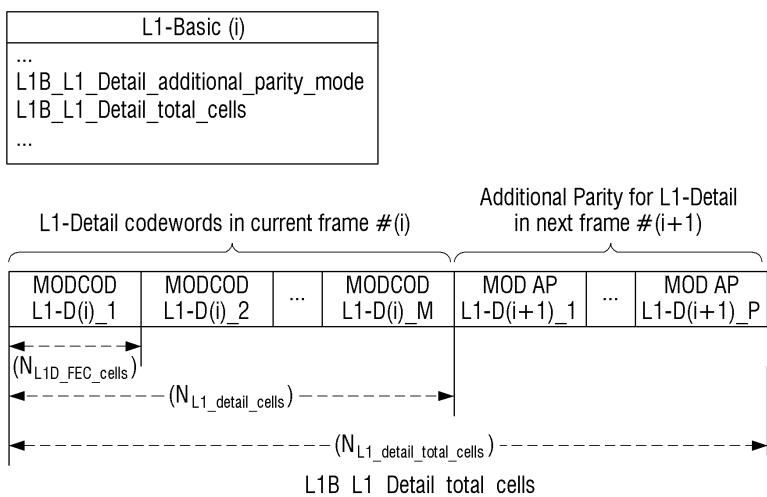
도면60



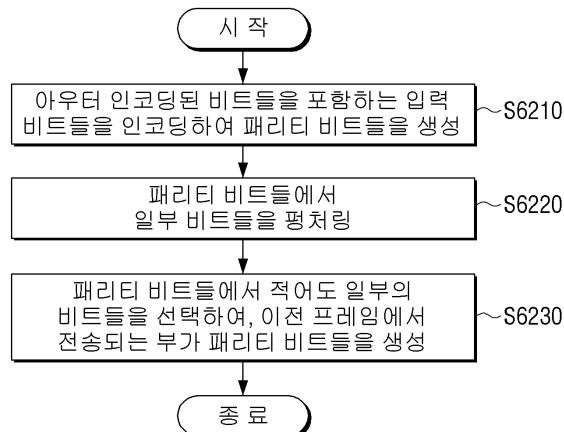
도면61



도면62



도면63



도면64

