(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0120577
(43) 공개일자 2022년08월30일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/02* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/66969 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2022-7021362
(22) 출원일자(국제) 2020년12월15일
심사청구일자 없음
(85) 번역문제출일자 2022년06월22일
(86) 국제출원번호 PCT/IB2020/061920
(87) 국제공개번호 WO 2021/130600
국제공개일자 2021년07월01일
(30) 우선권주장
JP-P-2019-239444 2019년12월27일 일본(JP)
JP-P-2020-005762 2020년01월17일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
가케하타 데츠야
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 11 항

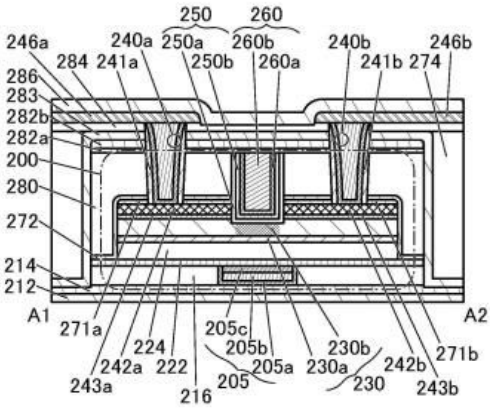
(54) 발명의 명칭 **반도체 장치, 반도체 장치의 제작 방법**

(57) 요 약

특성의 편차가 적은 반도체 장치를 제공한다. 반도체 장치는 산화물과, 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 위의 제 1 절연체와, 제 2 도전체 위의 제 2 절연체와, 제 1 절연체 위 및 제 2 절연체 위의 제 3 절연체와, 제 3 절연체 위의 제 4 절연체와, 산화물 위에 있으며 제 1 도전체와 제 2 도전체 사이에 배치되는 제 5 절연체와, 제 5 절연체 위의 제 6 절연체와, 제 6 절연체 위의 제 3 도전체를 가지고, 제 3 도전체는 산화물과 중첩되는 영역을 가지고, 제 5 절연체는 산화물, 제 1 도전체, 제 2 도전체, 및 제 1 절연체 내지 제 4 절연체의 각각과 접하는 영역을 가지고, 제 5 절연체는 질소, 산소, 및 실리콘을 포함한다.

대 표 도

(B)



(52) CPC특허분류
H01L 21/02211 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/0228 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/7869 (2013.01)
(72) 발명자
진보 야스히로
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

에기 유지
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

제 1 절연체를 성막하고,

상기 제 1 절연체 위에 산화막을 성막하고,

제 1 가열 처리를 수행하고,

상기 산화막 위에 제 1 도전막 및 제 1 절연막을 순차적으로 성막하고,

상기 산화막, 상기 제 1 도전막, 및 상기 제 1 절연막을 섬 형상으로 가공하여 산화물, 도전층, 및 절연층을 형성하고,

상기 제 1 절연체, 상기 산화물, 상기 도전층, 및 상기 절연층 위에 제 2 절연체를 성막하고,

상기 제 2 절연체 위에 제 3 절연체를 성막하고,

상기 도전층, 상기 절연층, 상기 제 2 절연체, 및 상기 제 3 절연체에, 상기 산화물에 도달하는 개구를 형성하고,

상기 개구의 형성에 의하여, 상기 도전층으로부터 제 1 도전체 및 제 2 도전체가 형성되고, 상기 절연층으로부터 제 4 절연체 및 제 5 절연체가 형성되고,

제 2 가열 처리를 수행하고,

상기 제 3 절연체 위 및 상기 개구 위에 제 2 절연막을 성막하고,

상기 제 2 절연막 위에 제 3 절연막을 성막하고,

마이크로파 처리를 수행하고,

상기 제 3 절연막 위에 제 2 도전막을 성막하고,

상기 제 2 절연막, 상기 제 3 절연막, 및 상기 제 2 도전막에 대하여 상기 제 3 절연체의 상면이 노출될 때까지 CMP 처리를 수행함으로써, 제 6 절연체, 제 7 절연체, 및 제 3 도전체를 형성하고,

상기 제 2 절연막은 실리콘을 포함하며 탄화수소를 포함하지 않는 가스 및 산화성 가스를 사용하여 PEALD법에 의하여 성막되는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 PEALD법에 의한 성막은,

상기 실리콘을 포함하며 탄화수소를 포함하지 않는 가스 및 상기 산화성 가스를 반응실에 도입하는 제 1 단계와,

상기 실리콘을 포함하며 탄화수소를 포함하지 않는 가스의 도입을 정지하고, 상기 반응실에 잔류된 상기 실리콘을 포함하며 탄화수소를 포함하지 않는 가스를 퍼지하는 제 2 단계와,

고주파 전력을 인가하여 상기 산화성 가스에 의한 플라스마를 발생시키는 제 3 단계와,

상기 고주파 전력의 인가를 정지하는 제 4 단계를 가지고,

상기 제 1 단계 내지 상기 제 4 단계를 1사이클로 하여 1사이클 내지 500사이클 수행하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 실리콘을 포함하며 탄화수소를 포함하지 않는 가스는 SiH_4, Si_2H_6, SiF_4, $SiCl_4$, $SiBr_4$, SiH_2Cl_2, 및 SiH_2I_2 중에서 선택되는 어느 하나 또는 복수를 포함하고,

상기 산화성 가스는 O_2, O_3, N_2O, NO_2, 및 H_2O 중에서 선택되는 어느 하나 또는 복수를 포함하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 실리콘을 포함하며 탄화수소를 포함하지 않는 가스는 SiH_4이고, 상기 산화성 가스는 N_2O인, 반도체 장치의 제작 방법.

청구항 5

제 2 항에 있어서,

상기 제 1 단계의 상기 반응실의 압력은 400Pa 이상 1000Pa 이하인, 반도체 장치의 제작 방법.

청구항 6

제 1 항에 있어서,

상기 제 1 가열 처리의 온도는 상기 제 2 가열 처리의 온도보다 높은, 반도체 장치의 제작 방법.

청구항 7

반도체 장치로서,

산화물과,

상기 산화물 위의 제 1 도전체 및 제 2 도전체와,

상기 제 1 도전체 위의 제 1 절연체와,

상기 제 2 도전체 위의 제 2 절연체와,

상기 제 1 절연체 위 및 상기 제 2 절연체 위의 제 3 절연체와,

상기 제 3 절연체 위의 제 4 절연체와,

상기 산화물 위에 있으며 상기 제 1 도전체와 상기 제 2 도전체 사이에 배치되는 제 5 절연체와,

상기 제 5 절연체 위의 제 6 절연체와,

상기 제 6 절연체 위의 제 3 도전체를 가지고,

상기 제 3 도전체는 상기 산화물과 중첩되는 영역을 가지고,

상기 제 5 절연체는 상기 산화물, 상기 제 1 도전체, 상기 제 2 도전체, 및 상기 제 1 절연체 내지 상기 제 4 절연체의 각각과 접하는 영역을 가지고,

상기 제 5 절연체는 질소, 산소, 및 실리콘을 포함하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 6 절연체는 하프늄을 포함하는, 반도체 장치.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제 6 절연체의 막 두께는 0.5nm 이상 5.0nm 이하인, 반도체 장치.

청구항 10

제 7 항에 있어서,

상기 제 5 절연체의 막 두께는 0.5nm 이상 15.0nm 이하인, 반도체 장치.

청구항 11

제 7 항에 있어서,

상기 산화물은 In, Ga, 및 Zn 중에서 선택되는 어느 하나 또는 복수를 포함하는 산화물 반도체인, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 트랜지스터, 반도체 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 반도체 장치의 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 반도체 웨이퍼 및 모듈에 관한 것이다.

[0002] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

[0003] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배 경 기 술

[0004] 근년, 반도체 장치의 개발이 진행되고 있고, LSI, CPU, 메모리 등에 주로 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 반도체 회로(IC 칩)는 회로 기판, 예를 들어 인쇄 배선 기판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 기기에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0007] 또한 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어 특허문헌 1에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다. 또한 예를 들어 특허문헌 2에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.

[0008] 또한 근년에는 전자 기기의 소형화 및 경량화에 따라, 고밀도화가 더 진행된 집적 회로에 대한 요구가 높아지고 있다. 또한 집적 회로를 포함하는 반도체 장치의 생산성의 향상이 요구되고 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

(특허문헌 0002) 일본 공개특허공보 특개2011-151383호

발명의 내용

해결하려는 과제

[0010] 본 발명의 일 형태는 트랜지스터 특성의 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0012] 본 발명의 일 형태는 제 1 절연체를 성막하고, 제 1 절연체 위에 산화막을 성막하고, 제 1 가열 처리를 수행하고, 산화막 위에 제 1 도전막 및 제 1 절연막을 순차적으로 성막하고, 산화막, 제 1 도전막, 및 제 1 절연막을 섬 형상으로 가공하여 산화물, 도전층, 및 절연층을 형성하고, 제 1 절연체, 산화물, 도전층, 및 절연층 위에 제 2 절연체를 성막하고, 제 2 절연체 위에 제 3 절연체를 성막하고, 도전층, 절연층, 제 2 절연체, 및 제 3 절연체에, 산화물에 도달하는 개구를 형성하고, 개구의 형성에 의하여 도전층으로부터 제 1 도전체 및 제 2 도전체가 형성되고, 절연층으로부터 제 4 절연체 및 제 5 절연체가 형성되고, 제 2 가열 처리를 수행하고, 제 3 절연체 위 및 개구 위에 제 2 절연막을 성막하고, 제 2 절연막 위에 제 3 절연막을 성막하고, 마이크로파 처리를 수행하고, 제 3 절연막 위에 제 2 도전막을 성막하고, 제 2 절연막, 제 3 절연막, 및 제 2 도전막에 대하여 제 3 절연체의 상면이 노출될 때까지 CMP 처리를 수행함으로써 제 6 절연체, 제 7 절연체, 및 제 3 도전체를 형성하고, 제 2 절연막은 실리콘을 포함하며 탄화수소를 포함하지 않는 가스 및 산화성 가스를 사용하여 PEALD법에 의하여 성막되는 반도체 장치의 제작 방법이다.

[0013] 또한 상기에서, PEALD법에 의한 성막은, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스 및 산화성 가스를 반응실에 도입하는 제 1 단계와, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스의 도입을 정지하고, 반응실에 잔류된 실리콘을 포함하며 탄화수소를 포함하지 않는 가스를 퍼지하는 제 2 단계와, 고주파 전력을 인가하여 산화성 가스에 의한 플라스마를 발생시키는 제 3 단계와, 고주파 전력의 인가를 정지하는 제 4 단계를 가지고, 제 1 단계 내지 제 4 단계를 1사이클로 하여 1사이클 내지 500사이클 수행하는 것이 바람직하다.

[0014] 또한 상기에서, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스는 SiH_4, Si_2H_6, SiF_4, $SiCl_4$, $SiBr_4$, SiH_2Cl_2, 및 SiH_2I_2 중에서 선택되는 어느 하나 또는 복수를 포함하고, 산화성 가스는 O_2, O_3, N_2O, NO_2, 및 H_2O 중에서 선택되는 어느 하나 또는 복수를 포함하는 것이 바람직하다.

[0015] 또한 상기에서, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스는 SiH_4이고, 산화성 가스는 N_2O인 것이 바람직하다.

[0016] 또한 상기에서, 제 1 단계의 반응실의 압력은 400Pa 이상 1000Pa 이하인 것이 바람직하다.

[0017] 또한 상기에서, 제 1 가열 처리의 온도는 제 2 가열 처리의 온도보다 높은 것이 바람직하다.

[0018] 또한 본 발명의 일 형태는 산화물과, 산화물 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 위의 제 1 절연체와, 제 2 도전체 위의 제 2 절연체와, 제 1 절연체 위 및 제 2 절연체 위의 제 3 절연체와, 제 3 절연체 위의 제 4 절연체와, 산화물 위에 있으며 제 1 도전체와 제 2 도전체 사이에 배치되는 제 5 절연체와, 제 5 절연체 위의 제 6 절연체와, 제 6 절연체 위의 제 3 도전체를 가지고, 제 3 도전체는 산화물과 중첩되는 영역을 가지고, 제 5 절연체는 산화물, 제 1 도전체, 제 2 도전체, 및 제 1 절연체 내지 제 4 절연체의 각각과 접하는 영역을 가지고, 제 5 절연체는 질소, 산소, 및 실리콘을 포함하는 반도체 장치이다.

[0019] 또한 상기에서, 제 6 절연체는 하프늄을 포함하는 것이 바람직하다.

[0020] 또한 상기에서, 제 6 절연체의 막 두께는 0.5nm 이상 5.0nm 이하인 것이 바람직하다.

[0021] 또한 상기에서, 제 5 절연체의 막 두께는 0.5nm 이상 15.0nm 이하인 것이 바람직하다.

[0022] 또한 상기에서, 산화물은 In, Ga, 및 Zn 중에서 선택되는 어느 하나 또는 복수를 포함하는 산화물 반도체인 것이 바람직하다.

발명의 효과

[0023] 본 발명의 일 형태에 의하여 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0024] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0025] 도 1의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 1의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 2의 (A)는 본 발명의 일 형태인 반도체 장치의 상면도이다. 도 2의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 3은 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 4의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이다. 도 4의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 4의 (C)는 CAAC-IGZO막의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 5는 본 발명의 일 형태인 공정 흐름을 설명하는 도면이다.

도 6의 (A) 및 (B)는 본 발명의 일 형태인 성막 시퀀스를 설명하는 도면이다.

도 7의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 7의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 8의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 8의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 9의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 9의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 10의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 10의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 11의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 11의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 12의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 12의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 13의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 13의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 14의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 14의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 15의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 15의 (B) 내지 (D)는

본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 16의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 16의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 17의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 17의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 18의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 18의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 19의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 19의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 20의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 20의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 21의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 21의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 22의 (A)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 22의 (B) 내지 (D)는 본 발명의 일 형태인 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 23은 본 발명의 일 형태에 따른 마이크로파 처리 장치를 설명하는 상면도이다.

도 24는 본 발명의 일 형태에 따른 마이크로파 처리 장치를 설명하는 단면도이다.

도 25는 본 발명의 일 형태에 따른 마이크로파 처리 장치를 설명하는 단면도이다.

도 26은 본 발명의 일 형태에 따른 마이크로파 처리 장치를 설명하는 단면도이다.

도 27의 (A) 및 (B)는 본 발명의 일 형태인 반도체 장치의 단면도이다.

도 28은 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.

도 29는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.

도 30의 (A)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다. 도 30의 (B)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 31의 (A)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다. 도 31의 (B)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 32는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 33은 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 34의 (A) 및 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 블록도이다.

도 35의 (A) 내지 (H)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 회로도이다.

도 36의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 모식도이다.

도 37의 (A) 및 (B)는 본 발명의 일 형태에 따른 전자 부품의 일례를 설명하는 도면이다.

도 38의 (A) 내지 (E)는 본 발명의 일 형태에 따른 기억 장치의 모식도이다.

도 39의 (A) 내지 (H)는 본 발명의 일 형태에 따른 전자 기기를 나타낸 도면이다.

도 40은 본 실시예에 따른 ALD Window를 설명하는 도면이다.

도 41은 본 실시예에 따른 각 기판 온도에서의 GPC를 플롯한 도면이다.

도 42의 (A)는 본 실시예에 따른 STEM 단면 사진이다. 도 42의 (B)는 막 두께 측정 결과를 정리한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서, 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0027] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층, 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않는 경우가 있다. 또한 도면에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0028] 또한 특히 상면도('평면도'라고도 함), 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한 일부의 숨은선 등의 기재를 생략하는 경우가 있다.

[0029] 또한 본 명세서 등에서 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔 설명할 수 있다. 또한 본 명세서 등에 기재되는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.

[0030] 또한 본 명세서 등에서 '위에', '아래에' 등의 배치를 나타내는 어구는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서에서 설명된 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0031] 예를 들어 본 명세서 등에서 X와 Y가 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접적으로 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0032] 또한 본 명세서 등에서 트랜지스터란 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.

[0033] 또한 소스 및 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는 소스 및 드레인이라는 용어는 서로 바꿔 사용할 수 있는 경우가 있다.

[0034] 또한 채널 길이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한 하나의 트랜지스터에서, 채널 길이가 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 길이는 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

[0035] 채널 폭이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서의 채널 길이 방향에 수직인 방향의 채널 형성 영역의 길이를 말한다. 또한 하나의 트랜지스터에서, 채널 폭이 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 폭은 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

[0036] 또한 본 명세서 등에서 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하, '실효적인 채널 폭'이라고도 함)과 트랜지스터의 상면도에 나타내는 채널 폭(이하, '외관상 채널 폭'이라고도 함)

이 상이한 경우가 있다. 예를 들어 게이트 전극이 반도체의 측면을 덮는 경우, 실효적인 채널 폭이 외관상 채널 폭보다 커져, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어 미세하고 게이트 전극이 반도체의 측면을 덮는 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 커지는 경우가 있다. 이 경우에는 외관상 채널 폭보다 실효적인 채널 폭이 더 크다.

[0037] 이러한 경우, 실효적인 채널 폭을 실측에 의하여 추정하기 어려운 경우가 있다. 예를 들어 설곗값으로부터 실효적인 채널 폭을 추정하기 위해서는, 반도체의 형상을 미리 알고 있다는 가정이 필요하다. 따라서 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.

[0038] 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 외관상 채널 폭을 가리키는 경우가 있다. 또는 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭 등은 단면 TEM 이미지 등을 해석하는 것 등에 의하여 값을 결정할 수 있다.

[0039] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도가 높아지거나 결정성이 저하되는 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 또한 물도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손(V_O: oxygen vacancy라고도 함)이 형성되는 경우가 있다.

[0040] 또한 본 명세서 등에서 산화질화 실리콘이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다. 마찬가지로, 산화질화 알루미늄이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 알루미늄이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다. 마찬가지로, 산화질화 하프늄이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 하프늄이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다.

[0041] 또한 본 명세서 등에서 '절연체'라는 용어를 절연막 또는 절연층이라고 바꿔 말할 수 있다. 또한 '도전체'라는 용어를 도전막 또는 도전층이라고 바꿔 말할 수 있다. 또한 '반도체'라는 용어를 반도체막 또는 반도체층이라고 바꿔 말할 수 있다.

[0042] 또한 본 명세서 등에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0043] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 바꿔 말할 수 있다.

[0044] 또한 본 명세서 등에서 노멀리 오프란 게이트에 전위를 인가하지 않거나 또는 게이트에 접지 전위를 인가하였을 때, 트랜지스터를 흐르는 채널 폭 1μm당 드레인 전류가 실온에서 1×10^{-20}A 이하, 85℃에서 1×10^{-18}A 이하, 또는 125℃에서 1×10^{-16}A 이하인 것을 말한다.

[0045] (실시형태 1)

[0046] 본 실시형태에서는 도 1의 (A) 내지 도 22의 (D)를 사용하여 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 일례, 및 그 제작 방법에 대하여 설명한다.

[0047] <반도체 장치의 구성예>

[0048] 도 1의 (A) 내지 (D)를 사용하여 트랜지스터(200)를 가지는 반도체 장치의 구성에 대하여 설명한다. 도 1의

(A) 내지 (D)는 트랜지스터(200)를 가지는 반도체 장치의 상면도 및 단면도이다. 도 1의 (A)는 상기 반도체 장치의 상면도이다. 또한 도 1의 (B) 내지 (D)는 상기 반도체 장치의 단면도이다. 여기서, 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 1의 (D)는 도 1의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이다. 또한 도 1의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0049] 본 발명의 일 형태의 반도체 장치는 기판(도시하지 않았음) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200)와, 트랜지스터(200) 위의 절연체(280)와, 절연체(280) 위의 절연체(282)(절연체(282a) 및 절연체(282b))와, 절연체(282) 위의 절연체(283)와, 절연체(283) 위의 절연체(274)와, 절연체(283) 위 및 절연체(274) 위의 절연체(284)와, 절연체(284) 위의 절연체(286)를 가진다. 절연체(212), 절연체(214), 절연체(280), 절연체(282), 절연체(283), 절연체(284), 및 절연체(274)는 층간막으로서 기능한다. 또한 트랜지스터(200)에 전기적으로 접속되고 플러그로서 기능하는 도전체(240)(도전체(240a) 및 도전체(240b))를 가진다. 또한 플러그로서 기능하는 도전체(240)의 측면에 접하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공된다. 또한 절연체(284) 위 및 도전체(240) 위에는 도전체(240)와 전기적으로 접속되고 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))가 제공된다. 또한 도전체(246) 위 및 절연체(284) 위에는 절연체(286)가 제공된다.

[0050] 절연체(283)는 절연체(214)의 상면의 일부, 절연체(216)의 측면, 절연체(222)의 측면, 절연체(272)의 측면, 절연체(280)의 측면, 및 절연체(282)의 측면과 접한다.

[0051] 절연체(280), 절연체(282), 절연체(283), 및 절연체(284)의 개구의 내벽에 접하여 절연체(241a)가 제공되고, 절연체(241a)의 측면에 접하여 도전체(240a)의 제 1 도전체가 제공되고, 더 내측에 도전체(240a)의 제 2 도전체가 제공되어 있다. 또한 절연체(280), 절연체(282), 절연체(283), 및 절연체(284)의 개구의 내벽에 접하여 절연체(241b)가 제공되고, 절연체(241b)의 측면에 접하여 도전체(240b)의 제 1 도전체가 제공되고, 더 내측에 도전체(240b)의 제 2 도전체가 제공되어 있다. 여기서, 도전체(240)의 상면의 높이와, 도전체(246)와 중첩되는 영역의 절연체(284)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(200)에서 도전체(240)의 제 1 도전체와 도전체(240)의 제 2 도전체를 적층시키는 구성을 나타내었지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어 도전체(240)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0052] [트랜지스터(200)]

[0053] 도 1의 (A) 내지 (D)에 나타낸 바와 같이, 트랜지스터(200)는 절연체(214) 위의 절연체(216)와, 절연체(214) 및/또는 절연체(216)에 매립되도록 배치된 도전체(205)(도전체(205a), 도전체(205b), 및 도전체(205c))와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 산화물(243)(산화물(243a) 및 산화물(243b))과, 산화물(243a) 위의 도전체(242a)와, 도전체(242a) 위의 절연체(271a)와, 산화물(243b) 위의 도전체(242b)와, 도전체(242b) 위의 절연체(271b)와, 산화물(230b) 위의 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와, 절연체(250b) 위에 위치하고 산화물(230b)의 일부와 중첩되는 도전체(260)(도전체(260a) 및 도전체(260b))와, 절연체(222) 위, 절연체(224) 위, 산화물(230)(산화물(230a) 및 산화물(230b)) 위, 산화물(243) 위, 도전체(242)(도전체(242a) 및 도전체(242b)) 위, 및 절연체(271)(절연체(271a) 및 절연체(271b)) 위에 배치되는 절연체(272)를 가진다. 여기서, 도 1의 (B) 및 (C)에 나타낸 바와 같이, 도전체(260)의 상면은 절연체(250)의 상면 및 절연체(280)의 상면과 실질적으로 일치하여 배치된다. 또한 절연체(282)는 도전체(260), 절연체(250), 및 절연체(280) 각각의 상면과 접한다.

[0054] 또한 이하에서, 산화물(230a)과 산화물(230b)을 통틀어 산화물(230)이라고 부르는 경우가 있다. 또한 절연체(250a)와 절연체(250b)를 통틀어 절연체(250)라고 부르는 경우가 있다. 또한 절연체(271a)와 절연체(271b)를 통틀어 절연체(271)라고 부르는 경우가 있다.

[0055] 절연체(280) 및 절연체(272)에는 산화물(230b)에 도달하는 개구가 제공된다. 상기 개구 내에 절연체(250) 및 도전체(260)가 배치되어 있다. 또한 트랜지스터(200)의 채널 길이 방향에 있어서, 절연체(271a), 도전체(242a), 및 산화물(243a)과, 절연체(271b), 도전체(242b), 및 산화물(243b) 사이에 도전체(260) 및 절연체(250)가 제공된다. 절연체(250)는 도전체(260)의 측면과 접하는 영역과, 도전체(260)의 밑면과 접하는 영역을 가진다.

[0056] 산화물(230)은 절연체(224) 위에 배치된 산화물(230a)과, 산화물(230a) 위에 배치된 산화물(230b)을 가지는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.

[0057] 또한 트랜지스터(200)에서는 산화물(230a)과 산화물(230b)의 2층이 적층되는 구성을 가지는 산화물(230)을 나타내었지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어 산화물(230b)을 단층으로 또는 3층 이상의 적층 구조로 하여도 좋고, 산화물(230a) 및 산화물(230b) 각각이 적층 구조를 가져도 좋다.

[0058] 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하고, 도전체(205)는 제 2 게이트(백 게이트라고도 함) 전극으로서 기능한다. 또한 절연체(250)는 제 1 게이트 절연체로서 기능하고, 절연체(222) 및 절연체(224)는 제 2 게이트 절연체로서 기능한다. 또한 도전체(242a)는 소스 및 드레인 중 한쪽으로서 기능하고, 도전체(242b)는 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 산화물(230)에서 도전체(260)와 중첩되는 영역의 적어도 일부는 채널 형성 영역으로서 기능한다.

[0059] 여기서, 도 1의 (B)에서의 채널 형성 영역 근방의 확대도를 도 3에 나타내었다. 도 3에 나타낸 바와 같이, 산화물(230b)은 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역(230bc)과, 영역(230bc)을 사이에 두고 제공되며 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)을 가진다. 영역(230bc)은 적어도 일부가 도전체(260)와 중첩된다. 바꿔 말하면, 영역(230bc)은 도전체(242a)와 도전체(242b) 사이의 영역에 제공된다. 영역(230ba)은 도전체(242a)와 중첩하여 제공되어 있고, 영역(230bb)은 도전체(242b)와 중첩하여 제공되어 있다.

[0060] 채널 형성 영역으로서 기능하는 영역(230bc)은 영역(230ba) 및 영역(230bb)보다 산소 결손이 적거나, 또는 불순물 농도가 낮기 때문에 캐리어 농도가 낮은 고저항 영역이다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)은 산소 결손이 많거나, 또는 수소, 질소, 금속 원소 등의 불순물의 농도가 높기 때문에 캐리어 농도가 증가하여 저저항화된 영역이다. 즉, 영역(230ba) 및 영역(230bb)은 영역(230bc)과 비교하여 캐리어 농도가 높고 저항이 낮은 영역이다.

[0061] 여기서, 채널 형성 영역으로서 기능하는 영역(230bc)의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1\times10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{16}cm^{-3}$ 미만인 것이 더욱 바람직하고, $1\times10^{13}cm^{-3}$ 미만인 것이 더욱더 바람직하고, $1\times10^{12}cm^{-3}$ 미만인 것이 나아가 더욱더 바람직하다. 또한 채널 형성 영역으로서 기능하는 영역(230bc)의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$로 할 수 있다.

[0062] 또한 캐리어 농도가 영역(230ba) 및 영역(230bb)의 캐리어 농도와 동등하거나, 또는 이보다 낮으며, 영역(230bc)의 캐리어 농도와 동등하거나, 또는 이보다 높은 영역이 영역(230bc)과 영역(230ba) 또는 영역(230bb) 사이에 형성되어도 좋다. 즉, 상기 영역은 영역(230bc)과 영역(230ba) 또는 영역(230bb)의 접합 영역으로서 기능한다. 상기 접합 영역은 수소 농도가 영역(230ba) 및 영역(230bb)의 수소 농도와 동등하거나, 또는 이보다 낮으며, 영역(230bc)의 수소 농도와 동등하거나, 또는 이보다 높은 경우가 있다. 또한 상기 접합 영역은 산소 결손이 영역(230ba) 및 영역(230bb)의 산소 결손과 동등하거나, 또는 이보다 적으며, 영역(230bc)의 산소 결손과 동등하거나, 또는 이보다 많은 경우가 있다.

[0063] 또한 도 3에서 영역(230ba), 영역(230bb), 및 영역(230bc)이 산화물(230b)에 형성되는 예에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 상기 각 영역이 산화물(230b)뿐만 아니라 산화물(230a)에도 형성되어도 좋다.

[0064] 또한 산화물(230)에서, 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉, 채널 형성 영역에 가까운 영역일수록 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되면 좋다.

[0065] 트랜지스터(200)에서는, 채널 형성 영역을 포함하는 산화물(230)(산화물(230a) 및 산화물(230b))로서, 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0066] 또한 반도체로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상인 것을 사용하는 것이 바람직하고, 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다.

[0067] 산화물(230)로서 예를 들어 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 또한 산화물(230)로서 In-Ga 산화물, In-Zn 산화물, 인듐 산화물을 사용하여도 좋다.

[0068] 여기서, 산화물(230b)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다.

[0069] 이와 같이, 산화물(230b) 아래에 산화물(230a)을 배치함으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물 및 산소의 확산을 억제할 수 있다.

[0070] 또한 산화물(230a) 및 산화물(230b)이 산소 외에 공통된 원소를 가짐으로써(주성분으로 함으로써), 산화물(230a)과 산화물(230b)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 산화물(230a)과 산화물(230b)의 계면에서의 결함 준위 밀도를 낮출 수 있기 때문에 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아 큰 온 전류를 얻을 수 있다.

[0071] 산화물(230b)은 각각 결정성을 가지는 것이 바람직하다. 특히 산화물(230b)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다.

[0072] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손(V_O: oxygen vacancy라고도 함) 등)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리함으로써, CAAC-OS를 결정성이 더 높고 치밀한 구조로 할 수 있다. 이와 같이, CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS 내의 불순물 또는 산소의 확산을 더 저감할 수 있다.

[0073] 한편, CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0074] 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한 산소 결손 근방의 수소가, 산소 결손에 수소가 들어간 결함(이하, V_OH라고 부르는 경우가 있음)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서, 산화물 반도체 내의 채널이 형성되는 영역에서는 불순물, 산소 결손, 및 V_OH는 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면, 산화물 반도체 내의 채널이 형성되는 영역은 캐리어 농도가 저감되고, i형(진성화) 또는 실질적으로 i형인 것이 바람직하다.

[0075] 한편, 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 산화물 반도체의 근방에 제공하고 열처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소를 공급하여 산소 결손 및 V_OH를 저감할 수 있다. 다만, 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터(200)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 소스 영역 또는 드레인 영역에 공급되는 산소가 기판 면 내에서 편재함으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다.

[0076] 따라서, 산화물 반도체 내에 있어서 채널 형성 영역으로서 기능하는 영역(230bc)은 캐리어 농도가 저감되고, i형 또는 실질적으로 i형인 것이 바람직하지만, 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)은 캐리어 농도가 높고, n형인 것이 바람직하다. 즉, 산화물 반도체의 영역(230bc)의 산소 결손 및 V_OH를 저감하고, 영역(230ba) 및 영역(230bb)에 과잉량의 산소가 공급되지 않도록 하는 것이 바람직하다.

[0077] 그러므로 본 실시형태에서는 산화물(230b) 위에 도전체(242a) 및 도전체(242b)를 제공한 상태로, 산소를 포함하는 분위기에서 마이크로파 처리를 수행하여, 영역(230bc)의 산소 결손 및 V_OH를 저감한다. 여기서, 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 장치를 사용한 처리를 말한다.

[0078] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF(Radio Frequency) 등의 고주파를 사용하여 산소 가스를 플라스마화하고, 상기 산소 플라스마를 작용시킬 수 있다. 이때, 마이크로파 또는 RF 등의 고주파를 영역(230bc)에 조사할 수도 있다. 플라스마, 마이크로파 등의 작용에 의하여, 영역(230bc)의 V_OH를 분단하고, 수소(H)를 영역(230bc)에서 제거하고, 산소 결손(V_O)을 산소로 보전할 수 있다. 즉, 영역(230bc)에서 '$V_OH \rightarrow H+V_O$'라는 반응이 일어나, 영역(230bc)의 수소 농도를 저감할 수 있다. 따라서, 영역(230bc) 내의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다.

[0079] 또한 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때, 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용은 도전체(242a) 및 도전체(242b)에 의하여 차폐되므로 영역(230ba) 및 영역(230bb)에는 미치지 않는다. 또한 산소 플라스마의 작용은 산화물(230b) 및 도전체(242)를 덮어 제공된 절연체(271) 및 절연체(280)에 의하여 저감할 수 있다. 이에 의하여, 마이크로파 처리를 할 때 영역(230ba) 및 영역(230bb)에서 V_OH의 저감 및 과잉량의 산소의 공급이 발생하지 않기 때문에, 캐리어 농도의 저하를 방지할 수 있다.

[0080] 특히 절연체(250b)가 되는 절연막의 성막 후에 산소를 포함하는 분위기에서 마이크로파 처리를 수행하면 상술한 효과가 크게 나타난다. 또한 절연체(250a)가 되는 절연막의 성막 후에 산소를 포함하는 분위기에서 마이크로파 처리를 수행하고, 이에 더하여 절연체(250b)가 되는 절연막의 성막 후에 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다. 이와 같이 절연체(250a) 또는 절연체(250b)를 통하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 영역(230bc) 내에 산소를 효율적으로 주입할 수 있다. 또한 영역(230bc) 내에 주입되는 산소로서는 산소 원자, 산소 분자, 산소 라디칼(홀전자(unpaired electron)를 가지는 원자 또는 분자, 혹은 이온) 등 다양한 형태가 있다. 또한 영역(230bc) 내에 주입되는 산소는 상술한 형태 중 어느 하나 또는 복수이면 좋고, 특히 산소 라디칼인 것이 적합하다. 또한 절연체(250b)가 되는 절연막의 성막 후에 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 절연체(250a) 및 절연체(250b)의 막질을 향상시킬 수 있기 때문에 트랜지스터(200)의 신뢰성이 향상된다.

[0081] 이와 같이 하여, 산화물 반도체의 영역(230bc)에서 선택적으로 산소 결손 및 V_OH를 제거하여, 영역(230bc)을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)에 과잉량의 산소가 공급되는 것을 억제하고, n형을 유지할 수 있다. 이로써, 트랜지스터(200)의 전기 특성의 변동을 억제하여, 기판 면 내에서 트랜지스터(200)의 전기 특성에 편차가 생기는 것을 억제할 수 있다.

[0082] 상술한 바와 같은 구성으로 함으로써, 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다.

[0083] 또한 도 1 등에서, 도전체(260) 등을 매립하는 개구의 측면이 산화물(230b)의 홈부도 포함하여 산화물(230b)의 피형성면에 대하여 실질적으로 수직이지만, 본 실시형태는 이에 한정되지 않는다. 예를 들어 상기 개구의 바닥부가 완만한 곡면을 가지는 U자형 형상이어도 좋다. 또한 예를 들어 상기 개구의 측면이 산화물(230b)의 피형성면에 대하여 경사져 있어도 좋다.

[0084] 또한 도 1의 (C)에 나타낸 바와 같이, 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 산화물(230b)의 측면과 산화물(230b)의 상면 사이에 만곡면을 가져도 좋다. 즉, 상기 측면의 단부와 상기 상면의 단부는 만곡되어도 좋다(이하, 라운드 형상이라고도 함).

[0085] 상기 만곡면에서의 곡률 반경은 0nm보다 크고, 도전체(242)와 중첩되는 영역의 산화물(230b)의 막 두께보다 작거나, 또는 상기 만곡면을 가지지 않는 영역의 길이의 절반보다 작은 것이 바람직하다. 상기 만곡면에서의 곡률 반경은, 구체적으로는 0nm보다 크고 20nm 이하, 바람직하게는 1nm 이상 15nm 이하, 더 바람직하게는 2nm 이상 10nm 이하로 한다. 이와 같은 형상으로 함으로써, 산화물(230b)에 대한 절연체(250) 및 도전체(260)의 피복성을 높일 수 있다.

[0086] 산화물(230)은 화학 조성이 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230b)에 사용하는 금속 산화물에서

원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다.

[0087] 또한 산화물(230b)은 CAAC-OS 등 결정성을 가지는 산화물인 것이 바람직하다. CAAC-OS 등 결정성을 가지는 산화물은 불순물 및 결함(산소 결손 등)이 적고 결정성이 높으며 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레인 전극에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0088] 여기서, 산화물(230a)과 산화물(230b)의 접합부에서 전도대 하단은 완만하게 변화된다. 바꿔 말하면, 산화물(230a)과 산화물(230b)의 접합부에서의 전도대 하단은 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면에 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.

[0089] 구체적으로는, 산화물(230a)과 산화물(230b)이 산소 외에 공통된 원소를 주성분으로서 가짐으로써, 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(230b)이 In-M-Zn 산화물인 경우, 산화물(230a)로서 In-M-Zn 산화물, M-Zn 산화물, 원소 M의 산화물, In-Zn 산화물, 인듐 산화물 등을 사용하여도 좋다.

[0090] 구체적으로는 산화물(230a)로서, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 산화물(230b)로서, In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, 혹은 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다.

[0091] 또한 금속 산화물을 스퍼터링법에 의하여 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0092] 산화물(230a) 및 산화물(230b)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0093] 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286) 중 적어도 하나는 물, 수소 등의 불순물이 기판 측으로부터, 또는 트랜지스터(200)의 위쪽으로부터 트랜지스터(200)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286) 중 적어도 하나는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0094] 또한 본 명세서에서 배리어 절연막이란, 배리어성을 가지는 절연막을 가리킨다. 본 명세서에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 말한다. 또는 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.

[0095] 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)에는 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하고, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(212), 절연체(272), 절연체(283), 및 절연체(286)에, 보다 수소 배리어성이 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(214), 절연체(271), 절연체(282), 및 절연체(284)에, 수소를 포획 및 고착하는 기능이 높은 산화 알루미늄 또는 산화 마그네슘 등을 사용하는 것이 바람직하다. 이로써, 물, 수소 등의 불순물이 절연체(212) 및 절연체(214)를 통하여 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는 물, 수소 등의 불순물이 절연체(286)보다 외측에 배치되는 층간 절연막 등으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(224) 등에 포함되는 산소가 절연체(212) 및 절연체(214)를 통하여 기판 측으로 확산되는 것을 억제할 수 있다. 또는 절연체(280) 등에 포함되는 산소가 절연체(282) 등을 통하여 트랜지스터(200)보다 위쪽으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터(200)를 물, 수소 등의 불순물 및

산소의 확산을 억제하는 기능을 가지는 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)로 둘러싸는 구조로 하는 것이 바람직하다.

[0096] 여기서 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)에 비정질 구조를 가지는 산화물을 사용하는 것이 바람직하다. 예를 들어, AlO_x(x는 0보다 큰 임의의 수), 또는 MgO_y(y는 0보다 큰 임의의 수) 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는, 산소 원자가 댕글링 본드(dangling bond)를 가지고, 상기 댕글링 본드로 수소를 포획 또는 고착하는 성질을 가지는 경우가 있다. 이와 같은 비정질 구조를 가지는 금속 산화물을 트랜지스터(200)의 구성 요소로서 사용하거나 트랜지스터(200)의 주위에 제공함으로써, 트랜지스터(200)에 포함되는 수소, 또는 트랜지스터(200)의 주위에 존재하는 수소를 포획 또는 고착할 수 있다. 특히 트랜지스터(200)의 채널 형성 영역에 포함되는 수소를 포획 또는 고착하는 것이 바람직하다. 비정질 구조를 가지는 금속 산화물을 트랜지스터(200)의 구성 요소로서 사용하거나 트랜지스터(200)의 주위에 제공함으로써, 양호한 특성을 가지고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.

[0097] 또한 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)는 비정질 구조인 것이 바람직하지만, 일부에 다결정 구조의 영역이 형성되어 있어도 좋다. 또한 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)는 비정질 구조의 층과 다결정 구조의 층이 적층된 다층 구조이어도 좋다. 예를 들어 비정질 구조의 층 위에 다결정 구조의 층이 형성된 적층 구조이어도 좋다.

[0098] 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)의 성막은 예를 들어 스퍼터링법을 사용하여 수행하면 좋다. 스퍼터링법은 성막 가스에 수소를 사용하지 않아도 되기 때문에 절연체(212), 절연체(214), 절연체(271), 절연체(272), 절연체(282), 절연체(283), 절연체(284), 및 절연체(286)의 수소 농도를 저감할 수 있다. 또한 성막 방법은 스퍼터링법에 한정되지 않고, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 적절히 사용하여도 좋다.

[0099] 또한 절연체(212), 절연체(272), 절연체(283), 및 절연체(286)의 저항률을 낮게 하는 것이 바람직한 경우가 있다. 예를 들어 절연체(212), 절연체(272), 절연체(283), 및 절연체(286)의 저항률을 대략 1×10^{13}Ωcm로 함으로써, 반도체 장치 제작 공정의 플라스마 등을 사용하는 처리에서 절연체(212), 절연체(272), 절연체(283), 및 절연체(286)가 도전체(205), 도전체(242), 도전체(260), 또는 도전체(246)의 차지 업을 완화할 수 있는 경우가 있다. 절연체(212), 절연체(272), 절연체(283), 및 절연체(286)의 저항률은 바람직하게는 1×10^{10}Ωcm 이상 1×10^{15}Ωcm 이하로 한다.

[0100] 또한 절연체(216), 절연체(274), 및 절연체(280)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(216), 절연체(274), 및 절연체(280)로서, 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.

[0101] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 여기서 도전체(205)는 절연체(216)에 형성된 개구에 매립되어 제공되는 것이 바람직하다.

[0102] 도전체(205)는 도전체(205a), 도전체(205b), 및 도전체(205c)를 가진다. 도전체(205a)는 상기 개구의 밑면 및 측벽과 접하여 제공된다. 도전체(205b)는 도전체(205a)에 형성된 오목부에 매립되도록 제공된다. 여기서 도전체(205b)의 상면은 도전체(205a)의 상면 및 절연체(216)의 상면보다 낮다. 도전체(205c)는 도전체(205b)의 상면 및 도전체(205a)의 측면과 접하여 제공된다. 여기서 도전체(205c)의 상면의 높이는 도전체(205a)의 상면의 높이 및 절연체(216)의 상면의 높이와 실질적으로 일치한다. 즉, 도전체(205b)는 도전체(205a) 및 도전체(205c)로 감싸이는 구성을 가진다.

[0103] 여기서 도전체(205a) 및 도전체(205c)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는

도전성 재료를 사용하는 것이 바람직하다.

[0104] 도전체(205a) 및 도전체(205c)에, 수소의 확산을 저감하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)에 포함되는 수소 등의 불순물이 절연체(224) 등을 통하여 산화물(230)로 확산되는 것을 방지할 수 있다. 또한 도전체(205a) 및 도전체(205c)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다. 따라서 도전체(205a)는 상기 도전성 재료의 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(205a)에는 질화 타이타늄을 사용하면 좋다.

[0105] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)에는 텅스텐을 사용하면 좋다.

[0106] 도전체(205)는 제 2 게이트 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압(Vth)을 제어할 수 있다. 특히 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의 Vth를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서, 도전체(205)에 음의 전위를 인가하는 것이, 인가하지 않은 경우에 비하여, 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0107] 또한 도전체(205)의 전기 저항률은 상기 도전체(205)에 인가하는 전위를 고려하여 설계되고, 도전체(205)의 막 두께는 상기 전기 저항률에 맞추어 설정된다. 또한 절연체(216)의 막 두께는 도전체(205)와 거의 같다. 여기서, 도전체(205)의 설계상 허용되는 범위에서 도전체(205) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 저감할 수 있기 때문에 상기 불순물이 산화물(230)로 확산되는 것을 저감할 수 있다.

[0108] 또한 도전체(205)는 도 1의 (A)에 나타낸 바와 같이, 산화물(230)에서 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 제공되는 것이 좋다. 특히 도 1의 (C)에 나타낸 바와 같이, 도전체(205)는 산화물(230a) 및 산화물(230b)의 채널 폭 방향의 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재(介在)하여 중첩되어 있는 것이 바람직하다. 상기 구성을 가짐으로써, 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계와 제 2 게이트 전극으로서 기능하는 도전체(205)의 전계에 의하여, 산화물(230)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서 제 1 게이트 및 제 2 게이트의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0109] 또한 본 명세서 등에서 S-channel 구조의 트랜지스터란, 한 쌍의 게이트 전극 중 한쪽 및 다른 쪽의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 말한다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 다르다. S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0110] 또한 도 1의 (C)에 나타낸 바와 같이, 도전체(205)는 연장되어 배선으로서도 기능한다. 다만, 이에 한정되지 않고, 도전체(205) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다. 또한 도전체(205)는 반드시 각 트랜지스터에 하나씩 제공될 필요는 없다. 예를 들어 도전체(205)를 복수의 트랜지스터로 공유하는 구성으로 하여도 좋다.

[0111] 또한 트랜지스터(200)에서 도전체(205a), 도전체(205b), 및 도전체(205c)를 적층시킨 구성을 가지는 도전체(205)를 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(205)를 단층, 2층, 또는 4층 이상의 적층 구조로서 제공하여도 좋다.

[0112] 절연체(222) 및 절연체(224)는 게이트 절연체로서 기능한다.

[0113] 절연체(222)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(222)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다.

[0114] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미

네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터 기판 측으로의 산소 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 확산을 억제하는 층으로서 기능한다. 따라서 절연체(222)를 제공함으로써, 수소 등의 불순물이 트랜지스터(200)의 내측으로 확산되는 것을 억제하고, 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 절연체(224)나 산화물(230)이 가지는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.

[0115] 또는 상기 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 절연체(222)로서는 이들 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시킨 것을 사용하여도 좋다.

[0116] 또한 절연체(222)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), $(Ba,Sr)TiO_3$(BST) 등의 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있게 된다.

[0117] 산화물(230)과 접하는 절연체(224)에는, 예를 들어 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다.

[0118] 또한 트랜지스터(200)의 제작 공정 중에서, 산화물(230)의 표면이 노출된 상태에서 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는 예를 들어 100℃ 이상 600℃ 이하, 더 바람직하게는 350℃ 이상 550℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230)에 산소가 공급되므로 산소 결손(V_O)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행하여도 좋다.

[0119] 또한 산화물(230)에 대하여 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(230) 내의 산소 결손을 수복(修復)할 수 있고, 바꿔 말하면 'V_O+O→null'이라는 반응을 촉진할 수 있다. 또한 산화물(230) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(230) 내에 잔존한 수소가 산소 결손과 재결합되어 V_OH가 형성되는 것을 억제할 수 있다.

[0120] 또한 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 또한 절연체(224)는 산화물(230a)과 중첩하여 섬 형상으로 형성되어도 좋다. 이 경우, 절연체(272)가 절연체(224)의 측면 및 절연체(222)의 상면과 접하는 구성이 된다.

[0121] 산화물(243a) 및 산화물(243b)이 산화물(230b) 위에 제공된다. 산화물(243a)과 산화물(243b)은 도전체(260)를 사이에 두고 이격되어 제공된다.

[0122] 산화물(243)(산화물(243a) 및 산화물(243b))은 산소의 투과를 억제하는 기능을 가지는 것이 바람직하다. 소스 전극 또는 드레인 전극으로서 기능하는 도전체(242)와 산화물(230b) 사이에 산소의 투과를 억제하는 기능을 가지는 산화물(243)을 배치함으로써, 도전체(242)와 산화물(230b) 사이의 전기 저항이 저감되므로 바람직하다. 이와 같은 구성으로 함으로써, 트랜지스터(200)의 전기 특성 및 트랜지스터(200)의 신뢰성을 향상시킬 수 있다. 또한 도전체(242)와 산화물(230b) 사이의 전기 저항을 충분히 저감할 수 있는 경우, 산화물(243)을 제공하지 않는 구성으로 하여도 좋다.

[0123] 산화물(243)로서 원소 M을 가지는 금속 산화물을 사용하여도 좋다. 특히 원소 M으로서는 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 산화물(243)은 산화물(230b)보다 원소 M의 농도가 높은 것이 바람직하다. 또한 산화물(243)로서 산화 갈륨을 사용하여도 좋다. 또한 산화물(243)로서 In-M-Zn 산화물 등의 금속 산화물을 사용하여도 좋다. 구체적으로는 산화물(243)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가, 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화

물(243)의 막 두께는 0.5nm 이상 5nm 이하가 바람직하고, 더 바람직하게는 1nm 이상 3nm 이하, 더욱 바람직하게는 1nm 이상 2nm 이하이다. 또한 산화물(243)은 결정성을 가지는 것이 바람직하다. 산화물(243)이 결정성을 가지는 경우, 산화물(230) 내의 산소의 방출을 적합하게 억제할 수 있다. 예를 들어 산화물(243)이 육방정 등의 결정 구조를 가지면, 산화물(230) 내의 산소가 방출되는 것을 억제할 수 있는 경우가 있다.

[0124] 도전체(242a)는 산화물(243a)의 상면과 접하여 제공되고, 도전체(242b)는 산화물(243b)의 상면과 접하여 제공되는 것이 바람직하다. 도전체(242a) 및 도전체(242b)는 각각 트랜지스터(200)의 소스 전극 또는 드레인 전극으로서 기능한다.

[0125] 도전체(242)(도전체(242a) 및 도전체(242b))에는, 예를 들어 탄탈럼을 포함한 질화물, 타이타늄을 포함한 질화물, 몰리브데넘을 포함한 질화물, 텅스텐을 포함한 질화물, 탄탈럼 및 알루미늄을 포함한 질화물, 타이타늄 및 알루미늄을 포함한 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈럼을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0126] 또한 산화물(230b) 등에 포함되는 수소가 도전체(242a) 또는 도전체(242b)로 확산되는 경우가 있다. 특히 도전체(242a) 및 도전체(242b)에 탄탈럼을 포함하는 질화물을 사용함으로써, 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)로 확산되기 쉽고, 확산된 수소는 도전체(242a) 또는 도전체(242b)가 가지는 질소와 결합되는 경우가 있다. 즉, 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)에 흡수되는 경우가 있다.

[0127] 또한 도전체(242)의 측면과 도전체(242)의 상면 사이에 만곡면이 형성되지 않는 것이 바람직하다. 상기 만곡면이 형성되지 않는 도전체(242)로 함으로써, 도 1의 (D)에 나타낸 바와 같은 채널 폭 방향의 단면에서의 도전체(242)의 단면적을 크게 할 수 있다. 이로써, 도전체(242)의 도전율을 크게 하여 트랜지스터(200)의 온 전류를 크게 할 수 있다.

[0128] 절연체(271a)는 도전체(242a)의 상면에 접하여 제공되고, 절연체(271b)는 도전체(242b)의 상면에 접하여 제공된다. 절연체(271)는 적어도 산소에 대한 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서, 절연체(271)는 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(271)는 절연체(280)보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(271)에는 예를 들어 질화 실리콘 등의 실리콘을 포함하는 질화물을 사용하면 좋다. 또한 절연체(271)는 수소 등의 불순물을 포획하는 기능을 가지는 것이 바람직하다. 그 경우, 절연체(271)로서는 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄 또는 산화 마그네슘 등의 절연체를 사용하면 좋다. 특히 절연체(271)에 비정질 구조를 가지는 산화 알루미늄 또는 비정질 구조의 산화 알루미늄을 사용함으로써, 더 효과적으로 수소를 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이에 의하여, 양호한 특성을 가지고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.

[0129] 절연체(272)는 절연체(224), 산화물(230a), 산화물(230b), 산화물(243), 도전체(242), 및 절연체(271)를 덮도록 제공된다. 절연체(272)로서 수소를 포획 및 고착하는 기능을 가지는 것이 바람직하다. 그 경우, 절연체(272)로서는 질화 실리콘, 또는 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄 또는 산화 마그네슘 등의 절연체를 포함하는 것이 바람직하다.

[0130] 상술한 바와 같은 절연체(271) 및 절연체(272)를 제공함으로써, 산소에 대한 배리어성을 가지는 절연체로 도전체(242)를 감쌀 수 있다. 즉, 절연체(224) 및 절연체(280)에 포함되는 산소가 도전체(242)로 확산되는 것을 방지할 수 있다. 이로써, 절연체(224) 및 절연체(280)에 포함되는 산소에 의하여 도전체(242)가 직접 산화되어 저항률이 증대되고 온 전류가 저감되는 것을 억제할 수 있다.

[0131] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물(230b)의 상면에 접하여 배치되는 것이 바람직하다. 절연체(250)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘 등을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0132] 절연체(250)(절연체(250a) 및 절연체(250b))는 절연체(224)와 마찬가지로, 절연체(250) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다. 특히, 절연체(250a)의 막 두께는 0.5nm 이상 15.0nm 이하로 하는 것이 바람직하다.

[0133] 또한 도 1의 (B) 및 (C)에 나타낸 바와 같이, 절연체(250)를 2층의 적층 구조로 하는 경우, 아래층인 절연체(250a)는 산소를 투과시키기 쉬운 절연체를 사용하여 형성되고, 위층인 절연체(250b)는 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하여 형성되는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(250a)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다. 즉, 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250a)에 포함되는 산소로 인한 도전체(260)의 산화를 억제할 수 있다. 예를 들어 절연체(250a)는 상술한 절연체(250)에 사용할 수 있는 재료를 사용하여 제공되고, 절연체(250b)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 상기 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트), 알루미늄 및 실리콘을 포함하는 산화물(하프늄 실리케이트) 등을 사용할 수 있다. 본 실시형태에서는 절연체(250b)로서 산화 하프늄을 사용한다. 또한 절연체(250b)의 막 두께는 0.5nm 이상 5.0nm 이하, 바람직하게는 1.0nm 이상 5.0nm 이하, 더 바람직하게는 1.0nm 이상 3.0nm 이하로 한다.

[0134] 절연체(250a)는 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(401)(전구체) 및 산화성 가스(402)(반응제)를 사용하여 PEALD법에 의하여 형성하는 것이 바람직하다. 또한 반응제에 헬륨, 네온, 아르곤, 크립톤, 제논 등의 희가스를 첨가하여도 좋다.

[0135] ALD법에는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다.

[0136] 또한 ALD법에서는 원자의 성질인 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 등이 포함되는 경우가 있다. 그러므로, ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 또는 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다.

[0137] 본 실시형태에서는 PEALD법을 사용한다. 또한 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(401)로서는 SiH_4, Si_2H_6, SiF_4, $SiCl_4$, $SiBr_4$, SiH_2Cl_2, SiH_2I_2 등을 사용할 수 있다. 또한 산화성 가스(402)로서는 O_2, O_3, N_2O, NO_2, H_2O 등을 사용할 수 있다. 본 실시형태에서는, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(401)로서 SiH_4를 사용하고, 산화성 가스(402)로서 N_2O를 사용한다.

[0138] 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(401)로서 SiH_4를 사용하고 산화성 가스(402)로서 N_2O를 사용하여 PEALD법에 의하여 절연체(250a)가 되는 산화 실리콘을 형성하는 공정 흐름을 도 5에 나타내고, 성막 시퀀스를 도 6의 (A) 및 (B)에 나타내었다.

[0139] 우선, 반응실 내에 SiH_4 및 N_2O를 도입하고, 반응실 내의 압력을 일정하게 유지한다(단계 S01). 여기서 헬륨을 도입하여도 좋다. SiH_4와 N_2O의 유량비는 SiH_4 유량을 1로 하면, N_2O는 10 이상 3000 이하가 되고, 바람직하게는 10 이상 800 이하가 되고, 더 바람직하게는 50 이상 400 이하가 된다. 또한 50 이상으로 함으로써, 절연체(250a) 내의 NO_x 발생을 억제할 수 있다. 또한 반응실 내의 압력은 200Pa 이상 1200Pa 이하, 바람직하게는 400Pa 이상 1000Pa 이하, 더 바람직하게는 600Pa 이상 800Pa 이하로 한다. 또한 기판 온도는 100℃ 이상 500℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하이다. 또한 기판은 가열하지 않아도 되고, 실온에서 성막하여도 좋다.

[0140] 다음으로, SiH_4의 도입을 정지하고 반응실 내에 잔류된 SiH_4를 퍼지한다(단계 S02).

[0141] 다음으로, 반응실에 고주파 전력(403)을 인가하여 N_2O에 의한 플라스마를 발생시킨다. 고주파의 주파수는 13.56MHz 이상 60MHz 이하로 한다. 단계 S01에서 기판 위에 흡착된 SiHx를 N_2O 플라스마에 의하여 산화시킴으로써 대략 단분자층인 산화 실리콘을 형성할 수 있다(단계 S03). 또한 N_2O 플라스마에 의하여 주입된 질소가 상기 산화 실리콘 내에 포함되는 경우가 있다. 또한 질소가 포함되는 산화 실리콘을 산화질화 실리콘이라고 부르는 경우가 있다.

[0142] 다음으로, 고주파 전력(403)의 인가를 정지한다(단계 S04).

[0143] 상술한 단계 S01 내지 단계 S04를 1사이클로 하여 원하는 막 두께가 될 때까지 반복함으로써, 절연체(250a)가 되는 산화 실리콘을 형성할 수 있다. 또한 사이클 수는 1사이클 이상 500사이클 이하로 한다. 다만, 절연체(250a)에 필요한 막 두께에 맞추어 사이클 수를 적절히 결정하여도 좋다. 또한 도 6의 (B)에 나타낸 바와 같이, 단계 S02에서 SiH_4의 도입 및 N_2O의 도입을 정지하고 반응실 내에 잔류된 SiH_4 및 N_2O를 배기하는 진공 배기의 단계를 끼워 넣어도 좋다. 이때, SiH_4의 도입 및 N_2O의 도입을 동시에 정지하여도 좋고, SiH_4의 도입을 정지한 후에 N_2O의 도입을 정지하여도 좋다. 또한 단계 S03을 시작하기 전에 N_2O의 도입을 재개하는 것이 바람직하다.

[0144] 절연체(250a)가 되는 산화 실리콘을 상술한 식으로 형성하면, SiH_4 및 N_2O를 사용하여 PECVD법에 의하여 형성하는 산화 실리콘보다 수소 농도 및 탄소 농도가 저감된 양호한 절연체로 할 수 있다.

[0145] SiH_4 및 N_2O를 사용한 PECVD법은 SiH_4 및 N_2O를 도입한 상태에서 고주파 전력을 인가하여 플라스마를 발생시키기 때문에, SiH_4가 플라스마 내에서 분해됨으로써, 대량의 수소 라디칼이 발생되어 수소가 절연체(250a)가 되는 산화 실리콘 내에 혼입된다. 또한 도 3에 나타낸 바와 같이, 절연체(250a)는 채널 형성 영역으로서 기능하는 영역(230bc)과 접하므로, 수소 라디칼의 환원 반응에 의하여 영역(230bc) 내의 산소가 추출되어 V_OH가 형성되면 영역(230bc) 내의 수소 농도가 높아진다.

[0146] 한편으로, 본 발명의 일 형태인 SiH_4 및 N_2O를 사용한 PEALD법에서는, 상술한 단계 01의 SiH_4 및 N_2O의 도입 중에는 고주파 전력을 인가하지 않고, 단계 02에서 잔류된 SiH_4를 퍼지한 후에, 단계 03에서 N_2O만을 도입한 상태에서 고주파 전력을 인가하여 플라스마를 발생시키기 때문에, 수소 라디칼의 발생을 억제할 수 있다. 따라서, 절연체(250a)가 되는 산화 실리콘 내 및 절연체(250a)가 되는 산화 실리콘과 접하는 영역(230bc)으로의 수소 혼입을 억제할 수 있다. 또한 SiH_4 및 N_2O를 사용한 PEALD법에서는, 전구체로서 SiH_4를 사용하고, 탄소 등의 불순물을 포함하는 전구체, 예를 들어 CH기를 가지는 유기 전구체를 사용하지 않기 때문에, 절연체(250a)가 되는 산화 실리콘 내에 탄소 등의 불순물, 탄화수소 등이 혼입되는 것을 억제할 수 있다. 이와 같이 형성된 산화 실리콘은 불순물 농도가 저감되고 보다 치밀한 막이기 때문에, 산화물(230b)의 영역(230bc)으로부터 절연체(250a)가 되는 산화 실리콘으로의 In 확산을 방지할 수 있다.

[0147] 절연체(250a)가 되는 산화 실리콘 내의 탄소 농도는 SIMS에 의한 분석에 있어서 바람직하게는 1×10^{18}atoms/cm^3 이상 5×10^{20}atoms/cm^3 이하, 더 바람직하게는 5×10^{18}atoms/cm^3 이상 1×10^{20}atoms/cm^3 이하이다. 또한 절연체(250a)가 되는 산화 실리콘은 질소를 가지고, 그 질소 농도는 SIMS 분석에 있어서 바람직하게는 1×10^{19}atoms/cm^3 이상 1×10^{21}atoms/cm^3 이하, 더 바람직하게는 3×10^{19}atoms/cm^3 이상 2×10^{20}atoms/cm^3 이하이다. 또한 절연체(250a)가 되는 산화 실리콘에 포함되는 In의 농도는 SIMS 분석에 있어서 바람직하게는 1.0×10^{19}atoms/cm^3 이하, 더 바람직하게는 1.0×10^{18}atoms/cm^3 이하, 더욱 바람직하게는 1.0×10^{17}atoms/cm^3 이하이다.

[0148] 또한 절연체(250a)가 되는 산화 실리콘이 산화물(230b)과 접하는 경우, 상기 절연체 내의 탄소 농도, 질소 농도, 및 In 농도는 산화물(230b)과의 계면에서 1nm 이상 떨어진 영역의 농도로 하는 경우가 있다.

[0149] 이상과 같이, 본 발명의 일 형태인 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(전구체) 및 산화성 가스(반응제)를 사용하여 절연체(250a)가 되는 산화 실리콘을 PEALD법에 의하여 형성함으로써, 전기 특성이 우수하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0150] 또한 절연체(250a)에 산화 실리콘, 산화질화 실리콘 등을 사용하는 경우, 절연체(250b)에는 비유전율이 높은 high-k 재료인 절연성 재료를 사용하여도 좋다. 게이트 절연체를 절연체(250a)와 절연체(250b)의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지하면서 트랜지스터 동작 시에 인가되는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 저감할 수 있다.

[0151] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소 확산이 억제된다. 즉, 산화물(230)에 공급하는 산소량의 감소

를 억제할 수 있다. 또한 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.

[0152] 또한 상기 금속 산화물은 제 1 게이트 전극의 일부로서의 기능을 가지는 구성으로 하여도 좋다. 예를 들어 산화물(230)로서 사용할 수 있는 금속 산화물을 상기 금속 산화물로서 사용할 수 있다. 이 경우, 도전체(260a)를 스퍼터링법으로 성막함으로써, 상기 금속 산화물의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.

[0153] 상기 금속 산화물을 포함함으로써, 도전체(260)로부터의 전계의 영향을 감소시키지 않고, 트랜지스터(200)의 온 전류를 향상시킬 수 있다. 또한 절연체(250)와 상기 금속 산화물의 물리적 두께에 의하여 도전체(260)와 산화물(230) 사이의 거리를 유지함으로써, 도전체(260)와 산화물(230) 사이의 누설 전류를 억제할 수 있다. 또한 절연체(250) 및 상기 금속 산화물의 적층 구조를 제공함으로써, 도전체(260)와 산화물(230) 사이의 물리적인 거리, 및 도전체(260)로부터 산화물(230)에 가해지는 전계 강도를 용이하게 적절히 조정할 수 있다.

[0154] 도전체(260)는 트랜지스터(200)의 제 1 게이트 전극으로서 기능한다. 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다. 또한 도 1의 (B) 및 (C)에 나타낸 바와 같이, 도전체(260)의 상면은 절연체(250)의 상면과 실질적으로 일치한다. 또한 도 1의 (B) 및 (C)에서는 도전체(260)는 도전체(260a)와 도전체(260b)의 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0155] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0156] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다.

[0157] 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0158] 또한 트랜지스터(200)에서는 도전체(260)가 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(self-aligned)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.

[0159] 또한 도 1의 (C)에 나타낸 바와 같이, 트랜지스터(200)의 채널 폭 방향에서 절연체(222)의 밑면을 기준으로 하였을 때, 도전체(260)에서 산화물(230b)과 중첩되지 않는 영역의 밑면의 높이는 산화물(230b)의 밑면의 높이보다 낮은 것이 바람직하다. 게이트 전극으로서 기능하는 도전체(260)가 절연체(250) 등을 개재하여 산화물(230b)의 채널 형성 영역의 측면 및 상면을 덮는 구성으로 함으로써, 도전체(260)의 전계를 산화물(230b)의 채널 형성 영역 전체에 작용시키기 쉬워진다. 따라서 트랜지스터(200)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다. 절연체(222)의 밑면을 기준으로 하였을 때, 산화물(230a) 및 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 밑면의 높이와 산화물(230b)의 밑면의 높이의 차이는 0nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 20nm 이하이다.

[0160] 절연체(280)는 절연체(272) 위에 제공되고, 절연체(250) 및 도전체(260)가 제공되는 영역에 개구가 형성되어 있다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.

[0161] 층간막으로서 기능하는 절연체(280)는 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 절연체(280)는 예를 들어 절연체(216)와 같은 재료를 사용하여 제공되는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있기 때문에 바람직하다.

[0162] 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 예를 들어 절연체(280)에는

산화 실리콘, 산화질화 실리콘 등의 실리콘을 포함하는 산화물을 적절히 사용하면 좋다.

[0163] 절연체(282) 및 절연체(284)는 물, 수소 등의 불순물이 위쪽으로부터 절연체(280)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하고, 수소 등의 불순물을 포획하는 기능을 가지는 것이 바람직하다. 또한 절연체(282) 및 절연체(284)는 산소의 투과를 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(282) 및 절연체(284)로서는 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄 등의 절연체를 사용하면 좋다. 절연체(212)와 절연체(283) 사이의 영역 내에서, 수소 등의 불순물을 포획하는 기능을 가지는 절연체(282)를 절연체(280)와 접하여 제공함으로써, 절연체(280) 등에 포함되는 수소 등의 불순물을 포획하고, 상기 영역 내에서의 수소의 양을 일정값으로 할 수 있다. 특히 절연체(282) 및 절연체(284)에 비정질 구조를 가지는 산화 알루미늄 또는 비정질 구조의 산화 알루미늄을 사용함으로써, 더 효과적으로 수소를 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이에 의하여, 특성이 양호하고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.

[0164] 절연체(283)는 물, 수소 등의 불순물이 위쪽으로부터 절연체(280)로 확산되는 것을 억제하는 배리어 절연막으로서 기능한다. 절연체(283)는 절연체(282) 위에 배치된다. 절연체(283)에는 질화 실리콘 또는 질화산화 실리콘 등 실리콘을 포함하는 질화물을 사용하는 것이 바람직하다. 예를 들어 절연체(283)로서 스퍼터링법으로 성막된 질화 실리콘을 사용하면 좋다. 절연체(283)를 스퍼터링법으로 성막함으로써, 밀도가 높고, 공동(void) 등이 형성되기 어려운 질화 실리콘을 형성할 수 있다. 또한 절연체(283)로서, 스퍼터링법으로 성막된 질화 실리콘 위에 PEALD법 또는 CVD법으로 성막된 질화 실리콘을 더 적층하여도 좋다.

[0165] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(240a) 및 도전체(240b)는 적층 구조로 하여도 좋다.

[0166] 또한 도전체(240)를 적층 구조로 하는 경우, 절연체(283), 절연체(284), 절연체(282), 절연체(280), 절연체(272), 및 절연체(271)와 접하는 도전체에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층 또는 적층으로 사용하여도 좋다. 또한 절연체(283)보다 위층에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다.

[0167] 절연체(241a) 및 절연체(241b)로서는 예를 들어 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(241a) 및 절연체(241b)는 절연체(283), 절연체(284), 절연체(282), 절연체(280), 절연체(272), 및 절연체(271)에 접하여 제공되기 때문에, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0168] 또한 도전체(240a)의 상면 및 도전체(240b)의 상면에 접하여 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))를 배치하여도 좋다. 도전체(246)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0169] 절연체(286)는 도전체(246) 위 및 절연체(284) 위에 제공된다. 이에 의하여, 도전체(246)의 상면 및 도전체(246)의 측면은 절연체(286)와 접하고, 도전체(246)의 하면은 절연체(283)와 접한다. 즉, 도전체(246)는 절연체(283) 및 절연체(286)로 감싸인 구성으로 할 수 있다. 이와 같은 구성으로 함으로써, 외부로부터의 산소의 투과를 억제하고, 도전체(246)의 산화를 방지할 수 있다. 또한 도전체(246)로부터 물, 수소 등의 불순물이 외부로 확산되는 것을 방지할 수 있어 바람직하다.

[0170] <반도체 장치의 구성 재료>

[0171] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0172] <<기판>>

[0173] 트랜지스터(200)를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리

아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘, 저마늄을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 포함하는 기판, 금속의 산화물을 포함하는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0174] <<절연체>>

[0175] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0176] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0177] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0178] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0179] 또한 금속 산화물을 사용한 트랜지스터를, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0180] 또한 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0181] <<도전체>>

[0182] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0183] 또한 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료

와 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0184] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0185] 특히 게이트 전극으로서 기능하는 도전체에, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0186] <<금속 산화물>>

[0187] 산화물(230)로서는, 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용 가능한 금속 산화물에 대하여 설명한다.

[0188] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0189] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석으로 한다. 이 외에 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등이 있다. 다만 원소 M으로서, 상술한 원소를 복수 조합하여도 되는 경우가 있다.

[0190] 또한 본 명세서 등에서 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산화질화물(metal oxynitride)이라고 불러도 좋다.

[0191] <결정 구조의 분류>

[0192] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 4의 (A)를 사용하여 설명한다. 도 4의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga와, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

[0193] 도 4의 (A)에 나타낸 바와 같이, 산화물 반도체는 크게 나누어 'Amorphous(무정형)', 'Crystalline(결정성)', 'Crystal(결정)'로 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다(excluding single crystal and poly crystal). 또한 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.

[0194] 또한 도 4의 (A)에 나타낸 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)'의 중간 상태이며, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉, 상기 구조는 에너지적으로 불안정한 'Amorphous(무정형)', 및 'Crystal(결정)'과는 전혀 다른 구조라고 할 수 있다.

[0195] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, 'Crystalline'로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정으로 얻어지는 XRD 스펙트럼을 도 4의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 4의 (B)에 나타낸 GIXD 측정으로 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 4의 (B)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 4의 (B)에 나타낸 CAAC-

IGZO막의 두께는 500nm이다.

[0196] 도 4의 (B)에서는 가로축은 2θ[deg.]이고, 세로축은 강도(Intensity)[a.u.]이다. 도 4의 (B)에 나타낸 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는 2θ=31° 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 4의 (B)에 나타낸 바와 같이, 2θ=31° 근방의 피크는 피크 강도가 검출된 각도를 축으로 하여 좌우 비대칭이다.

[0197] 또한 막 또는 기판의 결정 구조는 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 4의 (C)에 나타내었다. 도 4의 (C)는 기판에 대하여 전자선이 평행하게 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 4의 (C)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0198] 도 4의 (C)에 나타낸 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0199] <<산화물 반도체의 구조>>

[0200] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 4의 (A)와는 상이한 분류가 되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0201] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0202] [CAAC-OS]

[0203] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉, CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0204] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0205] 또한 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등 중에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 포함하는 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 포함하는 층(이하, (M,Zn)층)이 적층된 층상 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.

[0206] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0207] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0208] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를

확인할 수는 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0209] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0210] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있게 된다.

[0211] [nc-OS]

[0212] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, Θ/2Θ 스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0213] [a-like OS]

[0214] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

[0215] <<산화물 반도체의 구성>>

[0216] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0217] [CAC-OS]

[0218] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0219] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하, 클라우드상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0220] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에 있어서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크며, [Ga]가 제 2 영역에서의 [Ga]보다

작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크며, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0221] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉, 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역이라고 바꿔 말할 수 있다.

[0222] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

[0223] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0224] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서는 도전성의 기능을 가지고, 재료의 일부에서는 절연성의 기능을 가지고, 재료 전체에서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 큰 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0225] 산화물 반도체는 다양한 구조를 가지고, 각각이 다른 특성을 가진다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.

[0226] <산화물 반도체를 가지는 트랜지스터>

[0227] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0228] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0229] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는 $1\times10^{17}cm^{-3}$ 이하, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 이하, 더욱 바람직하게는 $1\times10^{11}cm^{-3}$ 이하, 더욱더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.

[0230] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0231] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0232] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0233] <불순물>

[0234] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0235] 산화물 반도체에 14족 원소인 실리콘 또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체의 채널 형성 영역에서의 실리콘 또는 탄소의 농도와, 산화물 반도체의 채널 형성 영역과의 계면 근방의 실리콘 또는 탄소의 농도(SIMS에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^{3}$ 이하, 바람직하게는 2×

10^{17}atoms/cm^3 이하로 한다.

[0236] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{16}atoms/cm^3 이하로 한다.

[0237] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 질소 농도를 5×10^{19}atoms/cm^3 이하, 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 이하, 더욱 바람직하게는 5×10^{17}atoms/cm^3 이하로 한다.

[0238] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체의 채널 형성 영역 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체의 채널 형성 영역에서 SIMS에 의하여 얻어지는 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 5×10^{19}atoms/cm^3 미만, 더 바람직하게는 1×10^{19}atoms/cm^3 미만, 더욱 바람직하게는 5×10^{18}atoms/cm^3 미만, 더욱더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[0239] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0240] <<기타 반도체 재료>>

[0241] 산화물(230)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물(230)로서, 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 실리콘 등의 단체 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 특히 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하는 것이 적합하다.

[0242] 여기서, 본 명세서 등에서 층상 물질이란 층상 결정 구조를 가지는 재료군의 총칭이다. 층상 결정 구조는 공유 결합 또는 이온 결합에 의하여 형성되는 층이, 판데르발스 힘(Van der Waals force)과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되는 구조이다. 층상 물질은 단위층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 큰 트랜지스터를 제공할 수 있다.

[0243] 층상 물질로서 그래핀, 실리센, 칼코젠화물 등이 있다. 칼코젠화물은 칼코젠을 포함하는 화합물이다. 또한 칼코젠이란 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코젠화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.

[0244] 산화물(230)로서, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물(230)로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 $MoSe_2$), 몰리브데넘 텔루륨(대표적으로는 $MoTe_2$), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 들 수 있다.

[0245] <반도체 장치의 제작 방법>

[0246] 다음으로, 도 1의 (A) 내지 (D)에 나타낸 본 발명의 일 형태인 반도체 장치의 제작 방법에 대하여 도 7의 (A) 내지 도 22의 (D)를 사용하여 설명한다.

[0247] 각 도면의 (A)는 상면도이다. 또한 각 도면의 (B)는 각 도면의 (A)에 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 각 도면의 (C)는 각 도면의 (A)에 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 각 도면의 (D)는 각 도면의 (A)에 일점쇄선 A5-A6으로 나타낸 부분의 단면도이다. 또한 각 도면의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0248] 이하에서, 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여 성막할 수 있다.

[0249] 또한 스퍼터링법으로서는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막할 때 사용된다.

[0250] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0251] 플라스마 CVD법에 의하여, 비교적 낮은 온도에서 품질이 높은 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라스마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.

[0252] 또한 ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.

[0253] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리, 피처리물의 표면에서의 기상 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등 다른 성막 방법과 조합하여 사용되는 것이 바람직한 경우도 있다.

[0254] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성의 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송 및 압력 조정에 걸리는 시간이 불필요하기 때문에, 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0255] 또한 ALD법은, 조성이 상이한 복수의 전구체를 동시에 도입하거나, 또는 조성이 상이한 복수의 전구체 각각의 1사이클 중의 도입 횟수를 제어함으로써, 임의의 조성의 막을 성막할 수 있다.

[0256] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(212)를 성막한다(도 7의 (A) 내지 (D) 참조). 절연체(212)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(212) 내의 수소 농도를 저감할 수 있다. 다만, 절연체(212)의 성막은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다.

[0257] 본 실시형태에서는 절연체(212)로서 질소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여, 펄스 DC 스퍼터링법으로 질화 실리콘을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써 타깃 표면의 아크 방전으로 인한 파티클의 발생을 억제할 수 있기 때문에, 막 두께 분포를 더 균일하게 할 수 있다. 또한 펄스 전압을 사용함으로써 고주파 전압보다 방전의 상승, 하강을 가파르게 할 수 있다. 이에 의하여, 전극에 전력을 더 효율적으로 공급

하여 스퍼터링 레이트 및 막질을 향상시킬 수 있다.

[0258] 질화 실리콘과 같은 물, 수소 등의 불순물을 투과시키기 어려운 절연체를 사용함으로써 절연체(212)보다 아래층에 포함되는 물, 수소 등의 불순물의 확산을 억제할 수 있다. 또한 절연체(212)로서 질화 실리콘 등 구리를 투과시키기 어려운 절연체를 사용함으로써 절연체(212)보다 아래층(도시하지 않았음)의 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(212)를 통하여 위쪽으로 확산되는 것을 억제할 수 있다.

[0259] 다음으로, 절연체(212) 위에 절연체(214)를 성막한다(도 7의 (A) 내지 (D) 참조). 절연체(214)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(214) 내의 수소 농도를 저감할 수 있다. 다만, 절연체(214)의 성막은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다.

[0260] 본 실시형태에서는 절연체(214)로서 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써, 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다. 여기서 기판에 RF(Radio Frequency) 전력을 인가하여도 좋다. 기판에 인가하는 RF 전력의 크기에 따라 절연체(214)보다 아래층에 주입하는 산소의 양을 제어할 수 있다. RF 전력은 0W/cm^2 이상 1.86W/cm^2 이하로 한다. 즉, 절연체(214) 형성 시의 RF 전력을 바꿈으로써, 트랜지스터의 특성에 적합한 산소량을 변화시켜 주입할 수 있다. 따라서 트랜지스터의 신뢰성을 향상시키는 데 적합한 양의 산소를 주입할 수 있다. 또한 RF의 주파수는 10MHz 이상이 바람직하다. 대표적으로는 13.56MHz이다. RF의 주파수가 높을수록 기판이 받는 대미지를 작게 할 수 있다.

[0261] 절연체(214)로서, 수소를 포획 및 고착하는 기능이 높은 비정질 구조를 가지는 금속 산화물, 예를 들어 산화 알루미늄을 사용하는 것이 바람직하다. 이에 의하여, 절연체(216) 등에 포함되는 수소를 포획 또는 고착하고, 상기 수소가 산화물(230)로 확산되는 것을 방지할 수 있다. 특히 절연체(214)에 비정질 구조를 가지는 산화 알루미늄 또는 비정질 구조의 산화 알루미늄을 사용함으로써, 더 효과적으로 수소를 포획 또는 고착할 수 있는 경우가 있기 때문에 바람직하다. 이에 의하여, 양호한 특성을 가지고 신뢰성이 높은 트랜지스터(200) 및 반도체 장치를 제작할 수 있다.

[0262] 다음으로, 절연체(214) 위에 절연체(216)를 성막한다. 절연체(216)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(216) 내의 수소 농도를 저감할 수 있다. 다만, 절연체(216)의 성막은 스퍼터링법에 한정되지 않고, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여도 좋다.

[0263] 본 실시형태에서는 절연체(216)로서 산소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 실리콘을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써, 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다.

[0264] 절연체(212), 절연체(214), 및 절연체(216)는 대기에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써, 절연체(212), 절연체(214), 및 절연체(216)를 막 내의 수소를 저감하여 성막하고, 이에 더하여 각 성막 공정 간에서 막 내에 수소가 혼입되는 것을 저감할 수 있다.

[0265] 다음으로 절연체(216)에, 절연체(214)에 도달하는 개구를 형성한다. 개구에는 예를 들어 홈, 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 가리켜 개구부라고 하는 경우가 있다. 개구의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 절연체(214)로서는, 절연체(216)를 에칭하여 홈을 형성할 때 에칭 스토퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어 홈을 형성하는 절연체(216)에 산화 실리콘 또는 산화질화 실리콘을 사용한 경우에는, 절연체(214)에 질화 실리콘, 산화 알루미늄, 산화 하프늄을 사용하는 것이 좋다.

[0266] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치

등을 사용할 수 있다.

[0267] 개구 형성 후에 도전막(205A)을 성막한다(도 7의 (A) 내지 (D) 참조). 도전막(205A)은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 산소의 투과를 억제하는 기능을 가지는 도전체와 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 도전막(205A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0268] 본 실시형태에서는, 도전막(205A)으로서 질화 타이타늄을 성막한다. 이와 같은 금속 질화물을 도전체(205b)의 아래층에 사용함으로써, 절연체(216) 등으로 인하여 도전체(205b)가 산화되는 것을 억제할 수 있다. 또한 도전체(205b)로서 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205a)로부터 외부로 확산되는 것을 방지할 수 있다.

[0269] 다음으로, 도전막(205B)을 성막한다(도 7의 (A) 내지 (D) 참조). 도전막(205B)으로서는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금 등을 사용할 수 있다. 도전막(205B)의 성막은 도금법, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 도전막(205B)으로서 텅스텐을 성막한다.

[0270] 다음으로, CMP 처리를 수행함으로써 도전막(205A) 및 도전막(205B)의 일부를 제거하여, 절연체(216)를 노출시킨다(도 8의 (A) 내지 (D) 참조). 그 결과, 개구부에만 도전체(205a) 및 도전체(205b)가 잔존한다. 또한 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.

[0271] 다음으로, 에칭을 수행하여 도전체(205b)의 상부를 제거한다(도 9의 (A) 내지 (D) 참조). 이에 의하여, 도전체(205b)의 상면은 도전체(205a)의 상면 및 절연체(216)의 상면보다 낮아진다. 도전체(205b)의 에칭에는 드라이 에칭 또는 웨트 에칭을 사용하면 좋지만, 미세 가공에는 드라이 에칭을 사용하는 것이 더 바람직하다.

[0272] 다음으로, 절연체(216), 도전체(205a), 및 도전체(205b) 위에 도전막(205C)을 성막한다(도 10의 (A) 내지 (D) 참조). 도전막(205C)은 도전막(205A)과 마찬가지로 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다.

[0273] 본 실시형태에서는, 도전막(205C)으로서 질화 타이타늄을 성막한다. 이와 같은 금속 질화물을 도전체(205b)의 위층에 사용함으로써, 절연체(222) 등으로 인하여 도전체(205b)가 산화되는 것을 억제할 수 있다. 또한 도전체(205b)로서 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205c)로부터 외부로 확산되는 것을 방지할 수 있다.

[0274] 다음으로, CMP 처리를 수행함으로써 도전막(205C)의 일부를 제거하여 절연체(216)를 노출시킨다(도 11의 (A) 내지 (D) 참조). 그 결과, 개구부에만 도전체(205a), 도전체(205b), 및 도전체(205c)가 잔존한다. 따라서 상면이 평탄한 도전체(205)를 형성할 수 있다. 또한 도전체(205b)가 도전체(205a) 및 도전체(205c)로 감싸이는 구성이 된다. 따라서, 도전체(205b)로부터 수소 등의 불순물이 도전체(205a) 및 도전체(205c)의 외부로 확산되는 것을 방지하고, 도전체(205a) 및 도전체(205c)의 외부로부터 산소가 혼입되어 도전체(205b)가 산화되는 것을 방지할 수 있다. 또한 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.

[0275] 다음으로, 절연체(216) 및 도전체(205) 위에 절연체(222)를 성막한다. 절연체(222)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(200)의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(222)를 통하여 트랜지스터(200)의 내측으로 확산되는 것이 억제되고, 산화물(230) 내의 산소 결손의 생성을 억제할 수 있다.

[0276] 절연체(222)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(222)로서 ALD법을 사용하여 산화 하프늄을 성막한다.

[0277] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 하는 경우, 산소 가스를 20% 정도로

하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0278] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 절연체(222) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0279] 본 실시형태에서는 가열 처리로서, 절연체(222)의 성막 후에 질소 가스와 산소 가스의 유량비를 4slm:1slm로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(222)에 포함되는 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 또한 절연체(222)로서 하프늄을 포함하는 산화물을 사용하는 경우, 상기 가열 처리에 의하여 절연체(222)의 일부가 결정화되는 경우가 있다. 또한 가열 처리는 절연체(224)의 성막 후 등의 타이밍에 수행할 수도 있다.

[0280] 다음으로 절연체(222) 위에 절연체(224)를 성막한다. 절연체(224)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(224)로서 스퍼터링법을 사용하여 산화 실리콘을 성막한다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(224) 내의 수소 농도를 저감할 수 있다. 절연체(224)는 나중의 공정에서 산화물(230a)과 접하기 때문에, 이와 같이 수소 농도가 저감되어 있는 것이 적합하다.

[0281] 다음으로, 절연체(224) 위에 산화막(230A), 산화막(230B)을 이 순서대로 성막한다(도 12의 (A) 내지 (D) 참조). 또한 산화막(230A) 및 산화막(230B)은 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기에 개방하지 않고 성막함으로써, 산화막(230A) 및 산화막(230B) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 산화막(230A)과 산화막(230B)의 계면 근방을 청정하게 유지할 수 있다.

[0282] 산화막(230A) 및 산화막(230B)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 산화막(230A) 및 산화막(230B)의 성막은 ALD법을 사용함으로써, 종횡비가 큰 홈이나 개구부에 대해서도 균일한 두께의 막을 형성할 수 있기 때문에 바람직하다. 또한 PEALD법을 사용함으로써, 열 ALD법에 비하여 낮은 온도로 산화막(230A) 및 산화막(230B)을 형성할 수 있기 때문에 바람직하다. 본 실시형태에서는 산화막(230A) 및 산화막(230B)의 성막에는 스퍼터링법을 사용한다.

[0283] 예를 들어 산화막(230A) 및 산화막(230B)을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소 또는 산소와 희가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 상기 산화막을 스퍼터링법으로 성막하는 경우에는, 상기 In-M-Zn 산화물 타깃 등을 사용할 수 있다.

[0284] 특히 산화막(230A)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224)에 공급되는 경우가 있다. 따라서 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0285] 또한 산화막(230B)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30% 초과 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 신뢰성을 얻을 수 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(230B)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막함으로써 상기 산화막의 결정성을 향상시킬 수 있다.

[0286] 본 실시형태에서는 스퍼터링법에 의하여 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 산화막(230A)을 성막한다. 또한 스퍼터링법에 의하여 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1[원자수비]의 산화물 타깃, 또는 In:Ga:Zn=1:1:0.5[원자수비]의 산화물 타깃을 사용하여 산화막(230B)을 성막한다. 또한 각 산화막은, 성막 조건 및 원자수비를 적절히 선택함으로써 산화물(230a) 및 산화물(230b)에 요구되는 특성에 맞추어 형성되는 것이 좋다.

[0287] 다음으로, 산화막(230B) 위에 산화막(243A)을 성막한다(도 12의 (A) 내지 (D) 참조). 산화막(243A)의 성막은

스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 산화막(243A)은 In에 대한 Ga의 원자수비가 산화막(230B)의 In에 대한 Ga의 원자수비보다 높은 것이 바람직하다. 본 실시형태에서는 스퍼터링법에 의하여 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 산화막(243A)을 성막한다.

[0288] 또한 절연체(222), 절연체(224), 산화막(230A), 산화막(230B), 및 산화막(243A)을 대기에 노출시키지 않고 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써, 절연체(222), 절연체(224), 산화막(230A), 산화막(230B), 및 산화막(243A)을 막 내의 수소를 저감하여 성막하고, 이에 더하여 각 성막 공정 간에서 막 내에 수소가 혼입되는 것을 저감할 수 있다.

[0289] 다음으로, 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 산화막(230A), 산화막(230B), 및 산화막(243A)이 다결정화되지 않는 온도 범위에서 수행하면 좋고, 250℃ 이상 650℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 하는 경우, 산소 가스를 20% 정도로 하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0290] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 산화막(230A), 산화막(230B), 및 산화막(243A) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0291] 본 실시형태에서는 가열 처리로서, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속하여 산소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 산화막(230A) 내, 산화막(230B) 내, 및 산화막(243A) 내의 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 또한 상기 가열 처리에 의하여 산화막(230B)의 결정성을 향상시켜, 밀도가 더 높고 치밀한 구조로 할 수 있다. 이에 의하여, 산화막(230B) 내에서의 산소 또는 불순물의 확산을 저감할 수 있다.

[0292] 다음으로, 산화막(243A) 위에 도전막(242A)을 성막한다(도 12의 (A) 내지 (D) 참조). 도전막(242A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어 도전막(242A)으로서 스퍼터링법을 사용하여 질화 탄탈럼을 성막하면 좋다. 또한 도전막(242A)을 성막하기 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전막(242A)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화막(243A)의 표면에 흡착된 수분 및 수소를 제거하여 산화막(230A) 내, 산화막(230B) 내, 및 산화막(243A) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

[0293] 다음으로, 도전막(242A) 위에 절연막(271A)을 성막한다(도 12의 (A) 내지 (D) 참조). 절연막(271A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연막(271A)으로서는 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 절연막(271A)으로서 스퍼터링법에 의하여 산화 알루미늄 또는 질화 실리콘을 성막하면 좋다.

[0294] 본 실시형태에서는 절연막(271A)으로서 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 또한 기판에 인가하는 RF 전력은 0.62W/cm^2 이하로 한다. 바람직하게는 0W/cm^2 이상 0.31W/cm^2 이하로 한다. RF 전력을 작게 함으로써, 도전막(242A)에 주입되는 산소의 양을 억제하여 도전막(242A)의 산화를 방지할 수 있다.

[0295] 또한 도전막(242A) 및 절연막(271A)을 대기에 노출시키지 않고, 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이로써, 도전막(242A) 및 절연막(271A)을 막 내의 수소를 저감하여 성막하고, 이에 더하여 각 성막 공정 사이에서 막 내에 수소가 혼입되는 것을 저감할 수 있다. 또한 절연막(271A) 위에 하드 마스크를 제공하는 경우, 상기 하드 마스크가 되는 막도 대기에 노출시키지 않고 연속하여 성막하면 좋다.

[0296] 다음으로, 리소그래피법을 사용하여 산화막(230A), 산화막(230B), 산화막(243A), 도전막(242A), 절연막(271A), 및 절연체(224)를 섬 형상으로 가공하여 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연

층(271B)을 형성한다(도 13의 (A) 내지 (D) 참조). 또한 상기 가공에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 산화막(230A), 산화막(230B), 산화막(243A), 도전막(242A), 절연막(271A), 및 절연체(224)의 가공은 각각 다른 조건으로 수행하여도 좋다. 상기 공정에서, 절연체(224)를 산화물(230a)과 중첩시켜 섬 형상으로 가공한다.

[0297] 또한 리소그래피법에서는, 우선 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 통하여 에칭 처리를 함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0298] 또한 레지스트 마스크 아래에 절연체 또는 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 도전막(242A) 위에 하드 마스크 재료가 되는 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 도전막(242A) 등의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 잔존시킨 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 도전막(242A) 등의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편, 하드 마스크의 재료가 후공정에 영향을 미치지 않거나, 또는 후공정에서 이용될 수 있는 경우에는 하드 마스크를 반드시 제거할 필요는 없다. 본 실시형태에서는 절연층(271B)을 하드 마스크로서 사용하는 경우에는 절연층(271B)의 막 두께를 적절히 조정하고, 도전막(242A) 등의 에칭 중에 절연층(271B)의 소실을 억제하는 것이 바람직하다.

[0299] 여기서, 절연층(271B)이 도전층(242B)의 마스크로서 기능하기 때문에, 도 13의 (B) 내지 (D)에 나타낸 바와 같이 도전층(242B)은 측면과 상면 사이에 만곡면을 가지지 않는다. 이에 의하여, 도 1의 (B) 및 (D)에 나타낸 도전체(242a) 및 도전체(242b)는 측면과 상면이 교차되는 단부가 각진 형상이 된다. 도전체(242)의 측면과 상면이 교차되는 단부가 각진 형상이 됨으로써, 상기 단부가 곡면을 가지는 경우보다 도전체(242)의 단면적이 커진다. 이로써, 도전체(242)의 저항이 저감되기 때문에 트랜지스터(200)의 온 전류를 크게 할 수 있다.

[0300] 또한 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)은 적어도 일부가 도전체(205)와 중첩되도록 형성된다. 또한 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)의 측면은 절연체(222)의 상면에 대하여 실질적으로 수직인 것이 바람직하다. 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)의 측면을 절연체(222)의 상면에 대하여 실질적으로 수직으로 함으로써, 복수의 트랜지스터(200)를 제공할 때 면적을 축소하고, 밀도를 높일 수 있다. 또는 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)의 측면과 절연체(222)의 상면이 이루는 각이 작은 각도가 되는 구성으로 하여도 좋다. 그 경우, 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)의 측면과 절연체(222)의 상면이 이루는 각은 60° 이상 70° 미만이 바람직하다. 이와 같은 형상으로 함으로써, 나중의 공정에서 절연체(272) 등의 피복성이 향상되므로 공동 등의 결함을 저감할 수 있다.

[0301] 또한 상기 에칭 공정에서 발생한 부생성물이 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B)의 측면에 층상으로 형성되는 경우가 있다. 이 경우, 상기 층상의 부생성물이 절연체(224), 산화물(230a), 산화물(230b), 산화물(243), 도전체(242), 및 절연체(271)와 절연체(272) 사이에 형성된다. 또한 마찬가지로 층상의 부생성물이 절연체(222) 위에 형성되는 경우가 있다. 상기 층상의 부생성물이 절연체(222) 위에 형성된 상태에서 공정을 진행하여 트랜지스터(200)를 제작하면 트랜지스터(200)의 신뢰성이 악화될 수 있다. 따라서, 절연체(222)의 상면에 접하여 형성된 상기 층상의 부생성물은 제거되는 것이 바람직하다.

[0302] 다음으로, 절연체(224), 산화물(230a), 산화물(230b), 산화물층(243B), 도전층(242B), 및 절연층(271B) 위에 절연체(272)를 성막한다(도 14의 (A) 내지 (D) 참조). 절연체(272)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(272)로서는 질화 실리콘, 산화 알루미늄 등을 사용할 수 있다. 또한 절연체(272)는 적층 구조로 하여도 좋다. 예를 들어, 질화 실리콘을 성막하고 상기 질화 실리콘 위

에 산화 알루미늄을 성막하여도 좋고, 산화 알루미늄을 성막하고 상기 산화 알루미늄 위에 질화 실리콘을 성막하여도 좋다. 본 실시형태에서는 절연체(272)로서 스퍼터링법에 의하여 질화 실리콘을 성막한다.

[0303] 이와 같이 하여, 산화물(230a), 산화물(230b), 산화물층(243B), 및 도전층(242B)을 산소의 확산을 억제하는 기능을 가지는 절연체(272) 및 절연층(271B)으로 덮을 수 있다. 이에 의하여, 나중의 공정에서 산화물(230a), 산화물(230b), 산화물층(243B), 및 도전층(242B)으로 산소가 확산되는 것을 저감할 수 있다.

[0304] 다음으로, 절연체(272) 위에 절연체(280)가 되는 절연막을 성막한다. 상기 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 예를 들어 상기 절연막으로서 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 상기 절연막을 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체(280)를 형성할 수 있다. 또한 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(280) 내의 수소 농도를 저감할 수 있다. 또한 상기 절연막을 성막하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(272)의 표면 등에 흡착된 수분 및 수소를 제거하고, 산화물(230a) 내, 산화물(230b) 내, 산화물층(243B) 내, 및 절연체(224) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.

[0305] 다음으로, 상기 절연체(280)가 되는 절연막에 대하여 CMP 처리를 수행하여, 상면이 평탄한 절연체(280)를 형성한다(도 14의 (A) 내지 (D) 참조). 또한 절연체(280) 위에, 예를 들어 스퍼터링법으로 질화 실리콘을 성막하고, 상기 질화 실리콘에 대하여 절연체(280)에 도달할 때까지 CMP 처리를 수행하여도 좋다.

[0306] 다음으로, 절연체(280)의 일부, 절연체(272)의 일부, 절연층(271B)의 일부, 도전층(242B)의 일부, 및 산화물층(243B)의 일부를 가공하여 산화물(230b)까지 도달하는 개구를 형성한다. 상기 개구는 도전체(205)와 중첩되도록 형성되는 것이 바람직하다. 상기 개구의 형성에 의하여 절연체(271a), 절연체(271b), 도전체(242a), 도전체(242b), 산화물(243a), 및 산화물(243b)을 형성한다(도 15의 (A) 내지 (D) 참조).

[0307] 상기 개구를 형성할 때 산화물(230b)의 상부가 제거되는 경우가 있다. 산화물(230b)의 일부가 제거됨으로써 산화물(230b)에 홈부가 형성된다. 상기 홈부는 홈부의 깊이에 따라 상기 개구의 형성 공정에서 형성하여도 좋고, 상기 개구의 형성 공정과 다른 공정에서 형성하여도 좋다.

[0308] 또한 절연체(280)의 일부, 절연체(272)의 일부, 절연층(271B)의 일부, 도전층(242B)의 일부, 및 산화물층(243B)의 일부의 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다. 예를 들어 절연체(280)의 일부를 드라이 에칭법으로 가공하고, 절연체(272)의 일부 및 절연층(271B)의 일부를 웨트 에칭법으로 가공하고, 도전층(242B)의 일부 및 산화물층(243B)의 일부를 드라이 에칭법으로 가공하여도 좋다. 또한 도전층(242B)의 일부와 산화물층(243B)의 일부의 가공은 상이한 조건으로 수행하여도 좋다.

[0309] 여기서, 산화물(230a), 산화물(230b) 등의 표면에 부착되거나 또는 내부로 확산된 불순물을 제거하는 것이 바람직하다. 또한 상기 드라이 에칭으로 산화물(230b) 표면에 형성되는 손상 영역을 제거하는 것이 바람직하다. 상기 불순물로서는, 절연체(280), 절연체(272), 절연층(271B)의 일부, 및 도전층(242B)에 포함되는 성분, 상기 개구의 형성 시에 사용하는 장치에 사용되는 부재에 포함되는 성분, 에칭에 사용하는 가스 또는 액체에 포함되는 성분 등에 기인한 것을 들 수 있다. 상기 불순물로서는 예를 들어 알루미늄, 실리콘, 탄탈럼, 플루오린, 염소 등이 있다.

[0310] 특히 알루미늄 또는 실리콘 등의 불순물은 산화물(230b)의 CAAC-OS화를 저해한다. 따라서, 알루미늄 또는 실리콘 등 CAAC-OS화를 저해하는 불순물 원소가 저감 또는 제거되는 것이 바람직하다. 예를 들어 산화물(230b) 및 그 근방에서의 알루미늄 원자의 농도를 5.0atomic% 이하로 하면 좋고, 2.0atomic% 이하가 바람직하고, 1.5atomic% 이하가 더 바람직하고, 1.0atomic% 이하가 더욱 바람직하고, 0.3atomic% 미만이 더욱더 바람직하다.

[0311] 또한 알루미늄 또는 실리콘 등의 불순물에 의하여 CAAC-OS화가 저해되어 a-like OS(amorphous-like oxide semiconductor)가 된 금속 산화물의 영역을 비CAAC 영역이라고 부르는 경우가 있다. 비CAAC 영역에서는 결정 구조의 치밀함이 저하되어 있기 때문에, V_OH가 많이 형성되어 트랜지스터가 노멀리 온으로 되기 쉬워진다. 따라서, 산화물(230b)의 비CAAC 영역은 저감 또는 제거되어 있는 것이 바람직하다.

[0312] 한편, 산화물(230b)은 층상의 CAAC 구조를 가지는 것이 바람직하다. 특히 산화물(230b)의 드레인 하단부까지 CAAC 구조를 가지는 것이 바람직하다. 여기서, 트랜지스터(200)에서 도전체(242a) 또는 도전체(242b) 및 그 근

방이 드레인으로서 기능한다. 즉, 도전체(242a)(도전체(242b))의 하단부 근방의 산화물(230b)이 CAAC 구조를 가지는 것이 바람직하다. 이와 같이, 드레인 내압에 현저하게 영향을 미치는 드레인 단부에서도 산화물(230b)의 손상 영역이 제거되고 CAAC 구조를 가짐으로써, 트랜지스터(200)의 전기 특성의 변동을 더 억제할 수 있다. 또한 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.

[0313] 상기 불순물 등을 제거하기 위하여 세정 처리를 수행한다. 세정 방법으로서는, 세정액 등을 사용한 웨트 세정, 플라스마를 사용한 플라스마 처리, 열처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다. 또한 상기 세정 처리에 의하여, 상기 홈부가 깊어지는 경우가 있다.

[0314] 웨트 세정으로서는, 암모니아수, 옥살산, 인산, 플루오린화 수소산 등을 탄산수 또는 순수로 희석한 수용액, 순수, 탄산수 등을 사용하여 세정 처리를 수행하여도 좋다. 또는 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또는 이들 세정을 적절히 조합하여 수행하여도 좋다.

[0315] 또한 본 명세서 등에서는, 시판되는 플루오린화 수소산을 순수로 희석한 수용액을 희석 플루오린화 수소산이라고 부르고, 시판되는 암모니아수를 순수로 희석한 수용액을 희석 암모니아수라고 부르는 경우가 있다. 또한 상기 수용액의 농도, 온도 등은 제거하고자 하는 불순물, 세정되는 반도체 장치의 구성 등에 따라 적절히 조정하면 좋다. 희석 암모니아수의 암모니아 농도는 0.01% 이상 5% 이하, 바람직하게는 0.1% 이상 0.5% 이하로 하면 좋다. 또한 희석 플루오린화 수소산의 플루오린화 수소 농도는 0.01ppm 이상 100ppm 이하, 바람직하게는 0.1ppm 이상 10ppm 이하로 하면 좋다.

[0316] 또한 초음파 세정에는 200kHz 이상, 바람직하게는 900kHz 이상의 주파수를 사용한다. 상기 주파수를 사용함으로써, 산화물(230b) 등에 대한 대미지를 저감할 수 있다.

[0317] 또한 상기 세정 처리를 여러 번 수행하여도 좋고, 세정 처리마다 세정액을 변경하여도 좋다. 예를 들어 제 1 세정 처리로서 희석 플루오린화 수소산 또는 희석 암모니아수를 사용한 처리를 수행하고, 제 2 세정 처리로서 순수 또는 탄산수를 사용한 처리를 수행하여도 좋다.

[0318] 상기 세정 처리로서, 본 실시형태에서는 희석 플루오린화 수소산을 사용하여 웨트 세정을 수행하고, 이어서 순수 또는 탄산수를 사용하여 웨트 세정을 수행한다. 상기 세정 처리를 수행함으로써, 산화물(230a), 산화물(230b) 등의 표면에 부착되거나 또는 내부로 확산된 불순물을 제거할 수 있다. 또한 산화물(230b)의 결정성을 높일 수 있다.

[0319] 여기까지의 드라이 에칭 등의 가공 또는 상기 세정 처리에 의하여, 상기 개구와 중첩되며 산화물(230b)과 중첩되지 않는 영역의 절연체(224)의 막 두께가, 산화물(230b)과 중첩되는 영역의 절연체(224)의 막 두께보다 얇아지는 경우가 있다.

[0320] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하여도 좋다. 가열 처리는 100℃ 이상 450℃ 이하, 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230a) 및 산화물(230b)에 산소가 공급되므로 산소 결손을 저감할 수 있다. 또한 이러한 열처리를 수행함으로써, 산화물(230b)의 결정성을 향상시킬 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 산소 분위기에서 가열 처리를 수행한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다.

[0321] 다음으로, 절연체(250a)가 되는 절연막(250A)을 성막한다(도 16의 (A) 내지 (D) 참조). 절연막(250A)의 성막 전에 가열 처리를 수행하여도 좋고, 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연막(250A)을 성막하여도 좋다. 또한 상기 가열 처리는 산소를 포함하는 분위기에서 수행하는 것이 바람직하다. 이러한 처리를 수행함으로써, 산화물(230b)의 표면 등에 흡착된 수분 및 수소를 제거하고, 산화물(230a) 내 및 산화물(230b) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다.

[0322] 절연막(250A)은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 성막할 수 있다. 또한 절연막(250A)을 수소 원자가 저감 또는 제거된 가스를 사용한 성막 방법으로 성막하는 것이 바람직하다. 이로써, 절연막(250A)의 수소 농도를 저감할 수 있다. 절연막(250A)은 나중의 공정에서 산화물(230b)과 접하는 절연체(250)가 되기 때문에, 이와 같이 수소 농도가 저감되어 있는 것이 적합하다.

[0323] 또한 절연막(250A)은 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(전구체) 및 산화성 가스(반응제)를 사

용하여 PEALD법에 의하여 성막하는 것이 바람직하다. 미세화된 트랜지스터(200)의 게이트 절연막으로서 기능하는 절연체(250)는, 매우 얇고(예를 들어 0.5nm 이상 15.0nm 이하 정도) 편차가 작아지는 막 두께로 할 필요가 있다. 한편, PEALD법은 전구체와 반응제(산화제)를 번갈아 도입하여 수행하는 성막 방법이고, 이 사이클을 반복하는 횟수에 따라 막 두께를 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있다. 따라서, 미세화된 트랜지스터(200)에서 요구되는 게이트 절연막의 정밀도를 달성할 수 있다. 또한 도 16의 (B) 및 (C)에 나타낸 바와 같이, 절연막(250A)은 절연체(280) 등에 의하여 형성되는 개구의 밑면 및 측면에 피복성 좋게 성막될 필요가 있다. 상기 개구의 밑면 및 측면에서 원자의 층을 한 층씩 퇴적할 수 있기 때문에, 상기 개구에 대하여 피복성 좋게 절연막(250A)을 성막할 수 있다. 또한 PEALD법을 사용함으로써 비교적 낮은 기판 온도로 성막할 수 있다.

[0324] 또한 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(전구체) 및 산화성 가스(반응제)를 사용함으로써, 절연막(250A) 내 및 산화물(230b)로의 수소 혼입을 억제할 수 있다. 또한 탄소 등의 불순물을 포함하는 전구체, 예를 들어 CH기를 가지는 유기 전구체를 사용하지 않기 때문에 절연막(250A) 내에 탄소 등의 불순물, 탄화수소 등이 혼입되는 것을 억제할 수 있다. 이와 같이, 불순물 등을 포함하지 않으며 보다 치밀한 막을 형성할 수 있기 때문에 산화물(230b)로부터 절연막(250A)으로의 In 확산을 방지할 수 있다.

[0325] 본 실시형태에서는, 전구체로서 SiH_4를 사용하고 반응제로서 N_2O를 사용한다. 또한 절연막(250A)의 성막은, 도 5에 나타낸 공정 흐름, 그리고 도 6의 (A) 및 (B)에 나타낸 시퀀스에 따라, 단계 S01 내지 단계 S04를 1사이클로 하여 원하는 막 두께가 될 때까지 반복한다.

[0326] 다음으로, 절연체(250b)가 되는 절연막(250B)을 성막한다(도 17의 (A) 내지 (D) 참조). 절연막(250B)은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 성막할 수 있다. 절연막(250B)은 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하여 형성되는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(250a)에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다. 즉, 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250a)에 포함되는 산소로 인한 도전체(260)의 산화를 억제할 수 있다. 예를 들어 절연막(250A)은 상술한 절연체(250)에 사용할 수 있는 재료를 사용하여 제공하고, 절연막(250B)은 절연체(222)와 같은 재료를 사용하여 제공할 수 있다.

[0327] 절연막(250B)으로서, 구체적으로는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물, 또는 산화물(230)로서 사용할 수 있는 금속 산화물을 사용할 수 있다. 특히 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 바람직하다.

[0328] 본 실시형태에서는 절연막(250A)으로서 산화질화 실리콘을 PECVD법으로 성막하고, 절연막(250B)으로서 산화 하프늄을 열 ALD법으로 성막한다.

[0329] 다음으로, 산소를 포함하는 분위기에서 마이크로파 처리를 수행한다(도 17의 (A) 내지 (D) 참조). 여기서, 도 17의 (B), (C), 및 (D)에서 점선은 마이크로파, RF 등의 고주파, 산소 플라스마, 또는 산소 라디칼 등을 나타낸다. 마이크로파 처리에서는, 예를 들어 마이크로파를 사용한 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 산화물(230b) 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력을 60Pa 이상, 바람직하게는 133Pa 이상, 더 바람직하게는 200Pa 이상, 더욱 바람직하게는 400Pa 이상으로 하면 좋다. 또한 상기 마이크로파 처리는 산소 유량비($O_2/(O_2+Ar)$)가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다. 또한 처리 온도는 750℃ 이하, 바람직하게는 500℃ 이하, 예를 들어 400℃ 정도로 하면 좋다. 또한 산소 플라스마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 열처리를 수행하여도 좋다.

[0330] 도 17의 (B), (C), 및 (D)에 나타낸 바와 같이, 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라스마화하고, 상기 산소 플라스마를 산화물(230b) 중 도전체(242a)와 도전체(242b) 사이의 영역에 작용시킬 수 있다. 이때, 마이크로파 또는 RF 등의 고주파를 영역(230bc)에 조사할 수도 있다. 즉, 도 3에 나타낸 영역(230bc)에 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등을 작용시킬 수 있다. 플라스마, 마이크로파 등의 작용에 의하여, 영역(230bc)의 V_OH를 분단하고, 수소를 영역(230bc)에서 제거할 수 있다. 즉, 영역(230bc)에서 '$V_OH \rightarrow H+V_O$'라는 반응이 일어나, 영역(230bc)의

수소 농도를 저감할 수 있다. 따라서, 영역(230bc) 내의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다. 또한 영역(230bc)에서 형성된 산소 결손에, 상기 산소 플라스마에서 발생한 산소 라디칼 또는 절연체(250)에 포함되는 산소를 공급함으로써, 영역(230bc) 내의 산소 결손을 더 저감하고, 캐리어 농도를 더 저하시킬 수 있다.

[0331] 한편, 도 3에 나타낸 영역(230ba) 및 영역(230bb) 위에는 도전체(242a) 및 도전체(242b)가 제공된다. 도 17의 (B), (C), 및 (D)에 나타낸 바와 같이, 도전체(242a) 및 도전체(242b)가 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용을 차폐하기 때문에, 이들 작용은 영역(230ba) 및 영역(230bb)에 미치지 않는다. 따라서, 마이크로파 처리에 의하여 영역(230ba) 및 영역(230bb)에서 V_OH의 저감 및 과잉량의 산소의 공급이 발생하지 않기 때문에, 캐리어 농도의 저하를 방지할 수 있다.

[0332] 이와 같이 하여, 산화물 반도체의 영역(230bc)에서 선택적으로 산소 결손 및 V_OH를 제거하여, 영역(230bc)을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는 영역(230ba) 및 영역(230bb)에 과잉량의 산소가 공급되는 것을 억제하고, n형화를 유지할 수 있다. 이로써, 트랜지스터(200)의 전기 특성의 변동을 억제하여, 기판 면 내에서 트랜지스터(200)의 전기 특성에 편차가 생기는 것을 억제할 수 있다.

[0333] 따라서, 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다.

[0334] 또한 절연막(250A)의 성막 후에 마이크로파 처리를 수행하여도 좋다. 또한 절연막(250A)의 성막 후에 마이크로파 처리를 수행하고, 절연막(250B)의 성막 후에 마이크로파 처리를 수행하지 않아도 된다.

[0335] 또한 절연막(250A)의 성막 후 및 절연막(250B)의 성막 후에 수행하는 각 마이크로파 처리 후에, 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써 절연막(250A) 내, 절연막(250B) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(242)(도전체(242a) 및 도전체(242b))에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하는 단계를 여러 번 반복하여 수행하여도 좋다. 가열 처리를 반복적으로 수행함으로써, 절연막(250A) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 더 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다.

[0336] 또한 마이크로파 처리를 수행하여 절연막(250A) 및 절연막(250B)의 막질을 개량함으로써, 수소, 물, 불순물 등의 확산을 억제할 수 있다. 따라서 도전체(260)가 되는 도전막의 성막 등의 후공정 또는 열처리 등의 후처리로 인하여 절연체(250)를 통하여 수소, 물, 불순물 등이 산화물(230b), 산화물(230a) 등으로 확산되는 것을 억제할 수 있다.

[0337] 다음으로 도전체(260a)가 되는 도전막, 도전체(260b)가 되는 도전막을 이 순서대로 성막한다. 도전체(260a)가 되는 도전막 및 도전체(260b)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, ALD법을 사용하여 도전체(260a)가 되는 도전막을 성막하고, CVD법을 사용하여 도전체(260b)가 되는 도전막을 성막한다.

[0338] 다음으로 CMP 처리에 의하여 절연막(250A), 절연막(250B), 도전체(260a)가 되는 도전막, 및 도전체(260b)가 되는 도전막을 절연체(280)가 노출될 때까지 연마함으로써 절연체(250a), 절연체(250b), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한다(도 18의 (A) 내지 (D) 참조). 이로써, 절연체(250)는 산화물(230b)에 도달하는 개구 및 산화물(230b)의 홈부의 내벽(측벽 및 밑면)을 덮도록 배치된다. 또한 도전체(260)는 절연체(250)를 개재하여 상기 개구 및 상기 홈부를 매립하도록 배치된다.

[0339] 다음으로 상기 가열 처리와 같은 조건으로 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(250) 내 및 절연체(280) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 또한 상기 가열 처리 후, 대기에 노출시키지 않고 연속하여 절연체(282)의 성막을 수행하여도 좋다.

[0340] 다음으로 절연체(250) 위, 도전체(260) 위, 및 절연체(280) 위에 절연체(282a) 및 절연체(282b)를 연속적으로 형성한다(도 19의 (A) 내지 (D) 참조). 절연체(282a) 및 절연체(282b)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(282a) 및 절연체(282b)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체

(282a) 내 및 절연체(282b) 내의 수소 농도를 저감할 수 있다.

[0341] 본 실시형태에서는 절연체(282a) 및 절연체(282b)로서 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써, 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다. 또한 기판에 인가하는 RF 전력은 1.86W/cm^2 이하로 한다. 바람직하게는 0W/cm^2 이상 0.31W/cm^2 이하로 한다. RF 전력을 작게 함으로써, 절연체(280)에 주입되는 산소의 양을 억제할 수 있다. 본 실시형태에서 절연체(282a)는 기판에 인가하는 RF 전력을 0W/cm^2로 하여 성막되고, 절연체(282b)는 기판에 인가하는 RF 전력을 0.31W/cm^2로 하여 성막된다.

[0342] 다음으로, 절연체(282a), 절연체(282b), 절연체(280), 절연체(272), 절연체(222), 및 절연체(216)를 절연체(214)의 상면에 도달할 때까지 가공한다(도 20의 (A) 내지 (D) 참조). 상기 가공에는 웨트 에칭을 사용하여도 좋지만, 미세 가공에는 드라이 에칭을 사용하는 것이 바람직하다.

[0343] 다음으로 가열 처리를 수행하여도 좋다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하로 수행하면 좋다. 또한 상기 가열 처리의 온도는 산화막(243A)의 성막 후에 수행하는 가열 처리의 온도보다 낮은 것이 바람직하다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기에서 수행한다. 상기 가열 처리를 수행함으로써, 절연체(282a), 절연체(282b), 절연체(280), 절연체(272), 절연체(222), 및 절연체(216)의 가공에 의하여 형성된 절연체(280)의 측면으로부터, 절연체(280)에 포함되는 산소 및 상기 산소와 결합된 수소를 외부로 방출할 수 있다. 또한 절연체(280)에 포함되는 산소 및 상기 산소와 결합된 수소를 외부로 방출할 수 있다. 또한 산소와 결합된 수소는 물로서 방출된다. 따라서 절연체(280)에 포함되는 불필요한 산소 및 수소를 저감할 수 있다.

[0344] 다음으로 절연체(282b) 위에 절연체(283)를 형성한다(도 21의 (A) 내지 (D) 참조). 절연체(283)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(283)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(283) 내의 수소 농도를 저감할 수 있다. 또한 절연체(283)는 다층으로 하여도 좋다. 예를 들어 스퍼터링법을 사용하여 질화 실리콘을 성막하고, 상기 질화 실리콘 위에 ALD법을 사용하여 질화 실리콘을 성막하여도 좋다. 배리어성이 높은 절연체(283) 및 절연체(214)로 트랜지스터(200)를 감쌈으로써, 외부로부터 수분 및 수소가 침입하는 것을 방지할 수 있다.

[0345] 다음으로, 절연체(283) 위에 절연체(274)를 형성한다. 절연체(274)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(274)로서 CVD법에 의하여 산화 실리콘을 성막한다.

[0346] 다음으로 CMP 처리에 의하여 절연체(274)를 절연체(283)가 노출될 때까지 연마함으로써, 절연체(274)의 상면을 평탄화한다(도 22의 (A) 내지 (D) 참조). 상기 CMP 처리에 의하여 절연체(283)의 상면의 일부가 제거되는 경우가 있다.

[0347] 다음으로 절연체(274) 위 및 절연체(283) 위에 절연체(284)를 형성한다(도 22의 (A) 내지 (D) 참조). 절연체(284)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 절연체(284)의 성막은 스퍼터링법을 사용하여 수행하는 것이 바람직하다. 성막 가스에 수소를 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(284) 내의 수소 농도를 저감할 수 있다.

[0348] 본 실시형태에서는 절연체(284)로서 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여, 펄스 DC 스퍼터링법으로 산화 알루미늄을 성막한다. 펄스 DC 스퍼터링법을 사용함으로써, 막 두께 분포를 더 균일하게 하고 스퍼터링 레이트 및 막질을 향상시킬 수 있다. 또한 기판에 인가하는 RF 전력은 0.62W/cm^2 이하로 한다. 바람직하게는 0W/cm^2 이상 0.31W/cm^2 이하로 한다. 또한 기판에 인가하는 RF 전력은 절연체(282)의 성막 시에 기판에 인가하는 RF 전력보다 큰 것이 바람직하다.

[0349] 다음으로 절연체(271), 절연체(272), 절연체(280), 절연체(282), 절연체(283), 및 절연체(284)에, 도전체(242)에 도달하는 개구를 형성한다(도 22의 (A) 및 (B) 참조). 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다. 또한 도 22의 (A)에서 상기 개구의 형상은 상면에서 보았을 때 원형이지만, 이에 한정되지 않는다. 예를 들어 상기 개구는, 상면에서 보았을 때 타원 등의 대략 원형인 형상, 사각형 등의 다각형, 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다.

[0350] 다음으로 절연체(241)가 되는 절연막을 성막하고, 상기 절연막을 이방성 에칭하여 절연체(241)를 형성한다(도 22의 (B) 참조). 상기 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 상기 절연막으로서는, 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 ALD법을 사용하여 산화 알루미늄을 성막하는 것이 바람직하다. 또는 PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다.

[0351] 또한 절연체(241)가 되는 절연막의 이방성 에칭으로서는, 예를 들어 드라이 에칭법 등을 사용하면 좋다. 개구의 측벽부에 절연체(241)를 제공함으로써 외부로부터의 산소의 투과를 억제하고, 다음으로 형성하는 도전체(240a) 및 도전체(240b)의 산화를 방지할 수 있다. 또한 도전체(240a) 및 도전체(240b)로부터 물, 수소 등의 불순물이 외부로 확산되는 것을 방지할 수 있다.

[0352] 다음으로 도전체(240a) 및 도전체(240b)가 되는 도전막을 성막한다. 상기 도전막은 물, 수소 등 불순물의 투과를 억제하는 기능을 가지는 도전체를 포함하는 적층 구조로 하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄 등과, 텅스텐, 몰리브데넘, 구리 등과의 적층으로 할 수 있다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0353] 다음으로 CMP 처리를 수행함으로써, 도전체(240a) 및 도전체(240b)가 되는 도전막의 일부를 제거하여 절연체(284)의 상면을 노출시킨다. 그 결과, 개구에만 상기 도전막이 잔존함으로써 상면이 평탄한 도전체(240a) 및 도전체(240b)를 형성할 수 있다(도 22의 (B) 참조). 또한 상기 CMP 처리에 의하여 절연체(284)의 상면의 일부가 제거되는 경우가 있다.

[0354] 다음으로 도전체(246)가 되는 도전막을 성막한다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0355] 다음으로 도전체(246)가 되는 도전막을 리소그래피법에 의하여 가공하여, 도전체(240a)의 상면과 접하는 도전체(246a), 및 도전체(240b)의 상면과 접하는 도전체(246b)를 형성한다. 이때 도전체(246a) 및 도전체(246b)와 절연체(284)가 중첩되지 않는 영역의 절연체(284)의 일부가 제거되는 경우가 있다.

[0356] 다음으로, 도전체(246) 위 및 절연체(284) 위에 절연체(286)를 성막한다. 절연체(286)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 또한 절연체(286)는 다층으로 하여도 좋다. 예를 들어, 스퍼터링법을 사용하여 질화 실리콘을 성막하고, 상기 질화 실리콘 위에 CVD법을 사용하여 질화 실리콘을 성막하여도 좋다.

[0357] 이러한 식으로, 도 1의 (A) 내지 (D)에 나타낸 트랜지스터(200)를 가지는 반도체 장치를 제작할 수 있다. 도 7의 (A) 내지 도 22의 (D)에 나타낸 바와 같이, 본 실시형태에 나타낸 반도체 장치의 제작 방법을 사용함으로써 트랜지스터(200)를 제작할 수 있다.

[0358] <마이크로파 처리 장치>

[0359] 이하에서는, 상기 반도체 장치의 제작 방법에 사용할 수 있는 마이크로파 처리 장치에 대하여 설명한다.

[0360] 우선, 반도체 장치 등을 제조할 때 불순물의 혼입이 적은 제조 장치의 구성에 대하여 도 23 내지 도 26을 사용하여 설명한다.

[0361] 도 23은 매엽식 멀티 체임버의 제조 장치(2700)의 상면도를 모식적으로 나타낸 것이다. 제조 장치(2700)는 기판을 수용하는 카세트 포트(2761)와, 기판의 얼라인먼트를 수행하는 얼라인먼트 포트(2762)를 가지는 대기 측 기판 공급실(2701)과, 대기 측 기판 공급실(2701)로부터 기판을 반송하는 대기 측 기판 반송실(2702)과, 기판을 반입하며 실내의 압력을 대기압으로부터 감압으로, 또는 감압으로부터 대기압으로 전환하는 로드록실(2703a)과, 기판을 반출하며 실내의 압력을 감압으로부터 대기압으로, 또는 대기압으로부터 감압으로 전환하는 언로드록실(2703b)과, 진공 중에서 기판을 반송하는 반송실(2704)과, 체임버(2706a)와, 체임버(2706b)와, 체임버(2706c)와, 체임버(2706d)를 가진다.

[0362] 또한 대기 측 기판 반송실(2702)은 로드록실(2703a) 및 언로드록실(2703b)과 접속되고, 로드록실(2703a) 및 언로드록실(2703b)은 반송실(2704)과 접속되고, 반송실(2704)은 체임버(2706a), 체임버(2706b), 체임버(2706c), 및 체임버(2706d)와 접속된다.

[0363] 또한 각 방의 접속부에는 게이트 밸브(GV)가 제공되어 있고, 대기 측 기판 공급실(2701)과, 대기 측 기판 반송실(2702)을 제외하고, 각 방을 독립적으로 진공 상태로 유지할 수 있다. 또한 대기 측 기판 반송실(2702)에는

반송 로봇(2763a)이 제공되어 있고, 반송실(2704)에는 반송 로봇(2763b)이 제공되어 있다. 반송 로봇(2763a) 및 반송 로봇(2763b)에 의하여, 제조 장치(2700) 내에서 기판을 반송할 수 있다.

[0364] 반송실(2704) 및 각 체임버의 배압(전체 압력)은 예를 들어 1×10^{-4}Pa 이하, 바람직하게는 3×10^{-5}Pa 이하, 더 바람직하게는 1×10^{-5}Pa 이하로 한다. 또한 반송실(2704) 및 각 체임버의 질량 전하비(m/z)가 18인 기체 분자(원자)의 부분 압력은, 예를 들어 3×10^{-5}Pa 이하, 바람직하게는 1×10^{-5}Pa 이하, 더 바람직하게는 3×10^{-6}Pa 이하로 한다. 또한 반송실(2704) 및 각 체임버의 m/z가 28인 기체 분자(원자)의 부분 압력은 예를 들어 3×10^{-5}Pa 이하, 바람직하게는 1×10^{-5}Pa 이하, 더 바람직하게는 3×10^{-6}Pa 이하로 한다. 또한 반송실(2704) 및 각 체임버의 m/z가 44인 기체 분자(원자)의 부분 압력은 예를 들어 3×10^{-5}Pa 이하, 바람직하게는 1×10^{-5}Pa 이하, 더 바람직하게는 3×10^{-6}Pa 이하로 한다.

[0365] 또한 반송실(2704) 및 각 체임버 내의 전체 압력 및 부분 압력은 질량 분석계를 사용하여 측정할 수 있다. 예를 들어 ULVAC, Inc. 제조의 사중극형 질량 분석계(Q-mass라고도 함) Qulee CGM-051을 사용하면 좋다.

[0366] 또한 반송실(2704) 및 각 체임버는 외부 누설 또는 내부 누설이 적은 구성으로 하는 것이 바람직하다. 예를 들어 반송실(2704) 및 각 체임버의 누설 레이트를 3×10^{-6}Pa·m^3/s 이하, 바람직하게는 1×10^{-6}Pa·m^3/s 이하로 한다. 또한 예를 들어 m/z가 18인 기체 분자(원자)의 누설 레이트를 1×10^{-7}Pa·m^3/s 이하, 바람직하게는 3×10^{-8}Pa·m^3/s 이하로 한다. 또한 예를 들어 m/z가 28인 기체 분자(원자)의 누설 레이트를 1×10^{-5}Pa·m^3/s 이하, 바람직하게는 1×10^{-6}Pa·m^3/s 이하로 한다. 또한 예를 들어 m/z가 44인 기체 분자(원자)의 누설 레이트를 3×10^{-6}Pa·m^3/s 이하, 바람직하게는 1×10^{-6}Pa·m^3/s 이하로 한다.

[0367] 또한 누설 레이트는 상술한 질량 분석계를 사용하여 측정한 전체 압력 및 부분 압력으로부터 도출하면 좋다. 누설 레이트는 외부 누설 및 내부 누설에 의존한다. 외부 누설이란, 미소한 구멍, 밀봉 불량 등으로 인하여 진공계 외부로부터 기체가 유입되는 것을 말한다. 내부 누설은 진공계 내의 밸브 등의 칸막이로부터의 누설 또는 내부의 부재로부터 방출되는 가스에 기인한다. 누설 레이트를 상술한 수치 이하로 하기 위해서는, 외부 누설 및 내부 누설의 양면에서 대책을 세울 필요가 있다.

[0368] 예를 들어 반송실(2704) 및 각 체임버의 개폐 부분은 메탈 개스킷으로 밀봉되는 것이 좋다. 메탈 개스킷에는 플루오린화 철, 산화 알루미늄, 또는 산화 크로뮴으로 피복된 금속을 사용하는 것이 바람직하다. 메탈 개스킷은 O링에 비하여 밀착성이 높고, 외부 누설을 저감할 수 있다. 또한 플루오린화 철, 산화 알루미늄, 산화 크로뮴 등으로 피복된 금속의 부동태를 사용함으로써, 메탈 개스킷으로부터 방출되는 불순물을 포함하는 방출 가스가 억제되어, 내부 누설을 저감할 수 있다.

[0369] 또한 제조 장치(2700)를 구성하는 부재로서, 불순물을 포함하는 가스의 방출이 적은 알루미늄, 크로뮴, 타이타늄, 지르코늄, 니켈, 또는 바나듐을 사용한다. 또한 철, 크로뮴, 및 니켈 등을 포함하는 합금을 상술한 불순물을 포함하는 가스의 방출이 적은 금속으로 피복하여 사용하여도 좋다. 철, 크로뮴, 및 니켈 등을 포함하는 합금은 강성이 있고, 열에 강하고, 가공에 적합하다. 여기서 표면적을 축소하기 위하여 부재의 표면 요철을 연마 등에 의하여 저감하면 방출 가스를 저감할 수 있다.

[0370] 또는 상술한 제조 장치(2700)의 부재를 플루오린화 철, 산화 알루미늄, 산화 크로뮴 등으로 피복하여도 좋다.

[0371] 제조 장치(2700)의 부재는 가능한 한 금속만으로 구성되는 것이 바람직하고, 예를 들어 석영 등으로 구성되는 관찰 창 등을 설치하는 경우에도, 가스의 방출을 억제하기 위하여 표면을 플루오린화 철, 산화 알루미늄, 산화 크로뮴 등으로 얇게 피복하는 것이 좋다.

[0372] 반송실(2704) 및 각 체임버에 존재하는 흡착물은 내벽 등에 흡착되어 있기 때문에 반송실(2704) 및 각 체임버의 압력에 영향을 미치지 않지만, 반송실(2704) 및 각 체임버를 배기한 경우에 가스 방출의 원인이 된다. 그러므로 누설 레이트와 배기 속도에 상관성은 없지만, 배기 능력이 높은 펌프를 사용하여 반송실(2704) 및 각 체임버에 존재하는 흡착물을 가능한 한 이탈시키고, 미리 배기를 하는 것이 중요하다. 또한 흡착물의 이탈을 촉진시키기 위하여, 반송실(2704) 및 각 체임버에 대하여 베이킹을 실시하여도 좋다. 베이킹을 실시함으로써 흡착물의 이탈 속도를 10배 정도 높일 수 있다. 베이킹은 100℃ 이상 450℃ 이하에서 실시하면 좋다. 이때, 불활성 가스를 반송실(2704) 및 각 체임버에 도입하면서 흡착물을 제거하면, 배기만으로는 이탈되기 어려운 물 등의 이

탈 속도를 더 높일 수 있다. 또한 도입하는 불활성 가스를 베이킹의 온도와 같은 정도로 가열함으로써, 흡착물의 이탈 속도를 더 높일 수 있다. 여기서 불활성 가스로서는 희가스를 사용하는 것이 바람직하다.

[0373] 또는 가열한 희가스 등의 불활성 가스 또는 산소 등을 도입함으로써 반송실(2704) 및 각 체임버 내의 압력을 높이고, 일정한 시간이 경과한 후에 반송실(2704) 및 각 체임버를 배기하는 처리를 다시 수행하는 것이 바람직하다. 가열된 가스를 도입하면 반송실(2704) 및 각 체임버 내의 흡착물을 이탈시킬 수 있고, 반송실(2704) 및 각 체임버 내에 존재하는 불순물을 저감할 수 있다. 또한 이 처리는 2번 이상 30번 이하, 바람직하게는 5번 이상 15번 이하의 범위에서 반복적으로 수행하는 것이 효과적이다. 구체적으로는, 온도가 40℃ 이상 400℃ 이하, 바람직하게는 50℃ 이상 200℃ 이하인 불활성 가스 또는 산소 등을 도입함으로써 반송실(2704) 및 각 체임버 내의 압력을 0.1Pa 이상 10kPa 이하, 바람직하게는 1Pa 이상 1kPa 이하, 더 바람직하게는 5Pa 이상 100Pa 이하로 하고, 압력을 유지하는 기간을 1분 이상 300분 이하, 바람직하게는 5분 이상 120분 이하로 하면 좋다. 그 후, 반송실(2704) 및 각 체임버를 5분 이상 300분 이하, 바람직하게는 10분 이상 120분 이하의 기간 배기한다.

[0374] 다음으로 체임버(2706b) 및 체임버(2706c)에 대하여 도 24에 나타낸 단면 모식도를 사용하여 설명한다.

[0375] 체임버(2706b) 및 체임버(2706c)는 예를 들어 피처리물에 대하여 마이크로파 처리를 수행할 수 있는 체임버이다. 또한 체임버(2706b)와 체임버(2706c)는 마이크로파 처리를 수행할 때의 분위기만 다르다. 그 외의 구성은 공통되기 때문에 이하에서는 합쳐서 설명한다.

[0376] 체임버(2706b) 및 체임버(2706c)는 슬롯 안테나판(2808)과, 유전체판(2809)과, 기판 홀더(2812)와, 배기구(2819)를 가진다. 또한 체임버(2706b) 및 체임버(2706c)의 외부 등에는 가스 공급원(2801)과, 밸브(2802)와, 고주파 발생기(2803)와, 도파관(2804)과, 모드 변환기(2805)와, 가스관(2806)과, 도파관(2807)과, 매칭 박스(2815)와, 고주파 전원(2816)과, 진공 펌프(2817)와, 밸브(2818)가 제공된다.

[0377] 고주파 발생기(2803)는 도파관(2804)을 통하여 모드 변환기(2805)에 접속되어 있다. 모드 변환기(2805)는 도파관(2807)을 통하여 슬롯 안테나판(2808)에 접속되어 있다. 슬롯 안테나판(2808)은 유전체판(2809)과 접하여 배치된다. 또한 가스 공급원(2801)은 밸브(2802)를 통하여 모드 변환기(2805)에 접속되어 있다. 그리고 모드 변환기(2805), 도파관(2807), 및 유전체판(2809)을 지나가는 가스관(2806)을 통하여 체임버(2706b) 및 체임버(2706c)에 가스가 공급된다. 또한 진공 펌프(2817)는 밸브(2818) 및 배기구(2819)를 통하여 체임버(2706b) 및 체임버(2706c)로부터 가스 등을 배기하는 기능을 가진다. 또한 고주파 전원(2816)은 매칭 박스(2815)를 통하여 기판 홀더(2812)에 접속되어 있다.

[0378] 기판 홀더(2812)는 기판(2811)을 유지하는 기능을 가진다. 예를 들어 기판(2811)의 정전 척(electrostatic chuck) 또는 기계 척(mechanical chuck)으로서의 기능을 가진다. 또한 고주파 전원(2816)으로부터 전력을 공급받는 전극으로서의 기능을 가진다. 또한 내부에 가열 기구(2813)를 가지고, 기판(2811)을 가열하는 기능을 가진다.

[0379] 진공 펌프(2817)로서는 예를 들어 드라이 펌프, 메커니컬 부스터 펌프, 이온 펌프, 타이타늄 서블리메이션 펌프, 크라이오펌프(cryopump), 또는 터보 분자 펌프 등을 사용할 수 있다. 또한 진공 펌프(2817)에 더하여 크라이오트랩(cryotrap)을 사용하여도 좋다. 크라이오펌프 및 크라이오트랩을 사용하면, 물을 효율적으로 배기할 수 있어 특히 바람직하다.

[0380] 또한 가열 기구(2813)는, 예를 들어 저항 발열체 등을 사용하여 가열하는 가열 기구로 하면 좋다. 또는 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의하여 가열하는 가열 기구로 하여도 좋다. 예를 들어 GRTA(Gas Rapid Thermal Annealing) 또는 LRTA(Lamp Rapid Thermal Annealing) 등의 RTA(Rapid Thermal Annealing)를 사용할 수 있다. GRTA에서는 고온 가스를 사용하여 가열 처리를 수행한다. 가스로서는 불활성 가스가 사용된다.

[0381] 또한 가스 공급원(2801)은 질량 유량 제어기를 통하여 정제기와 접속되어 있어도 좋다. 가스로서는 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 가스를 사용하는 것이 바람직하다. 예를 들어 산소 가스, 질소 가스, 및 희가스(아르곤 가스 등)를 사용하면 좋다.

[0382] 유전체판(2809)으로서는, 예를 들어 산화 실리콘(석영), 산화 알루미늄(알루미나), 또는 산화 이트륨(이트리아) 등을 사용하면 좋다. 또한 유전체판(2809)의 표면에 다른 보호층이 더 형성되어도 좋다. 보호층에는 산화 마그네슘, 산화 타이타늄, 산화 크로뮴, 산화 지르코늄, 산화 하프늄, 산화 탄탈럼, 산화 실리콘, 산화 알루미늄, 또는 산화 이트륨 등을 사용하면 좋다. 유전체판(2809)은 후술하는 고밀도 플라스마(2810) 중 특히 밀도가 높은 영역에 노출되기 때문에, 보호층을 제공하면 손상을 완화시킬 수 있다. 그 결과, 처리 시의 파티클 증가 등

을 억제할 수 있다.

[0383] 고주파 발생기(2803)는 예를 들어 0.3GHz 이상 3.0GHz 이하, 0.7GHz 이상 1.1GHz 이하, 또는 2.2GHz 이상 2.8GHz 이하의 마이크로파를 발생시키는 기능을 가진다. 고주파 발생기(2803)에 의하여 발생시킨 마이크로파는, 도파관(2804)을 통하여 모드 변환기(2805)로 전달된다. 모드 변환기(2805)에서는, TE 모드로서 전달된 마이크로파가 TEM 모드로 변환된다. 그리고 마이크로파는 도파관(2807)을 통하여 슬롯 안테나판(2808)에 전달된다. 슬롯 안테나판(2808)에는 복수의 슬롯 구멍이 제공되어 있고, 마이크로파는 상기 슬롯 구멍 및 유전체판(2809)을 통과한다. 그리고 유전체판(2809)의 아래쪽에 전계를 발생시키고, 고밀도 플라스마(2810)를 생성할 수 있다. 고밀도 플라스마(2810)에는, 가스 공급원(2801)으로부터 공급된 가스 종류에 따른 이온 및 라디칼이 존재한다. 예를 들어 산소 라디칼 등이 존재한다.

[0384] 이때, 고밀도 플라스마(2810)에서 생성된 이온 및 라디칼에 의하여, 기판(2811) 위의 막 등을 개질할 수 있다. 또한 고주파 전원(2816)을 사용하여 기판(2811) 측에 바이어스를 인가하는 것이 바람직한 경우가 있다. 고주파 전원(2816)으로서는, 예를 들어 13.56MHz, 27.12MHz 등의 주파수의 RF(Radio Frequency) 전원을 사용하면 좋다. 기판 측에 바이어스를 인가함으로써, 고밀도 플라스마(2810) 내의 이온을 기판(2811) 위의 막 등의 개구부의 깊은 부분까지 효율적으로 도달시킬 수 있다.

[0385] 예를 들어 체임버(2706b) 또는 체임버(2706c)에서는 가스 공급원(2801)으로부터 산소를 도입함으로써, 고밀도 플라스마(2810)를 사용한 산소 라디칼 처리를 수행할 수 있다.

[0386] 다음으로 체임버(2706a) 및 체임버(2706d)에 대하여 도 25에 나타낸 단면 모식도를 사용하여 설명한다.

[0387] 체임버(2706a) 및 체임버(2706d)는 예를 들어 피처리물에 대하여 전자기파의 조사를 수행할 수 있는 체임버이다. 또한 체임버(2706a)와 체임버(2706d)는 전자기파의 종류만 다르다. 그 외의 구성은 공통되는 부분이 많기 때문에 이하에서는 합쳐서 설명한다.

[0388] 체임버(2706a) 및 체임버(2706d)는 하나 또는 복수의 램프(2820)와, 기판 홀더(2825)와, 가스 도입구(2823)와, 배기구(2830)를 가진다. 또한 체임버(2706a) 및 체임버(2706d)의 외부 등에는 가스 공급원(2821)과, 밸브(2822)와, 진공 펌프(2828)와, 밸브(2829)가 제공된다.

[0389] 가스 공급원(2821)은 밸브(2822)를 통하여 가스 도입구(2823)에 접속되어 있다. 진공 펌프(2828)는 밸브(2829)를 통하여 배기구(2830)에 접속되어 있다. 램프(2820)는 기판 홀더(2825)와 대향하여 배치되어 있다. 기판 홀더(2825)는 기판(2824)을 유지하는 기능을 가진다. 또한 기판 홀더(2825)는 내부에 가열 기구(2826)를 가지고, 기판(2824)을 가열하는 기능을 가진다.

[0390] 램프(2820)로서는, 예를 들어 가시광 또는 자외광 등의 전자기파를 방사하는 기능을 가지는 광원을 사용하면 좋다. 예를 들어 파장 10nm 이상 2500nm 이하, 500nm 이상 2000nm 이하, 또는 40nm 이상 340nm 이하에 피크를 가지는 전자기파를 방사하는 기능을 가지는 광원을 사용하면 좋다.

[0391] 예를 들어 램프(2820)로서는 할로젠 램프, 메탈 할라이드 램프, 제논 아크 램프, 카본 아크 램프, 고압 소듐 램프, 또는 고압 수은 램프 등의 광원을 사용하면 좋다.

[0392] 예를 들어 램프(2820)로부터 방사되는 전자기파는, 그 일부 또는 전부가 기판(2824)에 흡수됨으로써 기판(2824) 위의 막 등을 개질할 수 있다. 예를 들어 결함의 생성 또는 저감, 혹은 불순물의 제거 등을 할 수 있다. 또한 기판(2824)을 가열하면서 수행하면, 결함의 생성 또는 저감, 혹은 불순물의 제거 등을 효율적으로 할 수 있다.

[0393] 또는 예를 들어 램프(2820)로부터 방사되는 전자기파에 의하여, 기판 홀더(2825)를 발열시켜 기판(2824)을 가열하여도 좋다. 그 경우, 기판 홀더(2825)의 내부에 가열 기구(2826)를 가지지 않아도 된다.

[0394] 진공 펌프(2828)에 대해서는 진공 펌프(2817)에 대한 기재를 참조한다. 또한 가열 기구(2826)에 대해서는 가열 기구(2813)에 대한 기재를 참조한다. 또한 가스 공급원(2821)에 대해서는 가스 공급원(2801)에 대한 기재를 참조한다.

[0395] 본 실시형태에서 사용할 수 있는 마이크로파 처리 장치는 상술한 것에 한정되지 않는다. 도 26에 도시된 마이크로파 처리 장치(2900)를 사용할 수 있다. 마이크로파 처리 장치(2900)는 석영관(2901), 배기구(2819), 가스 공급원(2801), 밸브(2802), 고주파 발생기(2803), 도파관(2804), 가스관(2806), 진공 펌프(2817), 및 밸브(2818)를 가진다. 또한 마이크로파 처리 장치(2900)는 석영관(2901) 내에, 복수의 기판(2811)(2811_1 내지 2811_n, n은 2 이상의 정수)을 유지하는 기판 홀더(2902)를 가진다. 또한 마이크로파 처리 장치(2900)는 석영

관(2901)의 외측에 가열 수단(2903)을 가져도 좋다.

[0396] 고주파 발생기(2803)로 발생시킨 마이크로파는 도파관(2804)을 통하여 석영관(2901) 내에 제공된 기판에 조사된다. 진공 펌프(2817)는 밸브(2818)를 통하여 배기구(2819)와 접속되어 있으며, 석영관(2901) 내부의 압력을 조정할 수 있다. 또한 가스 공급원(2801)은 밸브(2802)를 통하여 가스관(2806)과 접속되어 있으며, 석영관(2901) 내에 원하는 가스를 도입할 수 있다. 또한 가열 수단(2903)에 의하여, 석영관(2901) 내의 기판(2811)을 원하는 온도로 가열할 수 있다. 또는, 가열 수단(2903)에 의하여, 가스 공급원(2801)으로부터 공급되는 가스를 가열하여도 좋다. 마이크로파 처리 장치(2900)에 의하여, 기판(2811)에 대하여 가열 처리와 마이크로파 처리를 동시에 수행할 수 있다. 또한 기판(2811)을 가열한 후에 마이크로파 처리를 수행할 수 있다. 또한 기판(2811)에 대하여 마이크로파 처리를 수행한 후에 가열 처리를 수행할 수 있다.

[0397] 기판(2811_1) 내지 기판(2811_n)은 모두를 반도체 장치 또는 기억 장치를 형성하는 처리 기판으로 하여도 좋고, 일부를 더미 기판으로 하여도 좋다. 예를 들어 기판(2811_1) 및 기판(2811_n)을 더미 기판으로 하고, 기판(2811_2) 내지 기판(2811_n-1)을 처리 기판으로 하여도 좋다. 또한 기판(2811_1), 기판(2811_2), 기판(2811_n-1), 및 기판(2811_n)을 더미 기판으로 하고, 기판(2811_3) 내지 기판(2811_n-2)을 처리 기판으로 하여도 좋다. 더미 기판을 사용함으로써, 마이크로파 처리 또는 가열 처리 시에 복수의 처리 기판이 균일하게 처리되어, 처리 기판 간의 편차를 저감할 수 있기 때문에 바람직하다. 예를 들어 고주파 발생기(2803) 및 도파관(2804)에 가장 가까운 처리 기판 위에 더미 기판을 배치함으로써, 상기 처리 기판이 직접 마이크로파에 노출되는 것을 억제할 수 있기 때문에 바람직하다.

[0398] 상술한 제조 장치를 사용함으로써, 피처리물로의 불순물 혼입을 억제하면서 막의 개질 등이 가능하게 된다.

[0399] <반도체 장치의 변형예>

[0400] 이하에서는, 도 2의 (A) 내지 도 2의 (D)를 사용하여 본 발명의 일 형태인 반도체 장치의 일례에 대하여 설명한다.

[0401] 도 2의 (A)는 반도체 장치의 상면도이다. 또한 도 2의 (B)는 도 2의 (A)에 나타낸 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이다. 또한 도 2의 (C)는 도 2의 (A)에 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이다. 또한 도 2의 (D)는 도 2의 (A)에 일점쇄선 A5-A6으로 나타낸 부분에 대응하는 단면도이다. 도 2의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0402] 또한 도 2의 (A) 내지 (D)에 나타낸 반도체 장치에서, <반도체 장치의 구성예>에서 설명한 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 반도체 장치의 구성 재료로서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0403] 도 2의 (A) 내지 (D)에 나타낸 반도체 장치는 도 1의 (A) 내지 (D)에 나타낸 반도체 장치의 변형예이다. 도 2의 (A) 내지 (D)에 나타낸 반도체 장치는 절연체(283)가 절연체(212)의 상면의 일부와 접하는 구조가 되어 있는 점이 도 1의 (A) 내지 (D)에 나타낸 반도체 장치와 다르다. 따라서, 트랜지스터(200)는 절연체(283) 및 절연체(212)로 밀봉된 영역 내에 배치된다. 상기 구성으로 함으로써, 상기 밀봉된 영역 외에 포함되는 수소가 상기 밀봉된 영역 내에 혼입되는 것을 억제할 수 있다. 또한 도 2의 (A) 내지 (D)에 나타낸 트랜지스터(200)에서는 절연체(212) 및 절연체(283)를 단층으로서 제공하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 절연체(212) 및 절연체(283) 각각을 2층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다.

[0404] <반도체 장치의 응용예>

[0405] 이하에서는, 도 27의 (A) 및 (B)를 사용하여, 앞의 <반도체 장치의 구성예> 및 앞의 <반도체 장치의 변형예>에서 설명한 것과 다른, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 일례에 대하여 설명한다. 또한 도 27의 (A) 및 (B)에 나타낸 반도체 장치에서, <반도체 장치의 구성예>에서 설명한 반도체 장치(도 1의 (A) 내지 (D) 참조)를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기하였다. 또한 본 항목에서 트랜지스터(200)의 구성 재료로서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0406] 도 27의 (A) 및 (B)에 트랜지스터(200_1) 내지 트랜지스터(200_n)를 절연체(283)와 절연체(214)로 포괄하여 밀봉한 구성을 나타내었다. 또한 도 27의 (A) 및 (B)에서, 트랜지스터(200_1) 내지 트랜지스터(200_n)는 채널 길이 방향으로 배치된 것처럼 보이지만, 이에 한정되지 않는다. 트랜지스터(200_1) 내지 트랜지스터(200_n)는 채

널 폭 방향으로 배치되어도 좋고, 매트릭스상으로 배치되어도 좋다. 또한 설계에 따라 규칙성 없이 배치되어도 좋다.

[0407] 도 27의 (A)에 나타낸 바와 같이 트랜지스터(200_1) 내지 트랜지스터(200_n)의 외측에서, 절연체(283)와 절연체(214)가 접하는 부분(이하, 밀봉부(265)라고 부르는 경우가 있음)이 형성되어 있다. 밀봉부(265)는 트랜지스터(200_1) 내지 트랜지스터(200_n)를 둘러싸도록 형성되어 있다. 이와 같은 구조로 함으로써, 트랜지스터(200_1) 내지 트랜지스터(200_n)를 절연체(283)와 절연체(214)로 감쌀 수 있다. 따라서 밀봉부(265)로 둘러싸인 복수의 트랜지스터(트랜지스터군이라고도 함)가 기판 위에 복수로 제공된다.

[0408] 또한 밀봉부(265)에 중첩시켜 다이싱 라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)을 제공하여도 좋다. 상기 기판은 다이싱 라인에서 분단되기 때문에, 밀봉부(265)로 둘러싸인 트랜지스터군이 하나의 칩으로서 꺼내진다.

[0409] 또한 도 27의 (A)에서는 트랜지스터(200_1) 내지 트랜지스터(200_n)를 하나의 밀봉부(265)로 둘러싸는 예를 나타내었지만, 이에 한정되지 않는다. 도 27의 (B)에 나타낸 바와 같이, 트랜지스터(200_1) 내지 트랜지스터(200_n)를 복수의 밀봉부로 둘러싸는 구성으로 하여도 좋다. 도 27의 (B)에서는 트랜지스터(200_1) 내지 트랜지스터(200_n)를 밀봉부(265a)로 둘러싸고, 외측의 밀봉부(265b)로도 둘러싸는 구성으로 하였다.

[0410] 이와 같이, 복수의 밀봉부로 트랜지스터(200_1) 내지 트랜지스터(200_n)를 둘러싸는 구성으로 함으로써, 절연체(283)와 절연체(214)가 접하는 부분이 증가하기 때문에 절연체(283)와 절연체(214)의 밀착성을 더 향상시킬 수 있다. 이에 의하여, 트랜지스터(200_1) 내지 트랜지스터(200_n)를 더 확실하게 밀봉할 수 있다.

[0411] 이 경우, 밀봉부(265a) 또는 밀봉부(265b)에 중첩시켜 다이싱 라인을 제공하여도 좋고, 밀봉부(265a)와 밀봉부(265b) 사이에 다이싱 라인을 제공하여도 좋다.

[0412] 또한 도 27의 (A) 및 (B)에 나타낸 트랜지스터에서는 절연체(283)와 절연체(214)가 접하는 구성의 일례를 나타내었지만, 도 2 및 <반도체 장치의 변형예>에서 설명한 바와 같이 절연체(283)와 절연체(212)가 접하는 구성으로 하여도 좋다.

[0413] 본 발명의 일 형태에 의하여 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0414] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0415] (실시형태 2)

[0416] 본 실시형태에서는, 반도체 장치의 일 형태에 대하여 도 28 내지 도 33을 사용하여 설명한다.

[0417] [기억 장치 1]

[0418] 본 발명의 일 형태에 따른 반도체 장치(기억 장치)의 일례를 도 28에 나타내었다. 본 발명의 일 형태의 반도체 장치는, 트랜지스터(200)가 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(100)가 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되는 구성을 가진다. 또한 트랜지스터(200)로서는, 앞의 실시형태에서 설명한 트랜지스터(200)를 사용할 수 있다.

[0419] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 작기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감할 수 있다.

[0420] 도 28에 나타낸 반도체 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되어 있다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되어 있다. 그리고 트랜지스터(300)의 게이트, 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선

(1005)은 용량 소자(100)의 다른 쪽 전극에 전기적으로 접속되어 있다.

[0421] 또한 도 28에 나타낸 기억 장치를 매트릭스상으로 배치함으로써 메모리 셀 어레이를 구성할 수 있다.

[0422] <트랜지스터(300)>

[0423] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 그리고 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.

[0424] 여기서, 도 28에 나타낸 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 덮도록 도전체(316)가 제공된다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0425] 또한 도 28에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0426] <용량 소자(100)>

[0427] 용량 소자(100)는 트랜지스터(200)의 위쪽에 제공된다. 용량 소자(100)는 제 1 전극으로서 기능하는 도전체(110), 제 2 전극으로서 기능하는 도전체(120), 및 유전체로서 기능하는 절연체(130)를 가진다. 여기서 절연체(130)로서는, 앞의 실시형태에서 설명한 절연체(286)로서 사용할 수 있는 절연체를 사용하는 것이 바람직하다.

[0428] 또한 예를 들어 도전체(112)와 도전체(110)는 동시에 형성할 수 있다. 또한 도전체(112)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.

[0429] 도 28에서는 도전체(112) 및 도전체(110)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조이어도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[0430] 또한 절연체(130)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다.

[0431] 예를 들어 절연체(130)에는 산화질화 실리콘 등의 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하는 것이 바람직하다. 상기 구성에 의하여, 용량 소자(100)는 고유전율(high-k)의 절연체를 가짐으로써 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가짐으로써 절연 내력이 향상되어 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0432] 또한 고유전율(high-k) 재료(비유전율이 높은 재료)로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0433] 한편, 절연 내력이 큰 재료(비유전율이 낮은 재료)로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0434] <배선층>

[0435] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서, 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체가 되어 있어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0436] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(100) 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0437] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0438] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 28에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0439] 마찬가지로, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218), 및 트랜지스터(200)를 구성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한 도전체(218)는 용량 소자(100) 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(120) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다.

[0440] 여기서, 앞의 실시형태에서 설명한 절연체(241)와 마찬가지로, 플러그로서 기능하는 도전체(218)의 측면과 접하여 절연체(217)가 제공된다. 절연체(217)는 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에 형성된 개구의 내벽과 접하여 제공되어 있다. 즉, 절연체(217)는 도전체(218)와, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216) 사이에 제공되어 있다. 또한 도전체(205)는 도전체(218)와 병행하여 형성할 수 있기 때문에, 도전체(205)의 측면과 접하여 절연체(217)가 형성되는 경우도 있다.

[0441] 절연체(217)로서는 예를 들어 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(217)는 절연체(210), 절연체(212), 절연체(214), 및 절연체(222)와 접하여 제공되기 때문에, 절연체(210) 또는 절연체(216) 등으로부터 물 또는 수소 등의 불순물이 도전체(218)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(210) 또는 절연체(216)에 포함되는 산소가 도전체(218)에 흡수되는 것을 방지할 수 있다.

[0442] 절연체(217)는 절연체(241)와 같은 방법으로 형성할 수 있다. 예를 들어 PEALD법을 사용하여 질화 실리콘을 성막하고, 이방성 에칭을 사용하여 도전체(356)에 도달하는 개구를 형성하면 좋다.

[0443] 층간막으로서 사용할 수 있는 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0444] 예를 들어 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0445] 예를 들어 절연체(150), 절연체(210), 절연체(352), 및 절연체(354) 등은 비유전율이 낮은 절연체를 가지는 것이 바람직하다. 예를 들어 상기 절연체는 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 또는 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 등이 있다.

[0446] 또한 산화물 반도체를 사용한 트랜지스터를, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서 절연체(214), 절연체(212), 및 절연체(350) 등으로서는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.

[0447] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼

등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0448] 배선, 플러그에 사용할 수 있는 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 및 루테늄 등 중에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0449] 예를 들어 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(112) 등으로서는, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0450] <산화물 반도체가 제공된 층의 배선 또는 플러그>

[0451] 또한 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 산화물 반도체 근방에 과잉 산소 영역을 가지는 절연체를 제공하는 경우가 있다. 이 경우, 상기 과잉 산소 영역을 가지는 절연체와, 상기 과잉 산소 영역을 가지는 절연체에 제공하는 도전체 사이에 배리어성을 가지는 절연체를 제공하는 것이 바람직하다.

[0452] 예를 들어 도 28에서는 과잉 산소를 포함하는 절연체(280)와 도전체(240) 사이에 절연체(241)를 제공하는 것이 좋다. 절연체(241)와, 절연체(222), 절연체(282), 및 절연체(283)가 접하여 제공되면, 트랜지스터(200)는 배리어성을 가지는 절연체로 밀봉되는 구조를 가질 수 있다.

[0453] 즉, 절연체(241)를 제공함으로써, 절연체(280)에 포함되는 과잉 산소가 도전체(240)에 흡수되는 것을 억제할 수 있다. 또한 절연체(241)를 가짐으로써, 불순물인 수소가 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 억제할 수 있다.

[0454] 또한 절연체(241)로서는, 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물 등을 사용할 수 있다.

[0455] 또한 앞의 실시형태에서 설명한 바와 같이, 트랜지스터(200)는 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)로 밀봉되는 구성으로 하여도 좋다. 이와 같은 구성으로 함으로써, 절연체(274), 절연체(150) 등에 포함되는 수소가 절연체(280) 등에 혼입되는 것을 저감할 수 있다.

[0456] 여기서, 절연체(283) 및 절연체(282)에는 도전체(240)가 관통되고, 절연체(214) 및 절연체(212)에는 도전체(218)가 관통되어 있지만, 상술한 바와 같이 절연체(241)가 도전체(240)와 접하여 제공되고, 절연체(217)가 도전체(218)와 접하여 제공되어 있다. 이에 의하여, 도전체(240) 및 도전체(218)를 통하여 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)의 내측에 혼입되는 수소를 저감할 수 있다. 이와 같이 하여, 절연체(212), 절연체(214), 절연체(282), 절연체(283), 절연체(241), 및 절연체(217)로 트랜지스터(200)를 밀봉하여, 절연체(274) 등에 포함되는 수소 등의 불순물이 외측으로부터 혼입되는 것을 저감할 수 있다.

[0457] <다이싱 라인>

[0458] 이하에서는, 대면적 기판을 반도체 소자마다 분단함으로써, 복수의 반도체 장치를 칩 형상으로 꺼내는 경우에 제공되는 다이싱 라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)에 대하여 설명한다. 분단 방법으로서는, 예를 들어 우선 기판에 반도체 소자를 분단하기 위한 홈(다이싱 라인)을 형성한 후, 다이싱 라인에서 절단하여 복수의 반도체 장치로 분단(분할)하는 경우가 있다.

[0459] 여기서, 예를 들어 도 28에 나타낸 바와 같이, 절연체(283)와 절연체(214)가 접하는 영역이 다이싱 라인과 중첩되도록 설계하는 것이 바람직하다. 즉, 복수의 트랜지스터(200)를 가지는 메모리 셀의 가장자리에 제공되는 다이싱 라인이 되는 영역 근방에 있어서 절연체(282), 절연체(280), 절연체(272), 절연체(222), 및 절연체(216)에 개구를 제공한다.

[0460] 즉, 절연체(282), 절연체(280), 절연체(272), 절연체(222), 및 절연체(216)에 제공된 개구에서 절연체(214)와

절연체(283)가 접한다.

[0461] 또한 예를 들어 절연체(282), 절연체(280), 절연체(272), 절연체(222), 절연체(216), 및 절연체(214)에 개구를 제공하여도 좋다. 이러한 구성으로 함으로써, 절연체(282), 절연체(280), 절연체(272), 절연체(222), 절연체(216), 및 절연체(214)에 제공한 개구에서 절연체(212)와 절연체(283)가 접한다. 이때 절연체(212)와 절연체(283)를 같은 재료 및 같은 방법을 사용하여 형성하여도 좋다. 절연체(212) 및 절연체(283)를 같은 재료 및 같은 방법으로 제공함으로써 밀착성을 높일 수 있다. 예를 들어 질화 실리콘을 사용하는 것이 바람직하다.

[0462] 상기 구조에 의하여 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)로 트랜지스터(200)를 감쌀 수 있다. 절연체(212), 절연체(214), 절연체(282), 및 절연체(283) 중 적어도 하나는 산소, 수소, 및 물의 확산을 억제하는 기능을 가지기 때문에, 본 실시형태에서 설명하는 반도체 소자가 형성된 회로 영역마다 기판을 분단하면, 복수의 칩으로 가공한 경우에도 분단된 기판의 측면 방향으로부터 수소 또는 물 등의 불순물이 혼입되어 트랜지스터(200)로 확산되는 것을 방지할 수 있다.

[0463] 또한 상기 구조에 의하여, 절연체(280) 및 절연체(224)의 과잉 산소가 외부로 확산되는 것을 방지할 수 있다. 따라서, 절연체(280) 및 절연체(224)의 과잉 산소는 트랜지스터(200)에서의 채널이 형성되는 산화물에 효율적으로 공급된다. 상기 산소에 의하여, 트랜지스터(200)에서의 채널이 형성되는 산화물의 산소 결손을 저감할 수 있다. 이로써, 트랜지스터(200)에서의 채널이 형성되는 산화물을 결함 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.

[0464] 또한 도 28에 나타낸 기억 장치에서는 용량 소자(100)의 형상을 플레이너형으로 하였지만, 본 실시형태에서 설명하는 기억 장치는 이에 한정되지 않는다. 예를 들어 도 29에 나타낸 바와 같이, 용량 소자(100)의 형상을 실린더형으로 하여도 좋다. 또한 도 29에 나타낸 기억 장치에서 절연체(150)보다 아래의 구성은 도 28에 나타낸 반도체 장치와 마찬가지이다.

[0465] 도 29에 나타낸 용량 소자(100)는 절연체(130) 위의 절연체(150)와, 절연체(150) 위의 절연체(142)와, 절연체(150) 및 절연체(142)에 형성된 개구 내에 배치된 도전체(115)와, 도전체(115) 및 절연체(142) 위의 절연체(145)와, 절연체(145) 위의 도전체(125)와, 도전체(125) 및 절연체(145) 위의 절연체(152)를 가진다. 여기서, 절연체(150) 및 절연체(142)에 형성된 개구 내에 도전체(115), 절연체(145), 및 도전체(125)의 적어도 일부가 배치된다.

[0466] 도전체(115)는 용량 소자(100)의 하부 전극으로서 기능하고, 도전체(125)는 용량 소자(100)의 상부 전극으로서 기능하고, 절연체(145)는 용량 소자(100)의 유전체로서 기능한다. 용량 소자(100)는 절연체(150) 및 절연체(142)의 개구에서, 밑면뿐만 아니라 측면에서도 상부 전극과 하부 전극이 유전체를 사이에 두고 대향하는 구성을 가지기 때문에, 단위 면적당 정전 용량을 크게 할 수 있다. 따라서 상기 개구의 깊이를 깊게 할수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 반도체 장치의 미세화 또는 고집적화를 추진할 수 있다.

[0467] 절연체(152)로서는, 절연체(280)로서 사용할 수 있는 절연체를 사용하면 좋다. 또한 절연체(142)는 절연체(150)의 개구를 형성할 때의 에칭 스토퍼로서 기능하는 것이 바람직하고, 절연체(214)로서 사용할 수 있는 절연체를 사용하면 좋다.

[0468] 절연체(150) 및 절연체(142)에 형성된 개구를 상면에서 본 형상은 사각형이어도 좋고, 사각형 외의 다각형이어도 좋고, 다각형의 모서리 부분을 만곡시킨 형상이어도 좋고, 타원을 포함하는 원형이어도 좋다. 여기서, 상면에서 보았을 때, 상기 개구와 트랜지스터(200)가 중첩되는 면적이 큰 것이 보다 바람직하다. 이와 같은 구성으로 함으로써, 용량 소자(100)와 트랜지스터(200)를 가지는 반도체 장치의 점유 면적을 축소할 수 있다.

[0469] 도전체(115)는 절연체(142) 및 절연체(150)에 형성된 개구와 접하여 배치된다. 도전체(115)의 상면은 절연체(142)의 상면과 실질적으로 일치하는 것이 바람직하다. 또한 도전체(115)의 하면은 절연체(130)의 개구를 통하여 도전체(110)와 접한다. 도전체(115)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하고, 예를 들어 도전체(205)로서 사용할 수 있는 도전체를 사용하면 좋다.

[0470] 절연체(145)는 도전체(115) 및 절연체(142)를 덮도록 배치된다. 예를 들어 ALD법 또는 CVD법 등을 사용하여 절연체(145)를 성막하는 것이 바람직하다. 절연체(145)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 지르코늄, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할

수 있다. 예를 들어 절연체(145)로서, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다.

[0471] 또한 절연체(145)에는 산화질화 실리콘 등 절연 내력이 큰 재료 또는 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 또는 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하여도 좋다.

[0472] 또한 고유전율(high-k) 재료(비유전율이 높은 재료)로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 질화물 등이 있다. 이와 같은 high-k 재료를 사용함으로써, 절연체(145)를 두껍게 하여도 용량 소자(100)의 정전 용량을 충분히 확보할 수 있다. 절연체(145)를 두껍게 함으로써, 도전체(115)와 도전체(125) 사이에 발생하는 누설 전류를 억제할 수 있다.

[0473] 한편, 절연 내력이 큰 재료로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 수지 등이 있다. 예를 들어 PEALD법을 사용하여 성막한 질화 실리콘(SiN_x), PEALD법을 사용하여 성막한 산화 실리콘(SiO_x), PEALD법을 사용하여 성막한 질화 실리콘(SiN_x)이 이 순서대로 적층된 절연막을 사용할 수 있다. 또는 산화 지르코늄, ALD법을 사용하여 성막한 산화 실리콘, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 이와 같은 절연 내력이 큰 절연체를 사용함으로써, 절연 내력을 향상시키고 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0474] 도전체(125)는 절연체(142) 및 절연체(150)에 형성된 개구를 매립하도록 배치된다. 또한 도전체(125)는 도전체(140) 및 도전체(153)를 통하여 배선(1005)에 전기적으로 접속되어 있다. 도전체(125)는 ALD법 또는 CVD법 등을 사용하여 성막하는 것이 바람직하고, 예를 들어 도전체(205)로서 사용할 수 있는 도전체를 사용하면 좋다.

[0475] 또한 도전체(153)는 절연체(154) 위에 제공되어 있고, 절연체(156)로 덮여 있다. 도전체(153)로서는 도전체(112)로서 사용할 수 있는 도전체를 사용하면 좋고, 절연체(156)로서는 절연체(152)로서 사용할 수 있는 절연체를 사용하면 좋다. 여기서, 도전체(153)는 도전체(140)의 상면과 접하고, 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)의 단자로서 기능한다.

[0476] [기억 장치 2]

[0477] 본 발명의 일 형태에 따른 반도체 장치(기억 장치)의 일례를 도 30의 (A) 및 (B)에 나타내었다.

[0478] <메모리 디바이스의 구성예 1>

[0479] 도 30의 (A)는 메모리 디바이스(290)를 가지는 반도체 장치의 단면도이다. 도 30의 (A)에 나타낸 메모리 디바이스(290)는 도 1의 (A) 내지 (D)에 나타낸 트랜지스터(200)에 더하여 용량 디바이스(292)를 가진다. 도 30의 (A)는 트랜지스터(200)의 채널 길이 방향의 단면도에 상당한다.

[0480] 용량 디바이스(292)는 도전체(242b)와, 도전체(242b) 위에 제공된 절연체(271b)와, 절연체(271b)의 상면, 절연체(271b)의 측면, 도전체(242b)의 측면에 접하여 제공된 절연체(272)와, 절연체(272) 위의 도전체(294)를 가진다. 즉, 용량 디바이스(292)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다. 또한 용량 디바이스(292)가 가지는 한 쌍의 전극 중 한쪽, 즉 도전체(242b)는 트랜지스터의 소스 전극을 겸할 수 있다. 또한 용량 디바이스(292)가 가지는 유전체층은 트랜지스터에 제공되는 보호층, 즉 절연체(271) 및 절연체(272)를 겸할 수 있다. 따라서, 용량 디바이스(292)의 제작 공정에서, 트랜지스터의 제작 공정의 일부를 겸할 수 있기 때문에 생산성이 높은 반도체 장치로 할 수 있다. 또한 용량 디바이스(292)가 가지는 한 쌍의 전극 중 한쪽, 즉 도전체(242b)는 트랜지스터의 소스 전극을 겸하기 때문에, 트랜지스터와 용량 디바이스가 배치되는 면적을 축소시킬 수 있다.

[0481] 또한 도전체(294)로서는 예를 들어 도전체(242)에 사용할 수 있는 재료를 사용하면 좋다.

[0482] <메모리 디바이스의 구성예 2>

[0483] 도 30의 (B)는 도 30의 (A)에 나타낸 구조와 다른 메모리 디바이스(290)를 가지는 반도체 장치의 단면도이다. 도 30의 (B)에 나타낸 메모리 디바이스(290)는 도 1의 (A) 내지 (D)에 나타낸 트랜지스터(200)에 더하여 용량 디바이스(292)를 가진다. 여기서, 도 30의 (B)에 나타낸 용량 디바이스(292)의 일부는, 도 30의 (A)에 나타낸 용량 디바이스(292)와 달리, 절연체(280), 절연체(272), 및 절연체(271b)에 형성된 개구 내에 제공된다. 또한 도 30의 (B)는 트랜지스터(200)의 채널 길이 방향의 단면도에 상당한다.

[0484] 용량 디바이스(292)는 도전체(242b)와, 도전체(242b) 위에 제공된 절연체(293)와, 절연체(293) 위에 제공된 도전체(294)를 가진다. 여기서, 절연체(293) 및 도전체(294)는 절연체(280), 절연체(272), 및 절연체(271b)에 형성된 개구 내에 배치되어 있다. 절연체(293)는 상기 개구의 밑면 및 측벽과 접하여 제공된다. 즉, 절연체(293)는 도전체(242b)의 상면, 절연체(271b)의 측면, 절연체(272)의 측면, 및 절연체(280)의 측면과 접한다. 또한 절연체(293)는 상기 개구의 형상을 따라 오목부를 형성하도록 제공된다. 도전체(294)는 상기 오목부를 매립하도록 절연체(293)의 상면 및 측면과 접하여 배치된다. 또한 절연체(293) 및 도전체(294)의 상면의 높이는 절연체(280), 절연체(250), 및 도전체(260)의 상면의 높이와 실질적으로 일치하는 경우가 있다.

[0485] 여기서, 도전체(242b)는 용량 디바이스(292)의 하부 전극으로서 기능하고, 도전체(294)는 용량 디바이스(292)의 상부 전극으로서 기능하고, 절연체(293)는 용량 디바이스(292)의 유전체로서 기능한다. 이와 같이, 용량 디바이스(292)는 MIM 용량 소자를 구성한다. 또한 용량 디바이스(292)가 가지는 한 쌍의 전극 중 한쪽, 즉 도전체(242b)는 트랜지스터의 소스 전극을 겸할 수 있다. 따라서, 용량 디바이스(292)의 제작 공정에서, 트랜지스터의 제작 공정의 일부를 겸할 수 있기 때문에 생산성이 높은 반도체 장치로 할 수 있다. 또한 트랜지스터(200)의 구성과는 별도로 절연체(293)를 제공할 수 있기 때문에 용량 디바이스(292)에 요구되는 성능에 맞춰, 절연체(293)의 구조 및 재료를 적절히 선택할 수 있다. 또한 용량 디바이스(292)가 가지는 한 쌍의 전극 중 한쪽, 즉 도전체(242b)는 트랜지스터의 소스 전극을 겸하기 때문에, 트랜지스터와 용량 디바이스가 배치되는 면적을 축소시킬 수 있다.

[0486] 절연체(293)에는 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 고유전율(high-k) 재료(비유전율이 높은 재료)로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다. 또한 절연체(293)로서, 상기 고유전율 재료의 막을 적층한 것을 사용하여도 좋다. 예를 들어 절연체(293)로서, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다.

[0487] 또한 도전체(294)로서는 예를 들어 도전체(260)에 사용할 수 있는 재료를 사용하면 좋다. 또한 도전체(294)는 도전체(260)와 마찬가지로 적층 구조로 하여도 좋다.

[0488] 또한 절연체(293) 및 도전체(294)는 절연체(282)의 성막 전, 즉 도 19에 나타낸 공정 전에 형성하면 좋다. 절연체(293) 및 도전체(294)는 절연체(250) 및 도전체(260)와 같은 방법으로 형성할 수 있다. 즉, 절연체(280), 절연체(272), 및 절연체(271b)에 개구를 형성하고, 상기 개구 내에 매립하도록 절연체(293) 및 도전체(294)가 되는 적층막을 성막하고, 상기 적층막의 일부를 CMP 처리를 사용하여 제거하여 절연체(293) 및 도전체(294)를 형성하면 좋다.

[0489] <메모리 디바이스의 변형예>

[0490] 이하에서는 도 31의 (A), (B), 도 32, 및 도 33을 사용하여 앞의 <메모리 디바이스의 구성예 1>에서 설명한 것과 다른, 본 발명의 일 형태에 따른 트랜지스터(200) 및 용량 디바이스(292)를 가지는 반도체 장치의 일례에 대하여 설명한다. 또한 도 31의 (A), (B), 도 32, 및 도 33에 나타낸 반도체 장치에 있어서, 앞의 실시형태 및 <메모리 디바이스의 구성예 1>에서 설명한 반도체 장치(도 30의 (A) 참조)를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기하였다. 또한 본 항목에서, 트랜지스터(200) 및 용량 디바이스(292)의 구성 재료로서는 앞의 실시형태 및 <메모리 디바이스의 구성예 1>에서 자세히 설명한 재료를 사용할 수 있다. 또한 도 31의 (A), (B), 도 32, 및 도 33 등에서는, 메모리 디바이스로서 도 30의 (A)에 나타낸 메모리 디바이스를 사용하였지만, 이에 한정되지 않는다. 예를 들어, 도 30의 (B)에 나타낸 메모리 디바이스 등을 사용하여도 좋다.

[0491] <<메모리 디바이스의 변형예 1>>

[0492] 이하에서는 본 발명의 일 형태에 따른 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 가지는 반도체 장치(600)의 일례에 대하여 도 31의 (A)를 사용하여 설명한다.

[0493] 도 31의 (A)는 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 가지는 반도체 장치(600)의 채널 길이 방향의 단면도이다. 여기서, 용량 디바이스(292a)는 도전체(242a)와, 도전체(242a) 위의 절연체(271a)와, 절연체(271a)의 상면, 절연체(271a)의 측면, 및 도전체(242a)의 측면에 접하는 절연체(272)와, 절연체(272) 위의 도전체(294a)를 가진다. 또한 용량 디바이스(292b)는 도전체(242b)와, 도전체(242b) 위의 절연체(271b)와, 절연체(271b)의 상면, 절연체(271b)의 측면, 및 도전체(242b)의 측면에 접하는 절

연체(272)와, 절연체(272) 위의 도전체(294b)를 가진다.

[0494] 반도체 장치(600)는 도 31의 (A)에 나타낸 바와 같이, 일점쇄선 A3-A4를 대칭축으로 한 선대칭의 구성을 가진다. 트랜지스터(200a)의 소스 전극 및 드레인 전극 중 한쪽과 트랜지스터(200b)의 소스 전극 및 드레인 전극 중 한쪽을 도전체(242c)가 겸하는 구성이다. 또한 도전체(242c) 위에는 절연체(271c)가 제공된다. 또한 배선으로서 기능하는 도전체(246)와, 트랜지스터(200a) 및 트랜지스터(200b)의 접속도 플러그로서 기능하는 도전체(240)가 겸하는 구성이다. 이와 같이, 2개의 트랜지스터와, 2개의 용량 디바이스와, 배선과 플러그의 접속을 상술한 구성으로 함으로써, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다.

[0495] 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)의 각 구성 및 효과에 대해서는 도 30의 (A)에 나타낸 반도체 장치의 구성예를 참작할 수 있다.

[0496] <<메모리 디바이스의 변형예 2>>

[0497] 상기에서는 반도체 장치의 구성예로서 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 들었지만, 본 실시형태에 나타낸 반도체 장치는 이에 한정되지 않는다. 예를 들어 도 31의 (B)에 나타낸 바와 같이 반도체 장치(600)와, 반도체 장치(600)와 같은 구성을 가지는 반도체 장치가 용량부를 통하여 접속되어 있는 구성으로 하여도 좋다. 본 명세서에서는 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 가지는 반도체 장치를 셀이라고 부른다. 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)의 구성에 대해서는 상술한 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)에 관련된 기재를 참작할 수 있다.

[0498] 도 31의 (B)는 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 가지는 반도체 장치(600)와, 반도체 장치(600)와 같은 구성을 가지는 셀이 용량부를 통하여 접속되어 있는 단면도이다.

[0499] 도 31의 (B)에 나타낸 바와 같이, 반도체 장치(600)가 가지는 용량 디바이스(292b)의 한쪽 전극으로서 기능하는 도전체(294b)는 반도체 장치(600)와 같은 구성을 가지는 반도체 장치(601)가 가지는 용량 디바이스의 한쪽 전극을 겸하는 구성을 가진다. 또한 도시하지 않았지만, 반도체 장치(600)가 가지는 용량 디바이스(292a)의 한쪽 전극으로서 기능하는 도전체(294a)가 반도체 장치(600)의 왼쪽, 즉 도 31의 (B)에서 A1 방향으로 인접한 반도체 장치의 용량 디바이스의 한쪽 전극을 겸한다. 또한 반도체 장치(601)의 오른쪽, 즉 도 31의 (B)에서 A2 방향의 셀도 같은 구성이다. 즉, 셀 어레이(메모리 디바이스층이라고도 함)를 구성할 수 있다. 이와 같은 셀 어레이의 구성으로 함으로써, 인접한 셀의 간격을 작게 할 수 있기 때문에, 셀 어레이의 투영 면적을 작게 할 수 있어 고집적화가 가능해진다. 또한 도 31의 (B)에 나타낸 셀 어레이를 매트릭스상으로 배치함으로써, 매트릭스상의 셀 어레이를 구성할 수 있다.

[0500] 상술한 바와 같이, 본 실시형태에 나타내는 구성으로 트랜지스터(200a), 트랜지스터(200b), 용량 디바이스(292a), 및 용량 디바이스(292b)를 형성함으로써, 셀의 면적을 축소하고, 셀 어레이를 가지는 반도체 장치를 미세화 또는 고집적화할 수 있다.

[0501] 또한 상기 셀 어레이를 평면으로 제공하는 대신 적층 구성으로 하여도 좋다. 도 32에 셀 어레이(610)를 n층 적층하는 구성의 단면도를 나타내었다. 도 32에 나타낸 바와 같이, 복수의 셀 어레이(셀 어레이(610_1) 내지 셀 어레이(610_n))를 적층함으로써 셀 어레이의 점유 면적을 증가시키지 않고 셀을 집적하여 배치할 수 있다. 즉, 3D 셀 어레이를 구성할 수 있다.

[0502] <메모리 디바이스의 변형예 3>

[0503] 도 33은 메모리 유닛(470)이 트랜지스터(200T)를 가지는 트랜지스터층(413)과, 4층의 메모리 디바이스층(415)(메모리 디바이스층(415_1) 내지 메모리 디바이스층(415_4))을 가지는 예를 나타낸 것이다.

[0504] 메모리 디바이스층(415_1) 내지 메모리 디바이스층(415_4)은 각각 복수의 메모리 디바이스(420)를 가진다.

[0505] 메모리 디바이스(420)는 도전체(424) 및 도전체(205)를 통하여 다른 메모리 디바이스층(415)이 가지는 메모리 디바이스(420), 및 트랜지스터층(413)이 가지는 트랜지스터(200T)와 전기적으로 접속된다.

[0506] 메모리 유닛(470)은 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)에 의하여 밀봉된다(이하에서는 편의상 밀봉 구조라고 부름). 절연체(283)의 주위에는 절연체(274)가 제공된다. 또한 절연체(274), 절연체(283), 및 절연체(212)에는 도전체(440)가 제공되고, 이는 소자층(411)에 전기적으로 접속된다.

[0507] 또한 밀봉 구조의 내부에는 절연체(280)가 제공된다. 절연체(280)는 가열에 의하여 산소를 방출하는 기능을 가

진다. 또는 절연체(280)는 과잉 산소 영역을 가진다.

[0508] 또한 절연체(212) 및 절연체(283)는 수소에 대한 차단성이 높은 기능을 가지는 재료인 것이 적합하다. 또한 절연체(214) 및 절연체(282)는 수소를 포획 또는 고착하는 기능을 가지는 재료인 것이 적합하다.

[0509] 예를 들어, 상기 수소에 대한 차단성이 높은 기능을 가지는 재료로서는 질화 실리콘 또는 질화산화 실리콘 등을 들 수 있다. 또한 상기 수소를 포획 또는 고착하는 기능을 가지는 재료로서는 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 들 수 있다.

[0510] 또한 절연체(212), 절연체(214), 절연체(282), 및 절연체(283)에 사용하는 재료의 결정 구조에 대하여 특별히 한정은 없지만, 비정질 또는 결정성을 가지는 구조로 하면 좋다. 예를 들어 수소를 포획 또는 고착하는 기능을 가지는 재료로서, 비정질의 산화 알루미늄막을 사용하는 것이 적합하다. 비정질의 산화 알루미늄은 결정성이 높은 산화 알루미늄보다 수소를 포획 및 고착하는 양이 많은 경우가 있다.

[0511] 여기서, 절연체(280)와 접하는 산화물 반도체 내에서의 수소 확산에 대한 절연체(280) 내의 과잉 산소의 모델로서, 아래와 같은 것을 생각할 수 있다.

[0512] 산화물 반도체 내에 존재하는 수소는 산화물 반도체에 접하는 절연체(280)를 통하여 다른 구조체로 확산된다. 상기 수소의 확산에 의하여, 절연체(280) 내의 과잉 산소가 산화물 반도체 내의 수소와 반응하여 OH 결합을 이루고 절연체(280) 내에서 확산된다. OH 결합을 가지는 수소 원자는 수소를 포획 또는 고착하는 기능을 가지는 재료(대표적으로는 절연체(282))에 도달하였을 때, 절연체(282) 내의 원자(예를 들어 금속 원자 등)와 결합된 산소 원자와 반응하고, 절연체(282) 내에 포획 또는 고착된다. 한편, OH 결합을 가진 과잉 산소의 산소 원자는 과잉 산소로서 절연체(280) 내에 잔존하는 것으로 추측된다. 즉 상기 수소의 확산에 있어서, 절연체(280) 내의 과잉 산소가 중개적 역할을 할 개연성이 높다.

[0513] 상기 모델을 만족시키기 위해서는 반도체 장치의 제작 공정이 중요한 요소 중 하나이다.

[0514] 일례로서 산화물 반도체에, 과잉 산소를 포함하는 절연체(280)를 형성하고 나서, 절연체(282)를 형성한다. 그 후에 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는 구체적으로는 산소를 포함하는 분위기, 질소를 포함하는 분위기, 또는 산소와 질소의 혼합 분위기에 있어서 350℃ 이상, 바람직하게는 400℃ 이상의 온도에서 수행한다. 가열 처리의 시간은 1시간 이상, 바람직하게는 4시간 이상, 더 바람직하게는 8시간 이상으로 한다.

[0515] 상기 가열 처리에 의하여 산화물 반도체 내의 수소가 절연체(280) 및 절연체(282)를 통하여 외부로 확산될 수 있다. 즉, 산화물 반도체 및 상기 산화물 반도체 근방에 존재하는 수소의 절대량을 저감할 수 있다.

[0516] 상기 가열 처리 후, 절연체(283)를 형성한다. 절연체(283)는 수소에 대한 차단성이 높은 기능을 가지는 재료이기 때문에 외부로 확산시킨 수소, 또는 외부에 존재하는 수소가 내부로, 구체적으로는 산화물 반도체 또는 절연체(280) 측으로 들어가는 것을 억제할 수 있다.

[0517] 또한 상기 가열 처리에 대해서는 절연체(282)를 형성한 후에 수행하는 예를 나타내었지만, 이에 한정되지 않는다. 예를 들어, 트랜지스터층(413)을 형성한 후 또는 메모리 디바이스층(415_1) 내지 메모리 디바이스층(415_3)을 형성한 후에 각각 상기 가열 처리를 수행하여도 좋다. 또한 상기 가열 처리에 의하여 수소를 외부로 확산시킬 때 트랜지스터층(413)의 위쪽 또는 가로 방향으로 수소가 확산된다. 마찬가지로, 메모리 디바이스층(415_1) 내지 메모리 디바이스층(415_3)을 형성한 후에 가열 처리를 수행하는 경우에는, 수소는 위쪽 또는 가로 방향으로 확산된다.

[0518] 또한 상기 제작 공정으로 함으로써, 절연체(214)와 절연체(283)가 접착되어 상술한 밀봉 구조가 형성된다.

[0519] 상술한 바와 같이, 상기 구조 및 상기 제작 공정으로 함으로써 수소 농도가 저감된 산화물 반도체를 사용한 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다.

[0520] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0521] (실시형태 3)

[0522] 본 실시형태에서는, 도 34의 (A), (B), 및 도 35의 (A) 내지 (H)를 사용하여 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스터(이하, OS 트랜지스터라고 부르는 경우가 있음) 및 용량 소자가 적용된 기억 장

치(이하, OS 메모리 장치라고 부르는 경우가 있음)에 대하여 설명한다. OS 메모리 장치는 적어도 용량 소자와, 용량 소자의 충방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 작기 때문에, OS 메모리 장치는 유지 특성이 우수하고 비휘발성 메모리로서 기능할 수 있다.

[0523] <기억 장치의 구성예>

[0524] 도 34의 (A)에 OS 메모리 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 및 컨트롤 로직 회로(1460)를 가진다.

[0525] 열 회로(1430)는 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 기록 회로 등을 가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되는 배선이고, 자세한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부에 출력된다. 또한 행 회로(1420)는 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.

[0526] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, 데이터 신호(WDATA)는 기록 회로에 입력된다.

[0527] 컨트롤 로직 회로(1460)는 외부로부터 입력되는 제어 신호(CE, WE, RE)를 처리하고, 행 디코더, 열 디코더의 제어 신호를 생성한다. 제어 신호(CE)는 칩 인에이블 신호이고, 제어 신호(WE)는 기록 인에이블 신호이고, 제어 신호(RE)는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이들에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.

[0528] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된 복수의 메모리 셀(MC)과 복수의 배선을 가진다. 또한 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1열에 포함되는 메모리 셀(MC)의 수 등에 따라 결정된다. 또한 메모리 셀 어레이(1470)와 열 회로(1430)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1행에 포함되는 메모리 셀(MC)의 수 등에 따라 결정된다.

[0529] 또한 도 34의 (A)에서는 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면상에 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 예를 들어 도 34의 (B)에 나타낸 바와 같이, 주변 회로(1411)의 일부 위에 중첩되도록 메모리 셀 어레이(1470)가 제공되어도 좋다. 예를 들어 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.

[0530] 도 35의 (A) 내지 (H)는 상술한 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예를 설명하기 위한 것이다.

[0531] [DOSRAM]

[0532] 도 35의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 나타내었다. 본 명세서 등에서는, 1OS 트랜지스터 1용량 소자형 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)(등록 상표)이라고 부르는 경우가 있다. 도 35의 (A)에 나타낸 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한 트랜지스터(M1)는 게이트(톱 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.

[0533] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자에 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)에 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CA)의 제 2 단자는 배선(LL)에 접속되어 있다.

[0534] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(LL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시에는, 배선(LL)이 접지 전위를 가져도 좋고, 저레벨 전위를 가져도 좋다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.

[0535] 여기서, 도 35의 (A)에 나타낸 메모리 셀(1471)은 도 30의 (A) 및 (B)에 나타낸 기억 장치에 대응한다. 즉, 트랜지스터(M1)는 트랜지스터(200)에 대응하고, 용량 소자(CA)는 용량 디바이스(292)에 대응한다.

[0536] 또한 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성을 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 35의 (B)에 나타낸 메모리 셀(1472)과 같이, 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 35의 (C)에 나타낸 메모리 셀(1473)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M1)로 구성된 메모리 셀이어도 좋다.

[0537] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 작게 할 수 있다. 즉, 기록한 데이터가 트랜지스터(M1)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 줄일 수 있다. 또는 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 작기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.

[0538] 또한 DOSRAM에서, 상술한 바와 같이 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하면, 비트선을 짧게 할 수 있다. 이로써, 비트선 용량이 작아지고 메모리 셀의 유지 용량을 저감할 수 있다.

[0539] [NOSRAM]

[0540] 도 35의 (D) 내지 (G)에 2트랜지스터 1용량 소자의 게인 셀형 메모리 셀의 회로 구성예를 나타내었다. 도 35의 (D)에 나타낸 메모리 셀(1474)은 트랜지스터(M2)와, 트랜지스터(M3)와, 용량 소자(CB)를 가진다. 또한 트랜지스터(M2)는 톱 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다. 본 명세서 등에서는, 트랜지스터(M2)로서 OS 트랜지스터를 사용한 게인 셀형 메모리 셀을 가지는 기억 장치를 NOSRAM(Nonvolatile Oxide Semiconductor RAM)(등록 상표)이라고 부르는 경우가 있다.

[0541] 트랜지스터(M2)의 제 1 단자는 용량 소자(CB)의 제 1 단자에 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(WBL)에 접속되고, 트랜지스터(M2)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M2)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CB)의 제 2 단자는 배선(CAL)에 접속되어 있다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)에 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)에 접속되고, 트랜지스터(M3)의 게이트는 용량 소자(CB)의 제 1 단자에 접속되어 있다.

[0542] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 데이터의 판독 시에는, 배선(CAL)에 고레벨 전위를 인가하는 것이 바람직하다. 또한 데이터 유지 중에는, 배선(CAL)에 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M2)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M2)의 문턱 전압을 증감시킬 수 있다.

[0543] 여기서, 도 35의 (D)에 나타낸 메모리 셀(1474)은 도 28 및 도 29에 나타낸 기억 장치에 대응한다. 즉, 트랜지스터(M2)는 트랜지스터(200)에 대응하고, 용량 소자(CB)는 용량 소자(100)에 대응하고, 트랜지스터(M3)는 트랜지스터(300)에 대응하고, 배선(WBL)은 배선(1003)에 대응하고, 배선(WOL)은 배선(1004)에 대응하고, 배선(BGL)은 배선(1006)에 대응하고, 배선(CAL)은 배선(1005)에 대응하고, 배선(RBL)은 배선(1002)에 대응하고, 배선(SL)은 배선(1001)에 대응한다.

[0544] 또한 메모리 셀(MC)은 메모리 셀(1474)에 한정되지 않고, 회로 구성을 적절히 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 35의 (E)에 나타낸 메모리 셀(1475)과 같이, 트랜지스터(M2)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 35의 (F)에 나타낸 메모리 셀(1476)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M2)로 구성된 메모리 셀이어도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 35의 (G)에 나타낸 메모리 셀(1477)과 같이, 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 합친 구성이어도 좋다.

[0545] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1474) 등에 사용하는 경우, 트랜지스터(M2)로서 트랜지스터(200)를 사용하고, 트랜지스터(M3)로서 트랜지스터(300)를 사용하고, 용량 소자(CB)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M2)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M2)의 누설 전류를 매우 작게 할 수 있다. 이에 의하여, 기록한 데이터가 트랜지스터(M2)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 줄일 수 있다. 또는 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가

매우 작기 때문에, 메모리 셀(1474)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다. 메모리 셀(1475) 내지 메모리 셀(1477)에 대해서도 마찬가지이다.

[0546] 또한 트랜지스터(M3)는 채널 형성 영역에 실리콘을 포함하는 트랜지스터(이하, Si 트랜지스터라고 부르는 경우가 있음)이어도 좋다. Si 트랜지스터의 도전형은 n채널형이어도 좋고, p채널형이어도 좋다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높은 경우가 있다. 따라서 판독 트랜지스터로서 기능하는 트랜지스터(M3)로서 Si 트랜지스터를 사용하여도 좋다. 또한 트랜지스터(M3)로서 Si 트랜지스터를 사용함으로써, 트랜지스터(M3) 위에 적층하여 트랜지스터(M2)를 제공할 수 있기 때문에, 메모리 셀의 점유 면적을 축소하여 기억 장치를 고집적화할 수 있다.

[0547] 또한 트랜지스터(M3)는 OS 트랜지스터이어도 좋다. 트랜지스터(M2) 및 트랜지스터(M3)로서 OS 트랜지스터를 사용한 경우, 메모리 셀 어레이(1470)의 회로를 n형 트랜지스터만을 사용하여 구성할 수 있다.

[0548] 또한 도 35의 (H)에 3트랜지스터 1용량 소자의 게인 셀형 메모리 셀의 일례를 나타내었다. 도 35의 (H)에 나타낸 메모리 셀(1478)은 트랜지스터(M4) 내지 트랜지스터(M6) 및 용량 소자(CC)를 가진다. 용량 소자(CC)는 적절히 제공된다. 메모리 셀(1478)은 배선(BIL), 배선(RWL), 배선(WWL), 배선(BGL), 및 배선(GNDL)에 전기적으로 접속되어 있다. 배선(GNDL)은 저레벨 전위를 인가하는 배선이다. 또한 메모리 셀(1478)을 배선(BIL) 대신에 배선(RBL), 배선(WBL)에 전기적으로 접속하여도 좋다.

[0549] 트랜지스터(M4)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 백 게이트와 게이트를 서로 전기적으로 접속하여도 좋다. 또는 트랜지스터(M4)는 백 게이트를 가지지 않아도 된다.

[0550] 또한 트랜지스터(M5), 트랜지스터(M6)는 각각, n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다. 또는 트랜지스터(M4) 내지 트랜지스터(M6)가 OS 트랜지스터이어도 좋다. 이 경우, 메모리 셀 어레이(1470)의 회로를 n형 트랜지스터만을 사용하여 구성할 수 있다.

[0551] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1478)에 사용하는 경우, 트랜지스터(M4)로서 트랜지스터(200)를 사용하고, 트랜지스터(M5), 트랜지스터(M6)로서 트랜지스터(300)를 사용하고, 용량 소자(CC)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M4)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M4)의 누설 전류를 매우 작게 할 수 있다.

[0552] 또한 본 실시형태에서 설명한 주변 회로(1411), 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라 변경, 삭제, 또는 추가되어도 좋다. 본 발명의 일 형태의 기억 장치는 동작 속도가 빠르고, 장기간에 걸쳐 데이터를 유지할 수 있다.

[0553] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0554] (실시형태 4)

[0555] 본 실시형태에서는, 도 36의 (A) 및 (B)를 사용하여 본 발명의 반도체 장치가 실장된 칩(1200)의 일례에 대하여 설명한다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.

[0556] 도 36의 (A)에 나타낸 바와 같이, 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.

[0557] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 36의 (B)에 나타낸 바와 같이, 인쇄 기판(Printed Circuit Board: PCB)(1201)의 제 1 면에 접속된다. 또한 PCB(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고, 머더보드(1203)에 접속된다.

[0558] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 또한 예를 들어 플래시 메모리(1222)로서 앞의 실시형태에서 설명한 NOSRAM을 사용할 수 있다.

[0559] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바

람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 NOSRAM이나 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리나 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 본 발명의 산화물 반도체를 사용한 화상 처리 회로나 적화 연산 회로를 제공함으로써, 화상 처리 및 적화 연산을 저소비 전력으로 실행할 수 있다.

[0560] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면, CPU(1211)와 GPU(1212) 사이의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

[0561] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.

[0562] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.

[0563] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서, USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.

[0564] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한 네트워크 보안용 회로를 가져도 좋다.

[0565] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어, 칩(1200)을 낮은 비용으로 제작할 수 있다.

[0566] GPU(1212)를 가지는 칩(1200)이 제공된 PCB(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.

[0567] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한 화상 처리에 뛰어나기 때문에, 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0568] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0569] (실시형태 5)

[0570] 본 실시형태에서는, 앞의 실시형태에서 설명한 기억 장치 등이 제공된 전자 부품 및 전자 기기의 일례를 나타낸다.

[0571] <전자 부품>

[0572] 우선, 기억 장치(720)가 제공된 전자 부품의 예에 대하여 도 37의 (A) 및 (B)를 사용하여 설명한다.

[0573] 도 37의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 나타내었다. 도 37의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 기억 장치(720)를 가진다. 도 37의 (A)는 전자 부품(700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)에 의하여 기억 장치(720)와 전기적으로 접속되어 있다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.

[0574] 기억 장치(720)는 구동 회로층(721)과 기억 회로층(722)을 가진다.

[0575] 도 37의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가

제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(720)가 제공되어 있다.

[0576] 전자 부품(730)에서는 기억 장치(720)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0577] 패키지 기판(732)으로서는 세라믹 기판, 플라스틱 기판, 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.

[0578] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 '재배선 기판' 또는 '중간 기판'이라고 하는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0579] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저에서는 능동 소자를 제공할 필요가 없기 때문에, 집적 회로보다 낮은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있으므로, 수지 인터포저에서는 어려운 미세 배선을 형성하기 쉽다.

[0580] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0581] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0582] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타낸 전자 부품(730)에서는 기억 장치(720)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.

[0583] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 37의 (B)에서는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0584] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[0585] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0586] (실시형태 6)

[0587] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한 여기서 컴퓨터에는 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터 뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함된다. 또는 앞의 실시형태에서 설명한 반도체 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(solid state drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 38의 (A) 내지 (E)에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설명한 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.

[0588] 도 38의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및

기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 반도체 장치를 제공할 수 있다.

[0589] 도 38의 (B)는 SD 카드의 외관의 모식도이고, 도 38의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 반도체 장치를 제공할 수 있다.

[0590] 도 38의 (D)는 SSD의 외관의 모식도이고, 도 38의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 반도체 장치를 제공할 수 있다.

[0591] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0592] (실시형태 7)

[0593] 본 발명의 일 형태에 따른 반도체 장치는 CPU나 GPU 등의 프로세서 또는 칩에 사용할 수 있다. 도 39의 (A) 내지 (H)에 본 발명의 일 형태에 따른 CPU나 GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 나타내었다.

[0594] <전자 기기·시스템>

[0595] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 정보 단말기용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 전자책 단말기, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다. 또한 본 발명의 일 형태에 따른 GPU 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공 지능을 탑재할 수 있다.

[0596] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.

[0597] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 가지는 것)를 가져도 좋다.

[0598] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다. 도 39의 (A) 내지 (H)에 전자 기기의 예를 나타내었다.

[0599] [정보 단말기]

[0600] 도 39의 (A)에는 정보 단말기의 일종인 휴대 전화기(스마트폰)를 도시하였다. 정보 단말기(5100)는 하우징(5101)과 표시부(5102)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5102)에 제공되고, 버튼이 하우징(5101)에 제공된다.

[0601] 정보 단말기(5100)는 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5102)에

표시하는 애플리케이션, 표시부(5102)에 제공된 터치 패널에 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5102)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.

[0602] 도 39의 (B)에는 노트북형 정보 단말기(5200)를 도시하였다. 노트북형 정보 단말기(5200)는 정보 단말기의 본체(5201)와, 표시부(5202)와, 키보드(5203)를 가진다.

[0603] 노트북형 정보 단말기(5200)는 상술한 정보 단말기(5100)와 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 노트북형 정보 단말기(5200)를 사용함으로써 신규 인공 지능을 개발할 수 있다.

[0604] 또한 앞에서는 전자 기기로서 스마트폰 및 노트북형 정보 단말기를 예로 들어 각각 도 39의 (A), (B)에 도시하였지만, 스마트폰 및 노트북형 정보 단말기 외의 정보 단말기를 적용할 수도 있다. 스마트폰 및 노트북형 정보 단말기 외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱형 정보 단말기, 워크스테이션 등이 있다.

[0605] [게임기]

[0606] 도 39의 (C)는 게임기의 일례인 휴대용 게임기(5300)를 나타낸 것이다. 휴대용 게임기(5300)는 하우징(5301), 하우징(5302), 하우징(5303), 표시부(5304), 접속부(5305), 조작 키(5306) 등을 가진다. 하우징(5302) 및 하우징(5303)은 하우징(5301)에서 떼어낼 수 있다. 하우징(5301)에 제공된 접속부(5305)를 다른 하우징(도시하지 않았음)에 장착함으로써, 표시부(5304)에 출력되는 영상을 다른 영상 기기(도시하지 않았음)에 출력할 수 있다. 이때 하우징(5302) 및 하우징(5303)은 각각 조작부로서 기능할 수 있다. 이에 의하여, 복수의 플레이어가 동시에 게임을 할 수 있다. 하우징(5301), 하우징(5302), 및 하우징(5303)의 기판에 제공된 칩 등에 앞의 실시형태에서 설명한 칩을 제공할 수 있다.

[0607] 또한 도 39의 (D)는 게임기의 일례인 거치형 게임기(5400)를 나타낸 것이다. 거치형 게임기(5400)에는 무선 또는 유선으로 컨트롤러(5402)가 접속된다.

[0608] 휴대용 게임기(5300), 거치형 게임기(5400) 등의 게임기에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력의 게임기를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0609] 또한 휴대용 게임기(5300)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대용 게임기(5300)를 실현할 수 있다.

[0610] 원래는 게임의 진행, 게임에 등장하는 생물의 언동, 게임에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대용 게임기(5300)에 인공 지능을 적용함으로써 게임의 프로그램에 의하여 한정되지 않는 표현이 가능해진다. 예를 들어 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임에 등장하는 인물의 언동이 변화되는 등의 표현이 가능해진다.

[0611] 또한 휴대용 게임기(5300)로 복수의 플레이어를 필요로 하는 게임을 하는 경우에는, 인공 지능이 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 대전 상대를 인공 지능에 의한 게임 플레이어로 함으로써 혼자서도 게임을 할 수 있다.

[0612] 도 39의 (C), (D)에서는, 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 피칭 머신 등이 있다.

[0613] [대형 컴퓨터]

[0614] 본 발명의 일 형태의 GPU 또는 칩은 대형 컴퓨터에 적용할 수 있다.

[0615] 도 39의 (E)는 대형 컴퓨터의 일례인 슈퍼컴퓨터(5500)를 나타낸 것이다. 도 39의 (F)는 슈퍼컴퓨터(5500)가 가지는 랙 마운트형 계산기(5502)를 나타낸 것이다.

[0616] 슈퍼컴퓨터(5500)는 랙(5501)과, 복수의 랙 마운트형 계산기(5502)를 가진다. 또한 복수의 계산기(5502)는 랙(5501)에 격납되어 있다. 또한 계산기(5502)에는 복수의 기판(5504)이 제공되고, 상기 기판 위에 앞의 실시형

태에서 설명한 GPU 또는 칩을 탑재할 수 있다.

[0617] 슈퍼컴퓨터(5500)는 주로 과학 기술 계산에 이용되는 대형 컴퓨터이다. 과학 기술 계산에서는 방대한 연산을 고속으로 처리할 필요가 있기 때문에, 소비 전력이 높고 칩의 발열이 크다. 슈퍼컴퓨터(5500)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력의 슈퍼컴퓨터를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0618] 도 39의 (E), (F)에서는 대형 컴퓨터의 일례로서 슈퍼컴퓨터를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터로서는, 예를 들어 서비스를 제공하는 컴퓨터(서버), 대형 범용 컴퓨터(메인 프레임) 등이 있다.

[0619] [이동체]

[0620] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0621] 도 39의 (G)는 이동체의 일례인 자동차의 실내에서의 앞유리 주변을 나타낸 것이다. 도 39의 (G)에서는 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0622] 표시 패널(5701) 내지 표시 패널(5703)은 속도계나 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0623] 표시 패널(5704)에는 자동차에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 가려진 시야(사각(死角))를 보완할 수 있다. 즉, 자동차의 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써, 시야를 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0624] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차의 자동 운전 시스템에 사용할 수 있다. 또한 상기 칩을 도로 안내, 위험 예측 등을 하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.

[0625] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.

[0626] [전자 제품]

[0627] 도 39의 (H)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.

[0628] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 보관되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고(5800)에 보관되어 있는 식재료에 적합한 온도로 자동으로 조절하는 기능 등을 가질 수 있다.

[0629] 전자 제품의 일례로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.

[0630] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.

[0631] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법, 또는 실시예에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0632] (실시예 1)

[0633] 본 실시예에서는, 실리콘을 포함하며 탄화수소를 포함하지 않는 가스(전구체)로서 SiH_4를 사용하고 반응제로서 N_2O를 사용하여 PEALD법에 의하여 산화 실리콘을 성막하고, ALD Window의 평가를 수행하였다.

[0634] 이하에서는, 도 40을 사용하여 ALD Window에 대하여 설명한다. 도 40은 ALD Window에 대하여 설명하는 도면이고, 세로축은 1사이클 수행한 경우에 성막되는 막 두께인 GPC(Growth Per Cycle)를 나타내고, 가로축은 기판 온도를 나타낸다. 또한 도 40에서 직선은 전구체의 도입 시간이나 퍼지 시간을 변화시키지 않고 성막 온도만을 변화시킨 경우의 GPC의 거동의 일례를 나타낸다. 도 40에 나타낸 바와 같이 GPC가 저온 측이나 고온 측에서 상승이나 하강의 거동을 보인다. 자세하게 말하면, 도 40에서 A로 나타낸 직선은, 기판에 대한 전구체의 흡착이 포화되지 않고 기판 온도의 상승에 따라 GPC가 상승되는 영역이다. 또한 C로 나타낸 직선은, 기판에 대한 전구체의 흡착이 기판 온도의 상승에 따라 이탈되고 GPC가 하강되는 영역이다. 또한 D로 나타낸 직선은, 전구체의 물리 흡착의 영향에 의한 것이며 전구체의 재료에 의존한다. 또한 E로 나타낸 직선은, 기판 표면에서의 전구체의 분해 반응에 의한 것이며 전구체의 재료에 의존한다. 이와 같이, GPC의 상승이나 하강의 거동은 전구체의 표면 반응이나 전구체의 흡착에 의존하는 것이고, B로 나타낸 직선과 같이 양쪽의 영향이 적고, GPC가 일정하게 되는 영역을 ALD Window라고 부르고, 이 영역은 이상적인 ALD 성막이 수행되는 기판 온도의 영역이다.

[0635] 다음으로, ALD Window의 평가에 사용한 시료에 대하여 설명한다. 시료에서는 실리콘 웨이퍼 위에, 전구체로서 SiH_4를 사용하고 반응제로서 N_2O를 사용하여 PEALD법에 의하여 산화 실리콘을 성막하였다. 150℃, 200℃, 250℃, 300℃, 325℃, 350℃, 375℃, 및 400℃ 각각의 기판 온도에서 성막하였다. 또한 모든 기판 온도에 있어서, 도 5에 나타낸 단계 및 도 6의 (B)에 나타낸 시퀀스를 사용하여 성막하였다.

[0636] 도 41에 각 기판 온도에서의 GPC를 플롯한 도면을 나타내었다. 세로축은 GPC[nm/cycle]를 나타내고, 가로축은 기판 온도[℃]를 나타낸다. 기판 온도를 150℃보다 높게 함으로써 GPC가 상승되고, 기판 온도 300℃ 내지 400℃ 사이에서는 GPC가 대략 일정하게 되고 포화하는 경향을 확인하였다. 이 결과로부터, 기판 온도 300℃ 내지 400℃가 ALD Window인 것으로 생각된다.

[0637] 본 실시예에 나타낸 구성은 다른 실시예 또는 실시형태와 적절히 조합하여 사용할 수 있다.

[0638] (실시예 2)

[0639] 다음으로, 실시예 1에서 얻은 ALD Window의 온도 범위 내인 기판 온도 350℃에서 실리콘 산화막을 성막하고 그 피복성을 평가하였다. 피복성 평가에는 주사형 투과 전자 현미경(STEM: Scanning Transmission Electron Microscope)을 사용하였다.

[0640] 이하에서는 피복성 평가에 사용한 시료에 대하여 설명한다. 시료는 도 1에 나타낸 트랜지스터(200)를 실시형태 1에서 설명한 <반도체 장치의 제작 방법>으로 제작한 것이다. 또한 스퍼터링법에 의하여 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 산화물(230a)을 성막하였다. 또한 스퍼터링법에 의하여 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃을 사용하여 산화물(230b)을 성막하였다.

[0641] 또한 산화물(230)(산화물(230a) 및 산화물(230b)) 위에 절연체(250a)를 PEALD법에 의하여 성막하였다. 절연체(250a)로서는 실시예 1에서 얻은 ALD Window의 온도 범위 내인 기판 온도 350℃에서 실리콘 산화막을 성막하였다. 시퀀스의 사이클 수는 50으로 하였다. 이와 같은 식으로 시료를 제작하였다.

[0642] 피복성 평가는 도 1의 (C)에 나타낸 부분, 즉 트랜지스터(200)의 채널 형성 영역에서의 채널 폭 방향의 단면을 STEM으로 관찰하여 수행하였다.

[0643] 도 42의 (A)에 STEM 단면 사진을 나타내었다. 단면 사진에 부여한 F 내지 J의 개소(측정 개소) 각각의 절연체(250a)의 막 두께를 측장(測長)에 의하여 산출하였다. 도 42의 (B)에 F 내지 J의 측정 개소의 막 두께의 측정 결과를 정리하였다. 이 결과, F 내지 J의 개소에서 절연체(250a)의 막 두께는 2.0nm 이상 2.5nm 이하이고, 절연체(250a)의 막 두께 편차가 작은 것을 확인하였다. 특히, 절연체(250a)가 산화물(230)의 측면에 접하는 위치인 F 및 J의 개소에서도 막 두께는 각각 2.4nm이었고, 피복성이 우수한 것을 확인할 수 있었다. 따라서, ALD Window의 온도 범위 내에서 성막함으로써, 피복성이 우수한 실리콘 산화막을 얻을 수 있었다.

[0644] 본 실시예에 나타낸 구성은 다른 실시예 또는 다른 실시형태와 적절히 조합하여 사용할 수 있다.

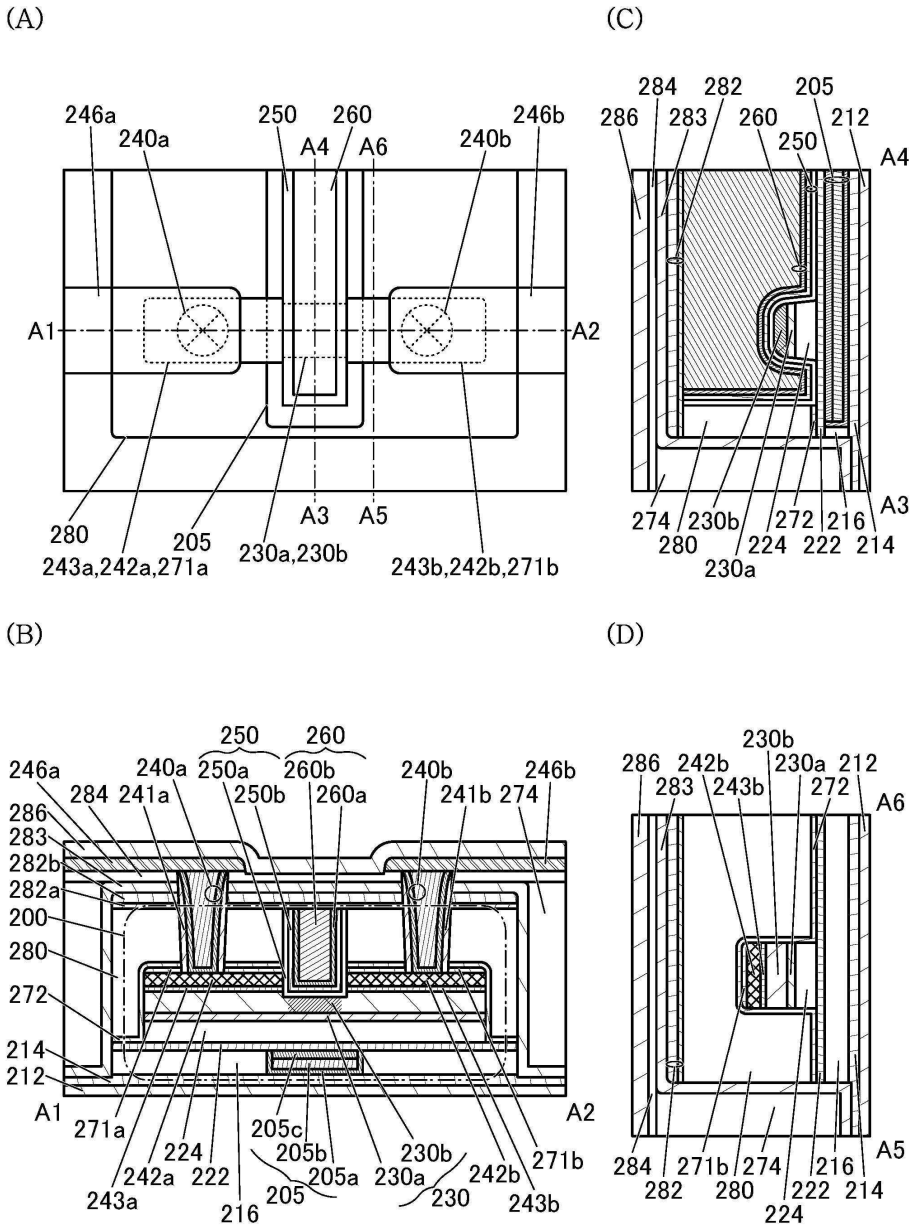
부호의 설명

[0645] 100: 용량 소자, 110: 도전체, 112: 도전체, 115: 도전체, 120: 도전체, 125: 도전체, 130: 절연체, 140: 도전

체, 142: 절연체, 145: 절연체, 150: 절연체, 152: 절연체, 153: 도전체, 154: 절연체, 156: 절연체, 200: 트랜지스터, 200_n: 트랜지스터, 200_1: 트랜지스터, 200a: 트랜지스터, 200b: 트랜지스터, 200T: 트랜지스터, 205: 도전체, 205a: 도전체, 205A: 도전막, 205b: 도전체, 205B: 도전막, 205c: 도전체, 205C: 도전막, 210: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 217: 절연체, 218: 도전체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230A: 산화막, 230b: 산화물, 230B: 산화막, 230ba: 영역, 230bb: 영역, 230bc: 영역, 240: 도전체, 240a: 도전체, 240b: 도전체, 241: 절연체, 241a: 절연체, 241b: 절연체, 242: 도전체, 242a: 도전체, 242A: 도전막, 242b: 도전체, 242B: 도전층, 242c: 도전체, 243: 산화물, 243a: 산화물, 243A: 산화막, 243b: 산화물, 243B: 산화물층, 246: 도전체, 246a: 도전체, 246b: 도전체, 250: 절연체, 250a: 절연체, 250A: 절연막, 250b: 절연체, 250B: 절연막, 260: 도전체, 260a: 도전체, 260b: 도전체, 265: 밀봉부, 265a: 밀봉부, 265b: 밀봉부, 271: 절연체, 271a: 절연체, 271A: 절연막, 271b: 절연체, 271B: 절연층, 271c: 절연체, 272: 절연체, 274: 절연체, 280: 절연체, 282: 절연체, 282a: 절연체, 282b: 절연체, 283: 절연체, 284: 절연체, 286: 절연체, 290: 메모리 디바이스, 292: 용량 디바이스, 292a: 용량 디바이스, 292b: 용량 디바이스, 293: 절연체, 294: 도전체, 294a: 도전체, 294b: 도전체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 401: 가스, 402: 산화성 가스, 403: 고주파 전력, 411: 소자층, 413: 트랜지스터층, 415: 메모리 디바이스층, 415_1: 메모리 디바이스층, 415_3: 메모리 디바이스층, 415_4: 메모리 디바이스층, 420: 메모리 디바이스, 424: 도전체, 440: 도전체, 470: 메모리 유닛, 600: 반도체 장치, 601: 반도체 장치, 610: 셀 어레이, 610_n: 셀 어레이, 610_1: 셀 어레이, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 720: 기억 장치, 721: 구동 회로층, 722: 기억 회로층, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 1001: 배선, 1002: 배선, 1003: 배선, 1004: 배선, 1005: 배선, 1006: 배선

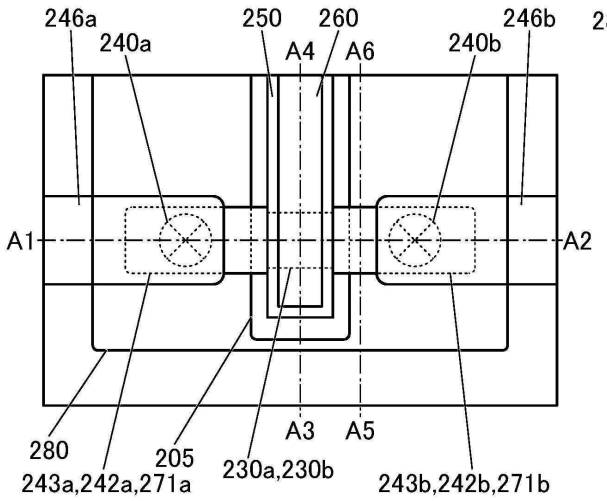
도면

도면1

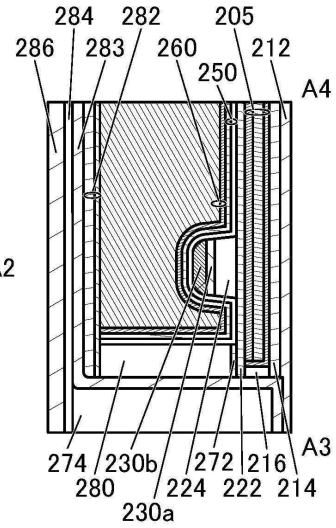

(A)
246a
240a
250
260
A4
A6
240b
246b
A1
A2
280
205
243a,242a,271a
230a,230b
A3
A5
243b,242b,271b
(C)
284
282
205
286
283
260
212
250
A4
274
230b
272
216
A3
280
224
222
214
230a
(B)
250
260
246a
240a
250a
260b
240b
246b
284
241a
250b
260a
241b
274
286
283
282b
282a
200
280
272
214
212
A1
A2
271a
205c
224
205b
230b
271b
242a
222
205a
230a
242b
243a
216
205
230
243b
(D)
230b
286
242b
230a
212
283
243b
272
A6
284
271b
274
216
A5
282
280
222
214
224

도면2

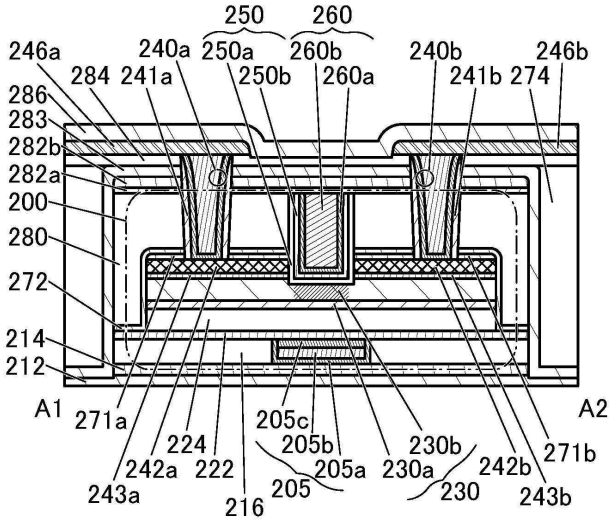
(A)


246a
240a
250
260
A4
A6
240b
246b
A1
A2
280
243a,242a,271a
205
230a,230b
A3
A5
243b,242b,271b

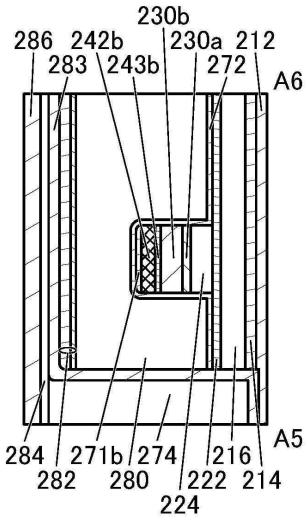
(C)


284
282
205
286
283
260
212
250
A4
A3
274
230b
272
216
214
280
224
222
230a

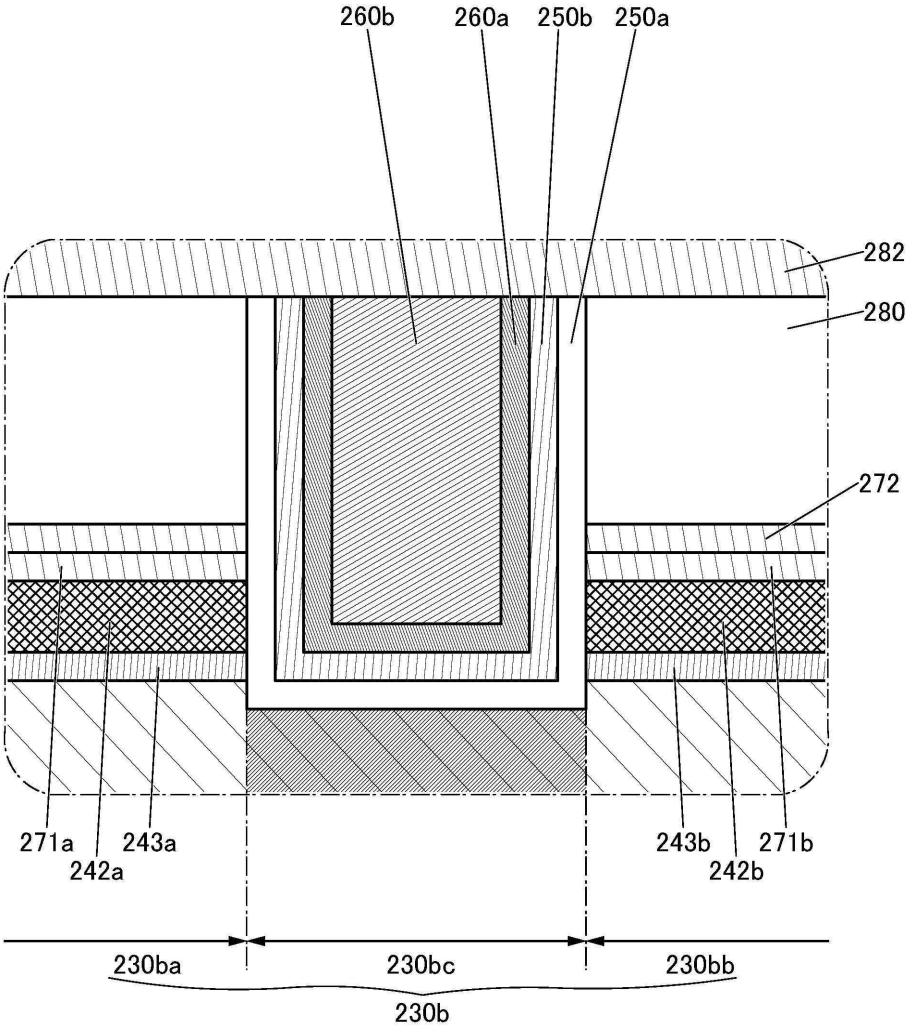
(B)


250
260
246a
240a
250a
260b
240b
246b
284
241a
250b
260a
241b
274
286
283
282b
282a
200
280
272
214
212
A1
A2
271a
205c
205b
230b
224
242a
222
205a
230a
242b
271b
243a
216
205
230
243b

(D)

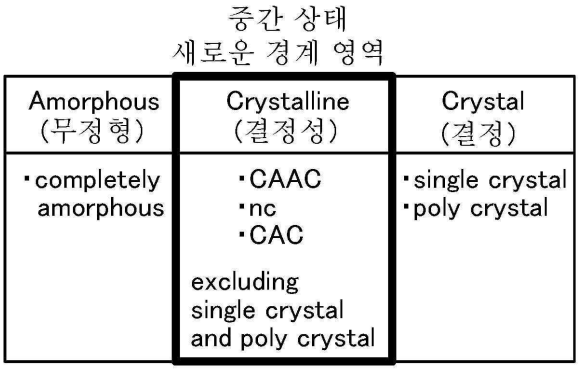

230b
286
242b
230a
212
283
243b
272
A6
A5
284
271b
274
216
282
280
222
214
224

도면3

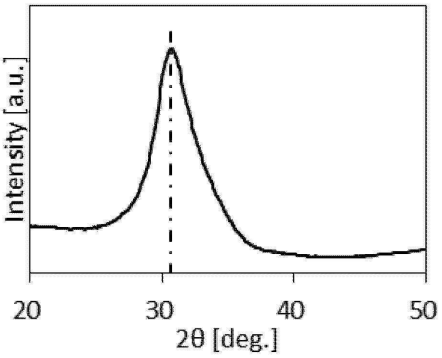

260b
260a
250b
250a
282
280
272
271a
242a
243a
243b
242b
271b
230ba
230bc
230bb
230b

도면4

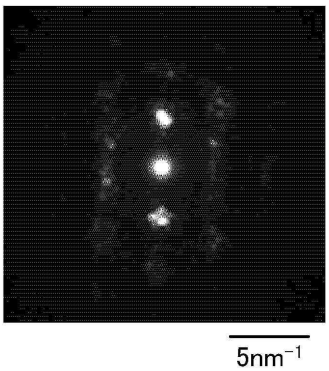
(A)


중간 상태
새로운 경계 영역
Amorphous
(무정형)
Crystalline
(결정성)
Crystal
(결정)
·completely amorphous
·CAAC
·nc
·CAC
excluding single crystal and poly crystal
·single crystal
·poly crystal

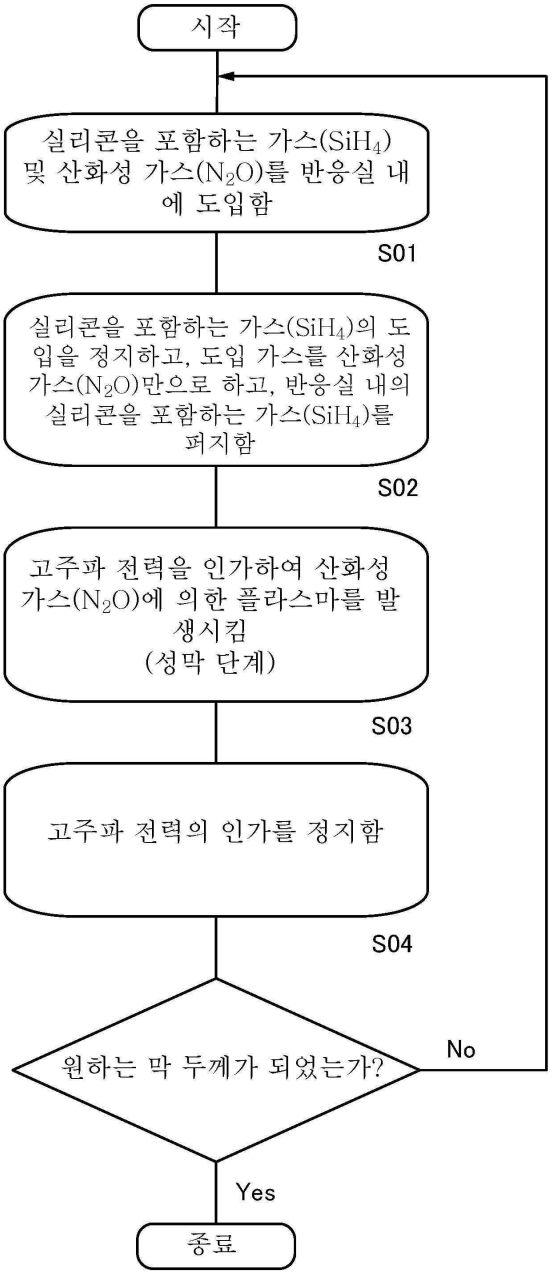
(B)


Intensity [a.u.]
20
30
40
50
2θ [deg.]

(C)

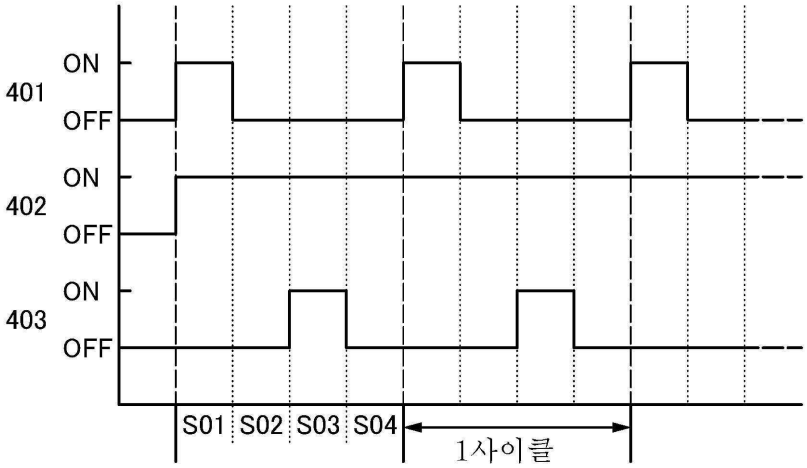

5nm⁻¹

도면5

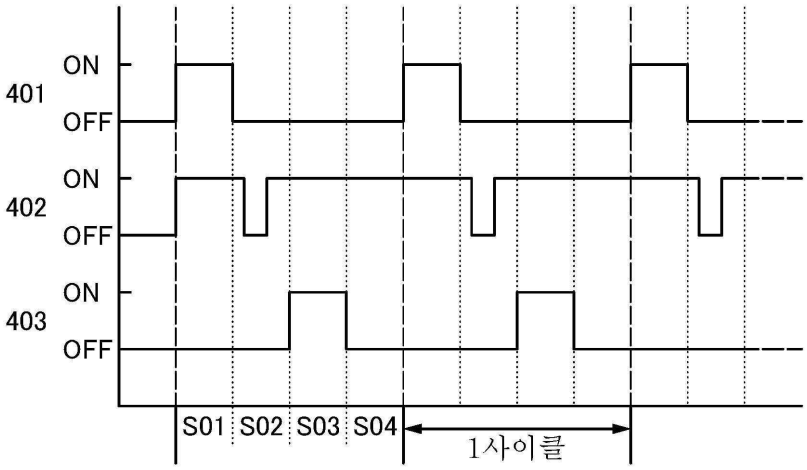

시작
실리콘을 포함하는 가스(SiH_4) 및 산화성 가스(N_2O)를 반응실 내에 도입함
S01
실리콘을 포함하는 가스(SiH_4)의 도입을 정지하고, 도입 가스를 산화성 가스(N_2O)만으로 하고, 반응실 내의 실리콘을 포함하는 가스(SiH_4)를 퍼지함
S02
고주파 전력을 인가하여 산화성 가스(N_2O)에 의한 플라스마를 발생시킴
(성막 단계)
S03
고주파 전력의 인가를 정지함
S04
원하는 막 두께가 되었는가?
No
Yes
종료

도면6

(A)

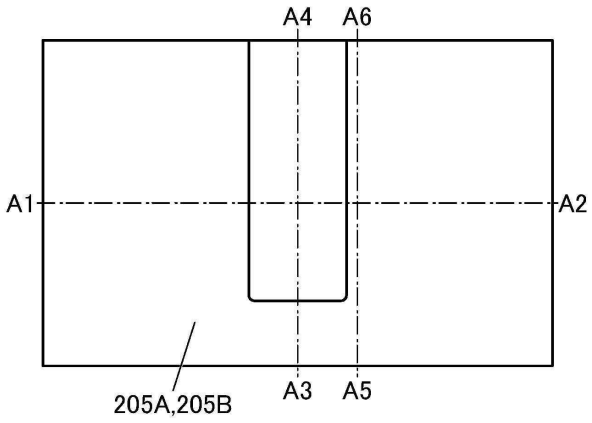

401
ON
OFF
402
ON
OFF
403
ON
OFF
S01
S02
S03
S04
1사이클

(B)

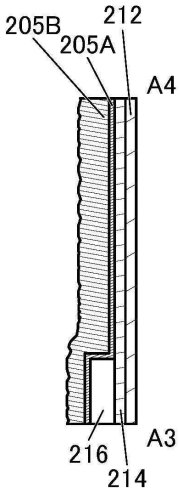

401
ON
OFF
402
ON
OFF
403
ON
OFF
S01
S02
S03
S04
1사이클

도면7

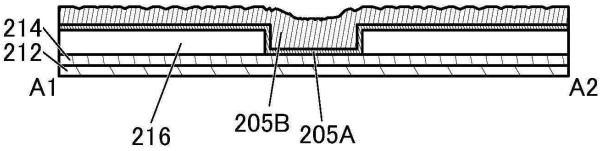
(A)


A4
A6
A1
A2
205A,205B
A3
A5

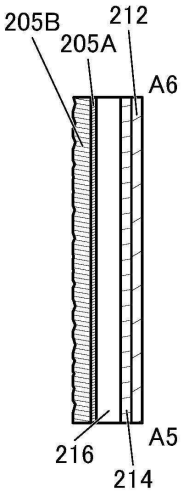
(C)


205B
212
205A
A4
A3
216
214

(B)

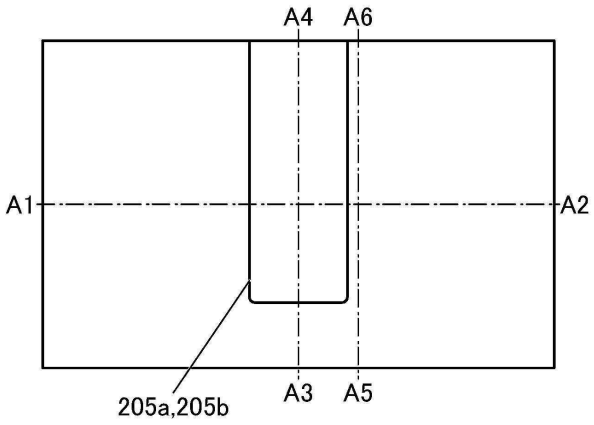

214
212
A1
A2
216
205B
205A

(D)

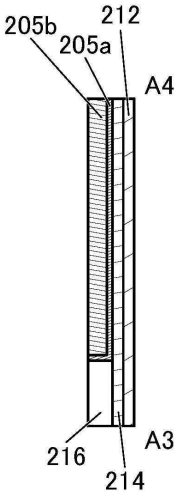

205B
212
205A
A6
A5
216
214

도면8

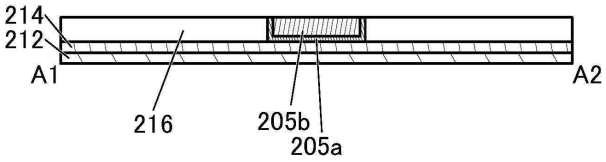
(A)


A4
A6
A1
A2
205a,205b
A3
A5

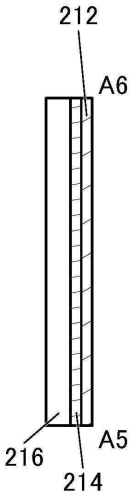
(C)


205b
212
205a
A4
A3
216
214

(B)

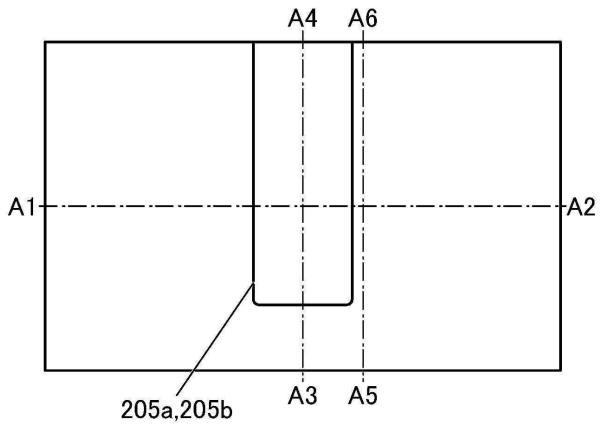

214
212
A1
A2
216
205b
205a

(D)

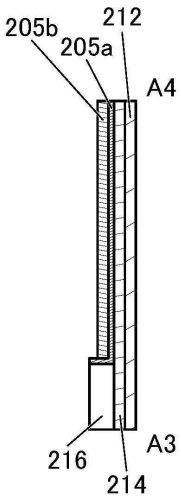

212
A6
A5
216
214

도면9

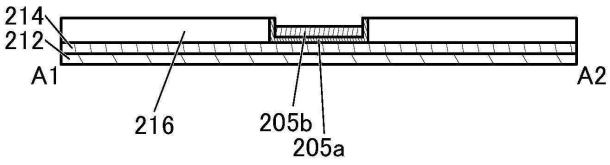
(A)


A4
A6
A1
A2
205a,205b
A3
A5

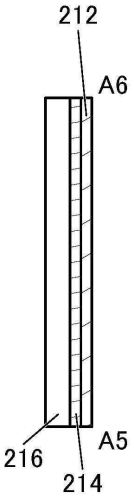
(C)


205b
212
205a
A4
A3
216
214

(B)

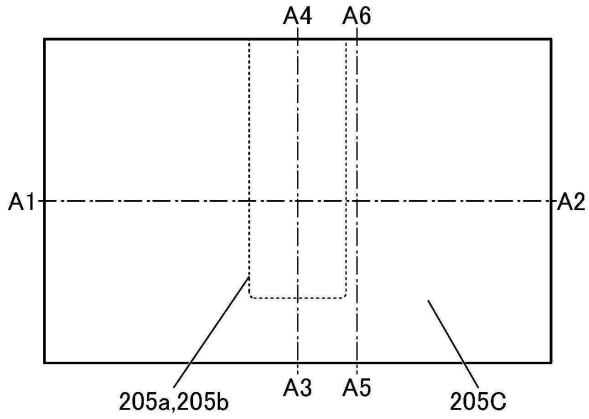

214
212
A1
A2
216
205b
205a

(D)

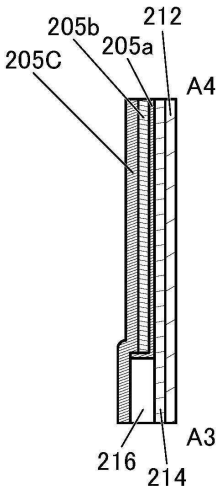

212
A6
A5
216
214

도면10

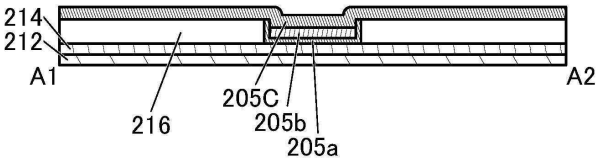
(A)


A4
A6
A1
A2
205a,205b
A3
A5
205C

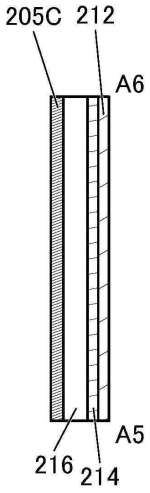
(C)


205b
212
205a
205C
A4
A3
216
214

(B)

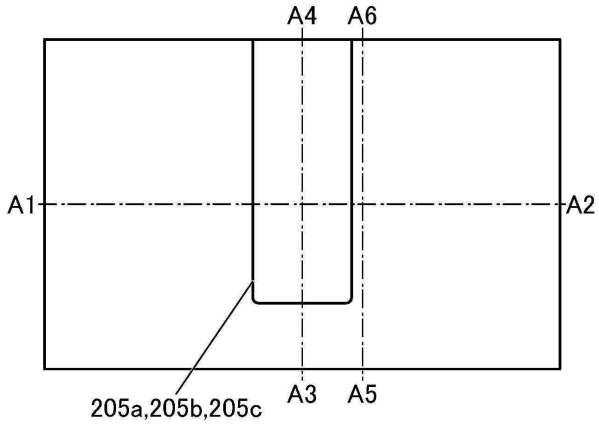

214
212
A1
A2
216
205C
205b
205a

(D)

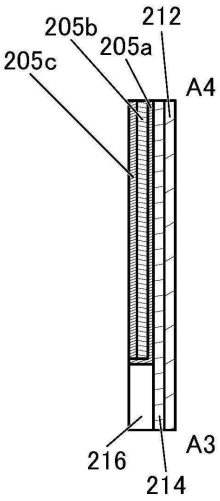

205C
212
A6
A5
216
214

도면11

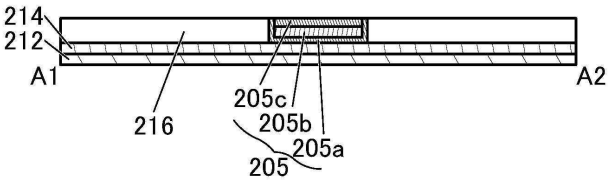
(A)


A4
A6
A1
A2
205a,205b,205c
A3
A5

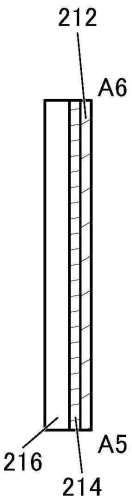
(C)


205b
212
205a
205c
A4
A3
216
214

(B)

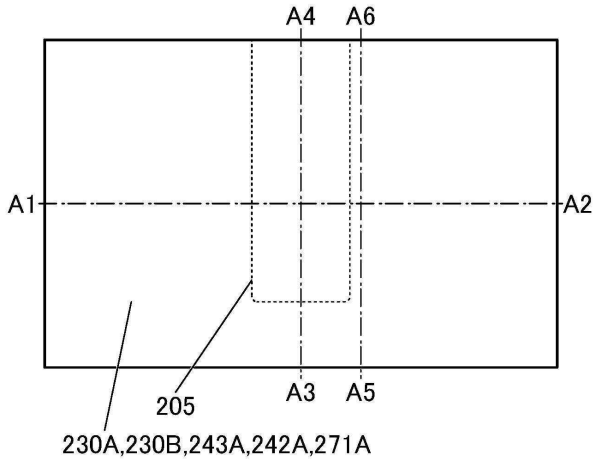

214
212
A1
A2
216
205c
205b
205a
205

(D)

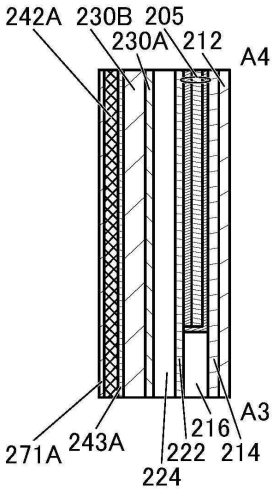

212
A6
A5
216
214

도면12

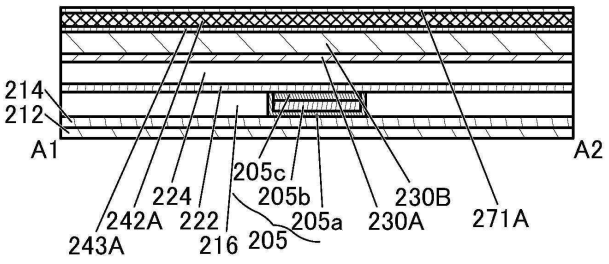
(A)


A4
A6
A1
A2
205
A3
A5
230A,230B,243A,242A,271A

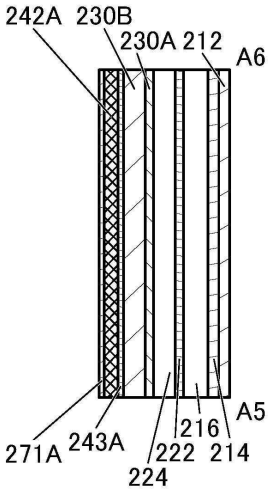
(C)


242A
230B
205
230A
212
A4
A3
271A
243A
216
222
214
224

(B)

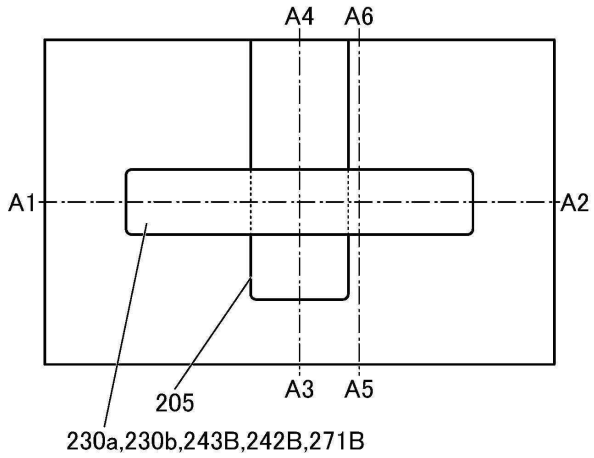

214
212
A1
A2
205c
205b
205a
224
242A
222
216
205
230B
230A
271A
243A

(D)

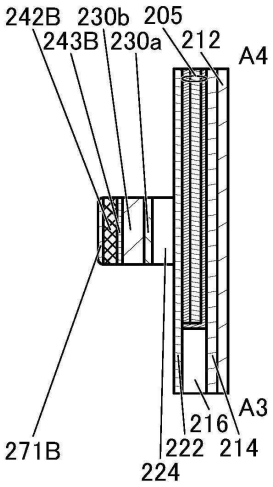

242A
230B
230A
212
A6
A5
271A
243A
216
222
214
224

도면13

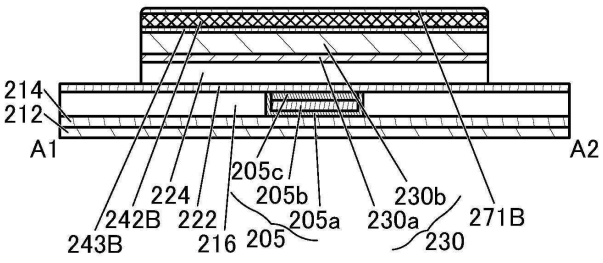
(A)


A4
A6
A1
A2
205
A3
A5
230a,230b,243B,242B,271B

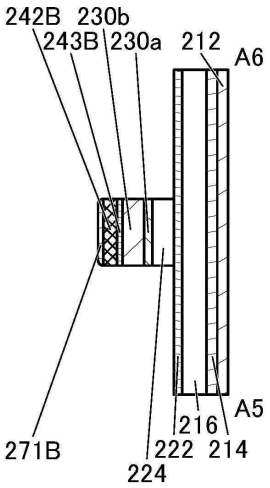
(C)


242B
230b
205
243B
230a
212
A4
A3
271B
216
222
214
224

(B)

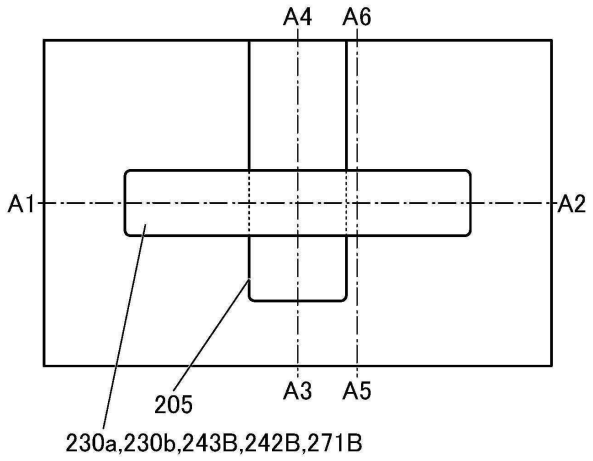

214
212
A1
A2
205c
224
205b
230b
242B
222
205a
230a
271B
243B
216
205
230

(D)

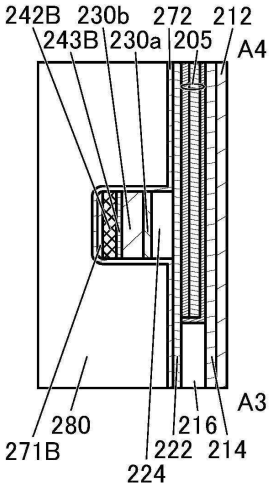

242B
230b
243B
230a
212
A6
A5
271B
216
222
214
224

도면14

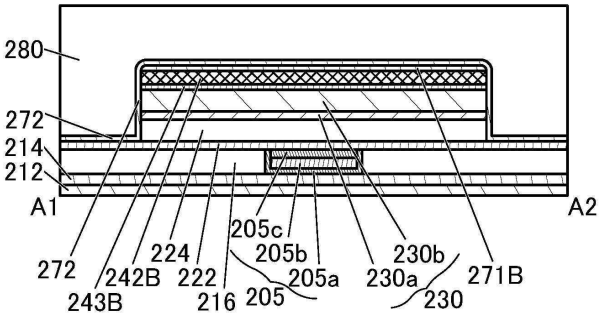
(A)


A4
A6
A1
A2
205
A3
A5
230a,230b,243B,242B,271B

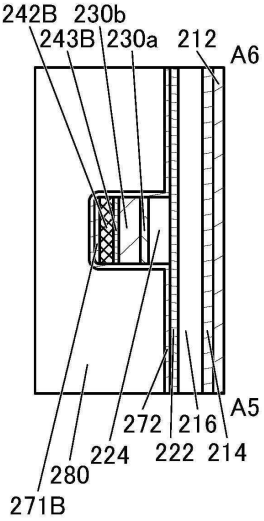
(C)


242B
230b
272
212
243B
230a
205
A4
A3
280
271B
216
222
214
224

(B)

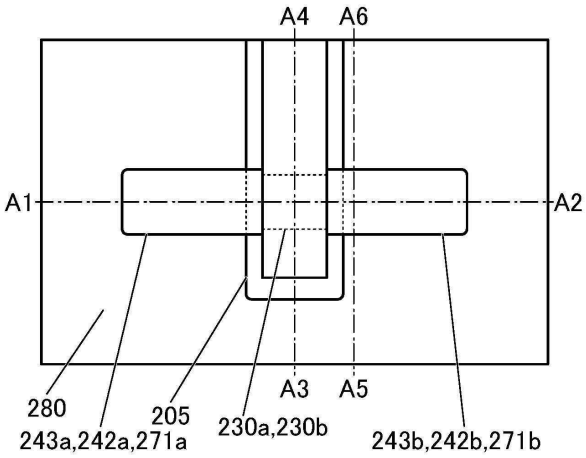

280
272
214
212
A1
A2
205c
205b
224
230b
272
242B
222
205a
230a
271B
243B
216
205
230

(D)

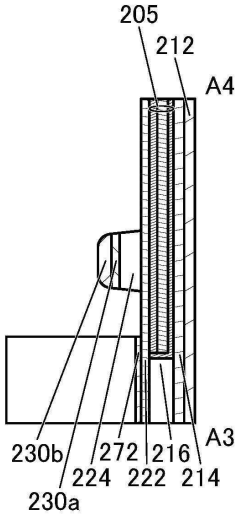

242B
230b
243B
230a
212
A6
A5
272
216
224
222
214
280
271B

도면15

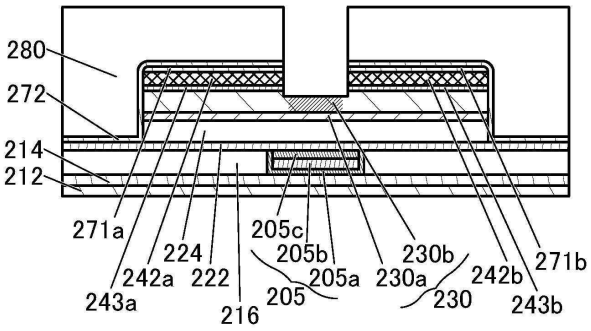
(A)


A4
A6
A1
A2
A3
A5
280
243a,242a,271a
205
230a,230b
243b,242b,271b

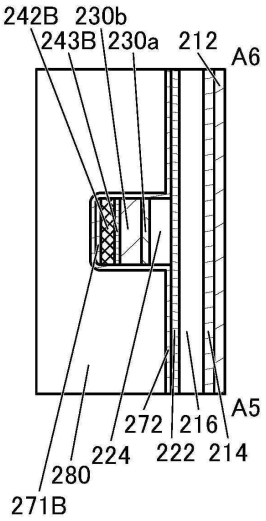
(C)


205
212
A4
A3
230b
272
216
224
222
214
230a

(B)

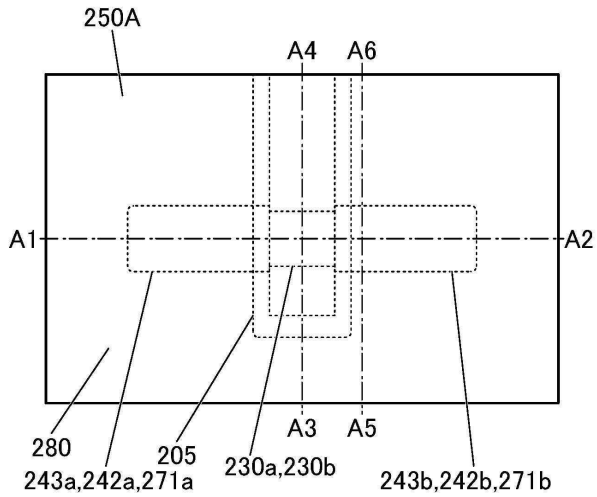

280
272
214
212
271a
224
242a
222
243a
216
205c
205b
205
205a
230a
230b
230
242b
271b
243b

(D)

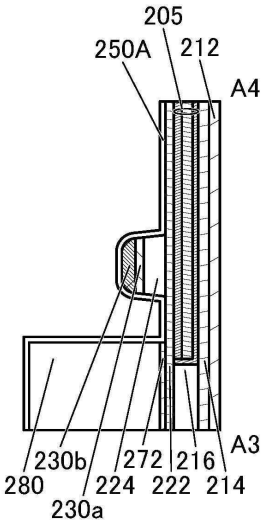

242B
230b
243B
230a
212
A6
A5
272
216
224
222
214
280
271B

도면16

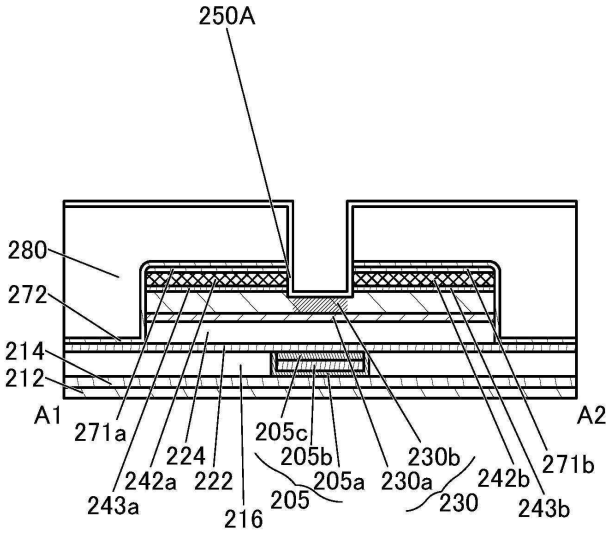
(A)


250A
A4
A6
A1
A2
280
243a,242a,271a
205
230a,230b
A3
A5
243b,242b,271b

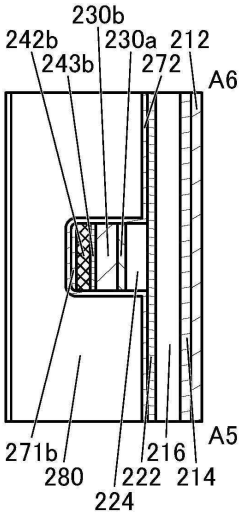
(C)


205
250A
212
A4
A3
280
230b
224
272
222
216
214
230a

(B)

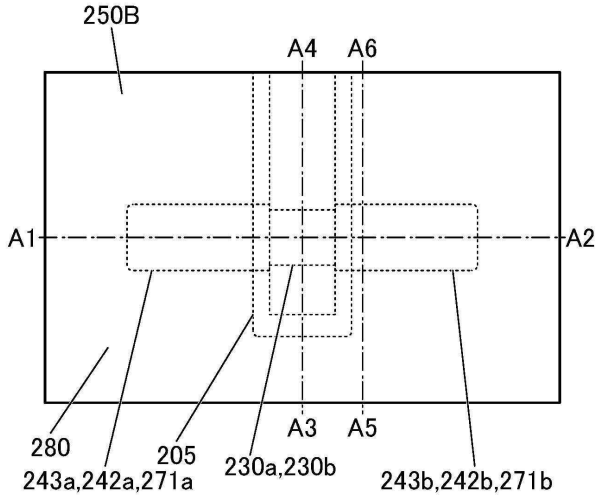

250A
280
272
214
212
A1
A2
271a
242a
243a
224
222
216
205c
205b
205
205a
230b
230a
230
242b
243b
271b

(D)

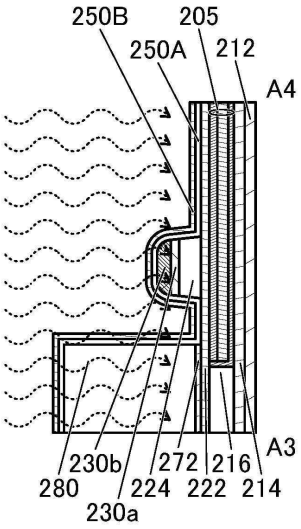

230b
242b
230a
212
243b
272
A6
A5
271b
280
224
222
216
214

도면17

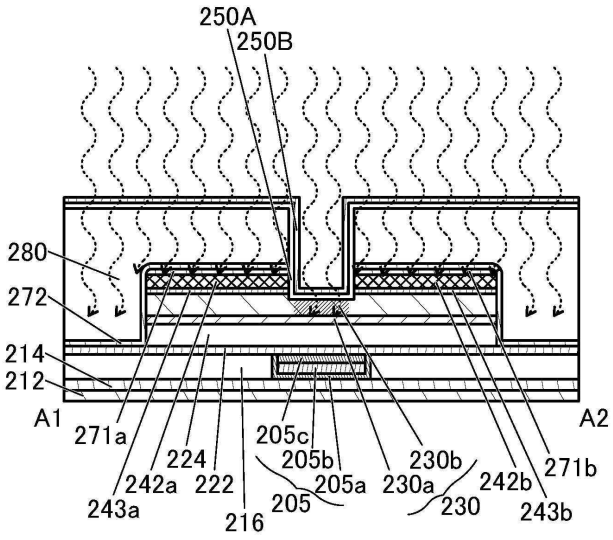
(A)


250B
A4
A6
A1
A2
A3
A5
280
243a,242a,271a
205
230a,230b
243b,242b,271b

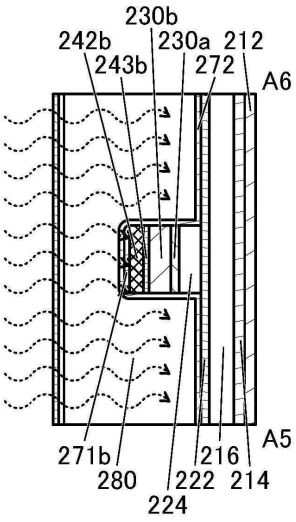
(C)


250B
205
250A
212
A4
A3
230b
272
216
280
224
222
214
230a

(B)

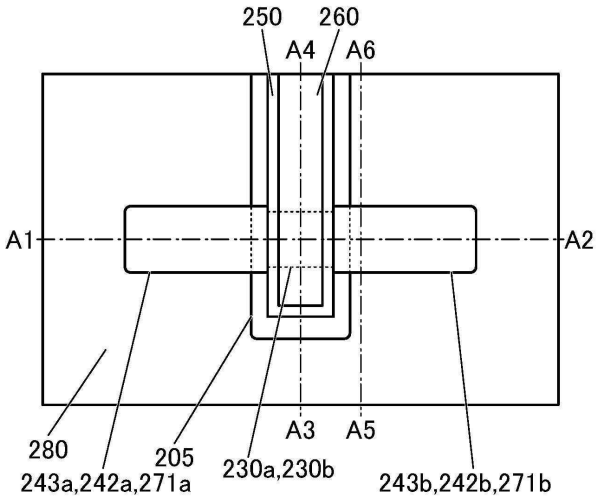

250A
250B
280
272
214
212
A1
A2
271a
205c
205b
205a
230b
230a
242b
271b
224
242a
222
243a
205
216
230
243b

(D)

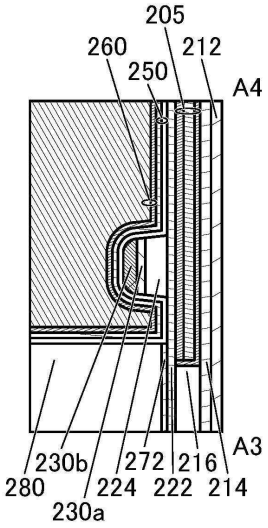

230b
242b
230a
212
243b
272
A6
A5
271b
280
216
222
214
224

도면18

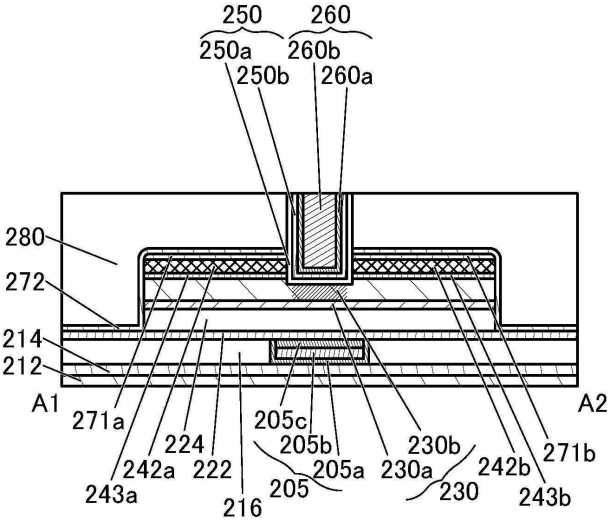
(A)


250
260
A4
A6
A1
A2
280
243a,242a,271a
205
230a,230b
A3
A5
243b,242b,271b

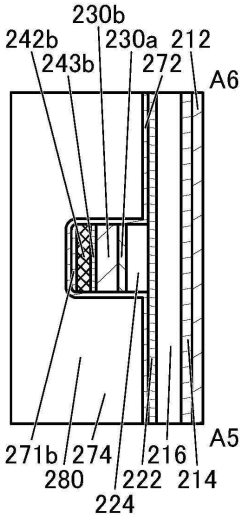
(C)


205
260
212
250
A4
A3
230b
272
216
280
224
222
214
230a

(B)

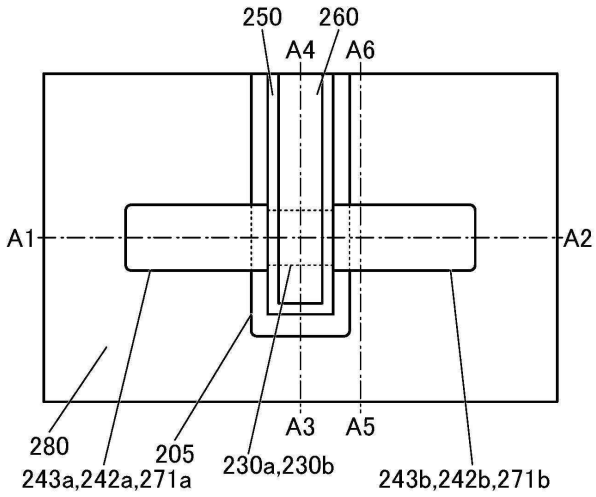

250
260
250a
260b
250b
260a
280
272
214
212
A1
A2
271a
205c
205b
205a
230a
230b
242b
271b
224
242a
222
243a
216
205
230
243b

(D)

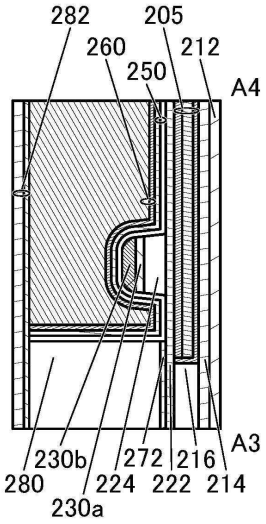

230b
242b
230a
212
243b
272
A6
A5
271b
274
216
280
222
214
224

도면19

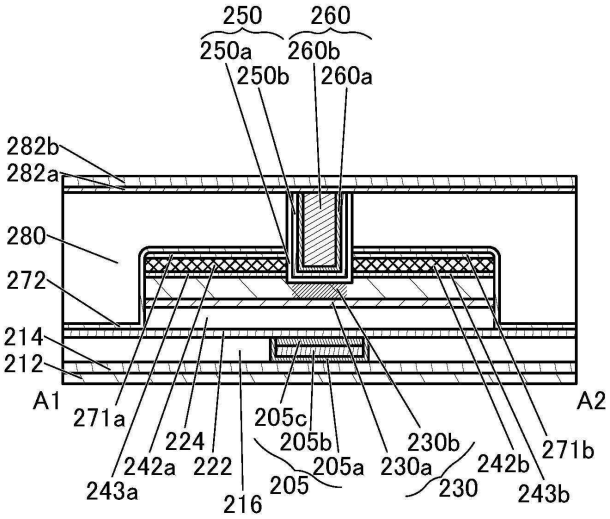
(A)


250
260
A4
A6
A1
A2
A3
A5
280
243a,242a,271a
205
230a,230b
243b,242b,271b

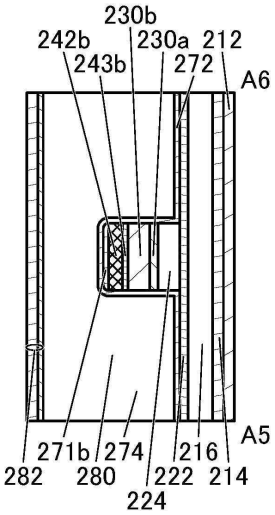
(C)


282
205
260
212
250
A4
A3
230b
272
216
280
224
222
214
230a

(B)

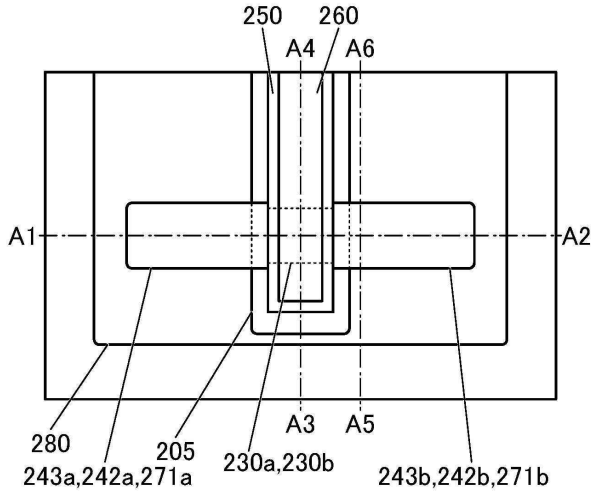

250
260
250a
260b
250b
260a
282b
282a
280
272
214
212
A1
A2
271a
205c
205b
230b
271b
224
242a
222
205a
230a
242b
205
230
243a
216
243b

(D)

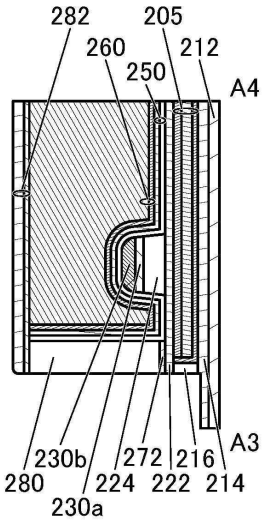

230b
242b
230a
212
243b
272
A6
A5
271b
274
216
282
280
222
214
224

도면20

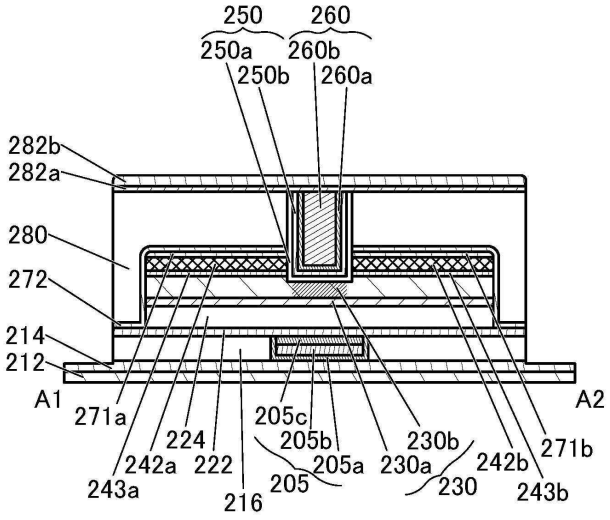
(A)


250
260
A4
A6
A1
A2
A3
A5
280
205
243a,242a,271a
230a,230b
243b,242b,271b

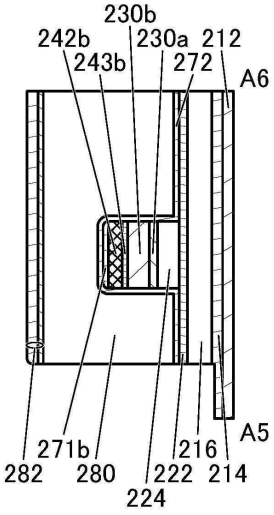
(C)


282
205
260
212
250
A4
A3
230b
272
216
280
224
222
214
230a

(B)

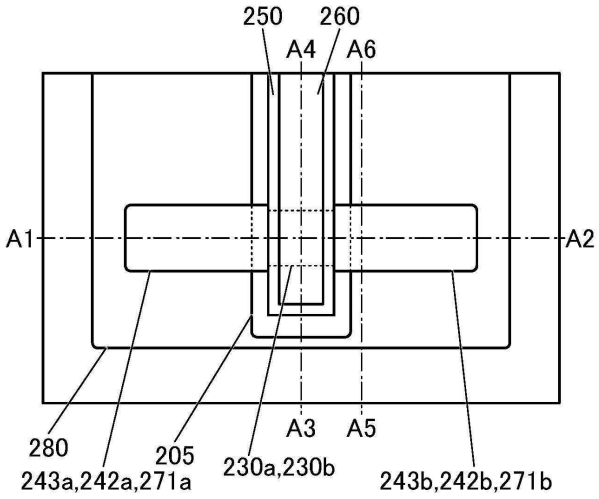

250
260
250a
260b
250b
260a
282b
282a
280
272
214
212
A1
A2
271a
205c
205b
230b
271b
224
242a
222
205a
230a
242b
243a
205
230
243b
216

(D)

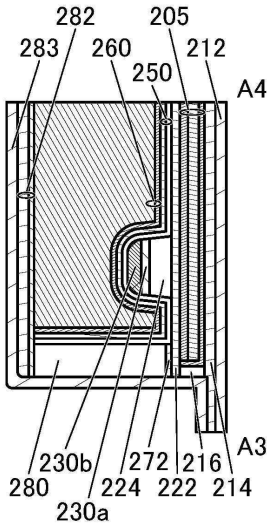

230b
242b
230a
212
243b
272
A6
A5
271b
216
282
280
222
214
224

도면21

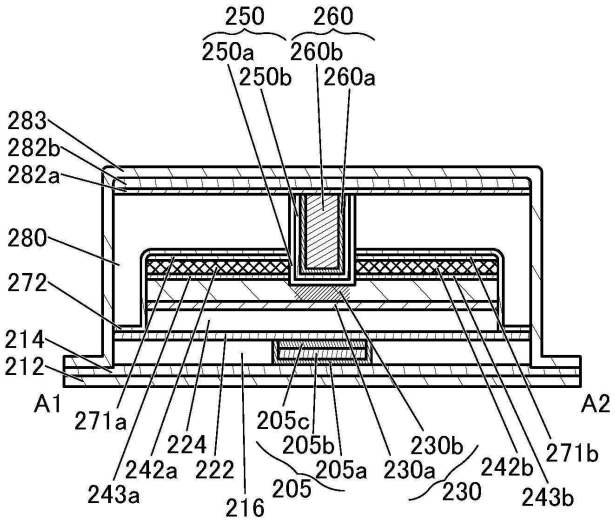
(A)


250
260
A4
A6
A1
A2
280
205
243a,242a,271a
230a,230b
A3
A5
243b,242b,271b

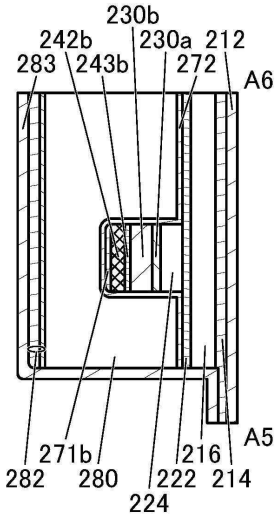
(C)


282
205
283
260
212
250
A4
A3
230b
272
216
280
224
222
214
230a

(B)

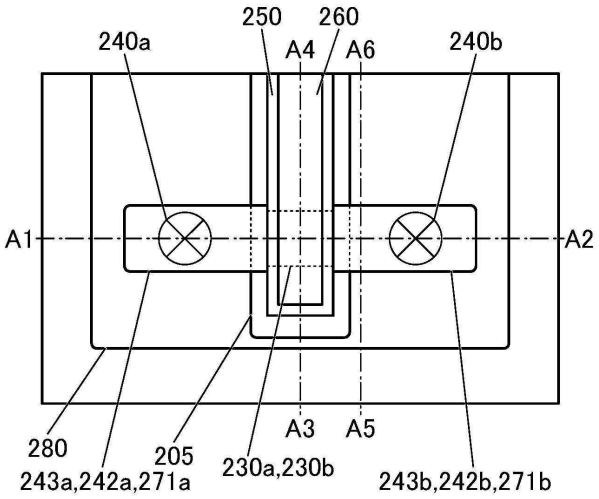

250
260
250a
260b
250b
260a
283
282b
282a
280
272
214
212
A1
A2
271a
205c
205b
230b
271b
224
242a
222
205a
230a
242b
243a
205
230
243b
216

(D)

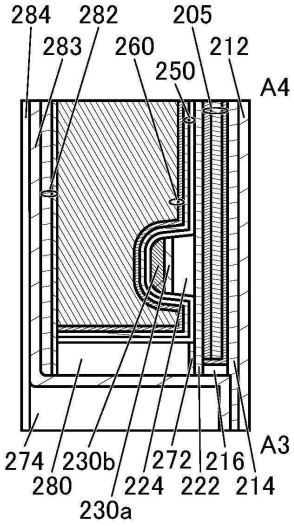

230b
242b
230a
212
283
243b
272
A6
A5
271b
216
282
280
222
214
224

도면22

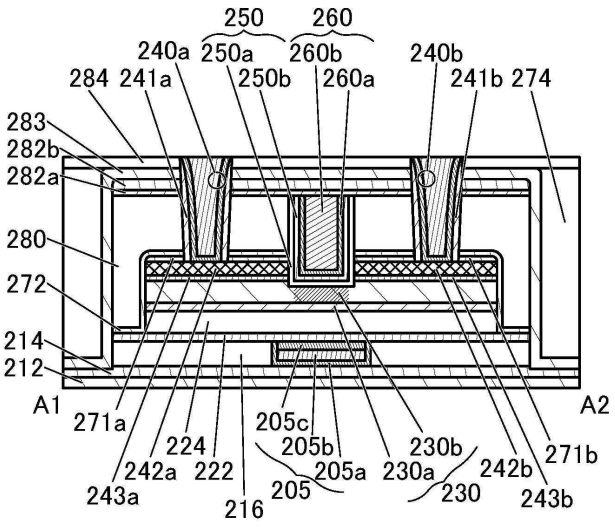
(A)


240a
250
260
A4
A6
240b
A1
A2
280
243a,242a,271a
205
230a,230b
A3
A5
243b,242b,271b

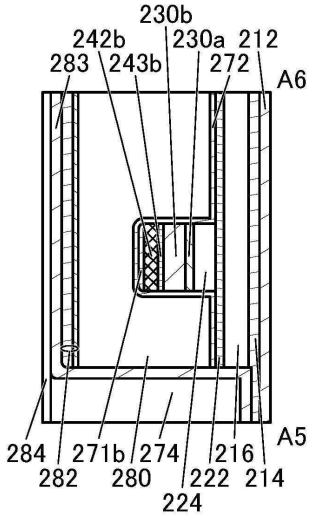
(C)


284
282
205
283
260
212
250
A4
A3
274
230b
272
216
280
224
222
214
230a

(B)

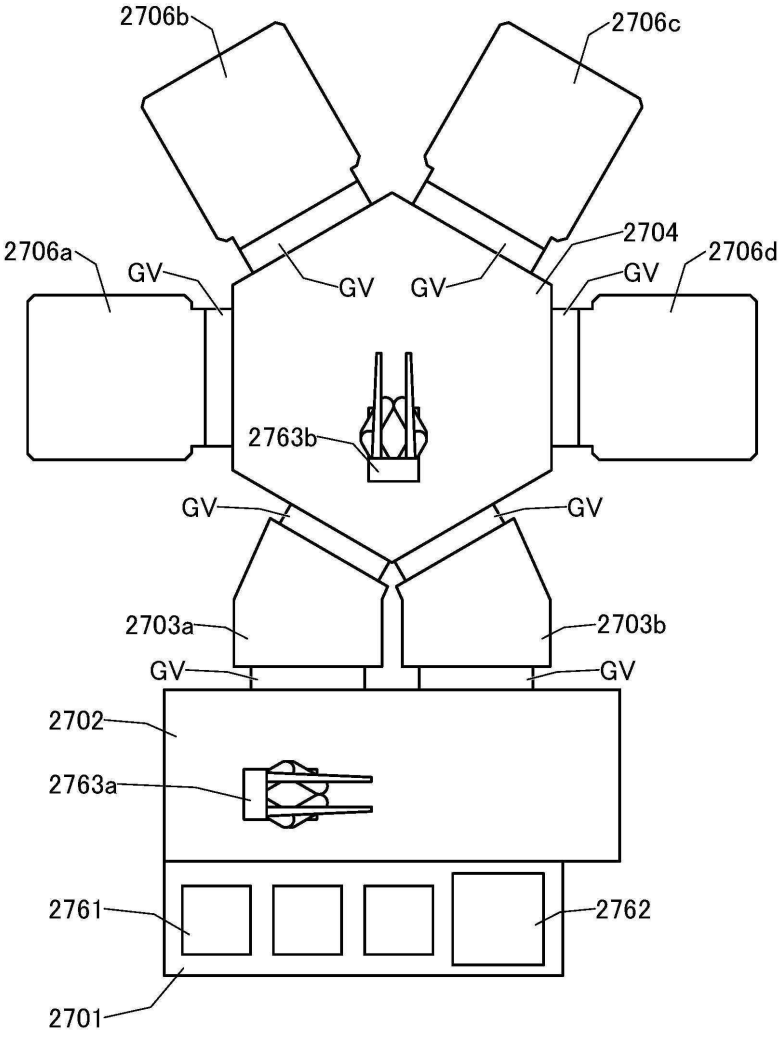

250
260
240a
250a
260b
240b
284
241a
250b
260a
241b
274
283
282b
282a
280
272
214
212
A1
A2
271a
205c
205b
230b
271b
224
242a
222
205a
230a
242b
243a
205
230
243b
216

(D)

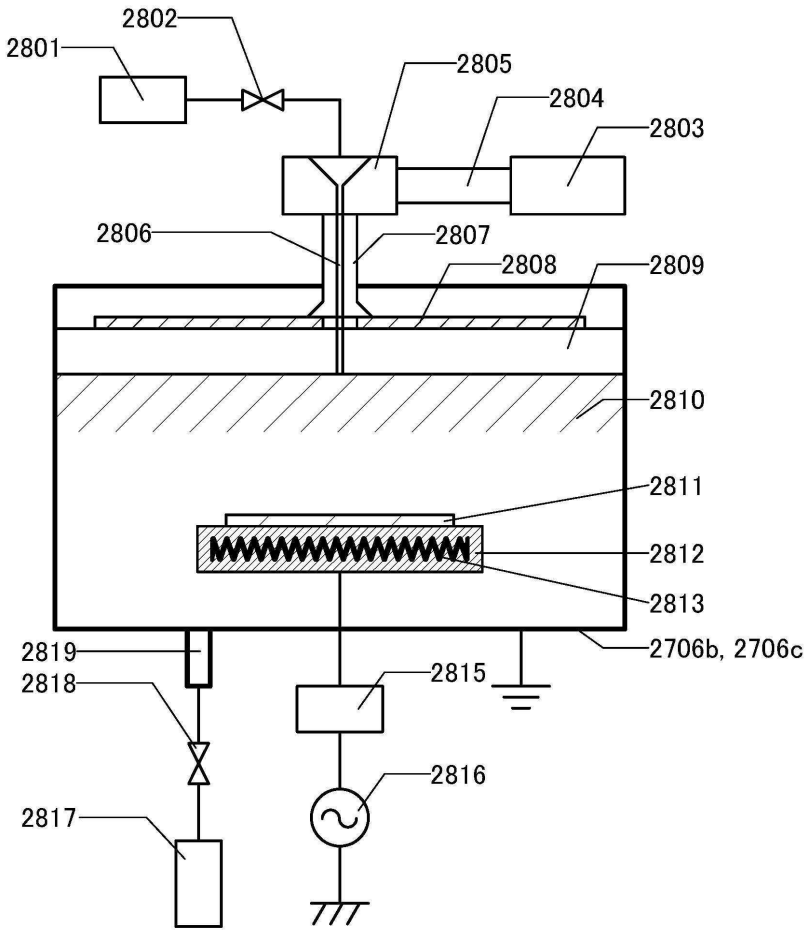

230b
242b
230a
212
283
243b
272
A6
A5
284
271b
274
216
282
280
222
214
224

도면23

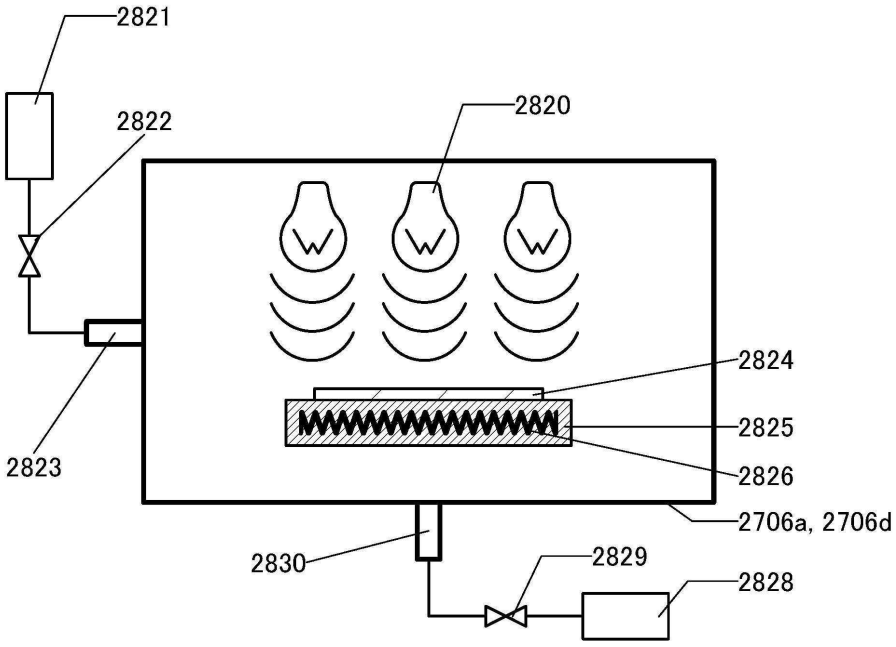
2700


2706b
2706c
2706a
GV
GV
GV
2704
GV
2706d
2763b
GV
GV
2703a
2703b
GV
GV
2702
2763a
2761
2762
2701

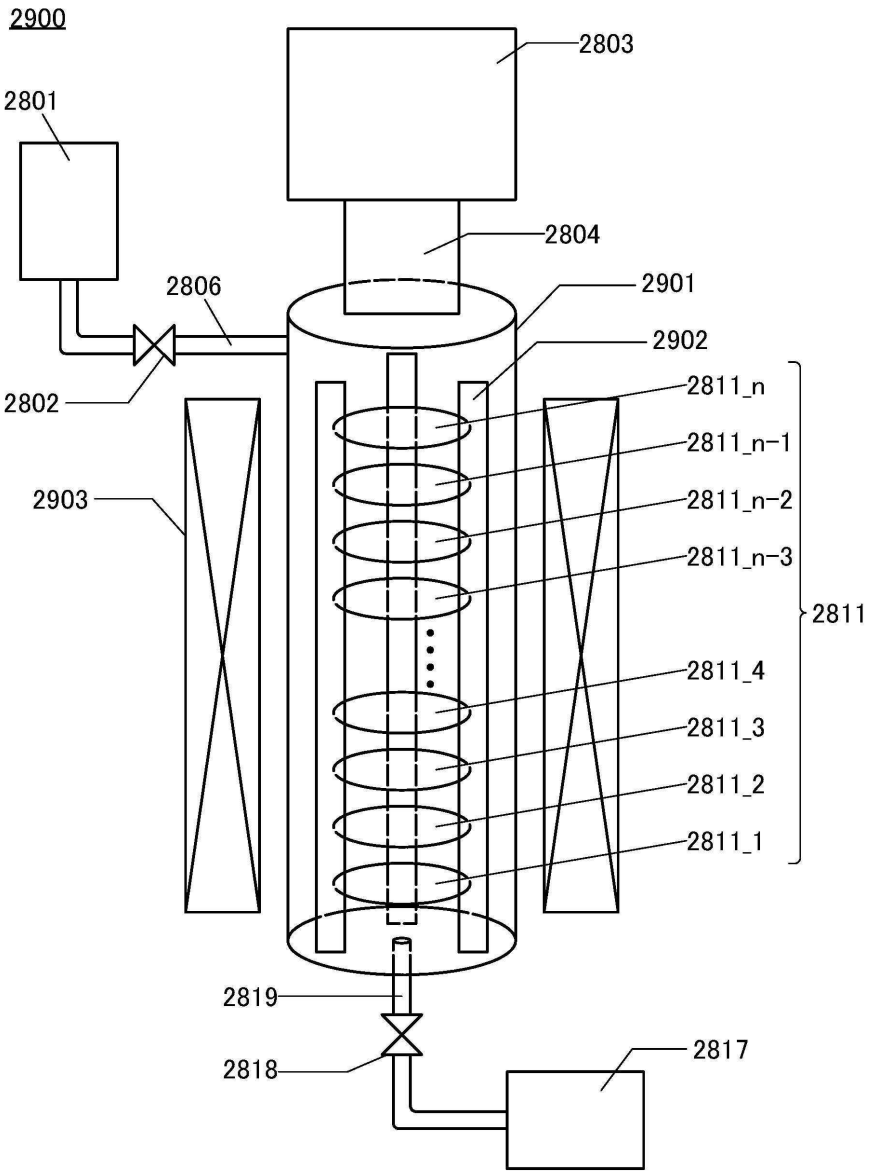
도면24


2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2819
2818
2815
2706b, 2706c
2816
2817

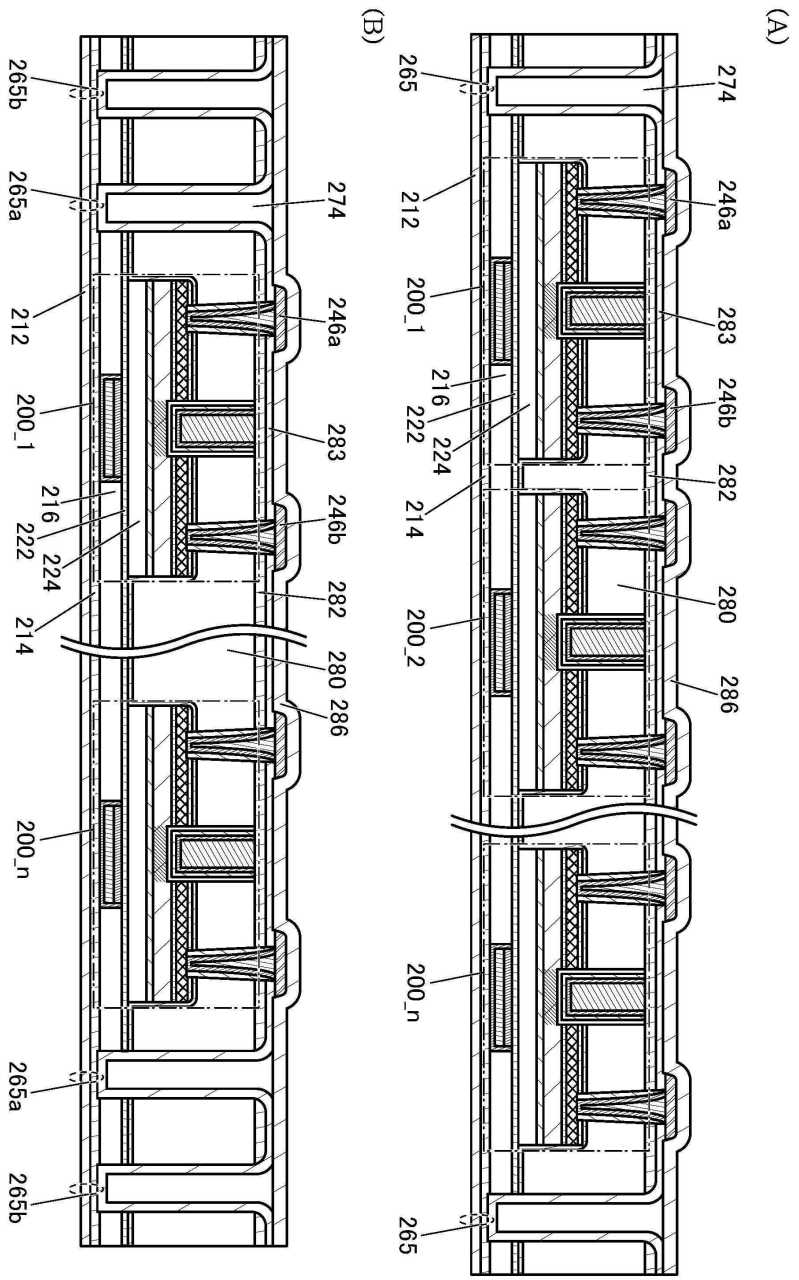
도면25


2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

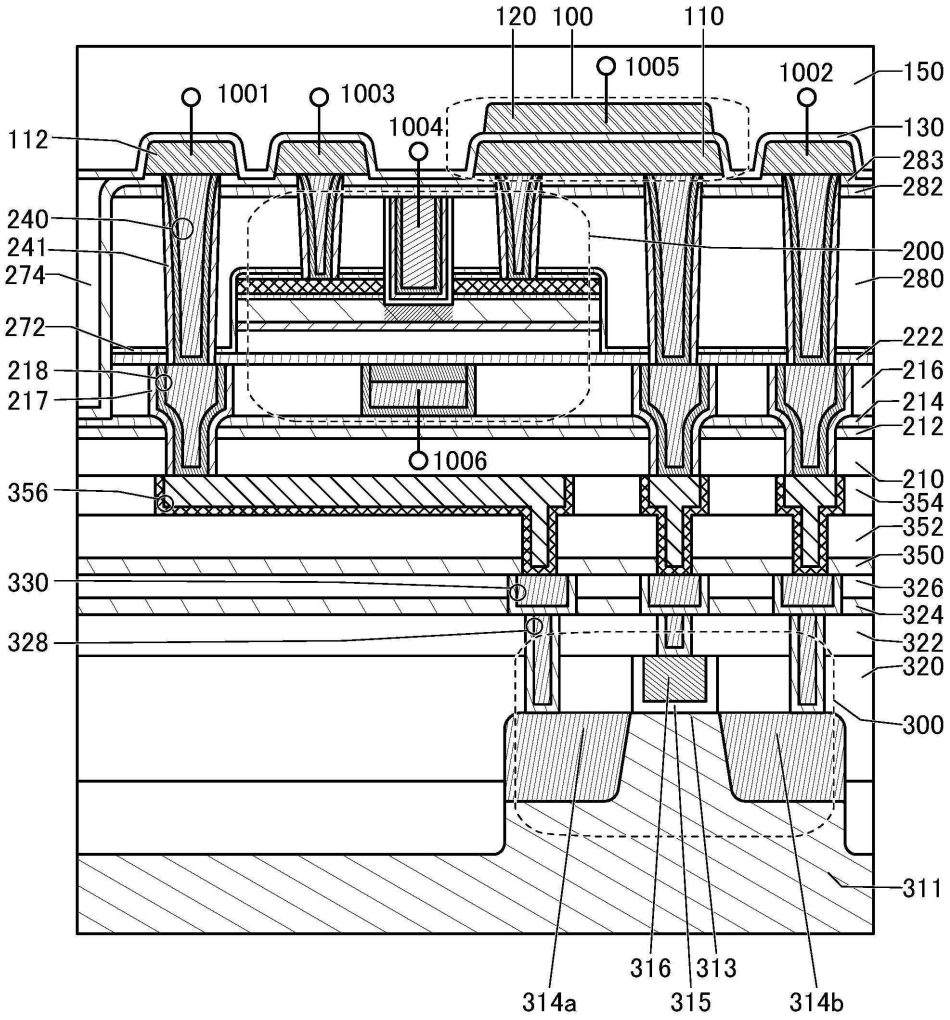
도면26


2900
2803
2801
2804
2806
2901
2902
2802
2811_n
2811_n-1
2811_n-2
2811_n-3
2903
2811
2811_4
2811_3
2811_2
2811_1
2819
2818
2817

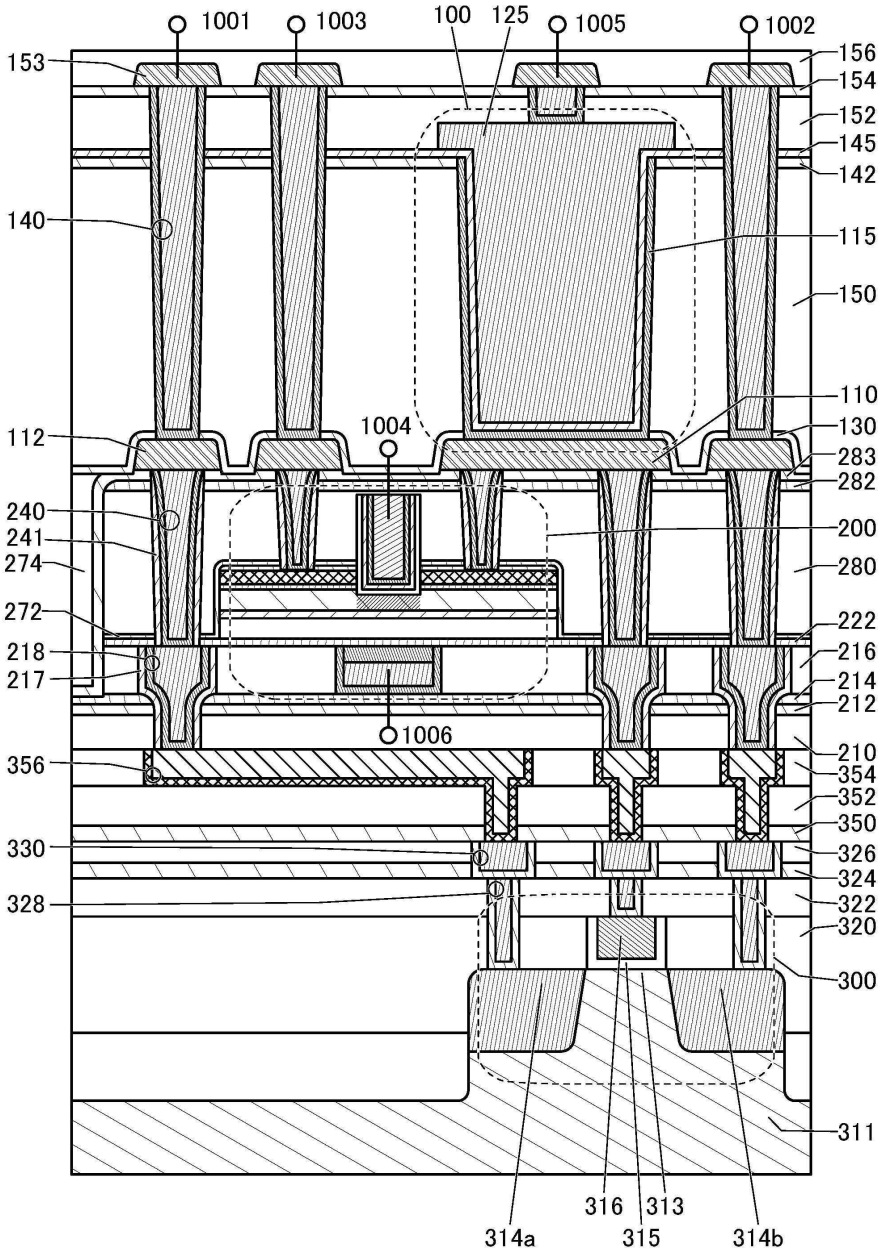
도면27


(A)
265
274
212
246a
200_1
283
216
246b
222
224
282
214
280
200_2
286
200_n
265
(B)
265b
265a
212
200_1
216
222
224
214
274
246a
283
246b
282
280
286
200_n
265a
265b

도면28

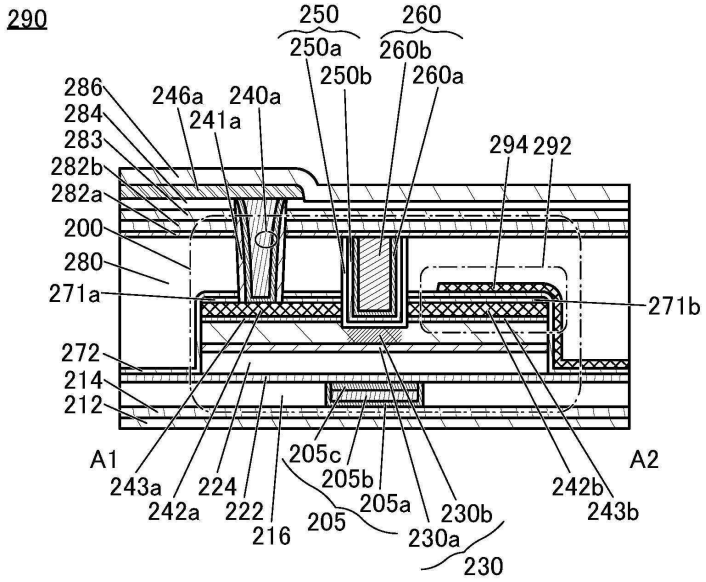

120
100
110
1005
1001
1003
1004
1002
150
130
112
283
282
240
241
274
200
280
272
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

도면29

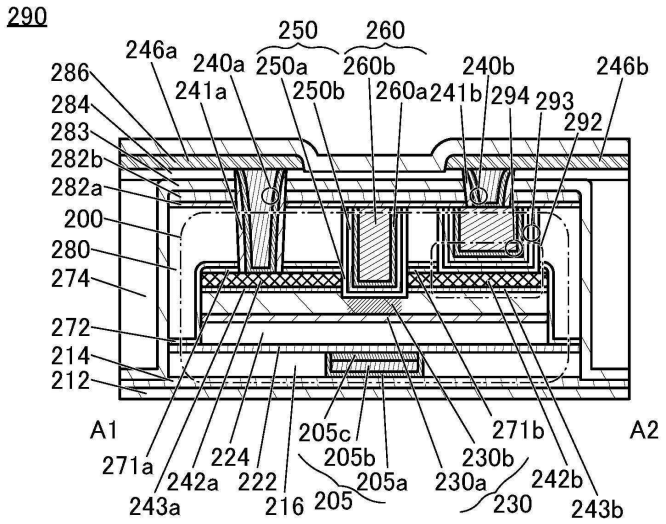

1001
1003
100
125
1005
1002
153
156
154
152
145
142
140
115
150
110
130
283
282
112
1004
240
241
274
200
280
272
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

도면30

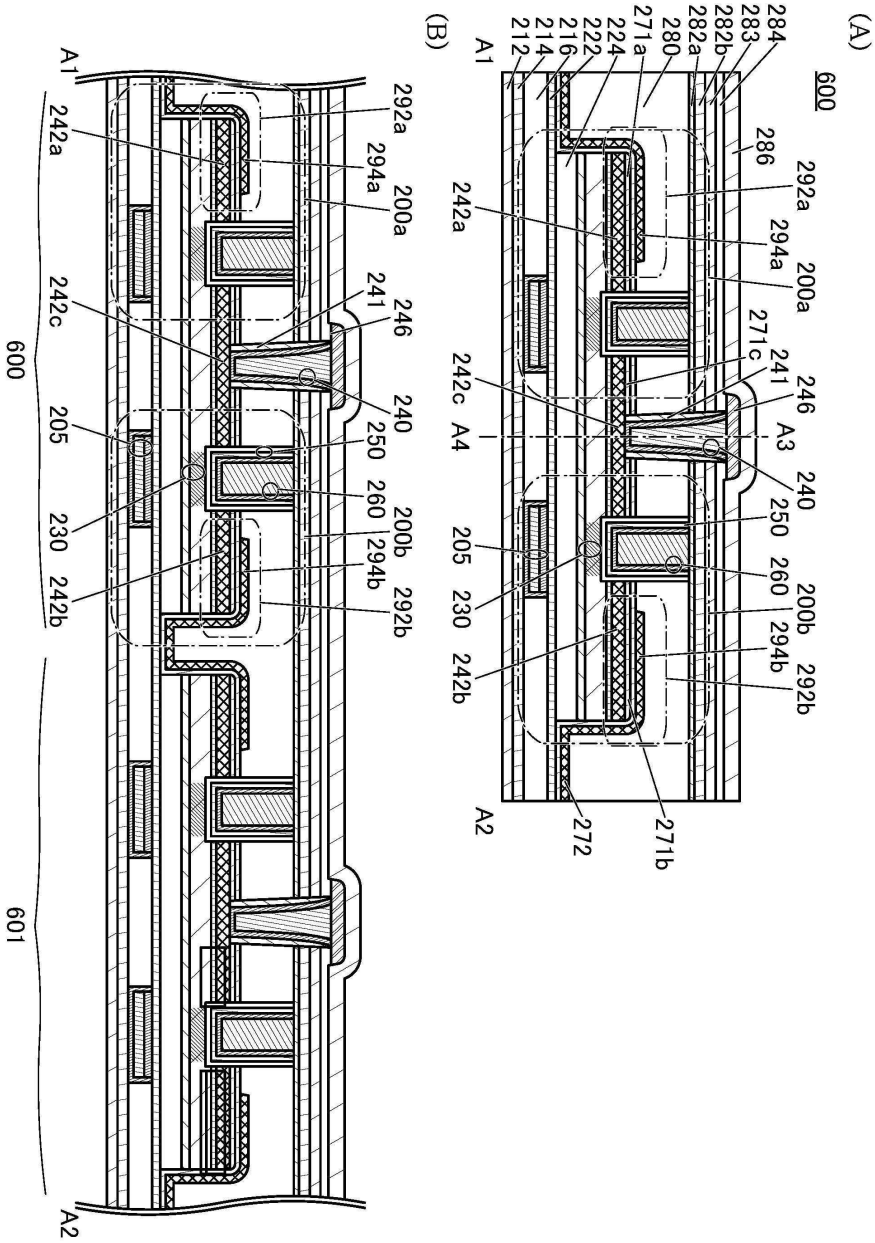
(A)


290
250
260
250a
260b
250b
260a
286
246a
240a
284
241a
283
294
292
282b
282a
200
280
271a
271b
272
214
212
A1
A2
205c
205b
243a
224
242a
222
205a
230b
242b
243b
216
205
230a
230

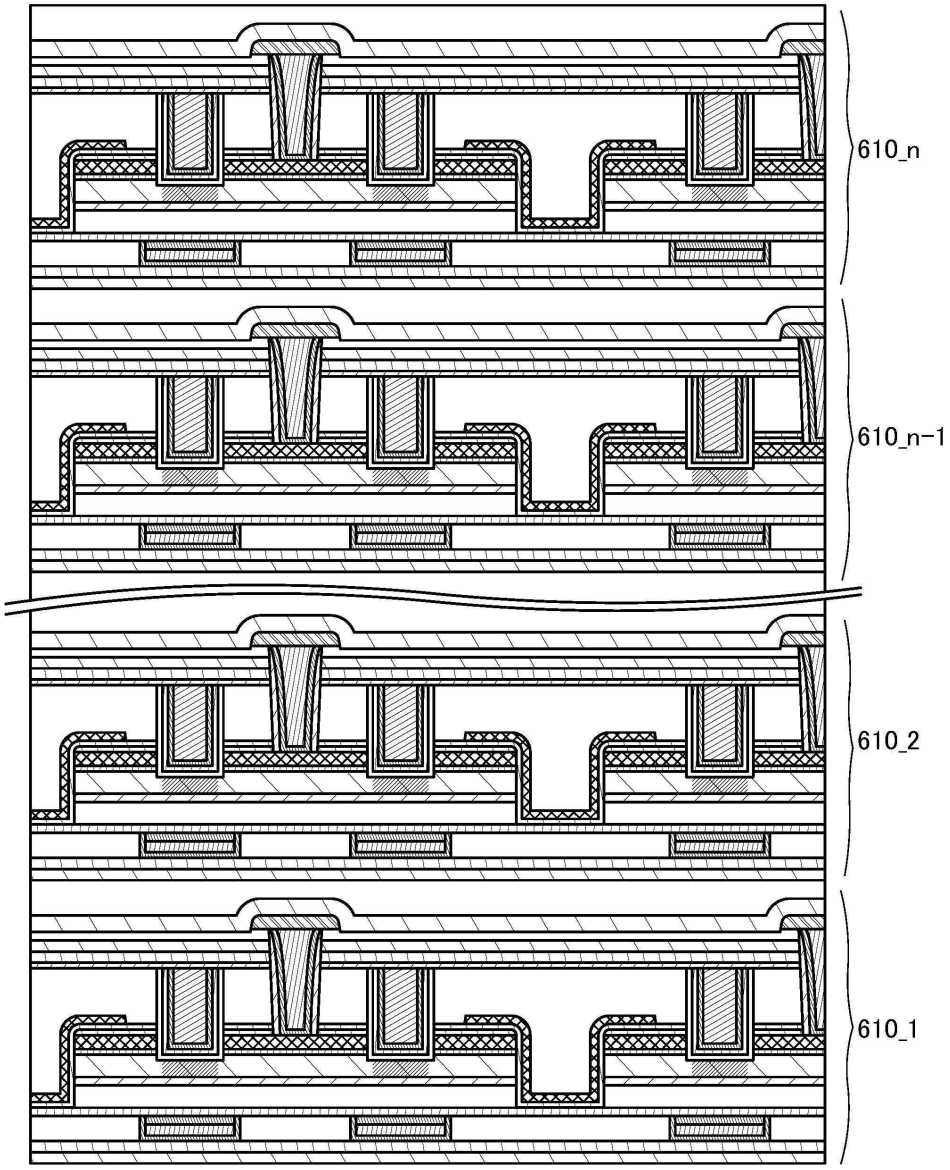
(B)


290
250
260
246a
240a
250a
260b
240b
246b
286
241a
250b
260a
241b
294
293
284
292
283
282b
282a
200
280
274
272
214
212
A1
A2
271b
205c
271a
224
205b
230b
242b
242a
222
205a
230a
243a
216
205
230
243b

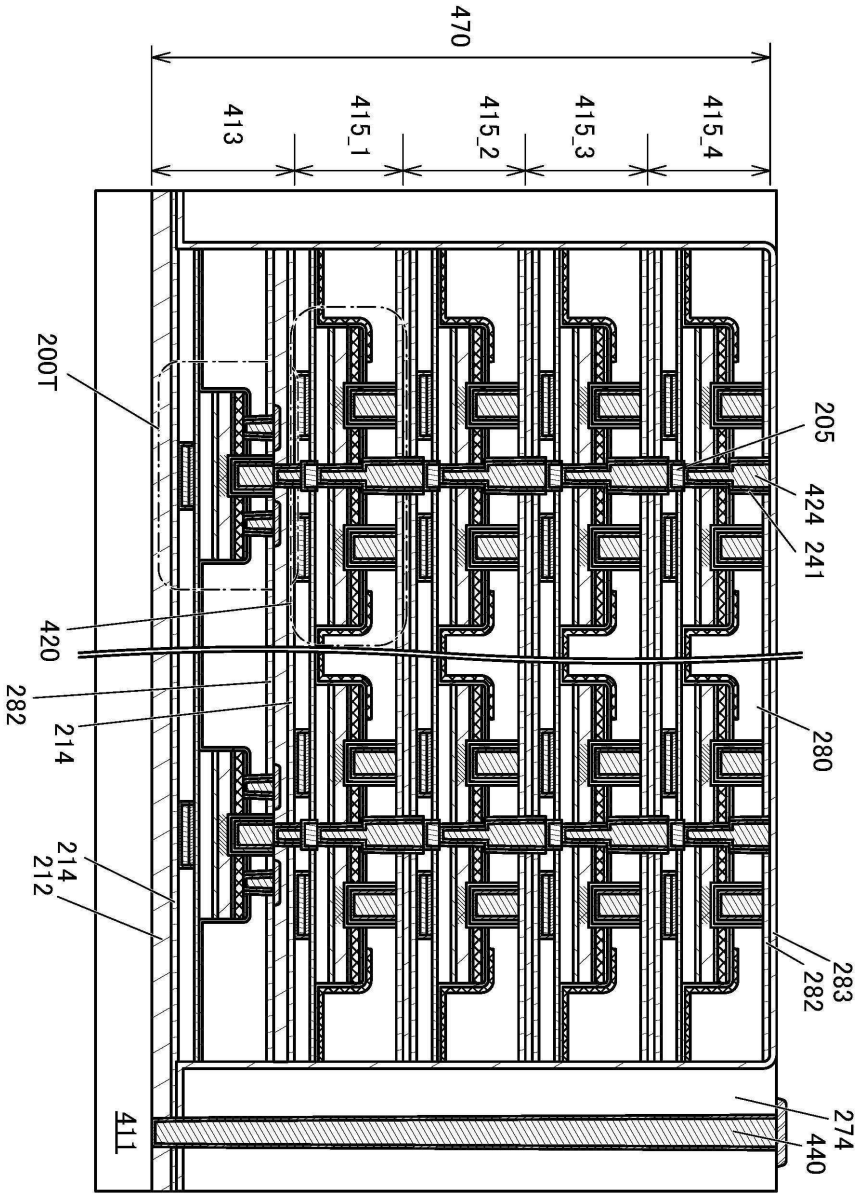
도면31


(A)
600
284
283
282b
282a
280
271a
224
222
216
214
212
A1
286
292a
294a
200a
271c
241
246
242a
242c
A4
A3
240
250
260
205
230
200b
294b
242b
292b
272
271b
A2
(B)
A1
242a
292a
294a
200a
241
246
242c
205
240
250
230
260
200b
294b
242b
292b
600
601
A2

도면32

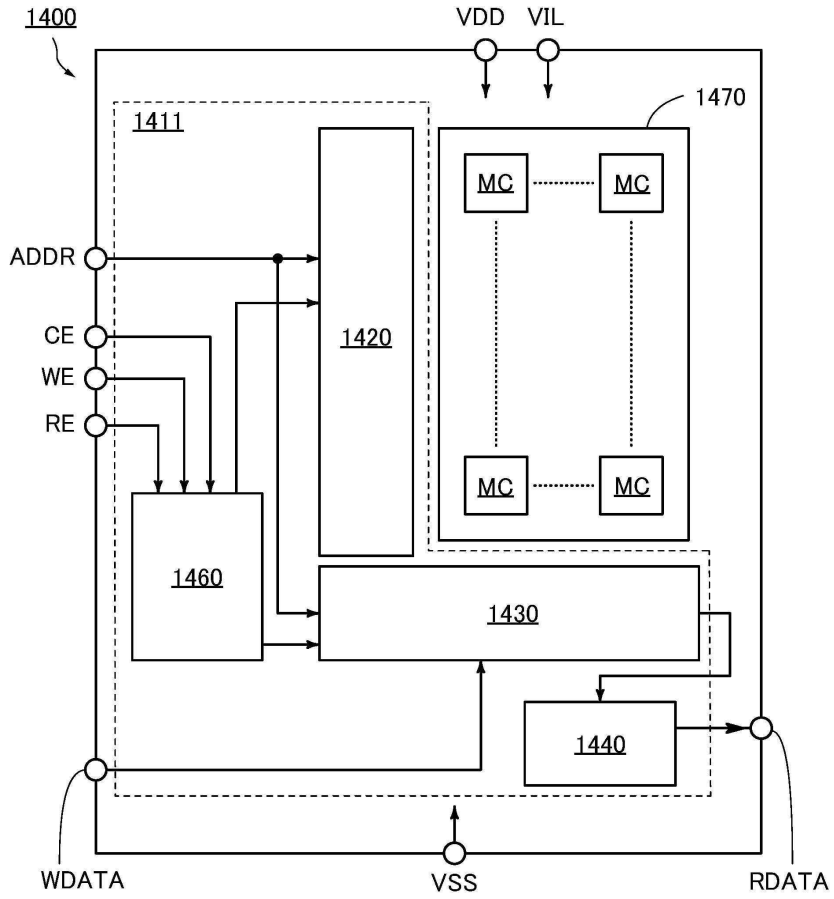


도면33

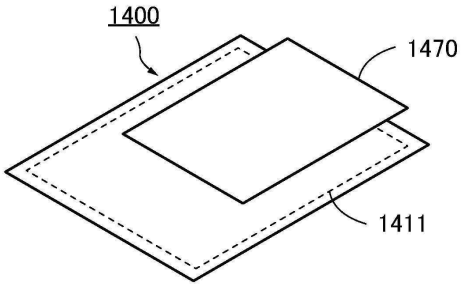

470
413
415_1
415_2
415_3
415_4
200T
205
424
241
420
282
214
280
214
212
283
282
411
274
440

도면34

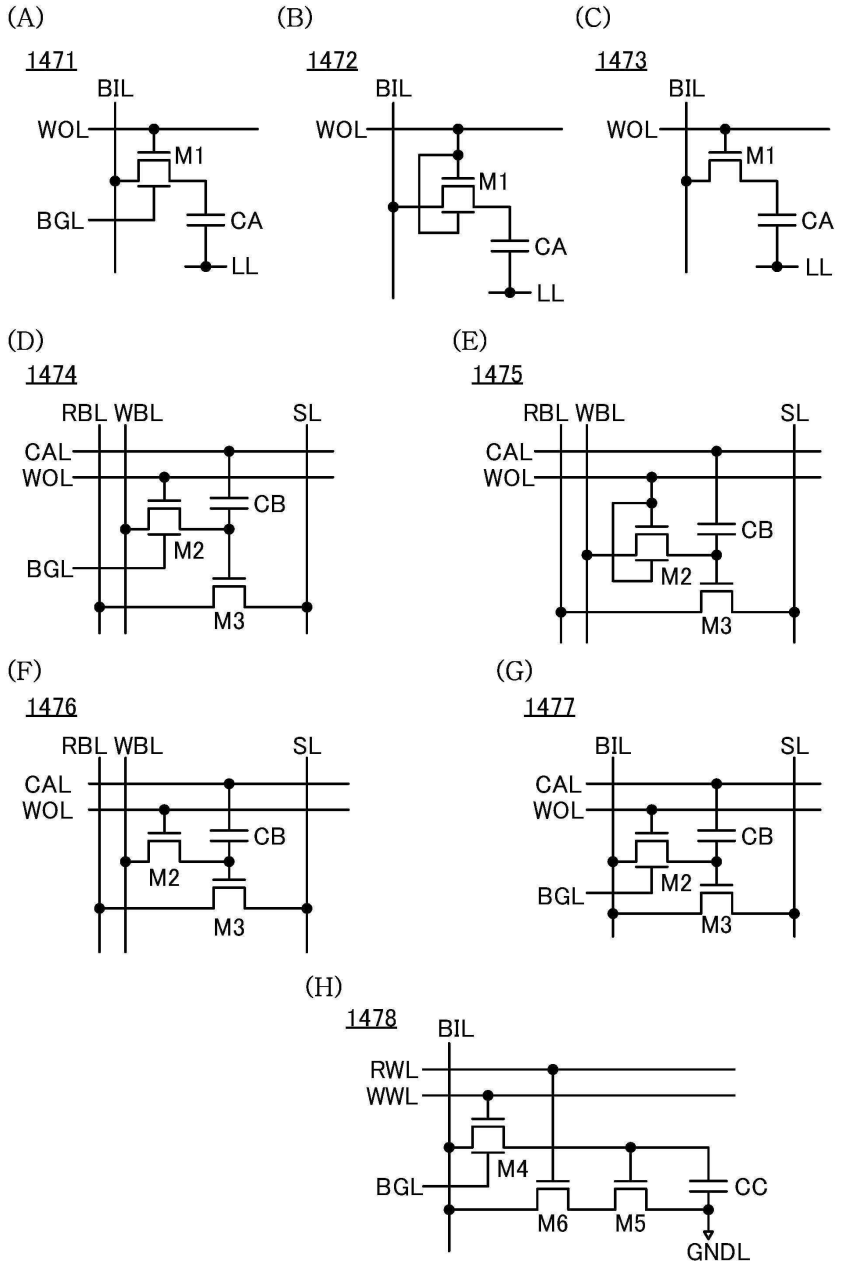
(A)


1400
VDD
VIL
1470
1411
MC
MC
ADDR
1420
CE
WE
RE
MC
MC
1460
1430
1440
WDATA
VSS
RDATA

(B)

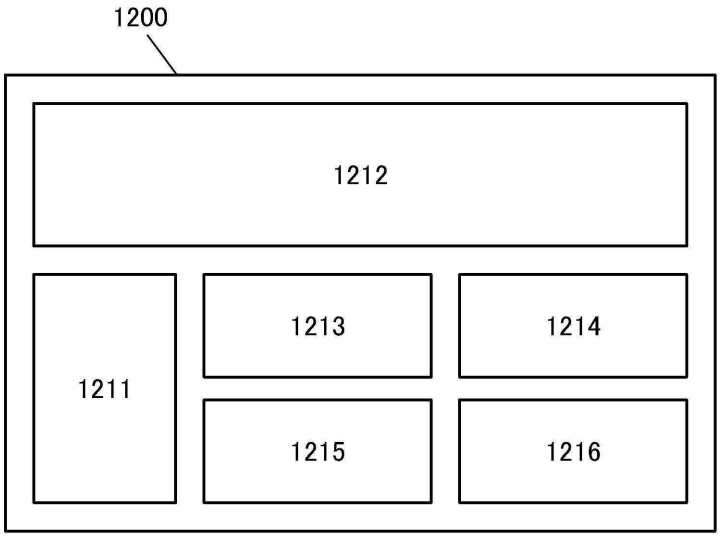

1400
1470
1411

도면35

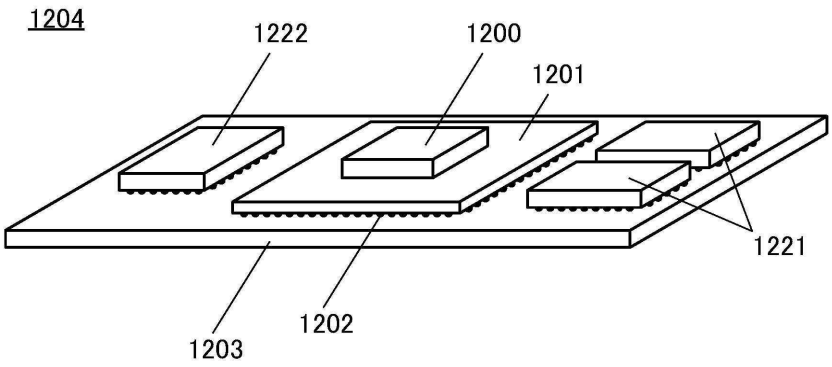

(A)
1471
BIL
WOL
M1
BGL
CA
LL
(B)
1472
BIL
WOL
M1
CA
LL
(C)
1473
BIL
WOL
M1
CA
LL
(D)
1474
RBL WBL
SL
CAL
WOL
CB
M2
BGL
M3
(E)
1475
RBL WBL
SL
CAL
WOL
CB
M2
M3
(F)
1476
RBL WBL
SL
CAL
WOL
CB
M2
M3
(G)
1477
BIL
SL
CAL
WOL
CB
M2
BGL
M3
(H)
1478
BIL
RWL
WWL
M4
BGL
M6
M5
CC
GNDL

도면36

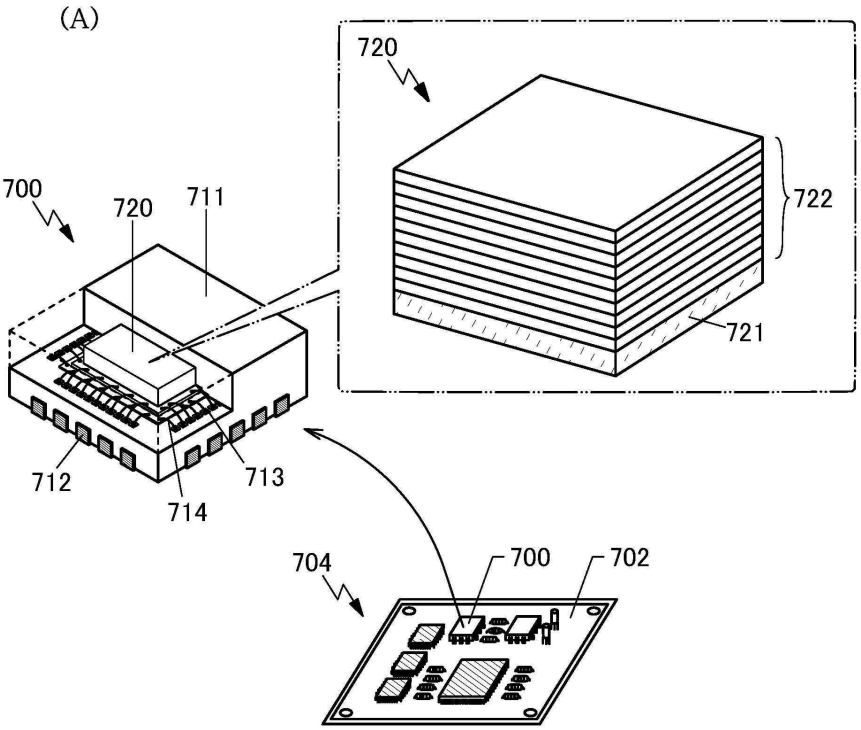
(A)

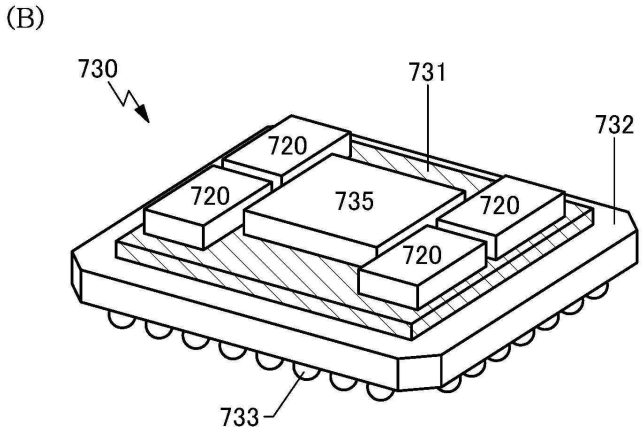

1200
1212
1211
1213
1214
1215
1216

(B)

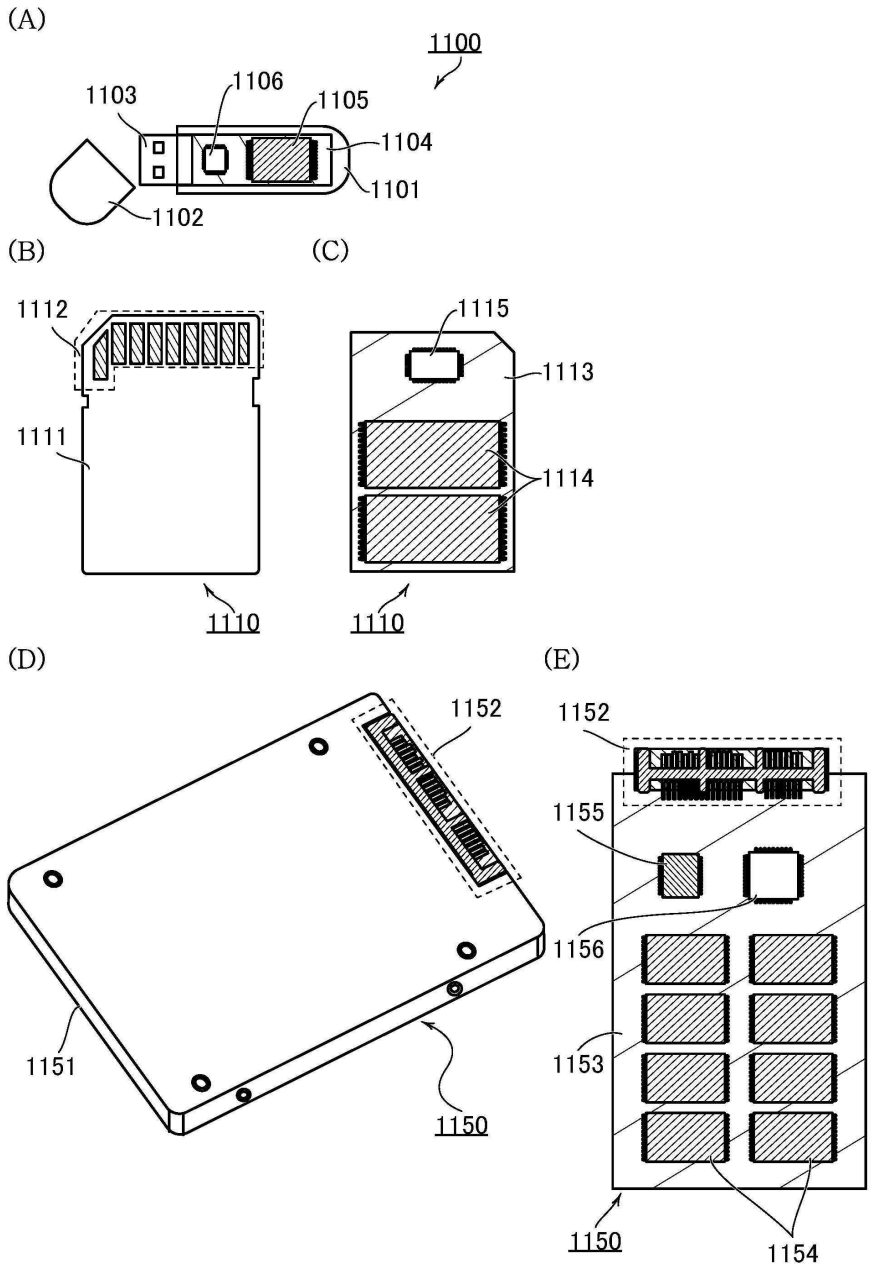

1204
1222
1200
1201
1221
1203
1202

도면37

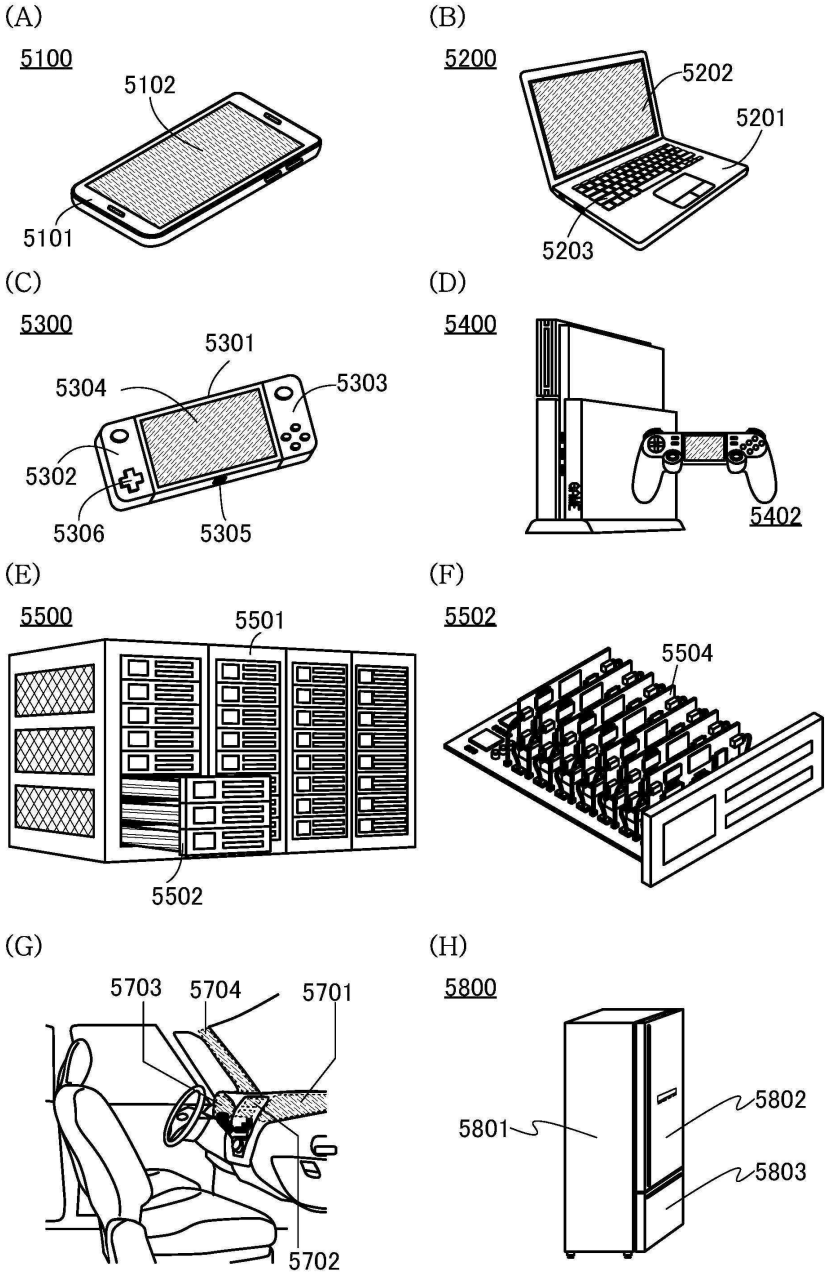

(A)
720
722
721
700
720
711
712
713
714
704
700
702


(B)
730
731
732
720
720
735
720
720
733

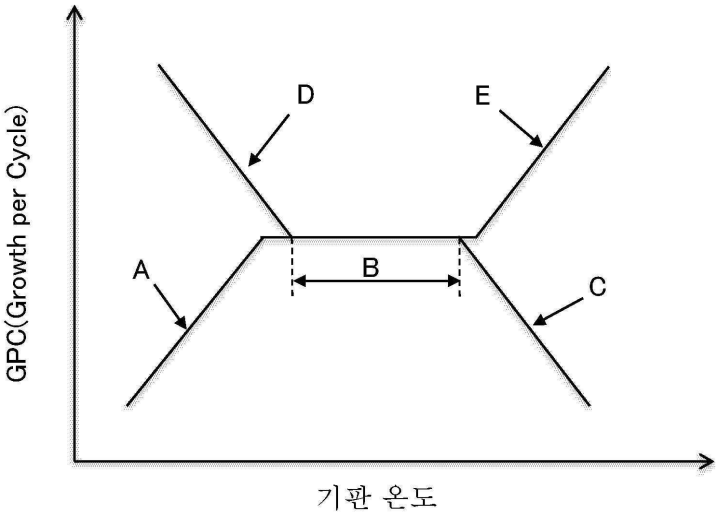
도면38


(A)
1100
1103
1106
1105
1104
1101
1102
(B)
(C)
1112
1111
1110
1115
1113
1114
1110
(D)
(E)
1152
1151
1150
1152
1155
1156
1153
1150
1154

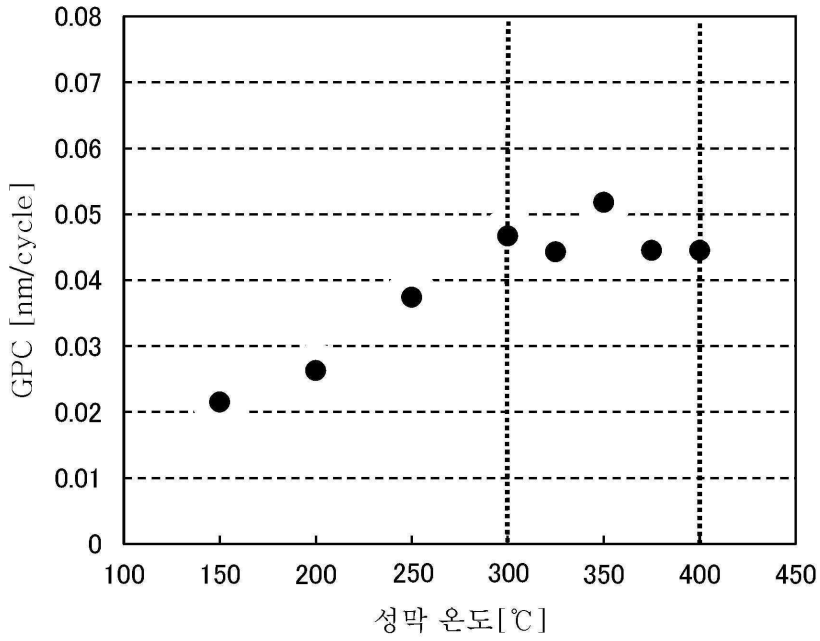
도면39


(A)
5100
5102
5101
(B)
5200
5202
5201
5203
(C)
5300
5301
5304
5303
5302
5306
5305
(D)
5400
5402
(E)
5500
5501
5502
(F)
5502
5504
(G)
5703
5704
5701
5702
(H)
5800
5801
5802
5803

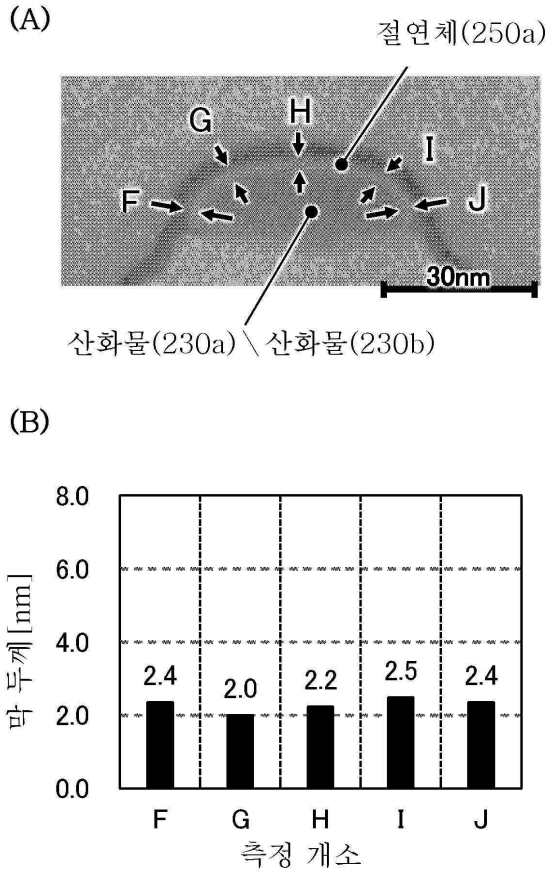
도면40


GPC(Growth per Cycle)
D
E
A
B
C
기판 온도

도면41


0.08
0.07
0.06
0.05
0.04
0.03
0.02
0.01
0
GPC [nm/cycle]
100
150
200
250
300
350
400
450
성막 온도[℃]

도면42


(A)
절연체(250a)
G
H
I
F
J
30nm
산화물(230a)
산화물(230b)
(B)
8.0
6.0
4.0
2.0
0.0
막 두께[nm]
2.4
2.0
2.2
2.5
2.4
F
G
H
I
J
측정 개소