

(12) 发明专利申请

(10) 申请公布号 CN 102682827 A

(43) 申请公布日 2012. 09. 19

(21) 申请号 201110060556. 6

(22) 申请日 2011. 03. 14

(71) 申请人 复旦大学

地址 200433 上海市杨浦区邯郸路 220 号

(72) 发明人 解玉凤 林殷茵 薛晓勇 孟超

(74) 专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 盛志范

(51) Int. Cl.

G11C 7/06(2006. 01)

G11C 11/4063(2006. 01)

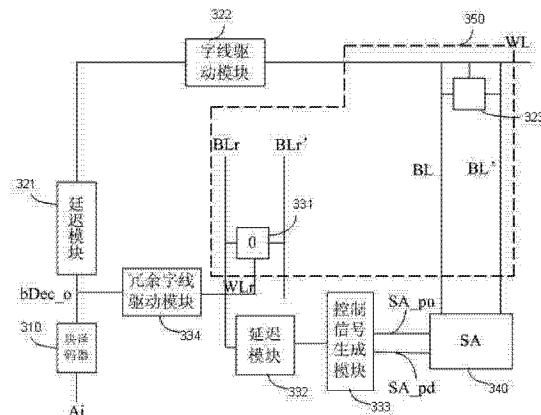
权利要求书 2 页 说明书 7 页 附图 3 页

(54) 发明名称

DRAM 的读出放大器的控制电路及包括其的 DRAM

(57) 摘要

本发明属于 DRAM 技术领域，具体为一种 DRAM 的读出放大器的控制电路及包括其的 DRAM。本发明的读出放大器的控制电路包括控制信号生成电路，与所述 DRAM (动态随机存取存储器)的存储单元相应的冗余单元，以及冗余字线驱动模块；其中，所述冗余单元的位线延迟与所述存储单元的位线延迟相匹配。本发明的 DRAM 包括存储阵列、所述存储阵列中的存储单元的读通路；所述存储阵列中还包括冗余单元，所述 DRAM 还包括所述读出放大器的控制电路。该 DRAM 的读操作速度大为提高。



1. 一种动态随机存取存储器的读出放大器的控制电路,所述控制电路包括控制信号生成电路,其特征在于,所述控制电路还包括:与所述动态随机存取存储器的存储单元相应的冗余单元、以及冗余字线驱动模块;

其中,所述冗余单元的位线延迟与所述存储单元的位线延迟相匹配。

2. 如权利要求1所述的读出放大器的控制电路,其特征在于,所述控制电路还包括第一延迟模块,所述第一延迟模块用于产生第一延迟,并且,该第一延迟与所述控制信号生成电路所产生的延迟、冗余字线驱动模块所产生的延迟之和,与所述存储单元的读通路的外围电路部分所产生的延迟匹配。

3. 如权利要求2所述的读出放大器的控制电路,其特征在于,所述冗余单元的位线延迟与所述存储单元的位线延迟被匹配为相等,所述第一延迟与所述控制信号生成电路所产生的延迟、冗余字线驱动模块所产生的延迟之和,被匹配为等于所述存储单元的读通路的外围电路部分所产生的延迟。

4. 如权利要求2所述的读出放大器的控制电路,其特征在于,所述第一延迟模块为由若干级串联的反相器组成的反相器链。

5. 如权利要求4所述的读出放大器的控制电路,其特征在于,通过设置所述反相器链的反相器的级数以调节所述第一延迟。

6. 如权利要求1或2所述的读出放大器的控制电路,其特征在于,所述读出放大器为交叉耦合型灵敏放大器。

7. 如权利要求6所述的读出放大器的控制电路,其特征在于,所述控制信号生成电路包括上拉信号生成单元和下拉信号生成单元;所述上拉信号生成单元所产生的延迟与所述字线驱动模块所产生的延迟之和,与所述存储单元的读通路的外围电路部分所产生的延迟匹配,所述下拉信号生成单元所产生的延迟与所述字线驱动模块所产生的延迟之和,与所述存储单元的读通路的外围电路部分所产生的延迟匹配。

8. 如权利要求2或7所述的读出放大器的控制电路,其特征在于,所述读通路的外围电路部分包括第二延迟模块以及字线驱动模块。

9. 如权利要求1所述的读出放大器的控制电路,其特征在于,所述存储单元的位线延迟为所述存储单元的存储电荷使其所耦接的位线对的电压差达到使所述读出放大器能正常工作的幅度所需要的时间,所述冗余单元的位线延迟为所述冗余单元的存储电荷使其所耦接的位线对的电压差达到使反相器能够工作的幅度所需要的时间。

10. 如权利要求9所述的读出放大器的控制电路,其特征在于,使所述读出放大器能正常工作的幅度基本等于使反相器能够工作的幅度。

11. 如权利要求1所述的读出放大器的控制电路,其特征在于,所述冗余单元在读操作过程中始终存储“0”或始终存储“1”。

12. 一种动态随机存取存储器,其包括存储阵列、存储阵列中的存储单元的读通路,其特征在于,所述存储阵列中还包括冗余单元,所述动态随机存取存储器还包括如权利要求1至10中任一项所述的读出放大器的控制电路。

13. 如权利要求12所述的动态随机存取存储器,其特征在于,所述存储单元和所述冗余单元在所述动态随机存取存储器的存储阵列中同时制备形成。

14. 如权利要求12所述的动态随机存取存储器,其特征在于,所述读通路包括第二延

迟模块以及字线驱动模块。

15. 如权利要求 12 所述的动态随机存取存储器，其特征在于，所述存储单元的读通路所产生的延迟与所述读出放大器的控制电路所产生的延迟相等。

DRAM 的读出放大器的控制电路及包括其的 DRAM

技术领域

[0001] 本发明属于 DRAM 技术领域，具体涉及 DRAM 的读出放大器的控制电路，尤其涉及一种包括冗余单元的读出放大器的控制电路，以及包括该控制电路的 DRAM。

背景技术

[0002] DRAM (Dynamic Random Access Memory, 动态随机存取存储器) 已经被广泛地应用于计算机等电子产品中，其技术发展周期较长，相对成熟。但是，由于 DRAM 是基于电荷来存储信息的存储器，其读操作相对较慢。随着对 DRAM 的速度的要求越来越高，当前的主要手段是通过对 DRAM 不断地按比例缩小 (scaling down) 来提高读速度。

[0003] 通常地，DRAM 包括存储阵列以及外围电路(用于实现读、写和刷新等操作的控制)，存储阵列同样是由多个存储单元按行和列的形式排列组成，每个存储单元被设置于相应耦合的位线和字线之间的交叉处。具体地，存储单元通常包括一个存取晶体管 T(具有选通作用)和用于存储电荷的电容 C。外围电路依据外部命令、通过对所选中的位线和字线偏置相应电信号，以实现对其中某一地址的存储单元的操作。

[0004] 其中，DRAM 的外围电路包括译码器(例如行译码器和列译码器)、位线驱动模块、字线驱动模块、逻辑控制模块以及读出放大器(例如灵敏放大器，SA)，读出放大器耦合至存储阵列上，其用于执行从 / 向被选择的存储单元读出 / 写入操作。读出放大器的输出同时还耦合至 DRAM 的 I/O 缓冲器中。在读操作过程中，读出放大器是否开始工作，由其使能控制信号来控制。

[0005] 图 1 所示为现有技术的读出放大器的使能控制信号的生成电路模块结构示意图。在该模块中，读出放大器为常规的 SA (Sense Amplifier, 灵敏放大器)，该使能控制信号的生成电路也即 SA 的控制电路，主要地包括由反相器链构成的延迟模块 101 和控制信号生成模块 102。外部激活信号(ACT, Active Signal) (在这可以称为“读操作启动信号、读操作激活信号”等) 可以是由外围电路的译码器输出，其由延迟模块 101 输出至控制信号生成模块 102，控制信号生成模块 102 输出控制信号 SA_ctrl 至 SA，从而控制 SA 是否启动。图 1 所示的 SA 控制电路主要有如下缺点：

第一个方面，控制信号 SA_ctrl 的延迟主要包括延迟模块 101 所产生的延迟 t1 以及由控制信号生成模块 102 所产生的延迟 t2，通过调节延迟模块 101 中反相器的级数，可以调节延迟 t1 的大小。在现有的读操作中，为保证读操作的可靠性，与 SA 耦合的位线对的电压差必须达到使 SA 能正常工作的幅度(ΔV)后、然后再等待一段时间才让 SA 开启工作，该段等待的时间通常也被包括在 t1 和 t2 的延迟中。因此，这段等待会降低读操作的速度。

[0006] 第二个方面，通常地，DRAM 中，存储阵列中的工艺特征尺寸相比于外围电路的工艺特征尺寸要小，并且，不可避免地，在 DRAM 的制备过程存在工艺波动现象，这一现象也随着技术进步、工艺特征尺寸不断按比例缩小而变得明显。由于工艺波动现象的存在，各个存储单元的位线延迟与外围电路的延迟模块 101 的延迟(t1) 难以固定匹配。图 2 所示为存储单元的位线延迟与延迟模块的延迟随工艺波动的变化示意图，其中，横坐标表示各种工艺

类型,纵坐标表示存储单元的位线延迟($t_{\text{位}}$)与延迟模块的延迟(t_1)的比值。从图2中可以看出,位线延迟($t_{\text{位}}$)与延迟模块的延迟(t_1)的比值并不是固定匹配于某一值,其波动范围也随工艺类型的变化而波动比较大。因此,在各种工艺类型下的工艺波动,会导致延迟模块的延迟 t_1 难以跟踪存储单元的位线的延迟 $t_{\text{位}}$,从而,通过调节反相器的级数来调节 t_1 、进而准确匹配存储单元的位线延迟 $t_{\text{位}}$ 是难以实现的。在现有技术中,不得不采用最坏情况下的延迟模块的延迟 t_1 (也即选择最长的 t_1)来提供控制信号SA_ctrl1,这也会降低DRAM的读操作的速度。

[0007] 有鉴于此,有必要针对DRAM的读出放大器提出一种新型的控制电路以产生使能控制信号。

发明内容

[0008] 本发明的目的在于提供一种能提高DRAM读操作速度的读出放大器的控制电路,同时进一步提供包含该控制电路的DRAM。

[0009] 按照本发明的一方面,提供一种动态随机存取存储器的读出放大器的控制电路,所述控制电路包括控制信号生成电路,所述控制电路还包括:与所述动态随机存取存储器的存储单元相应的冗余单元、以及冗余字线驱动模块;

其中,所述冗余单元的位线延迟与所述存储单元的位线延迟相匹配。

[0010] 按照本发明提供读出放大器的控制电路的优选实施例,其中,所述控制电路还包括第一延迟模块,所述第一延迟模块用于产生第一延迟,并且,使该第一延迟与所述控制信号生成电路所产生的延迟、冗余字线驱动模块所产生的延迟的和,匹配于所述存储单元的读通路的外围电路部分所产生的延迟。

[0011] 所述冗余单元的位线延迟与所述存储单元的位线延迟被匹配为相等,所述第一延迟与所述控制信号生成电路所产生的延迟、冗余字线驱动模块所产生的延迟的和被匹配为等于所述存储单元的读通路的外围电路部分所产生的延迟。

[0012] 较佳地,所述第一延迟模块由若干级串联的反相器组成的反相器链形成。

[0013] 较佳地,通过设置所述反相器链的反相器的级数以调节所述第一延迟。

[0014] 较佳地,所述读出放大器为交叉耦合型灵敏放大器。

[0015] 按照本发明提供读出放大器的控制电路的又一优选实施例,其中,所述控制信号生成电路包括上拉信号生成单元和下拉信号生成单元;所述上拉信号生成单元所产生的延迟与所述字线驱动模块所产生的延迟的和,匹配于所述存储单元的读通路的外围电路部分所产生的延迟;所述下拉信号生成单元所产生的延迟与所述字线驱动模块所产生的延迟的和,匹配于所述存储单元的读通路的外围电路部分所产生的延迟。

[0016] 具体地,所述读通路的外围电路部分包括第二延迟模块以及字线驱动模块。

[0017] 其中,所述存储单元的位线延迟为所述存储单元的存储电荷使其所耦接的位线对的电压差达到使所述读出放大器能正常工作的幅度所需要的时间,所述冗余单元的位线延迟为所述冗余单元的存储电荷使其所耦接的位线对的电压差达到使反相器能够工作的幅度所需求的时间。

[0018] 较佳地,使所述读出放大器能正常工作的幅度基本等于使反相器能够工作的幅度。

[0019] 较佳地，所述冗余单元在读操作过程中始终存储“0”或始终存储“1”。

[0020] 按照本发明的又一方面，提供一种动态随机存取存储器，其包括存储阵列、所述存储阵列中的存储单元的读通路，其中，所述存储阵列中还包括冗余单元，其中所述动态随机存取存储器还包括以上所述及的任一种读出放大器的控制电路。

[0021] 较佳地，所述存储单元和所述冗余单元在所述动态随机存取存储器的存储阵列中同时制备形成。

[0022] 具体地，所述读通路包括第二延迟模块以及字线驱动模块。

[0023] 较佳地，所述存储单元的读通路所产生的延迟与所述读出放大器的控制电路所产生的延迟相等。

[0024] 本发明的技术效果是，通过在存储单元的读出放大器的控制电路中增加冗余单元，从而，通过冗余单元的位线延迟来匹配于存储单元的位线延迟，控制电路其他延迟与存储单元的读通路的外围电路的延迟相匹配。因此，一方面，控制电路的延迟能有效跟踪存储单元的读通路的延迟，并且能随时跟踪工艺波动所导致的读通路的延迟的变化；另一方面，一旦存储单元的位线电压差达到读出放大器可以工作的幅度(ΔV)，即可立即启动读出放大器。从而，该 DRAM 的读操作速度可以大大提高。

附图说明

[0025] 从结合附图的以下详细说明中，将会使本发明的上述和其它目的及优点更加完全清楚，其中，相同或相似的要素采用相同的标号表示。

[0026] 图 1 是现有技术的读出放大器的使能控制信号的生成电路模块结构示意图。

[0027] 图 2 是存储单元的位线延迟与延迟模块的延迟随工艺波动的变化示意图。

[0028] 图 3 是按照本发明一实施例提供的 DRAM 的基本结构示意图。

[0029] 图 4 是交叉耦合型 SA 的具体结构实例示意图。

[0030] 图 5 是图 3 所示 DRAM 中的控制信号生成模块 333 和延迟模块 332 的又一实例结构示意图。

具体实施方式

[0031] 下面介绍的是本发明的多个可能实施例中的一些，旨在提供对本发明的进一步了解，并不在于确认本发明的关键或决定性的要素或限定所要保护的范围。容易理解，根据本发明的技术方案，在不变更本发明的实质精神下，本领域的一般技术人员可以提出可相互替换的其它实现方式。因此，以下具体实施方式以及附图仅是对本发明的技术方案的示例性说明，而不应当视为本发明的全部或者视为对本发明技术方案的限定或限制。

[0032] 图 3 所示为按照本发明一实施例提供的 DRAM 的基本结构示意图。同样地，该实施例的 DRAM 包括存储阵列 350，存储阵列中的每个存储单元的具体结构形式不是限制性的，例如，其可以为 1T1C 结构的存储单元。多个存储单元按行和列的形式排列，在该实例中，若干个存储单元按行和列的形式排列形成存储块(block)，多个块然后排列形成存储阵列 350。在该实施例中，存储阵列中还包括冗余单元，冗余单元与存储单元包括同样的器件单元，二者是相同的单元并可以同时制备并一起排列形成存储阵列。在具体应用中，也可以指定某一列或某一行的存储单元为冗余单元。在图 3 所示实例中，仅示意性地给出了存储阵

列中的其中一个存储单元 323 以及该存储单元 323 所对应的一个冗余单元 331，需要说明的是每个冗余单元并不需要与具体的每个存储单元一一对应，多个存储单元可以对应于一个冗余单元。存储单元 323、冗余单元 331 的具体数量不是限制性的，换而言之，存储阵列的存储容量大小不是限制性的；同时，存储阵列 350 中仅示意性地给出了存储单元 323 所对应连接或耦接的位线对 BL 和 BL'、字线 WL，冗余单元 331 所对应连接或耦接的冗余字线 WL_r、冗余位线对 BL_r 和 BL_r'。

[0033] 该实施例的 DRAM 同样地包括外围电路，外围电路可以依据外部输入命令、通过对所选中的位线和字线偏置相应电信号，以实现对其中某一地址的存储单元的操作（写操作、读操作和刷新操作等）。在该发明中，由于其目的主要是为了提高读操作的速度，为使本领域技术人员了解该发明的改进之处，对其它操作所对应的、本领域技术人员所公知的外围电路的部件或电路模块不再一一列出。外围电路至少地包括读出放大器 340，以存储单元 323 的读操作为例，其位线对 BL 和 BL' 的电压差信号将可以输入至读出放大器 340，然后经过读出放大器 340 输出至外围电路的 I/O 缓存器（图中未示出）。存储单元 323 的存储电荷使其所耦接的位线对 BL 和 BL' 的电压差达到可以让 SA 正常工作的幅度（即 ΔV ）需要一定时间，也即存在延迟，其通常地表示为存储单元的位线延迟。在该实施例中，读出放大器 340 具体地为灵敏放大器（Sense Amplifier，SA），SA 是否开始工作由其使能控制信号来控制。优选地，SA 为交叉耦合型 SA。

[0034] 图 4 所示为交叉耦合型 SA 的具体结构实例示意图。结合图 3 所示，SA 340 的使能控制信号包括上拉信号（SA_pu）和下拉控制信号（SA_pd），在上拉信号（SA_pu）和下拉控制信号（SA_pd）同时有效时（例如同时为高电平），SA 340 开始工作，也即开始所读信号的输出。

[0035] 继续如图 3 所示，通过外围电路的逻辑控制模块（图中未示出）所输出的信号（Ai）输入至块译码器 310，块译码器 310 具体地也可以为行译码器或者列译码器，其不受本发明实施例限制。块译码器 310 实现地址信号的译码输出，其输出的信号 bDec_o 一方面输入至延迟模块 321，另一方面输入冗余字线驱动模块 334。在本文中，延迟模块 321 表示外围电路中部分逻辑电路（例如为实现正确的 WL 电平所需要的辅助逻辑门电路）的等效延迟。延迟模块 321 对信号产生的延迟在此表示为 tr1。延迟模块 321 输出的信号经过字线驱动模块 322 再经过字线 WL 施加至存储单元 323，通常地，字线驱动模块 322 也会对该信号产生相应的延迟，其在此表示为 tr2。

[0036] 因此，在读操作过程中，存储单元 323 的读通路依次是延迟模块 321、字线驱动模块 322 以及存储单元 323 和对应的位线对（BL 和 BL'）。由控制信号（bDec_o）的产生至信息被读取至位线对（BL 和 BL'）的过程所需的时间也即存储单元 323 的读通路所产生的延迟 T1，延迟 T1 等于延迟模块的延迟 tr1、字线驱动的延迟 tr2 以及由存储单元的位线延迟 tr3 的和，即 $T1 = tr1 + tr2 + tr3$ 。存储单元的读通路所产生的延迟 T1 也即从块译码器输出读控制信号至存储单元 323 所耦接的位线对建立的电压差达到可以让 SA 正常工作的幅度（即 ΔV ）的时间。

[0037] 继续参考图 3，在该发明中，在读出放大器的控制通路（也即控制电路）中引入冗余单元。在该控制电路中，冗余单元 331 在读操作过程中始终存储“0”或始终存储“1”（例如图 3 中为存储“0”），延迟模块 332 优选地是由若干个反相器所组成的反相器链形成，控制信

号生成模块 333 用于生成读出放大器 340 的使能控制信号,在该实例中其用于生成上拉信号 SA_pu 和下拉信号 SA_pd。具体地,控制信号(bDec_o)通过冗余字线驱动模块 334 输入至冗余单元 331,冗余单元 331 的存储电荷使耦接的位线对 BLr 和 BLr' 的电压差达到可以让反相器可以工作的幅度(即 $\Delta V'$)即可以启动延迟模块 332 以及控制信号生成模块 333,从而生成使能控制信号使 SA 工作。通常地,冗余字线驱动模块 334 也会对该信号产生相应的延迟,其在此表示为 tc4。

[0038] 因此,在读出放大器的控制电路中所产生的延迟 T2 等于冗余字线驱动模块 334 的延迟 tc4、冗余单元 331 的位线延迟 tc1、延迟模块 332 的延迟 tc2 与控制信号生成模块的延迟 tc3 的和,即 $T2 = tc4 + tc1 + tc2 + tc3$ 。其中,tc1 也即冗余单元 331 的存储电荷使位线对 BLr 和 BLr' 的电压差达到可以让反相器可以工作的幅度(即 $\Delta V'$)所需的时间。T2 也即从块译码器输出读控制信号至输出使能控制信号使 SA 可以开启工作的时间。

[0039] 为使存储单元的位线对建立的电压差达到可以让 SA 工作的幅度的同时,SA 的控制信号也同时到达 SA 以开启 SA,可以设计使存储单元的读通路所产生的延迟等于读出放大器的控制电路所产生的延迟,即 $T1=T2$,从而可以避免背景技术中所描述的第一方面的问题,提高读操作的速度。

[0040] 进一步,为使 $T1=T2$,本实施例中,应用冗余单元 331 与存储单元 323 相互相同的特性,冗余单元 331 的位线延迟 tc1 与存储单元 323 的位线延迟 tr3 可以实现很好地跟踪匹配,例如,在冗余单元 331 的位线对 BLr 和 BLr' 的长度等于存储单元 323 的位线对 BL 和 BL' 的长度时,tc1 等于 tr3(根据实际情况中位线的长度、冗余位线的长度之间的具体比值,可以是一定的比例。即使是个比例,该比例也是由结构和工艺相同的位线的长度的比例所决定,受工艺波动影响小)。不管工艺特征尺寸如何变动,冗余单元 331 与存储单元 323 之间的工艺波动相对于存储单元 323 与外围电路(例如反相器)之间的工艺波动是很小的,从而,存储单元 323 的位线延迟 tr3 基本不再通过延迟模块中的逻辑门来匹配,可以直接通过冗余单元 331 的位线延迟 tc1 实现良好匹配。较佳地,冗余单元 331 的存储电荷使位线对 BLr 和 BLr' 的电压差达到可以让反相器可以工作的幅度(即 $\Delta V'$)等于存储单元 323 的位线对建立的电压差达到可以让 SA 正常工作的幅度(即 ΔV)时,tc1 和 tr3 之间的匹配更精确并更稳定。另外,通过设计位延迟模块 332 中的反相器的个数来变化 tc2,使 $tc4 + tc2 + tc3 = tr1 + tr2$ 。一般地,由于冗余字线驱动模块 334、延迟模块 332、控制信号生成模块 333、延迟模块 321 和字线驱动模块 322 同为外围电路,即使考虑工艺波动影响,($tc4 + tc2 + tc3$)与($tr1 + tr2$)之间的匹配也相对比较容易。因此,在读出放大器的控制电路中,通过引入存储阵列中的冗余单元来实现存储单元的位线延迟的独立匹配。外围电路之间(延迟模块 321、字线驱动模块 322 与延迟模块 332、控制信号生成模块 333 之间)的延迟再独立匹配,避免了因工艺波动造成的影响,易于实现 $T1$ 与 $T2$ 之间的良好匹配,也即避免了背景技术中的第二方面的问题,从而可以提高读操作的速度。

[0041] 需要说明的是,冗余字线驱动模块 334 可以和字线驱动模块 322 相同,此时,tc4=tr2。因此,通过设计位延迟模块 332 中的反相器的个数来变化 tc2,使 $tc2 + tc3 = tr1$ 即可。较佳地,冗余字线驱动模块 334 可以相比于字线驱动模块 322 结构更加简单,也即 tc4 不一定等于 tr2。

[0042] 综上所述,存储单元 323 的位线对建立的电压差达到可以让 SA 正常工作的幅度

(即 ΔV)时, SA 即可以立刻开启工作, 避免了多余的等待时间, 大大提高了读操作的速度。并且, 延迟模块 332 中所使用的逻辑门(例如反相器)也可以大大减少。如果($tc4+tc3$)恰好等于($tr1+tr2$), 在又一实施例中, 也可以省去延迟模块 332, 也即延迟模块 332 中的逻辑门的个数为 0。

[0043] 图 5 所示为图 3 所示 DRAM 中的控制信号生成模块 333 和延迟模块 332 的又一实例结构示意图。控制信号生成模块 333 具体地可以包括上拉信号生成单元 3331 和下拉信号生成单元 3332, 分别用于生成上拉信号 SA_pu 和下拉信号 SA_pd。并且, 在该实施例中, 延迟模块 332 中的用于调节($tc4+tc2+tc3$)与($tr1+tr2$)相匹配的反相器可以分别置于调节上拉信号生成单元 3331、和下拉信号生成单元 3332 中, 从而实现上拉信号生成单元 3331 的延迟与下拉信号生成单元 3332 的延迟相等, 并且, 上拉信号生成单元 3331 的延迟与冗余字线驱动模块 334 的延迟 $tc4$ 的和匹配于延迟模块 321 和字线驱动模块 322 的延迟之和, 下拉信号生成单元 3332 的延迟与冗余字线驱动模块 334 的延迟 $tc4$ 的和匹配于延迟模块 321 和字线驱动模块 322 的延迟之和。

[0044] 需要说明的是, 以上具体实施例中, 仅描述了冗余单元 331 的位线延迟 $tc1$ 与存储单元 323 的位线延迟 $tr3$ 相等的一种匹配情形, 冗余单元 331 的位线延迟 $tc1$ 与存储单元 323 的位线延迟 $tr3$ 也可以被设计成稳定于某一比例值来实现二者的匹配, 例如, $tc1=0.98tr3$, 在此情形中, 0.02 $tr3$ 的延迟通过延迟模块 332 的延迟 $tc2$ 的设计来实现匹配, 即使 $tc4+tc2+tc3=tr1+tr2+0.02 tr3$ 。进一步需要说明的是, 冗余单元 331 的位线延迟 $tc1$ 与存储单元 323 的位线延迟 $tr3$ 的比例值优选地限定在 0.9-1.1 的范围内, 从而, 存储单元的读通路的延迟中, 存储阵列的延迟主要通过存储阵列(冗余单元)来匹配, 外围电路的延迟主要通过读出放大器的控制电路的外围电路来匹配。在本发明中, 冗余单元 331 的位线延迟 $tc1$ 与存储单元 323 的位线延迟 $tr3$ 的比例值不会出现如图 2 所示情形, 其受工艺波动性影响小, 从而可以按照预先设定而恒定于某一值, 这也有利于设计延迟模块 332 的延迟 $tc2$ 来总体使 $T1=T2$ 。

[0045] 本领域技术人员应当理解的是, 以上所描述的时间之间的相等包括工业界可接收的公差范围内的相等, 这种工业界可接收的公差范围例如可以为小于 $\pm 5\%$; 但是需要说明的是, 对于存储单元的读通路所产生的延迟 $T1$ 与读出放大器的控制电路的延迟 $T2$ 之间的“相等”, 不包括 $T2$ 小于 $T1$ 的公差范围的情形, 例如, 考虑公差范围时 $T2=(1+5\%) T1$, 而不包括 $T2=(1-5\%) T1$ 的情形。这是由于 $T2$ 小于 $T1$ 时, 读出放大器是不工作的。并且, 其随着工艺特征尺寸等因素的变化而变化。本文中所用的术语“耦合(couple)”包括直接耦合、以及经由其它部件、元件、电路或模块的间接耦合, 其中对于间接耦合的插入式部件、元件、电路或者模块, 其并不改变信号的信息, 但可以调整其电流水平、电压水平和 / 或功率级别等。

[0046] 本领域技术人员应当理解的是, 以上主要描述了存储单元的读通路所产生的延迟 $T1$ 与读出放大器的控制电路所产生的延迟 $T2$ 相等的优选实施例, 在其它实施例中, 读出放大器的控制电路的延迟 $T2$ 也可以稍微大于存储单元的读通路所产生的延迟 $T1$, 此时, 背景技术中的第二方面的问题得到解决, 但对于第一方面的问题, 读出放大器的开启等待时间仍然稍微存在, 但是相对于现有技术, 仍然可以大大提高读操作的速度。

[0047] 以上例子主要说明了本发明的读出放大器的控制电路及包括该控制电路的 DRAM。

尽管只对其中一些本发明的实施方式进行了描述，但是本领域普通技术人员应当了解，本发明可以在不偏离其主旨与范围内以许多其它的形式实施。因此，所展示的例子与实施方式被视为示意性的而非限制性的，在不脱离如所附各权利要求所定义的本发明精神及范围的情况下，本发明可能涵盖各种的修改与替换。

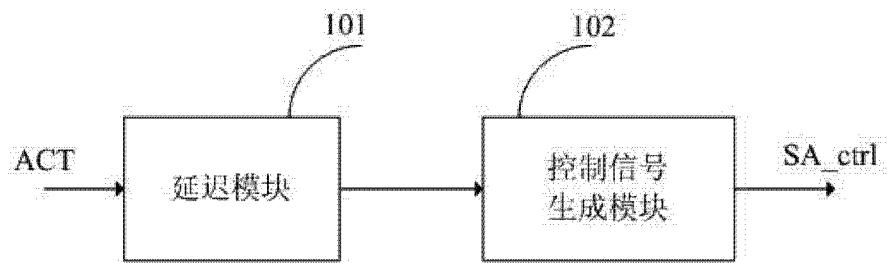


图 1

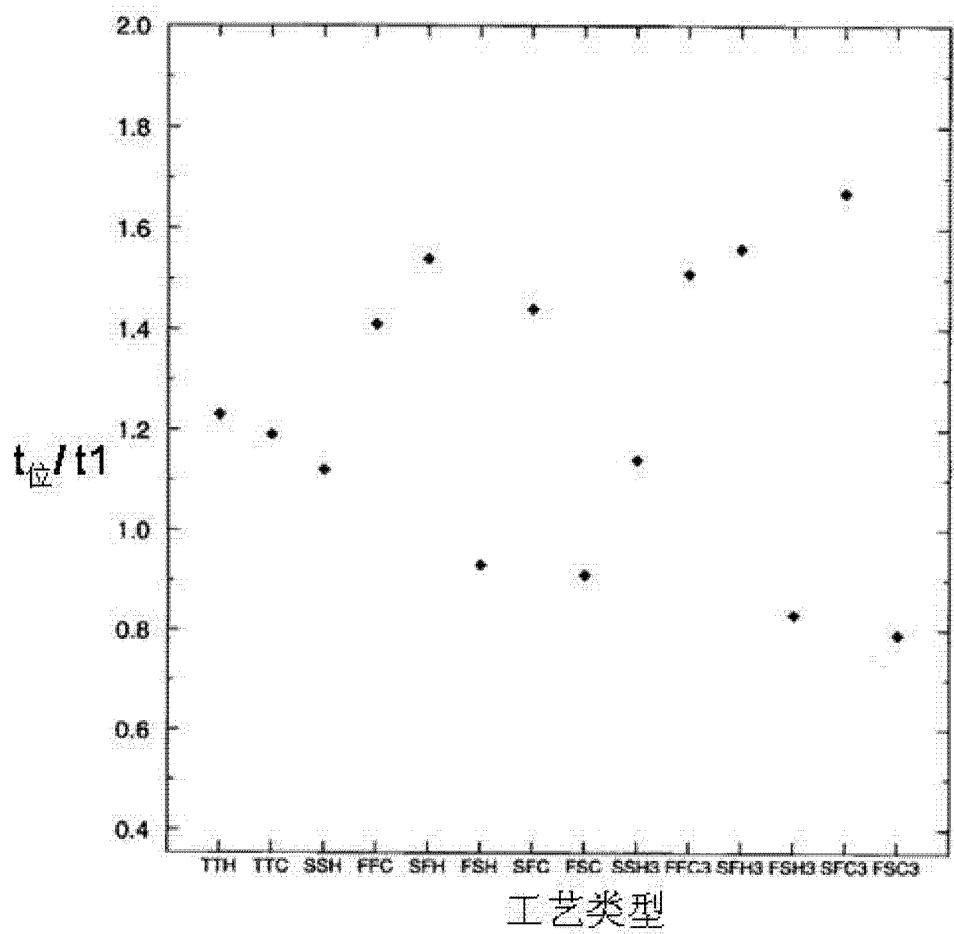


图 2

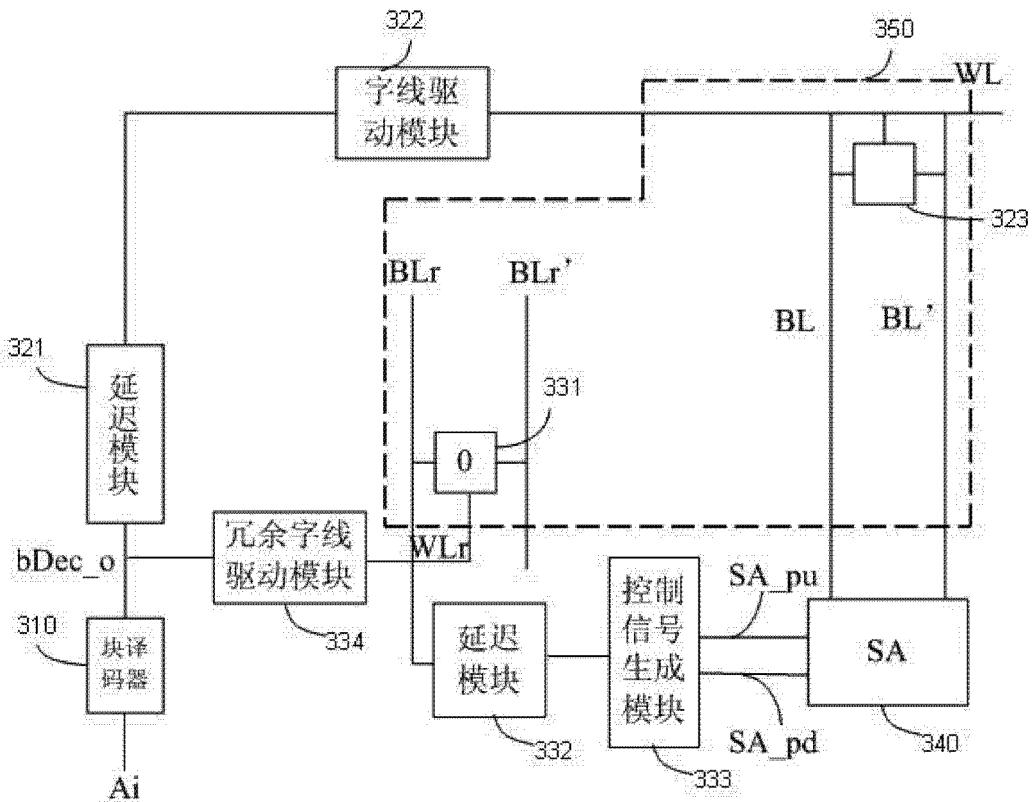


图 3

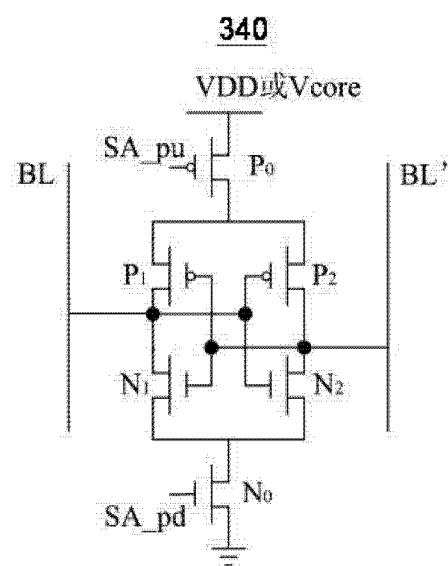


图 4

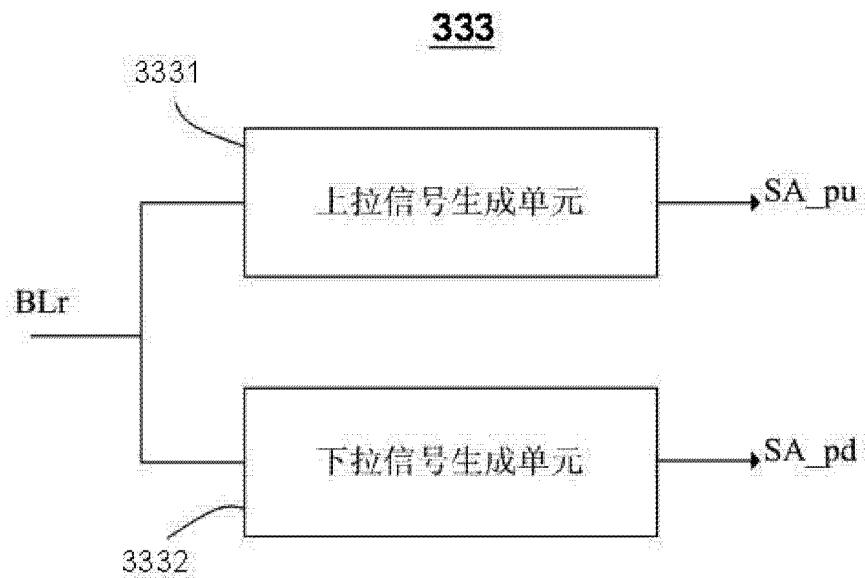


图 5