



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **247 331 A1**4(51) H 03 K 5/22
G 01 R 25/08
H 03 M 1/10**AMT FÜR ERFINDUNGS- UND PATENTWESEN**

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 K / 287 596 5	(22)	05.03.86	(44)	01.07.87
------	-----------------------	------	----------	------	----------

(71) Ingenieurhochschule Mittweida, 9250 Mittweida, Platz der DSF 17, DD

(72) Ludwig, Rainer, Dr.-Ing.; Winkler, Frank, DD

(54) Schaltungsanordnung für die Feststellung von Nichtlinearitäten bei AD-Wandlern

(57) Die Erfindung bezieht sich auf die Prüfung von AD-Wandlern sowohl beim Hersteller als auch beim Anwender. Die Erfindung ermöglicht das Erkennen und Berechnen von differentiellen und integralen Nichtlinearitäten bei AD-Wandlern bei gegenüber anderen Lösungen geringem Aufwand. Die Schaltungsanordnung zur Prüfung von AD-Wandlern beruht auf der Generierung eines Rampensignales mittels Referenzspannungsquelle und Summator, das als Eingangsstimulus für den zu prüfenden AD-Wandler dient. Das binäre Ausgangswort des AD-Wandlers wird mit einem vorgegebenen Mustercode verglichen. Im Fall der Abweichung werden über eine Logikschaltung die Nummer des fehlerhaften Wandlerzyklus und der fehlerhafte Ausgangscode zwischengespeichert, um anschließend in einem Mikrorechner durch Vergleich mit dem Mustercode die Nichtlinearitäten exakt zu berechnen und zur Anzeige zu bringen. Anwendungsgebiete der Erfindung sind alle Prüf- und Meßplätze, zu deren Aufgaben die Prüfung von AD-Wandlern gehört.

Erfindungsanspruch:

1. Die Erfindung Schaltungsanordnung für die Feststellung von Nichtlinearitäten bei AD-Wandlern ist **gekennzeichnet dadurch**, daß
 - eine Referenzspannungsquelle (1) mit einer Spannung, die gleich der des LSB des zu prüfenden AD-Wandlers (3) ist, mit einem Summator (2) verbunden ist und dessen Ausgangsspannung sich nach jedem vom Taktgenerator (4) gelieferten Takt um den Betrag der von der Referenzspannungsquelle (1) gelieferten Spannung erhöht, so daß am Summatorausgang eine Digitalrampe mit einer Schrittweite von einem LSB entsteht, die als Eingangssignal für den zu prüfenden AD-Wandler (3) dient;
 - der Ausgang des n-Bit breiten AD-Wandlers (3) mit dem ersten Eingang des Digital-Komparators (5) und dem als Zwischenspeicher dienenden n-Bit breiten Schieberegister (6) verbunden ist;
 - der Taktgenerator (4) einen Zähler (7) ansteuert, der ausgangsseitig mit dem Adreßdecoder (8) gekoppelt ist und dazu dient, die Adressen des EPROM (9) zu decodieren, auf dessen Speicherplätzen in steigender Folge lückenlos (n + 2)-Bit breite Werte einer Rampenfunktion abgelegt sind, die während der Prüfung ausgelesen werden und auf den zweiten Eingang des Digitalkomparators (5) gelangen;
 - während des Vergleichs im Digitalkomparator (5) die zwei niedrigwertigsten Bit des (n + 2)-Bit breiten Wertes der im EPROM (9) abgelegten Datenworte vernachlässigt werden und im Falle der Nichtübereinstimmung der beiden Eingangssignale am Digitalkomparator (5) am Ausgang desselben ein nachfolgend auszuwertender Impuls generiert wird;
 - der vom Digitalkomparator (5) gelieferte Impuls als Torimpuls verwendet wird und so jeweils auf einen Eingang der Tore (14) und (15) gelangt, wobei der zweite Eingang des Tores (15) mit dem Ausgang des den vom Taktgenerator (4) gelieferten Takt zählenden Zählers (7) verbunden ist;
 - der Torimpuls vom Digitalkomparator (5) zum Zähler (10) gelangt, der den Adreßdecoder (11) ansteuert, wobei dieser parallel RAM (12) und RAM (13) adressiert, so daß im RAM (13) die Nummer des Taktes, in dem der zu prüfende AD-Wandler (3) fehlerhaft arbeitet und im RAM (12) das fehlerhafte Ausgangswort des AD-Wandlers (3), das in diesem Moment geliefert wird, gespeichert wird;
 - der Mikrorechner (16) die beiden die Abweichungen registrierenden RAM (12) und (13) ausliest, mit den im EPROM (9) gespeicherten Sollwerten vergleicht und aus diesem Vergleich sämtliche Nichtlinearitäten erkennt, die dann in der Anzeige (17) zur Auswertung gebracht werden.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß die Referenzspannungsquelle (1) auch einen $1/k$ großen Teil der LSB-Spannung liefern kann, wobei K ganzzahlig und die Taktfrequenz am Eingang der Referenzspannungsquelle (1) K mal größer sein muß als das gesamte andere System, so daß in einem Systemtakt K mal der Ausgang der Referenzspannungsquelle (1) um den $1/k$ -fachen Teil der LSB-Spannung vergrößert wird.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf die automatische Prüfung und die Ermittlung von differentiellen und integralen Nichtlinearitäten bei AD-Wandlern.

Charakteristik der bekannten technischen Lösungen

Bekannt sind Schaltungsanordnungen, die eine Rekonstruktion des Ausgangssignals mittels hochauflösender DA-Wandler vornehmen. Problematisch ist bei hochauflösenden zu prüfenden AD-Wandlern, daß ein um mindestens 2 Bit genauerer DA-Wandler zur Verfügung stehen muß.

Stuart, R. M. „Getting the best from A/D converter“ Electronic Design, New York 30 (1982) 4 S. 191–199

Eine andere Schaltungsanordnung beruht auf dem Test mittels Referenz-AD-Wandler. Ein Präzisions-AD-Wandler wird als Vergleichselement verwendet, und die so erhaltenen Ausgangscodes der parallel arbeitenden Wandler werden softwaremäßig ausgewertet. Das Problem besteht auch hier in den hohen Anforderungen an den Referenz-AD-Wandler.

Pretzl, G. „Messen der Fehlerraten in Analog/Digital-Umsetzern“ Nachrichtenelektronik 36 (1982) 1 S. 24–29

Eine weitere Schaltungsanordnung basiert auf der Untersuchung des zu prüfenden AD-Wandlers unter statistischen Gesichtspunkten. Dabei wird der Eingang des zu prüfenden AD-Wandlers mit einem Rauschsignal beaufschlagt, dessen Verteilungscharakteristik bekannt ist. Nach hinreichend langer Prüfzeit muß die statistische Verteilung der Häufigkeit der digitalen Ausgangsworte der Verteilung des Eingangsrauschsignals entsprechen. Abweichungen davon kennzeichnen Fehler in der Linearität der Wandlerkennlinie. Monotoniefehler werden nicht erkannt.

Lüdge, A. „Verfahren zur Testung von AD-Wandlern“ Wirtschaftspatent DDR 1978/DD 207699

Ziel der Erfindung

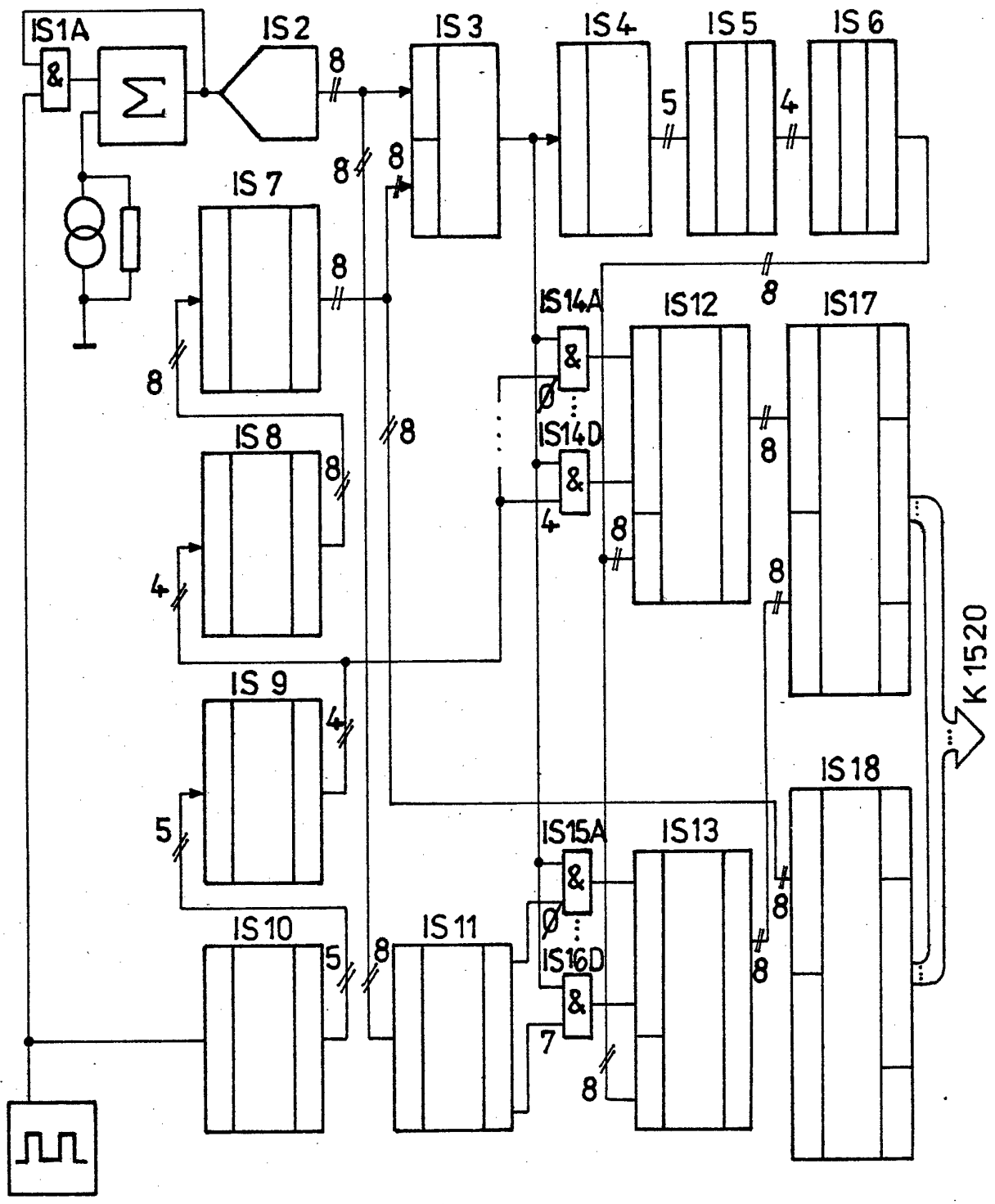
Ziel der Erfindung ist die Feststellung von differentiellen und integralen Nichtlinearitäten bei der Prüfung von AD-Wandlern mit geringem Aufwand und hoher Genauigkeit. Erfindungsgemäß wird das dadurch erreicht, daß mittels Referenzspannungsquelle und Summator ein Rampensignal erzeugt wird, das als Eingangssignal für den zu prüfenden AD-Wandler dient. Das Ausgangssignal des AD-Wandlers wird mit einer gespeicherten Digitalrampe verglichen und ausgewertet.

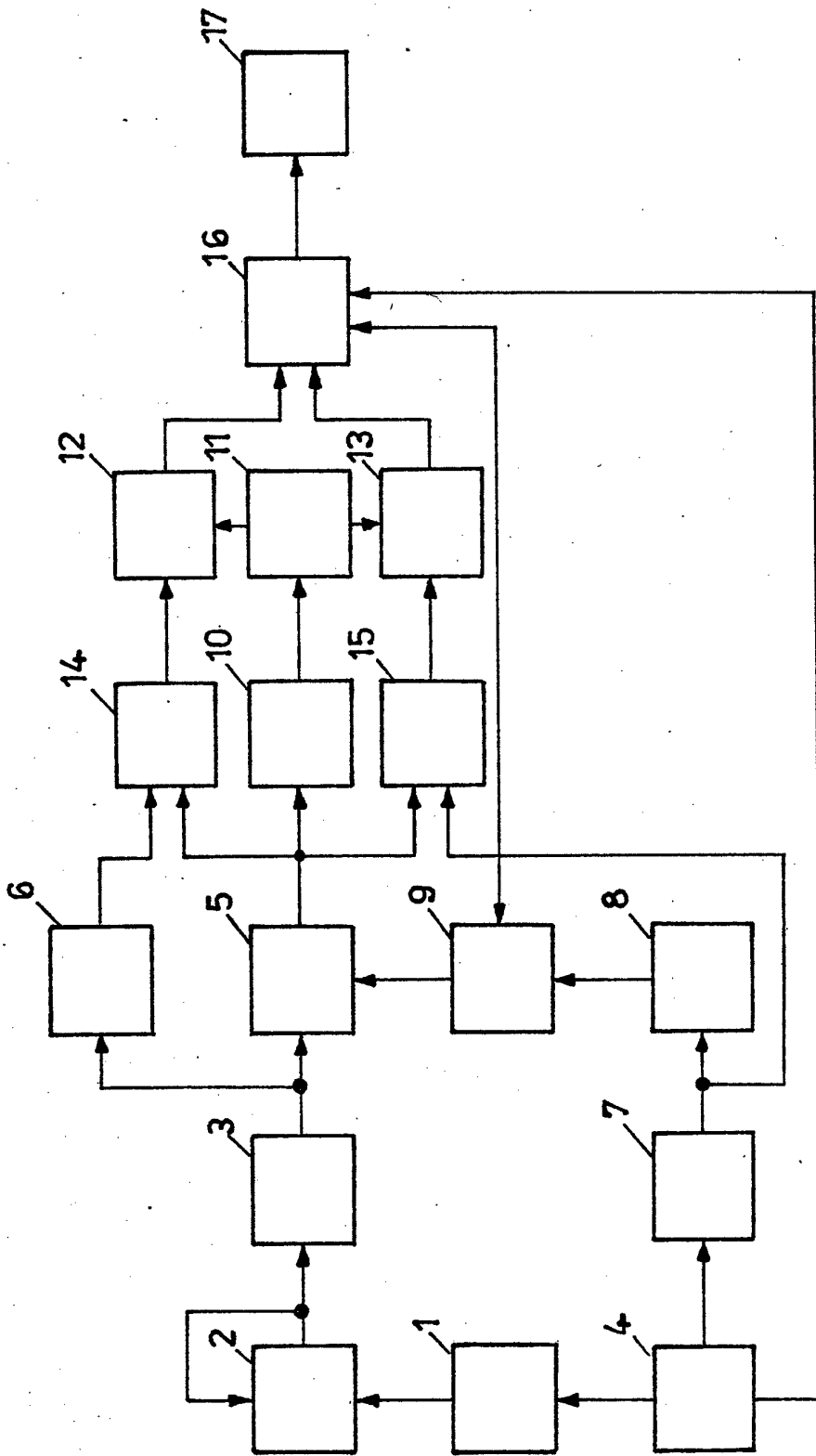
Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur Ermittlung von differentiellen und integralen Nichtlinearitäten zu entwickeln, die durch niedrigen Aufwand und hohe Genauigkeit gekennzeichnet ist.

Erfindungsgemäß wird das dadurch erreicht, daß eine Referenzspannungsquelle 1 mit einer Spannung, die gleich der des LSB des zu prüfenden AD-Wandlers 3 ist, mit einem Summator 2 verbunden ist. Nach jedem Takt, den der Taktgenerator 4 erzeugt, wird die Summatorausgangsspannung um den Betrag der von der Referenzspannungsquelle 1 bereitgestellten Spannung erhöht. Der Ausgang des n-Bit breiten AD-Wandlers 3 ist mit dem ersten Eingang des Digitalkomparators 5 und einem n-Bit breiten Zwischenspeicher 6 verbunden. Der Taktgenerator 4 steuert den Zähler 7 an, der ausgangsseitig mit dem Adreßdecoder 8 gekoppelt ist. Der Adreßdecoder 8 decodiert die Adressen des EPROMS 9, auf dessen Speicherplätzen in steigender Folge lückenlos (n + 2)-Bit breite Werte einer Rampenfunktion abgelegt sind, die während der Prüfung ausgelesen werden und auf den zweiten Eingang des Digitalkomparators 5 gelangen. Dabei werden die zwei niedrigwertigsten Bit des (n + 2)-Bit breiten Wertes der im EPROM 9 abgelegten Werte beim Vergleich vernachlässigt.

Ist der Vergleich der vom AD-Wandler 3 und vom EPROM 9 gelieferten Werte erfolgt, gibt der Komperator 5 bei Nichtübereinstimmung ein Signal, das nachfolgend ausgewertet wird. Dieser Impuls gelangt zum Zähler 10, der mit dem Adreßdecoder 11 verbunden ist. Der Adreßdecoder 11 adressiert parallel RAM 12 und RAM 13. Der Ausgangsimpuls des Digitalkomparators gelangt zu Tor 14 und parallel dazu zu Tor 15. Am zweiten Eingang von Tor 14 liegt der Ausgang des als Zwischenspeicher dienenden Schieberegisters 6. Am zweiten Eingang von Tor 14 liegt der Ausgang von Zähler 7, der den Takt zählt. Im Falle der Nichtübereinstimmung der Eingangswerte des Digitalkomparators 5 und einem daraufhin generierten Ausgangsimpuls, der als Torimpuls genutzt wird, werden im RAM 13 die Nummer des Taktes, in dem der zu prüfende AD-Wandler 3 fehlerhaft arbeitet und im RAM 12 das fehlerhafte Ausgangswort des AD-Wandlers 3, das in diesem Moment geliefert wird, gespeichert. Ein Mikrorechner 16 ist in der Lage, die beiden die Abweichungen des AD-Wandlers registrierenden RAMs 12 und 13 auszulesen und mit den im EPROM 9 gespeicherten Soll-Werten zu vergleichen. Aus diesen Vergleichen können sämtliche Nichtlinearitäten erkannt werden und in der Anzeige 17 zur Auswertung gebracht werden.





Figur 2