



(12) Ausschließungspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 243 128 A5

4(51) G 05 B 19/00
H 04 Q 11/00
G 11 C 15/00

AMT FÜR ERFINDUNGS- UND PATENTWESEN

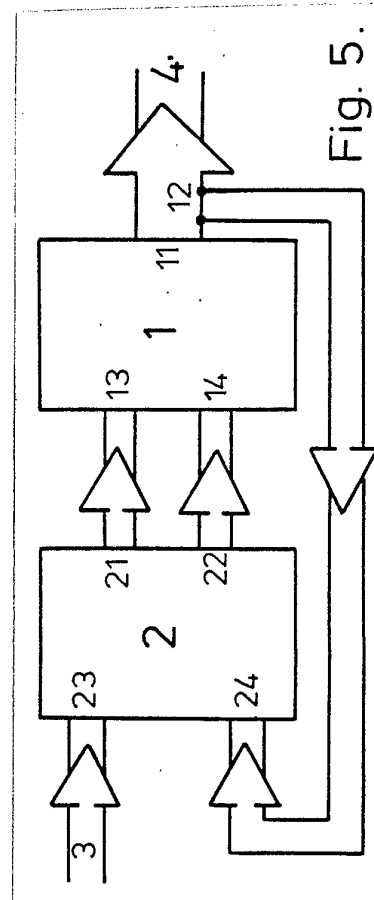
In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	AP G 05 B / 284 058 6	(22)	10.12.85	(44)	18.02.87
(31)	4717/84	(32)	19.12.84	(33)	HU

(71) siehe (73)
 (72) Halmi, Gábor, Dipl.-Elektroing.; Vitéz, György; Barta, Pál, Dipl.-Elektroing., HU
 (73) Telefongyár, Budapest XI, Hungária krt. 126-132, HU

(54) Verfahren und Schaltungsanordnung zum Ausbilden einer Reihenfolgesteuerschaltung

(57) Die Erfindung betrifft ein Verfahren zum Ausbilden einer Reihenfolgesteuerschaltung mittels eines rückgekoppelten Speichers, wobei zunächst die zu unterscheidenden Zustände mit Zustandszeichen versehen werden, mittels der dann ein Zustandsdiagramm aufgezeichnet wird. Die Erfindung betrifft weiterhin eine Schaltungsanordnung zur Gestaltung einer Reihenfolgesteuerschaltung mit einem rückgekoppelten Speicher, der Bedingungs- und Ergebnisausgänge aufweist. Das Wesen der Schaltungsanordnung liegt darin, daß die Rückkopplungsausgänge, deren Anzahl zumindest dem Logarithmus der Anzahl der gewünschten Reihenfolgesteuerungen zur Basis 2 entspricht, neben den Bedingungs- und Ergebnisausgängen, die mit den Adresseneingängen verbunden sind, auf weitere Adresseneingänge, deren Anzahl der Rückkopplungsausgänge entspricht, rückgekoppelt sind, und daß sämtliche Ausgänge des Speichers die Ergebnisausgänge der Schaltungsanordnung bilden. Fig. 5



Patentansprüche:

1. Verfahren zum Ausbilden einer Reihenfolgesteuerschaltung mittels eines rückgekoppelten Speichers, bei dem zunächst die zu unterscheidenden Zustände mit Zustandszeichen versehen werden, aufgrund welcher ein Zustandsdiagramm aufgezeichnet wird, **dadurch gekennzeichnet**, daß nach Beendigung der Kodierung der Zustände zunächst aufgrund des Zustandsdiagramms die Anzahl der Signale bestimmt wird, die zumindest dem Logarithmus der Anzahl der Zustände der gewünschten Reihenfolgesteuerungen zur Basis 2 entspricht, woraufhin die Signale von den Ausgängen des Speichers auf weitere Adresseneingänge mit Ausnahme der Bedingungeingänge rückgekoppelt werden, wodurch die Anzahl der Adresseneingänge des Speichers und der weiteren rückgekoppelten Adresseneingänge bestimmt wird, wonach die zur Funktion des Speichers nicht ausgenutzten Zustände als Übergangszustände gewertet werden, und daß sodann das Schaltbild des Steuerstromkreises mit allen Ausgängen und Eingängen des Speichers aufgrund ihrer Bestimmung nach dem Zeitdiagramm aufgezeichnet werden, wobei der Inhalt eines Faches des Speichers wird so gewählt, daß an den rückgekoppelten Ausgängen der Kode des nächsten, von den (einigen) Adresseneingängen und den weiteren Adresseneingängen abhängigen Zustands erscheint, während an den nicht rückgekoppelten Ausgängen die den gewünschten Ergebnissignalen entsprechenden Codes erzeugt werden, woraufhin der Inhalt des Speichers durch eine tabellierte Kodierung der der Aufgabe entsprechenden Funktionen bestimmt wird.
2. Schaltungsanordnung zur Ausbildung einer Reihenfolgesteuerschaltung mit einem rückgekoppelten Speicher, der Bedingungeingänge und Ergebnisausgänge aufweist, **dadurch gekennzeichnet**, daß die Rückkopplungsausgänge (12), deren Anzahl mindestens den Logarithmus der Anzahl der gewünschten Reihenfolgesteuerung zur Basis 2 entspricht, neben den Bedingungeingängen (3), die mit den Adresseneingängen (13) verbunden sind, auf weitere Adresseneingänge (14), deren Anzahl der Anzahl der Rückkopplungsausgänge entspricht, rückgekoppelt sind, und daß sämtliche Ausgänge des Speichers (1) die Ergebnisausgänge (4) der Schaltungsanordnung bilden.
3. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die Bedingungeingänge (3) und die Rückkopplungsausgänge (12) an den Eingängen (23) eines Zeitgeberstromkreises (2) bzw. am rückgekoppelten Eingang (24) liegen, wobei die Ausgänge (21, 22) des Zeitgeberstromkreises (2) mit den Eingängen (13, 14) des Speichers (1) verbunden sind.
4. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die Ausgänge (11) des Speichers (1) mit den Eingängen (23, 24) des Zeitgeberstromkreises (2) verbunden sind, während die Ausgänge (21, 22) des Zeitgeberstromkreises (2) die Erfolgsausgänge (4) bilden, und daß die rückgekoppelten Eingänge (14) des Speichers (1) an den Rückkopplungsausgang (12) des Zeitgeberstromkreises (2) angeschlossen sind.

Hierzu 5 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum Ausbilden einer Reihenfolgesteuerschaltung unter Anwendung eines rückgekoppelten Speichers. Die erfindungsgemäße Steuerschaltung und das zur Realisierung derselben geeignete Verfahren können insbesondere mit Vorteil zur Verwirklichung von digitalgesteuerten Reihenfolgenetzen bei elektronischen Anlagen verwendet werden.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt, zur Ausbildung der Steuerstromkreise von digitalgesteuerten Reihenfolgenetzen in elektronischen Anlagen Mikroprozessorsysteme zu verwenden. In den die erwähnten Systeme technisch-wirtschaftlich analysierenden Studien werden diese Systeme so bewertet, daß die Verwendung der Mikroprozessorsysteme ausschließlich bei der Planung und dem Ausbau von komplizierten Anlagen wirtschaftlich ist. Der Grad der Kompliziertheit kann durch die Anzahl der Spitzenpunkte und Kanten des für die Funktionen der Anlage charakterisierenden Zustandsgraphs gekennzeichnet bzw. beschrieben werden. Wenn aufgrund der erwähnten Charakteristiken bzw. aufgrund sonstiger Parameter (z. B. Reaktionszeit) die Realisierung der Steuerung mit einem Mikroprozessor nicht zweckmäßig erscheint, greift man auf eine Planung mit diskreten logischen Stromkreisen zurück. Im allgemeinen enthalten derartige Stauernetze Kombinationsstromkreise, die die Übergänge zwischen den Funktionsbedingungen und den Steuerzuständen ausgestalten. Ferner enthalten diese Kombinationsstromkreise ein aus einem Speicher (in der Mehrheit der Fälle einem JK-Stromkreis) aufgebautes Zustandsregister zur Speicherung der aktuellen Steuerzustände.

Die oben geschilderten Lösungen sind z. B. in den Kapiteln 15–17 des Fachbuches „Logische Systeme und sequentielle Automaten“ (Verfasser: Dr. Szitty Ottó; Lehrbuchverlag, Budapest, 1975) beschrieben. Die allgemeine Anordnung ist in Fig. 1 dargestellt.

Die Planung der aus den obenerwähnten diskreten Elementen aufgebauten Stauernetze stellt eine äußerst komplizierte Aufgabe dar. Insbesondere wenn eine schnelle Funktion gefordert wird, muß eine hohe Anzahl von parallelen Stromkreiselementen verwendet werden, was nachteilig ist. Ein bedeutender Nachteil besteht bei diesen Schaltungsanordnungen darin, daß die Erweiterung des Netzes, also eine Weiterentwicklung aufgrund neuer Parameter, ausschließlich durch die Wiederholung des

gesamten Planungsalgorithmus möglich ist. Weiterhin kann die im Laufe der Planung nach Bedarfeingebaute Parallelität (Redundanz) für sonstige Funktionen nicht verwendet werden. Ein nicht unwesentlicher Nachteil besteht ferner darin, daß die Kontrolle des Stauernetzes ausschließlich mit äußeren Mitteln und nur unter Schwierigkeiten gewährleistet werden kann. Reparaturen und Fehlersuche sind kompliziert und zeitaufwendig.

Unter Berücksichtigung der erwähnten Mängel neigt man dazu — abgesehen von Fällen mit besonders kritischer Tempierung — die wirtschaftlich teureren, aber technisch nicht immer begründeten Steuersysteme mit Mikroprozessoren einzusetzen. Man erhält dann Systeme, die Mikroprozessoren, Speicher, Peripherieanpassungen, Steuerungen und die dazu erforderlichen diskreten Stromkreise enthalten. Solche Lösungen sind z. B. in „Intel User Manual“ 75. oder in dem Buche „Mikroprozessorelemente für die Planung“ Vancsó, Gyula, Technischer Verlag, 1984 beschrieben. Die Kompliziertheit der derart entstandenen Steuerstromkreise ist dann jedoch kaum geringer als bei den aus diskreten Elementen aufgebauten Anlagen, wobei auf Kosten der oft aus 10 bis 20 integrierten Stromkreisen bestehenden, zur Versorgung der Aufgaben der Reihenfolgesteuerung funktionell überflüssigen und nicht ausgenutzten Mikroprozessoren nur gewisse Vereinfachungen hinsichtlich der Planung und der Schaltungstechnik erreicht werden können. Die dadurch erreichbaren Vorteile rechtfertigen in der Mehrheit der Fälle keinesfalls den hohen Aufwand bei der Planung zu Lasten der Wirtschaftlichkeit. Auch die individuellen Lösungen sind oft wirtschaftlich nicht gerechtfertigt.

Ziel der Erfindung

In Kenntnis des Standes der Technik erschien es zweckmäßig, ein Verfahren und eine Schaltungsanordnung bereitzustellen, mit denen die Mängel der oben genannten Lösungen beseitigt werden.

Darlegung des Wesens der Erfindung

Werden die herkömmlichen Schaltungsanordnungen mit dem diskreten Stromkreisen überprüft, kann festgestellt werden, daß die Bits der Eingangsbedingungen über einen Kombinationsstromkreis in das Zustandsspeicherregister eingegeben werden. Dieser Kombinationsstromkreis stellt jenen Teil des Steuerstromkreises dar, der der gegebenen Aufgabe entsprechend und die momentane Stellung des Zustandsregisters berücksichtigend den neuen oder den vorherigen Zustand bestimmt. Die Bestimmung erfolgt durch das Erreichen des entsprechenden Zustandskodes am Ausgang des Kombinationsstromkreises. Üblicherweise wird der Kombinationsstromkreis aus Torschaltungen oder ROM-Stromkreisen aufgebaut. Der Aufbau der Kombinationsstromkreise aus ROM-Stromkreisen führte zu der Erkenntnis, daß jeder beliebige Kombinationsstromkreis und der Speicher als Speicherreihe durch ein und dasselbe Element gebildet werden können, das zur Ausübung einer doppelten Funktion, d. h. zur Ausübung der Funktion eines Registers und eines Kombinationsstromkreises geeignet ist. Eine derartige Lösung ist in der Fachliteratur nicht aufzufinden.

Unter Anwendung des erfindungsgemäßen Steuerstromkreises und des zur Realisierung desselben dienenden Verfahrens können auch verhältnismäßig komplizierte Zustandsdiagramme mit einer niedrigen Anzahl von Stromkreiselementen ohne Verwendung eines Mikroprozessorsystems verwirklicht werden, wobei gleichzeitig aufgrund der Programmierungsmöglichkeiten die hohe Flexibilität und Geschwindigkeit der diskreten Systeme annähernd beibehalten wird.

Die Erfindung beruht auf der Erkenntnis, daß das Zustandsspeicherregister mittels des Speichers realisiert werden kann, indem an den Ausgang ein oder mehrere Bits der Eingangsadressenleitung abgenommen werden. Wenn nun von dem Speicherausgang ein Bit zu dem Adresseneingang rückgekoppelt wird, wird die Fläche des Speichers durch diese Maßnahme in zwei Teile unterteilt, wobei die übrigbleibenden Eingangsbitkombinationen stets andere Ausgänge bilden, und zwar je nach dem, in welcher Hälfte des Speichers man sich „befindet“. Der Übergang zwischen den Speicherhälften wird durch das Rückkopplungsbit gewährleistet. Sollten nicht nur ein, sondern mehrere Bits rückgekoppelt werden, wird die Fläche des Speichers in entsprechend mehrere Teile unterteilt werden. In derartigen Fällen erfolgt der Übergang zwischen den einzelnen Vierteln, Achteln usw. des Speichers. Zu derselben Kombination der Eingangsbedingungen gehören immer andere Ausgänge, und zwar stets in Abhängigkeit vom gerade aktuellen Speicherteil.

Die Erfindung bezieht sich also auf ein Verfahren zum Ausbilden einer Reihenfolgesteuerschaltung mittels eines rückgekoppelten Speichers, bei dem zunächst die zu unterscheidenden Zustände mit Zustandszeichen versehen werden, aufgrund welcher am Zustandsdiagramm aufgezeichnet wird.

Das Wesen der Erfindung liegt darin, daß nach Beendigung der Kodierung zunächst aufgrund des Zustandsdiagramms die Anzahl der Signale bestimmt wird, die zumindest dem Logarithmus der Anzahl der Zustände der gewünschten Reihenfolgesteuerungen zur Basis 2 entspricht, woraufhin die Signale von den Ausgängen des Speichers auf weitere Adresseneingänge mit Ausnahme der Bedingungseingänge des Speichers rückgekoppelt werden. Auf diese Weise wird die Anzahl der Bedingungseingänge des Speichers und der Rückkopplungseingänge bestimmt. Die zur Funktion des Speichers nicht ausgenutzten Zustände werden als Übergangszustände bewertet, mit denen das System zweckmäßig in einen stabilen Zustand eingestellt werden kann. Danach wird das Schaltbild des Steuerstromkreises aufgezeichnet mit allen Eingängen und Ausgängen des Speichers, und zwar aufgrund ihrer Aufgabe entsprechend dem Zeitdiagramm. Dann wird der Inhalt eines Faches des Speichers so gewählt, daß man an den rückgekoppelten Ausgängen den Kode des neuen, von den Zustandseingängen abhängigen Zustandes erscheinen läßt, während an den nicht rückgekoppelten Ausgängen die den gewünschten Ergebnissignalen entsprechenden Codes erzeugt werden. Die Bestimmung des Speicherinhalts erfolgt durch Kodierung der der Aufgabe entsprechenden Funktionen der Tabelle.

Des weiteren betrifft die Erfindung eine Schaltungsanordnung zur Ausbildung einer Reihenfolgesteuerschaltung unter Anwendung eines rückgekoppelten Speichers, dessen Speicher mit Bedingungseingängen und Ergebnisausgängen versehen ist. Hierbei sind die Rückkopplungsausgänge, deren Anzahl mindestens dem Logarithmus der Anzahl der gewünschten Reihenfolgesteuerungen zur Basis 2 entspricht, neben den Bedingungseingängen, auf weitere Adresseneingänge des Speichers, deren Anzahl der Anzahl der Rückkopplungsausgänge entspricht, rückgekoppelt. Alle Ausgänge des Speichers bilden auch die

Bei einer vorteilhaften Ausführungsform der Erfindung sind die Bedingungsingänge und die Rückkopplungsingänge mit den Eingängen eines Zeitgeberstromkreises verbunden, wobei die Ausgänge des Zeitgeberstromkreises an die Eingänge des Speichers angeschlossen sind.

Bei einer weiteren vorteilhaften Ausführungsform der Erfindung liegen die Ausgänge des Speichers an den Eingängen des Zeitgeberstromkreises, während die Ausgänge des Zeitgeberstromkreises die Erfolgsausgänge bilden, wobei die rückgekoppelten Eingänge mit dem Rückkopplungsausgang des Zeitgeberstromkreises verbunden sind.

Gegenüber den traditionellen Lösungen weisen das erfindungsgemäße Verfahren und die zur Realisierung desselben dienende Schaltungsanordnung die folgenden Vorteile auf:

- Die Beantwortungszeit (Verzögerungszeit) des Steuerstromkreises ist minimal, bzw. kann in Abhängigkeit vom gewählten Zeitimpuls beliebig eingestellt werden.
- Durch eine Änderung des Speicherprogramms kann dieselbe Hardware auch zur Lösung anderer Steueraufgaben verwendet werden.
- Der gesamte sequentielle Stromkreis kann aus 1–2 integrierten Stromkreiselementen zusammengestellt werden, die Anzahl der zur Verwendung kommenden Stromkreiselemente, Verkabelungen und Lötstellen ist minimal, wodurch die Zuverlässigkeit des gesamten Systems erhöht wird.
- Die Planung kann leicht algorithmisiert werden, so kann diese die richtige Wahl des Zustandsdiagramms auch mittels eines entsprechenden Computerprogramms erfolgen.
- Die erfindungsgemäße Ausbildung der Schaltungsanordnung ist erheblich billiger, als die traditionell aufgebauten ähnlichen Zwecken dienenden Stromkreise, insbesondere, wenn man berücksichtigt, daß der Preis der erfindungsgemäßen Schaltungsanordnung auf $\frac{1}{4}$ bis $\frac{1}{5}$ des Preises der herkömmlichen Anordnungen verringert werden kann.
- Der erfindungsgemäße Steuerstromkreis kann insbesondere in den folgenden Fällen mit Vorteil Verwendung finden: Bei Unternehmen von zur Herstellung von universell einsetzbarer Hardware für in Großserien zu produzierender Steuerstromkreise für verschiedene automatisierungs-, meßtechnische-, leitungstechnische- und rechentechnische Mittel. Hierbei zeichnet sich auf dem Gebiet der Planung, Produktion und Wartung bzw. sonstiger Serviceleistung neben der bedeutenden Einsparung von lebendiger Arbeit, aufgrund der einfachen Schaltungstechnik des Stromkreises, eine erhebliche Einsparung an Material und Kosten ab.
- Auf dem Gebiet der Forschung und Entwicklung können unter Anwendung der erfindungsgemäßen Lösung Versuchsmuster oder individuelle Steuerungen hergestellt werden. Vom Standpunkt der Wirtschaftlichkeit aus gesehen ist es äußerst vorteilhaft, wenn verschiedene Steuerstromkreise mit geringer Stückzahl in gleicher Weise einfach und billig ausgebildet sind, wobei dann die jeweils erforderlichen Änderungen im wesentlichen lediglich Software-Charakter tragen.

Ausführungsbeispiele

Die Erfindung wird anhand eines vorteilhaften Ausführungsbeispiels nachfolgend näher erläutert. In den zugehörigen Zeichnungen zeigen:

- Fig. 1: das Blockschaltbild der mit an sich bekannten diskreten Stromkreisen aufgebauten Steuerstromkreise,
- Fig. 2: das Blockschaltbild einer möglichen Ausführungsform des erfindungsgemäßen rückgekoppelten $2^3 \times 1$ Bit-Speichers,
- Fig. 3: die Algorithmen des durch Rückkopplung in zwei Hälften unterteilten Speichers nach Fig. 2,
- Fig. 4 a: ein als Beispiel dargestelltes bekanntes Zustandsdiagramm,
- Fig. 4 b: den mit dem erfindungsgemäßen rückgekoppelten Speicher hergestellten Speicherinhalt,
- Fig. 4 c: die zu dem Speicherinhalt nach Fig. 4 b gehörende Schaltungsanordnung,
- Fig. 5: den der erfindungsgemäßen Schaltungsanordnung entsprechenden Steuerstromkreis, der aus dem Speicher und dem Zeitgeberstromkreis besteht,
- Fig. 6: das Zeitdiagramm eines dreiphasigen elektronischen Taktgebers,
- Fig. 7: das Zustandsdiagramm des dreiphasigen elektronischen Taktgebers nach Fig. 6,
- Fig. 8: das Schaltbild des dreiphasigen elektronischen Taktgebers nach Fig. 6 und 7,
- Fig. 9: die Tabelle des Speichers des dreiphasigen Taktgebers nach Fig. 6 bis 8.

In Fig. 1 ist das Blockschaltbild eines traditionellen diskreten Steuerstromkreises dargestellt. Die Bits des Bedingungsingangs 3 gelangen über den Kombinationsstromkreis 30 in das Zustandsspeicherregister 31. Der Kombinationsstromkreis 30 stellt jenen Teil der Steuerschaltungsanordnung dar, der entsprechend der jeweiligen Aufgabe und unter Berücksichtigung der momentanen (Ist-Stellung) des Zustandsspeichers 31 den neuen oder den früheren Zustand bestimmt, und zwar danach, was für ein Zustandscode am Ausgang 32 des Kombinationsstromkreises 32 erscheint.

Erfindungsgemäß wird das Zustandsspeicherregister 31 mittels des Speichers realisiert (Fig. 2), indem vom Ausgang des Speichers 1 ein oder mehrere Bits zur Eingangsadressenleitung zurückgeführt werden. Bei der Anordnung nach Fig. 2 wird eine einzige Leitung zu einem der Eingänge A, B oder C zurückgeführt (rückgekoppelt). Wenn nun vom Ausgang des Speichers 1 ein Bit zum Adresseneingang C rückgekoppelt wird, wird die Fläche des Speichers 1 sozusagen in zwei Teile unterteilt, wobei die übrigbleibenden Eingangs-Bitkombinationen jeweils immer andere Ausgänge ergeben, und zwar je nach dem, in welcher Hälfte des Speichers man sich „befindet“. Der Übergang zwischen den Speicherhälften wird durch das rückgekoppelte Bit gewährleistet (siehe Fig. 3). Das Fach 33 des Speichers 1 enthält die zu der gegebenen Adressenkombination gehörende Ausgangskombination. In Fig. 3 ist das Fach 33 dargestellt, das z. B. den Wert Null hat. Wenn nun nicht ein Bit, sondern mehrere (k) Bits rückgekoppelt werden, wird auch die Fläche des Speichers in mehrere (2^k) Teile unterteilt. In solchen Fällen findet der Übergang zwischen den einzelnen Vierteln, Achteln usw. des Speichers statt (siehe Fig. 4 a und 4 b). In Abhängigkeit vom gerade aktuellen Speicherteil können zu derselben Kombination der Eingangsbedingungen immer andere Ausgänge gehören. Ein der Fig. 1 entsprechender Stromkreis kann mit einem einzigen Element, nämlich mit dem rückgekoppelten Speicher, realisiert werden, der die Funktionen des Kombinationsstromkreises und der Zustandsspeicherung erfüllt. Bei dieser Lösung können die Zustandspeicherung und die Bitführung des momentanen Zustands zum Eingang des Kombinationsstromkreises simultan

durch Rückkopplung realisiert werden, während der Kombinationsstromkreis das Ergebnis des in die einzelnen Viertel, Achtel usw. des Speichers eingeschriebenen Speicherinhaltes ist. In Fig. 4a ist das als Beispiel dienende Zustandsdiagramm dargestellt, in dem die verschiedenen Steuerungszustände mit in Kreise eingeschriebenen Kodekombinationen bezeichnet sind. Die die Übergänge zwischen diesen die Steuerungszustände erzeugenden Eingangsbedingungskombinationen sind mit der Kombination der AB-Bedingungen bezeichnet.

Fig. 4b zeigt den Speicherinhalt nach Fig. 4c, was eigentlich die Realisierung des Zustandsdiagramms nach Fig. 4a ist.

Bei der Lösung nach Fig. 4c kann unter der Einwirkung der Änderung der AB-Eingangsbedingungen die Ausgangsänderung bzw. die Zustandsänderung sogar sofort, also während der Dauer der Verzögerung der Torschaltung erfolgen. Eine so schnelle Reaktion — die ansonsten nur schwierig erreicht werden kann, — ist in der Mehrheit der Fälle allerdings nicht erforderlich, ja sie ist sogar manchmal ausgesprochen nachteilig. Wenn z. B. während der Beantwortungsdauer des verwendeten Speichers 1 an den rückgekoppelten Ausgängen unbestimmte Kombinationen auftreten, kippt der Zustandsspeicher um, was keinesfalls gewünscht ist, und die sequentielle Funktion kann „zusammenfallen“. Diese Erscheinung kann vermieden werden, indem ein schnell arbeitender, z. B. bipolarer ROM verwendet wird und es wird gewährleistet, daß anlässlich der Zustandsänderungen die Codes der aufeinanderfolgenden Zustände nur um ein einziges Bit voneinander abweichen. Kann diese Möglichkeit nicht gesichert werden, ist es zweckmäßig, zur Vermeidung der fehlerhaften Funktionen einen Zeitgeberstromkreis 2 vor den Eingängen des Speichers 1 oder hinter den Ausgängen des Speichers 1 einzusetzen.

Den einzelnen Adresseneingängen 13A, B des erfindungsgemäß ausgebildeten Speichers 1 schließen sich die Bits der Steuerbedingungen 3 an, während an den weiteren Adresseneingängen 14C, D, E eine von den Ausgängen 11 Y1-Y8 rückgeführte Zustandsleitung wenigstens eines Rückkopplungsausgangs 12 liegt. Der zu diesen Adressen gehörende Inhalt 33 des Speichers enthält nicht nur die die Ergebnissignale 4 liefernden Erfolgsausgänge 11, sondern auch den nächsten Steuerungszustand. Auf diese Weise können mit dem rückgekoppelten Speicher 1 (als einzigem funktionellen Element) zwei Funktionen realisiert werden: und zwar die des Kombinationsnetzes 30 und die des Zustandsspeicherregisters 31 (siehe Fig. 1), da der Inhalt des Faches 33 des zu der gegebenen Adresse gehörenden Speichers 1 ja eine logische Funktion darstellt. Die zu derselben Adresse gehörenden, durch die Rückkopplung getrennten verschiedenen Zustände sichern hingegen die Speicherung der Zustände.

Fig. 5 zeigt die Schaltungsanordnung des erfindungsgemäßen Speichers 1. Diese Schaltungsanordnung enthält den Speicher 1, sowie den nach Bedarf zur Verwendung kommenden Zeitgeberstromkreis 2.

Wie aus Fig. 5 ersichtlich, weist der Speicher 1 wenigstens einen Adresseneingang 13 und wenigstens einen weiteren Adresseneingang 14 auf, des weiteren sind wenigstens ein Ergebnisausgang 11 und ein davon getrennter Rückkopplungsausgang 12 vorgesehen.

Der Zeitgeberstromkreis 2 weist wenigstens einen Bedingungsingang 23 und wenigstens einen Rückkopplungsingang 24, des weiteren wenigstens einen Steuerausgang 21 und wenigstens einen Zustandsausgang 22 auf.

Der zumindest eine vorhandene Bedingungsingang 3 liegt normalerweise am Steueradresseneingang 13. Wenn jedoch ein Zeitgeberstromkreis 2 vorhanden ist, ist er an den Bedingungsingang 23 angeschlossen. Der Rückkopplungsausgang 12 ist mit dem einen weiteren Adresseneingang 14 bildenden Zustandseingang bzw. — bei Vorhandensein eines Zeitgeberstromkreises 2 — mit dem Rückkopplungsingang 24 verbunden. Wenn ein Zeitgeberstromkreis 2 eingesetzt wird, liegt an dem Steueradresseneingang 13 der Steuerausgang 21 und an dem den weiteren Adresseneingang 14 bildenden Zustandseingang der Zustandsausgang 22. Die Erfolgsausgänge 11 des Speichers 1 liefern die Bits der zu erzeugenden Steuer-Ergebnissignale 4. Wenn zwecks Vermeidung einer fehlerhaften Funktion und von Zufällen die Verwendung eines Zeitgeberstromkreises 2 erforderlich wird, ist der Zeitgeberstromkreis 2 so auszubilden, daß der Steuerausgang das verzögerte/tempierte Äquivalent des Bedingungsingangs 23 und der Zustandsausgang 22 das verzögerte/tempierte Äquivalent des rückgekoppelten Eingangs 24 darstellen.

Der Inhalt irgend eines Faches 33 des Speichers 1, der durch den Adresseneingang 13 und den weiteren Adresseneingang 14 bestimmt ist, stellt die von dem Zustandsdiagramm geforderte Ausgangskombination dar.

Bei dem Blockschaltbild der Fig. 5 ist die Wirkungsweise der Schaltungsanordnung die folgende:

Die dem momentanen Zustand des die Schaltungsanordnung realisierenden Steuerstromkreises entsprechende Kodekombination erscheint am Rückkopplungsausgang 12. Diese Kodekombination gelangt unmittelbar an den weiteren Adresseneingang 14 des Speichers 1 oder — wenn ein Zeitgeberstromkreis 2 vorhanden ist — nicht unmittelbar, sondern mit einer Tempierung bzw. Verzögerung an den Eingang 14 und bringt dadurch die von dieser Kodekombination definierte Speicherfläche zum Wirken. Dann ergibt der Inhalt des von den Steueradresseneingängen 13 definierten Speicherfaches 33 die Ergebnisausgänge 11 und die davon getrennten Rückkopplungsausgänge 12 innerhalb der zur Wirklichkeit gebrachten Speicherfläche.

Dieser Zustand und die diesem entsprechende Kodekombination werden solange aufrechterhalten, bis an dem Steueradresseneingang 13 des Speichers eine einen von dem gegenwärtigen Zustand abweichenden Zustand auslösende Steuerung eintrifft.

Wenn die Bedingungsingänge 3 die Änderung des momentanen Zustands hervorrufen, enthält das zur Wirkung gebrachte Fach 33 des Speichers an den rückgekoppelten Ausgängen 12 den Zustandscode des neuen Zustands.

Mit Hilfe eines weiteren einfachen Ausführungsbeispiels werden Art und Weise der Ausbildung des erfindungsgemäßen Steuerstromkreises näher erläutert.

Es sei zunächst angenommen, daß der zu realisierende Stromkreis ein dreiphasiger elektronischer Taktgeber ist, der aus dem Eingangstaktsignal Q die Signale gemäß Fig. 6 erzeugt.

Als erster Schritt werden die zu unterscheidenden Zustände, wie dies aus Fig. 6 ersichtlich ist, mit den Zustandszeichen 0 bis 5 versehen. Das daraus aufzeichnende Zustandsdiagramm ist in Fig. 7 dargestellt. Nach erfolgter Kodierung des Zustands kann unter Einschreibung der Codes in das Zustandsdiagramm (Fig. 7) die Anzahl der Rückkopplungsausgänge 12 und der Adresseneingänge 13 bestimmt werden. Nachdem die Kodierung der Zustände abgeschlossen ist, werden Signale bestimmt, deren Anzahl zumindest dem Logarithmus der Anzahl der Zustände der gewünschten Reihenfolgesteuerung zur Basis 2 entspricht. Die Bestimmung erfolgt aufgrund des Zustandsdiagramms. Anschließend werden die so bestimmten Signale außer auf die Bedingungsingänge 3 des Speichers 1 auch auf die weiteren Adresseneingänge 14 rückgekoppelt. Auf diese Weise wird die Anzahl der Rückkopplungsausgänge 12 bestimmt.

Beim nächsten Schritt wird die erforderliche Minimalgröße des Speichers 1 bestimmt. Aus der Einfachheit des Beispiels geht eindeutig hervor, daß zur Lösung der Aufgabe ein 16×8 Bit-Speicher genügt.

Dementsprechend werden die zur Funktion nicht ausgenutzten Zustände kodiert. Es ist zweckmäßig, wenn die beiden zur Funktion nicht verwendeten Zustände (101, 010) als Übergangszustände gewählt werden, aus denen das System in den stabilen Zustand 11 rückgestellt wird.

Jetzt kann das Schaltbild des so bestimmten, mit dem Speicher 1 ausgebildeten Steuerstromkreises leicht aufgezeichnet werden. Diese Schaltungsanordnung ist in Fig. 8 dargestellt, wobei alle Eingänge A-E des Speichers 1, die Anzahl der Ausgänge Y1-Y8, sowie die Bestimmungen QAC-QC nach dem Zeitdiagramm angeführt sind.

Der Inhalt des Faches 33 des Speichers 1 ist so zu wählen, daß an den durch die Rückkopplungsausgänge QA, QB, QC, 12 bestimmten Speicherteilen ein neuer, von den die weiteren Adresseneingänge 14 bildenden Zustandseingängen abhängiger Zustandskode vorhanden ist, während an den nicht rückgekoppelten Ausgängen Y1-Y5 die den gewünschten Erfolgssignalen 4 entsprechenden Kodes erscheinen. Zuletzt besteht die Aufgabe in der Bestimmung des Inhalts des Speichers 1, d. h. die Kodierung der der Aufgabe entsprechenden Funktionen.

Fig. 9 stellt eine mögliche Lösung der gegebenen Aufgabe tabelliert aufgrund der entsprechenden Kodes dar.

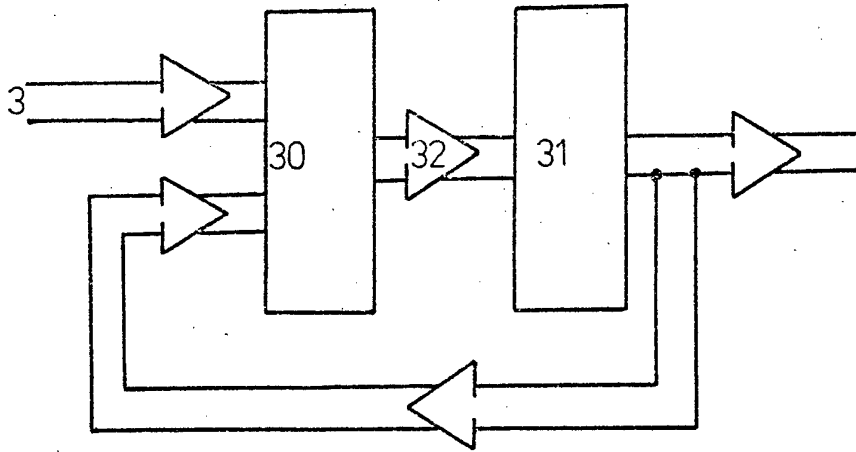


Fig. 1

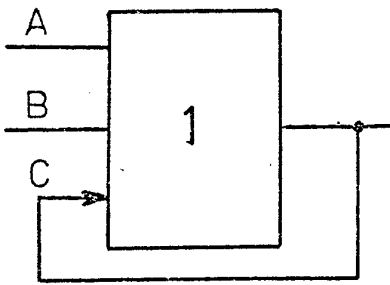


Fig. 2.

C	B	A	
0	0	0	0
	0	1	1
	1	0	0
1	0	0	1
	0	1	1
	1	0	0
	1	1	1

Fig. 3

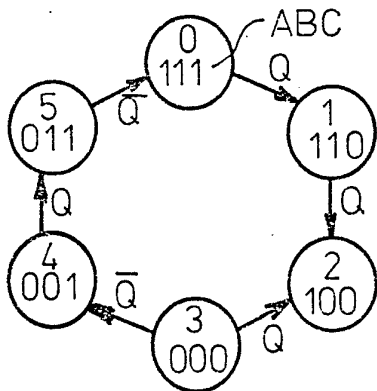


Fig. 7

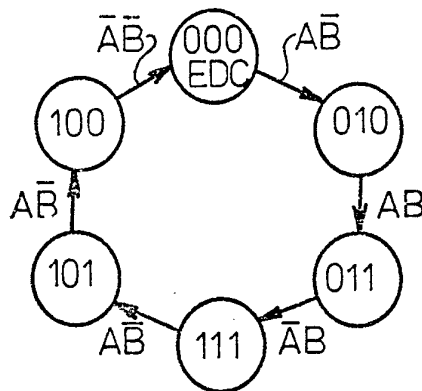


Fig. 4a

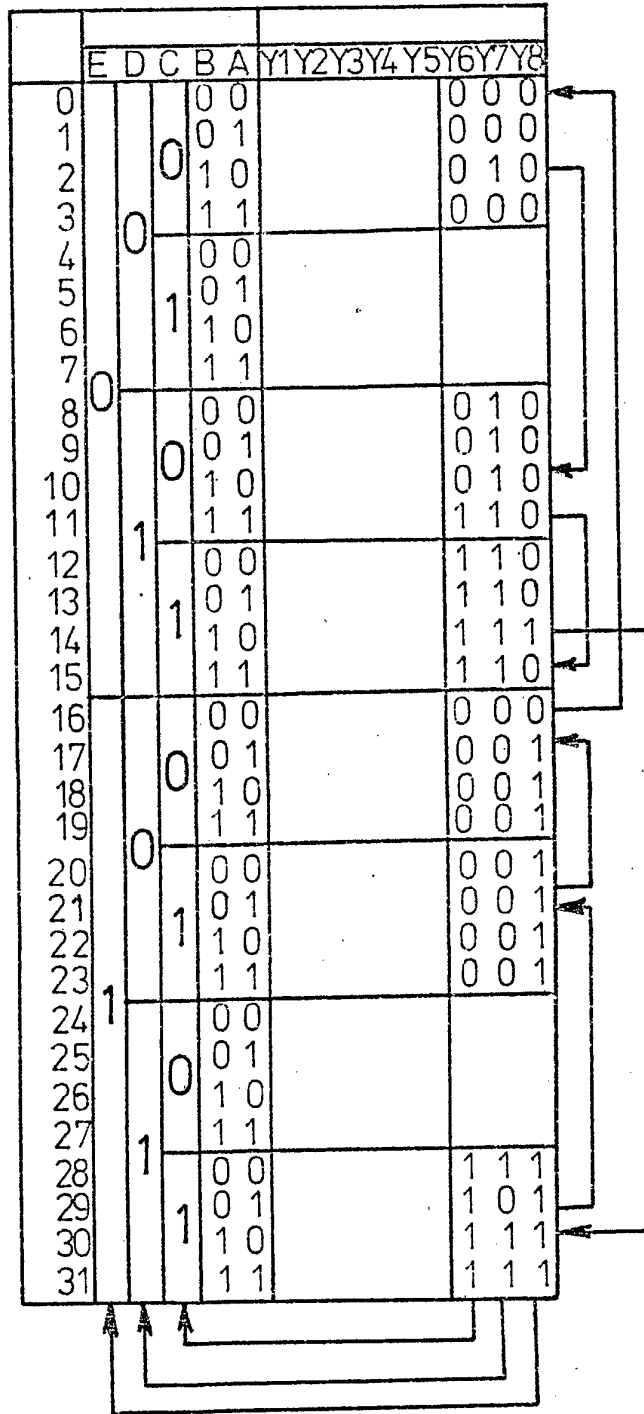


Fig. 4 b

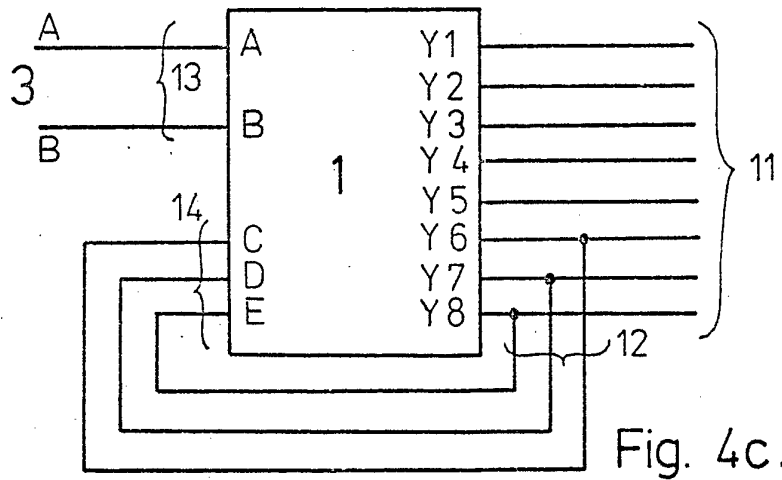


Fig. 4c.

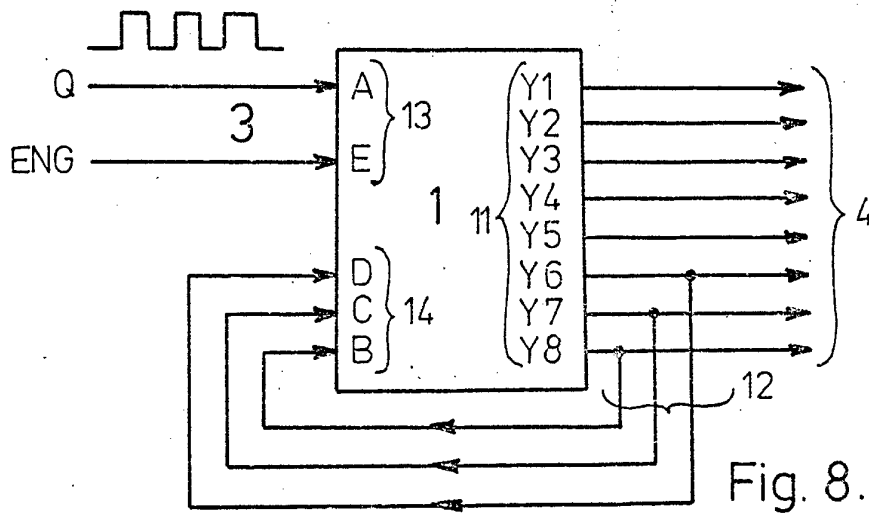


Fig. 8.

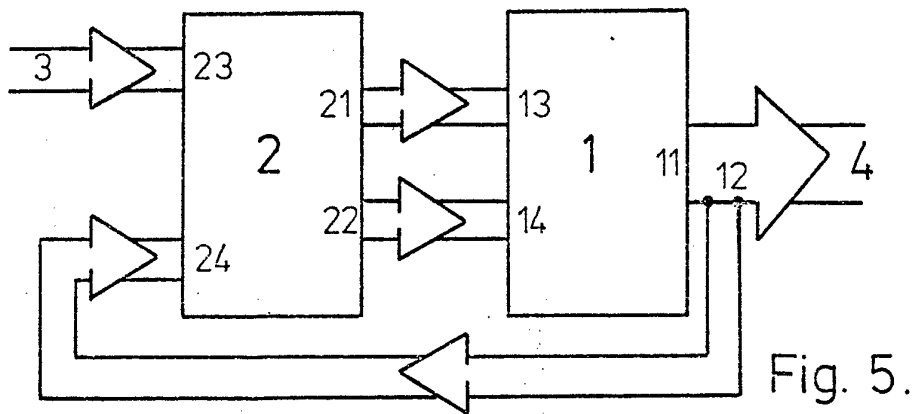


Fig. 5.

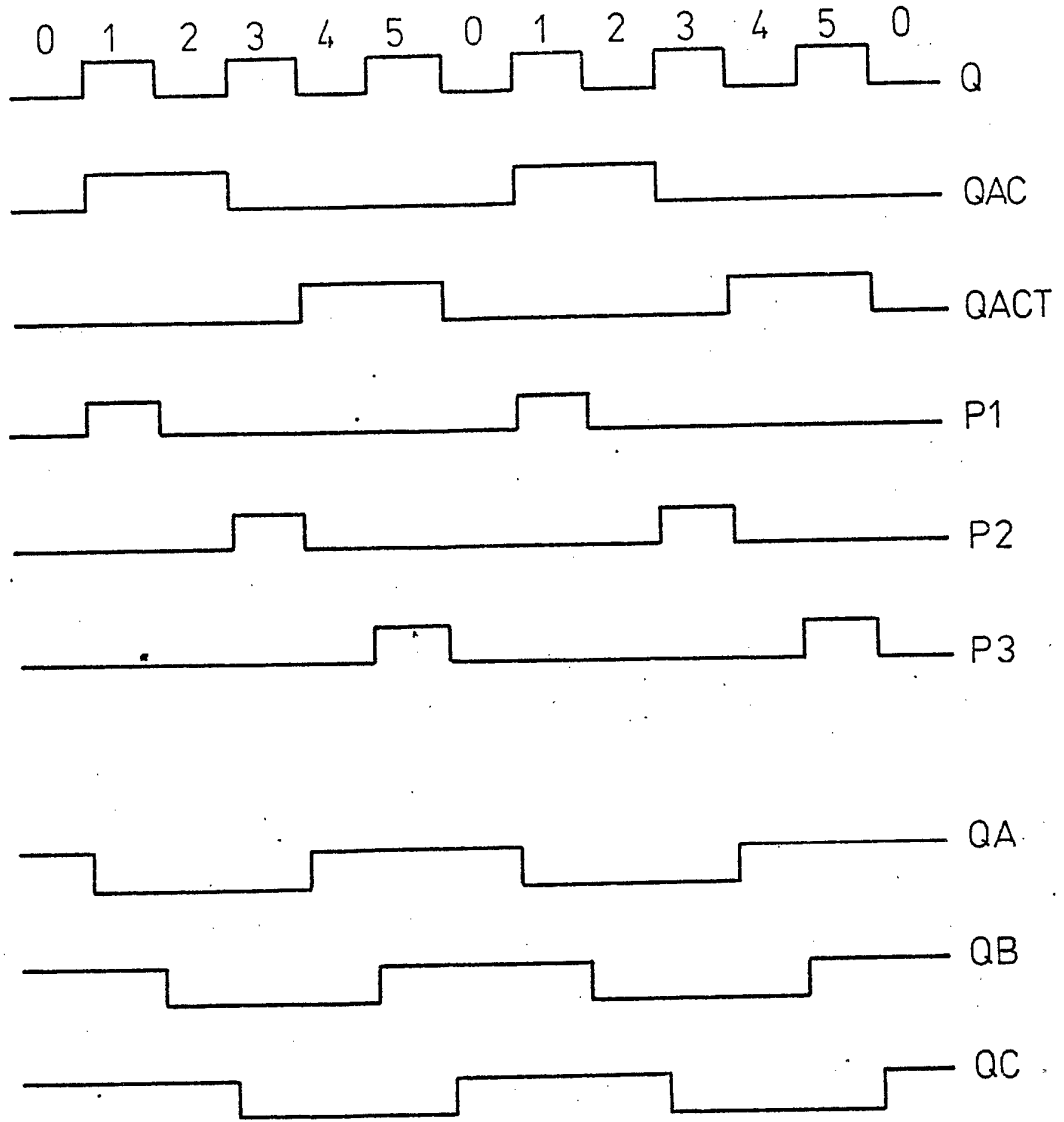


Fig. 6.

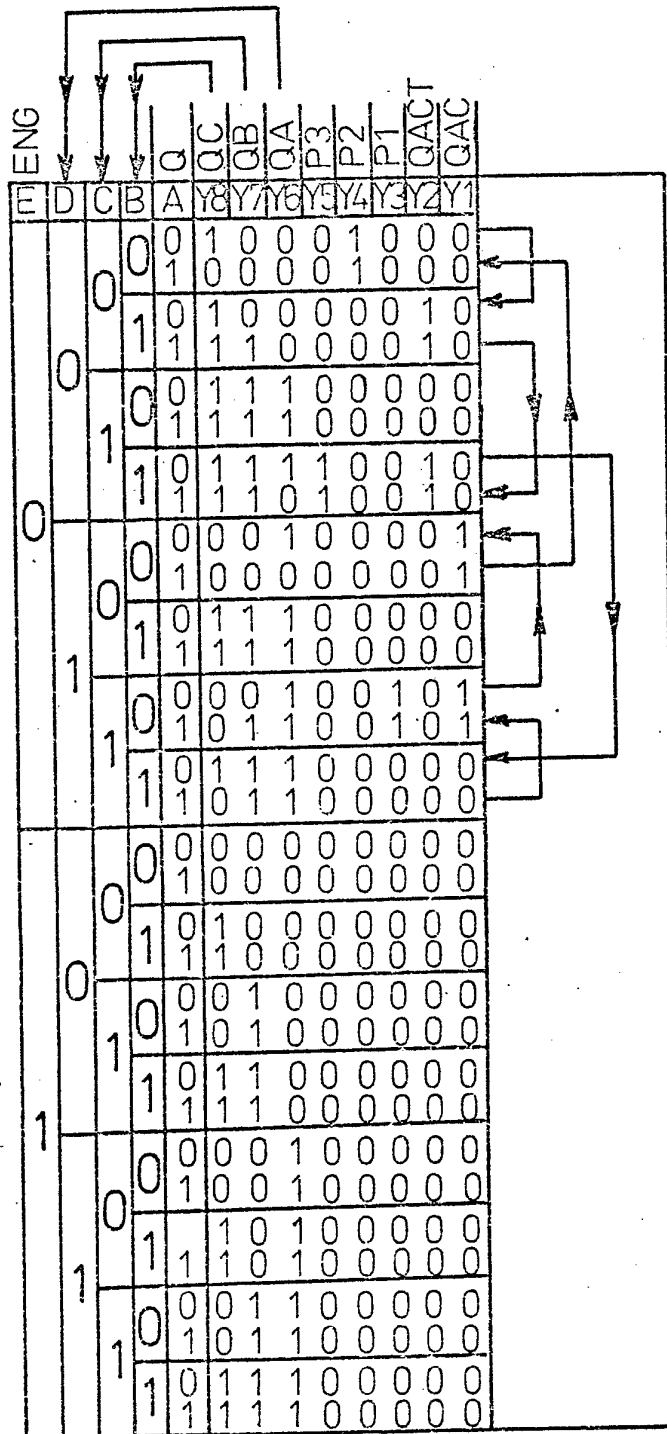


Fig. 9.