



(12) 发明专利

(10) 授权公告号 CN 101040388 B

(45) 授权公告日 2010.06.09

(21) 申请号 200580035043.2

(22) 申请日 2005.10.13

(30) 优先权数据

04105042.8 2004.10.14 EP

(85) PCT申请进入国家阶段日

2007.04.13

(86) PCT申请的申请数据

PCT/IB2005/053367 2005.10.13

(87) PCT申请的公布数据

W02006/040736 EN 2006.04.20

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 扬·J·科宁 扬-哈姆·尼兰

约翰内斯·H·H·A·埃格伯斯

马尔腾·J·斯韦恩伯格

阿尔弗雷德·格雷克斯特

阿德里安娜·W·鲁迪克休泽

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张天舒

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/786(2006.01)

(56) 对比文件

US 5640040 A, 1997.06.17, 说明书第 12 栏第 45 行至第 13 栏第 2 行、图 3-5.

CN 1433569 A, 2003.07.30, 全文.

US 2002/0030226 A1, 2002.03.14, 说明书第 [0182]-[0190] 段、图 24.

US 5698869 A, 1997.12.16, 说明书第 22 栏第 20 行至第 24 栏第 26 行、图 16C.

审查员 罗崇举

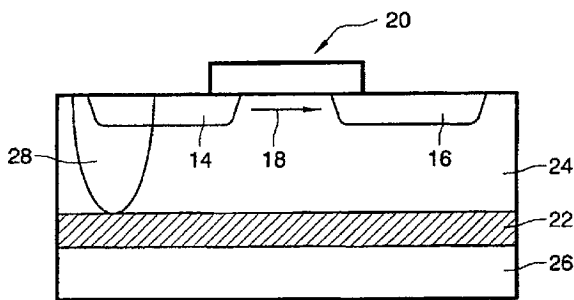
权利要求书 1 页 说明书 5 页 附图 5 页

(54) 发明名称

用于高电压应用的 MOSFET 及其制作方法

(57) 摘要

一种包括绝缘体上半导体 (SOI) 衬底的 PMOS 器件, 所述 SOI 衬底具有在其上提供 n 型半导体材料的有源层 (24) 的绝缘材料层 (22)。通过扩散将 p 型源极和漏极区 (14、16) 设置在 n 型有源层 (22) 中。将 p 型栓塞 (28) 设置在源极区 (14) 处, 该栓塞穿过有源半导体层 (24) 延伸至绝缘层 (22)。提供栓塞 (28) 以便能够将施加到器件上的源极电压显著地偏移到衬底电压以上, 而不会发生过大的泄漏电流。



1. 一种金属 - 氧化物 - 半导体器件, 包括: 绝缘体上半导体衬底

(26), 所述绝缘体上半导体衬底 (26) 具有绝缘材料层 (22), 在绝缘材料层 (22) 上设置有第一导电类型的掺杂半导体区域 (24); 所述第一导电类型的栅极区 (20); 源极区 (14) 和漏极区 (16), 设置在所述第一导电类型的所述区域 (24) 内的所述器件的表面处, 所述源极区和漏极区 (14、16) 包括第二导电类型的各自掺杂半导体区域, 并且在源极区和漏极区之间限定沟道, 其中在所述源极区和漏极区 (14、16) 以及所述绝缘材料层 (22) 之间设置间隙, 所述器件的特征在于还包括所述第二导电类型的栓塞区 (28), 从所述源极区

(14) 处或附近的所述器件的所述表面延伸至所述第一导电类型的所述掺杂半导体区域 (24) 中, 并且与所述源极区 (14) 电短路。

2. 根据权利要求 1 所述的器件, 其中, 所述栓塞区 (28) 从所述器件的所述表面延伸至所述绝缘材料层 (22)。

3. 根据权利要求 1 所述的器件, 包括 PMOS 晶体管, 其中所述第一导电类型是 n 型, 并且所述第二导电类型是 p 型。

4. 根据权利要求 1 所述的器件, 包括 NMOS 晶体管, 其中所述第一导电类型是 p 型, 并且所述第二导电类型是 n 型。

5. 根据权利要求 1 所述的器件, 其中所述栓塞区 (28) 至少部分地与所述源极区 (14) 重叠。

6. 根据权利要求 1 所述的器件, 其中所述栓塞区 (28) 通过导电接触与所述源极区 (14) 电短路。

7. 一种制作金属 - 氧化物 - 半导体器件的方法, 所述方法包括: 提供绝缘体上半导体衬底 (26), 绝缘体上半导体衬底 (26) 具有绝缘材料层 (22), 在绝缘材料层 (22) 上设置有第一导电类型的掺杂半导体区域 (24); 提供所述第, 导电类型的栅极区 (20); 通过扩散在所述第一导电类型的所述区域 (24) 内的所述器件的表面处提供源极区 (14) 和漏极区 (16), 所述源极区和漏极区 (14、16) 包括第二导电类型的各自掺杂半导体区域, 并且在源极区和漏极区之间限定沟道, 其中在所述源极和漏极区 (14、16) 以及所述绝缘材料层 (22) 之间设置间隙, 所述方法的特征在于还包括形成所述第二导电类型的栓塞区 (28), 从所述源极区 (14) 处或附近的所述器件的所述表面延伸至所述第一导电类型的所述掺杂半导体区域 (24) 中, 并且与所述源极区 (14) 电短路。

8. 一种集成电路, 包括如权利要求 1 所述的金属 - 氧化物 - 半导体器件。

用于高电压应用的 MOSFET 及其制作方法

技术领域

[0001] 本发明涉及一种适用于高电压应用的 MOSFET 及其制作方法。

背景技术

[0002] 场效应晶体管 (FET) 本质上是一种半导体电流通路,其电导率通过施加与电流垂直的电场来控制。所述电场由反向偏置 pn 结产生。一种具体类型的 FET 公知为金属-氧化物-半导体 (MOS)FET,即所谓的表面 FET,并且通过将第一导电类型的两个同心掺杂的半导体区域扩散到轻掺杂的第二导电类型半导体衬底中来制作。

[0003] 例如参考图 1,典型的所谓“体”PMOS 晶体管 10 包括轻掺杂 n- 型衬底 12,在其中扩散了两个掺杂的 p 型半导体区 14、16。p 型区 14、16 形成器件的源极和漏极,其间具有沟道(由箭头 18 表示)。所述器件还包括栅极区 20。在使用中,当在栅极 20 和衬底之间施加电压时,电流跨过沟道 18 从源极流到漏极。

[0004] 体 MOS 结构具有以下缺点:在 CMOS(互补 MOS)结构中,PMOS 器件的 n 型区或阱和相邻的 NMOS 器件的 p 型区或阱有效地形成了各自的 pn 结,结果存在一对双极型晶体管,其一是 npn 型和另一是 pnp 型,从而形成寄生 pnpn 可控硅(thyristor)。关于该可控硅可能出现公知为闭锁的现象,从而作为例如外部噪声的结果,其保持为导电的并且不会恢复。因此,NMOS 和 PMOS 器件之间的距离不能做得太小,否则上述双极型晶体管的增益将不可接受地高,而在避免闭锁的努力中,需要使双极型晶体管的增益最小化。从而,采用体 MOS 结构限制了集成密度。此外,在体 MOS 结构中,全部的源极和漏极区具有在相同的衬底或阱之间形成的 pn 结,并且由 pn 结产生的所得到的寄生电容对于器件的高速操作是非常不利的。

[0005] 相对于体材料,绝缘体上硅(SOI)材料提供潜在的优势,用于制作高性能集成电路,并且在绝缘体上的单晶半导体层中形成 MOSFET 的方法公知为 SOI-MOS 形成方法。参考图 2,SOI-(P)MOS 结构在很多方面与如图 1 所示的体 MOS 结构类似,并且用相同的参考数字表示相似的元件。然而,在这种情况下,所述结构包括其中具有掩埋氧化物(BOX)层 22 的衬底 12,在所述 SOI 衬底中提供了轻掺杂 n 型半导体层 24。将浅的 p 型源极和漏极区 14、16 扩散到 n 型半导体层 24 中,并且如前所述提供栅极区 20。

[0006] 因此,MOS 器件在其正下方具有相对较厚的绝缘体,并且其特征在于以下能力:将漏极结电容和信号线到衬底的电容减小到传统体 MOS 器件的电容的大约 1/10。此外,将 MOS 与支撑衬底绝缘且隔离,并且因此其特征还在于以下能力:实质上消除了由 α 射线的辐射和闭锁现象引起的缺点。此外,二氧化硅支持比硅 pn 结高得多的电压,所以在 SOI-MOS 中,全部器件和衬底之间的 SiO_2 隔离在较小区域中允许高得多的电压差,并且 SOI 技术允许在相对于操作晶片(handle wafer)为负的电压使用 MOSFETs。

[0007] 存在其中采用其源极与正电压基准(电源)线 V_s 相连的 PMOS 器件的许多应用。在相对较高电压的应用中,这可能引起问题,因为操作晶片衬底 26(参见图 2)将处于比源极(处于 V_s 处)低得多的电势($V_{hw} = 0V$)。结果,可能在 PMOS 器件的轻掺杂 n 型层 24 中(从掩埋氧化物层 22 向上(向表面))出现耗尽(由此,移动载流子从半导体层的区域基

本消失的现象)。如果 V_s 偏移地太多,可以在掩埋氧化物层 22 处产生反型层。类似地,在 NMOS 器件中存在相似的问题,所述 NMOS 器件用在相对于操作晶片为负的电压处。

[0008] 这可能引起从源极到漏极的不可接受的高泄漏电流,当掩埋氧化物层 22 处的上述耗尽层接触从漏极区 16 延伸到 n 型区 24 的耗尽层(未示出)、并且源极区 14 与 n 型区 24 接触时,或当掩埋氧化物层 22 的耗尽层接触源极区 14 时,出现所述泄漏电流。如图 4a 和图 4b 所示,在根据现有技术的具有 $0.9e12/cm^2$ 的掺杂剂量的 n 型区的 PMOS 器件中,当将源极电压偏移到操作晶片衬底电压以上 25V 时(图 4b),相对于其中没有将源极电压偏移到操作晶片衬底以上的情况下(图 4a),泄漏电流随着源极到漏极电压的大小而增加。该泄漏目前将 PMOS 器件的使用限制为 V_{tw} 以上大约 20V,或者如果 n 型区 24 的掺杂剂量增加则限制为更高一些,尽管这样,PMOS 可以偏移达到的电压 $V_s - V_{tw}$ 还是受限制。

[0009] 美国专利 No. 6, 225, 667 描述了一种 SOI-MOS 晶体管,其中源极区从衬底的表面向绝缘层延伸,以便减小器件的浮置体效应(通过消除浮置源极区),所述浮置体效应可以包括从源极到漏极的泄漏电流。然而,另一方面,如果在没有体接触的情形下制作器件(即将此种器件的体区域保持浮置),则可以极大地简化 SOI 中的电路布局,并且大大地增加了封装密度。

[0010] 现在我们已经设计了改进的配置,本发明的一个目的在于提供一种 MOS 器件及其制造方法,从而可以将施加到其上的源极电压显著地偏移到衬底电压以上(例如,70V 或更多),而不发生过大的泄漏电流。

发明内容

[0011] 根据本发明,提出了一种金属-氧化物-半导体器件,包括:绝缘体上半导体衬底,具有在其上提供第一导电类型的掺杂半导体区的绝缘材料层;所述第一导电类型的栅极区;在所述第一导电类型的所述区域内的所述器件的表面处提供的源极区和漏极区,所述源极区和漏极区包括第二导电类型的各自掺杂半导体区,并且在源极区和漏极区之间限定沟道,其中在所述源极和漏极区以及所述绝缘材料层之间提供间隙,所述器件还包括所述第二导电类型的栓塞区,从所述源极区处或附近的所述器件的所述表面延伸至所述第一导电类型的所述掺杂半导体区中,并且与所述源极区电短路。

[0012] 并且,根据本发明,提供一种制作金属-氧化物-半导体器件的方法,所述方法包括:提供绝缘体上半导体衬底,具有在其上提供第一导电类型的掺杂半导体区的绝缘材料层;提供所述第一导电类型的栅极区;通过扩散在所述第一导电类型的所述区域内的所述电器件表面处提供源极区和漏极区,所述源极区和漏极区包括第二导电类型的各自掺杂半导体区,并且在源极区和漏极区之间限定沟道,其中在所述源极和漏极区以及所述绝缘材料层之间提供间隙,所述方法还包括:形成所述第二导电类型的栓塞区,该栓塞区从所述源极区处或附近的所述器件的所述表面延伸至所述第一导电类型的所述掺杂半导体区中,并且与所述源极区电短路。

[0013] 本发明还扩展到包括如上所限定的 MOS 器件的集成电路。

[0014] 优选地,栓塞区从所述源极区处的所述器件的所述表面延伸至所述绝缘材料层。

[0015] 在器件的表面和绝缘层之间的源极区处提供栓塞,提供了具有电荷载流子的上述反型层(以便防止其达到扩散的源极区或漏极区的耗尽区),并且将电势固定在源极电压

V_s 处。

[0016] 在优选的实施例中, MOS 器件包括 PMOS 晶体管, 其中所述第一导电类型是 n 型, 并且所述第二导电类型是 p 型。然而, MOS 器件同样可以是 NMOS 晶体管。优选地, 所述绝缘材料层是掩埋绝缘层, 例如掩埋氧化物层。

[0017] 要求栓塞区具有与源极区相同的电势, 即, 需要将其电短路。这可以通过金属接触等, 或通过重叠掺杂来实现。

[0018] 因此, 在一个典型实施例中, 栓塞区至少部分地与所述源极区重叠。重叠的范围应该足够应付工艺变化。在本发明的一个特定典型实施例中, 可以采用任意合适的掺杂剂对所述第二导电类型的半导体材料掺杂, 例如磷 (其原子相对较轻, 所以易于注入到几个微米的深度), 可以采用约 $0.1e12/cm^2$ 至 $3e12/cm^2$ 范围内的掺杂剂量。

[0019] 参考这里描述的实施例, 这些和其他方面将是显而易见的, 并且对照实施例对其进行描述。

附图说明

[0020] 现在将仅作为示例并且参考附图描述本发明的实施例, 其中:

[0021] 图 1 是根据现有技术的体 MOS 器件的示意性剖面图;

[0022] 图 2 是根据现有技术的 SOI-MOS 器件的示意性剖面图;

[0023] 图 3 是示出了根据本发明典型实施例的 SOI-MOS 器件结构的示意性剖面图;

[0024] 图 4a 和图 4b 用曲线示出了当没有将源极电压偏移到操作晶片衬底电压以上 (图 4a) 和当将源极电压偏移到操作晶片衬底电压以上 25V 时 (即, $V_s - V_{lw} = 25V$) 时, 在源极至漏极电压 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下, 根据现有技术的、具有 $0.9e12/cm^2$ 的掺杂剂量的 n 型区的 PMOS 晶体管的泄漏电流对栅极电压关系;

[0025] 图 5a 用曲线示出了根据现有技术的、具有 $3e12/cm^2$ 的掺杂剂量的 n 型区的 PMOS 晶体管的泄漏电流对栅极电压关系, 其中没有将源极电压偏移到操作晶片衬底电压以上, 在 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下;

[0026] 图 5b 用曲线示出了与图 5a 相关的 PMOS 晶体管的漏极电流对栅极电压关系, 其中已经将源极电压偏移到操作晶片衬底电压以上 120V (即, $V_s - V_{lw} = 120V$), 在 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下;

[0027] 图 5c 用曲线示出了与图 5a 相关的 PMOS 晶体管的漏极电流对栅极电压关系, 其中已经将源极电压偏移到操作晶片衬底电压以上 180V (即, $V_s - V_{lw} = 180V$), 在 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下;

[0028] 图 6a 用曲线示出了根据本发明典型实施例的 PMOS 晶体管的漏极电流对栅极电压关系, 其中还没有将源极电压偏移到操作晶片衬底电压以上, 在 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下;

[0029] 图 6b 用曲线示出了与图 6a 相关的 PMOS 晶体管的漏极电流对栅极电压关系, 其中已经将源极电压偏移到操作晶片衬底电压以上 180V (即, $V_s - V_{lw} = 180V$), 在 $V_{ds} = 2, 3, 4, 5, 6V$ 的情况下; 以及

[0030] 图 7 用曲线示出了与图 6a 相关的器件的响应, 其中源极电压等于 0V, $V_{lw} = -120V$, 并且源极至漏极电压 $V_{ds} = 0, -2, -4, -6, -8, -10V$, 其中可以看出在 $V_{ds} = -10$ 时存在 0.2

微安的轻微电流泄漏,而第一个信号在 $-8V$ 处。

具体实施方式

[0031] 如上所解释的,本发明的一个目的在于提供一种 MOS 器件及其制造方法,由此可以将施加到其上的源极电压显著地偏移到衬底电压以上(例如, $70V$ 或更大),而不会发生过大的泄漏电流。

[0032] 如果增加 n 型区的掺杂剂量(例如,到 $3e12cm^2$,图 5a),那么就有可能将源极电压偏移到特定范围,而没有过大的泄漏电流发生(参见图 5b)。然而,尽管图 5b 示出了在这种情况下可以将源极电压偏移 $120V$ 而不会发生过大的泄漏电流,但这在时间上既不稳定也不是很好定义的情况,因为不同于电荷载流子生产工艺,并没有提供电荷载流子以形成反型层,正如已经在 SOI 中的时间相关电容中显出的那样。在任何情况中,如图 5c 所示,在不发生过大的泄漏电流的情形下,相同的器件不可能具有偏移到 $180V$ 的源极电压。

[0033] 参考图 3,根据本发明典型实施例的 PMOS 晶体管包括 SOI 衬底 26,具有如前所述的掩埋氧化物层 22,在其上提供了 n 型阱区 24。在阱区 24 中,通过扩散提供了 p 型半导体区以形成各个源极和漏极区 14、16。将沟道限定在源极和漏极区 14、16 之间,并且提供了栅极区 20。

[0034] 为了实现本发明的上述目的,通过扩散在源极区 14 的 n 型区 24 内提供了 p 型掺杂半导体材料的深柱塞 28,所述柱塞 28 从器件的表面延伸至掩埋氧化层 22。如所示出的,在优选实施例中,柱塞 28 至少部分地与源极区 14 重叠。

[0035] 柱塞 28 具有这样的效果:当将源极电压 V_s 偏移到操作晶片衬底电压 V_{lw} 以上某一阈值电压时,向由掩埋氧化层 22 向上构成的反型层提供电荷载流子,从而将电势固定在源极电压 V_s 处。参考图 6a,用曲线示出了当源极电压和操作晶片衬底电压之间的差实质为 0 时,根据本发明典型实施例的 PMOS 晶体管的漏极电流对栅极电压关系。现在考虑图 6b,图 6b 用曲线示出了当将源极电压偏移到操作晶片衬底电压以上 $180V$ 时,相同的 PMOS 晶体管的漏极电流对栅极电压关系,表明泄漏的显著增加。是这样实现的:作为提供柱塞 28 的结果,当将源极电压进一步地偏移到操作晶片衬底电压以上时,防止从掩埋氧化物层 22 向上的耗尽层增加得超过某一点,而是取而代之地通过 $V_s - V_{lw}$ 将其固定在掩埋氧化物层 22 上方的范围。因此,即使将 PMOS 晶体管的源极电压偏移 $180V$ 也不会显著地增加泄漏电流。

[0036] 如果然后增加源极-漏极电压,仅有漏极区 16 处的耗尽层将延伸直到达到极限,其中在掩埋氧化物层 22 处接触耗尽层。在所示的示例中,这在 8 至 $9V$ 时发生,如可以从图 7 的次阈值的泄漏电流图所看出的,这证实了所建议机制的效果。

[0037] 如果将柱塞区提供在漏极区 16 而不是源极区 14 处,仍然可以防止在掩埋氧化物层 22 处形成完整的反型层,因为正电荷将不会呆在掩埋氧化物层 22 上以形成完整的反型层,但是将代替地流到最负的点,即漏极。然而,如果来自掩埋氧化物层 22 的耗尽层接触源极区 14,泄漏电流将从源极流到漏极。在这种情况下,在发生从源极到漏极的泄漏之前,对于 $3e12/cm^2$ 的 n 型区掺杂剂量,不可以将器件偏移超过大约 $70V$ 。

[0038] 通常,针对柱塞区的掺杂剂量需要足够将阱过掺杂向下至绝缘体界面。

[0039] 应该注意的是,上述实施例只是说明而非限制本发明,并且本领域普通技术人员在不脱离所附权利要求所限定的范围内能够设计许多替代实施例。在权利要求中,在圆括

号中放置的任何参考符号不应该解释为限制权利要求。词语“包括”等总体上不排除存在不同于任何权利要求或说明书所列出的元件和步骤。元件的单数形式不排除多个此种元件,反之亦然。本发明可以通过包括几个明确元件的硬件以及通过适当地编程的计算机来实现。在列出几种手段的器件权利要求中,这些手段的一些也可以通过一个或相同项目的硬件来具体实现。唯一的事实在于在彼此不同的独立权利要求中叙述的特定方法不表示不能有利地使用这些方法的组合。

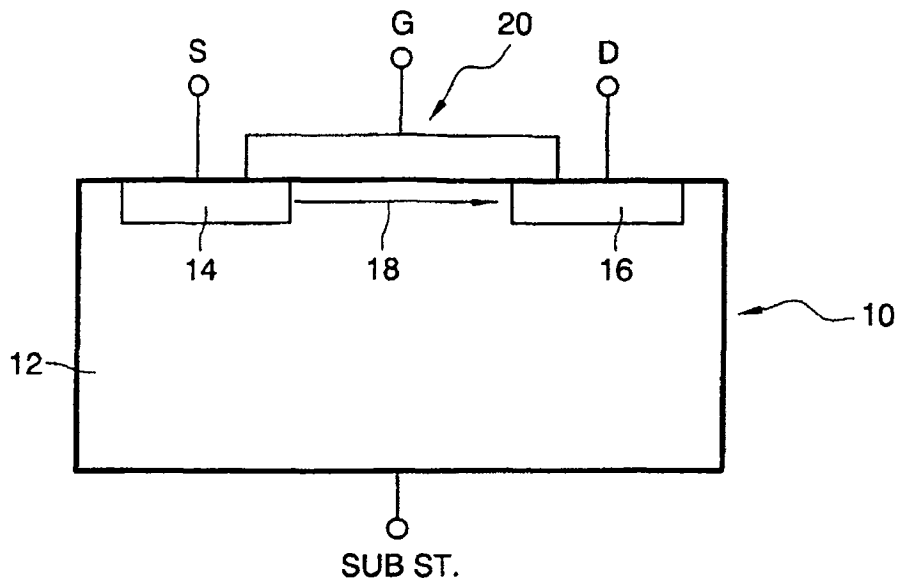


图 1

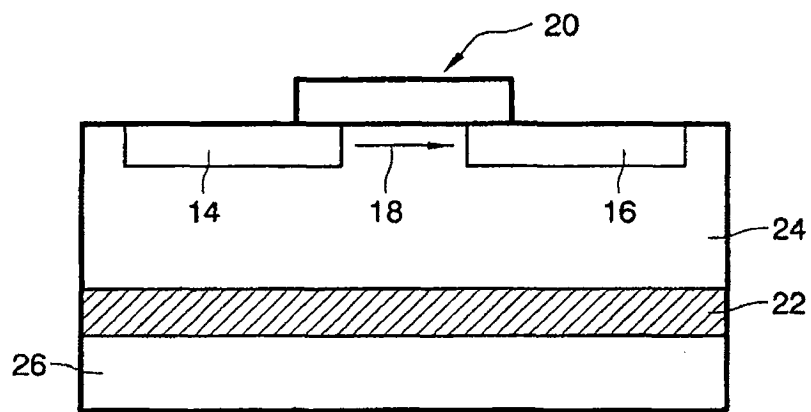


图 2

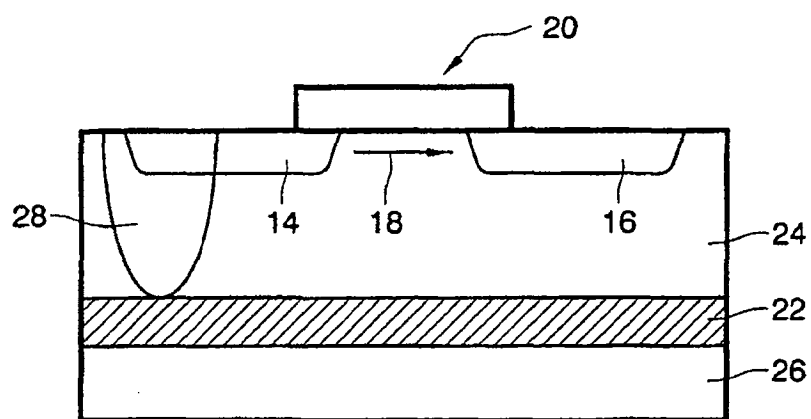


图 3

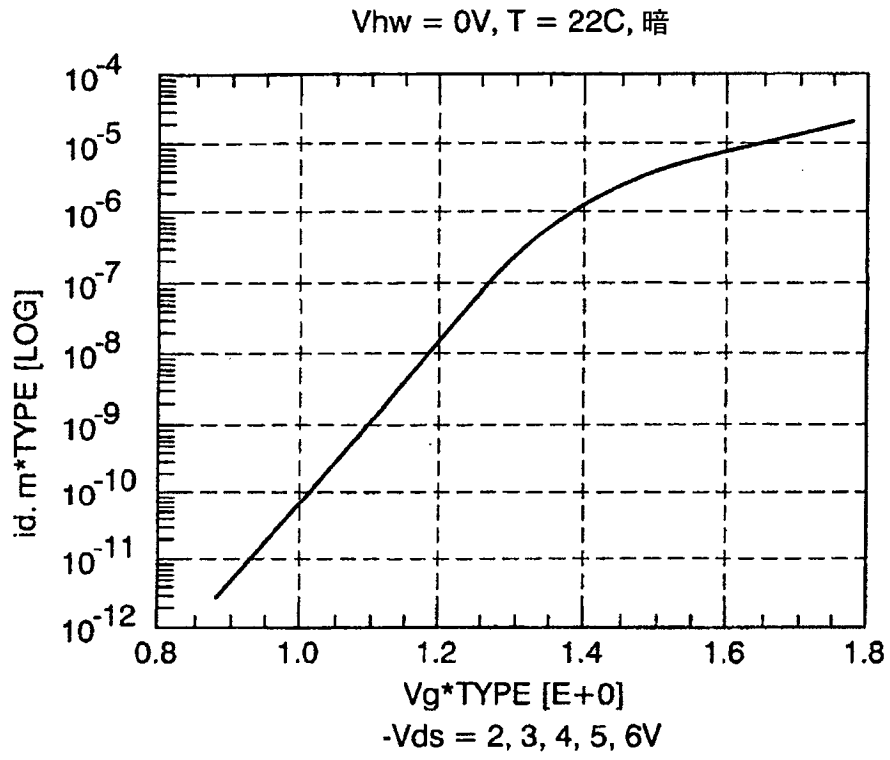


图 4a

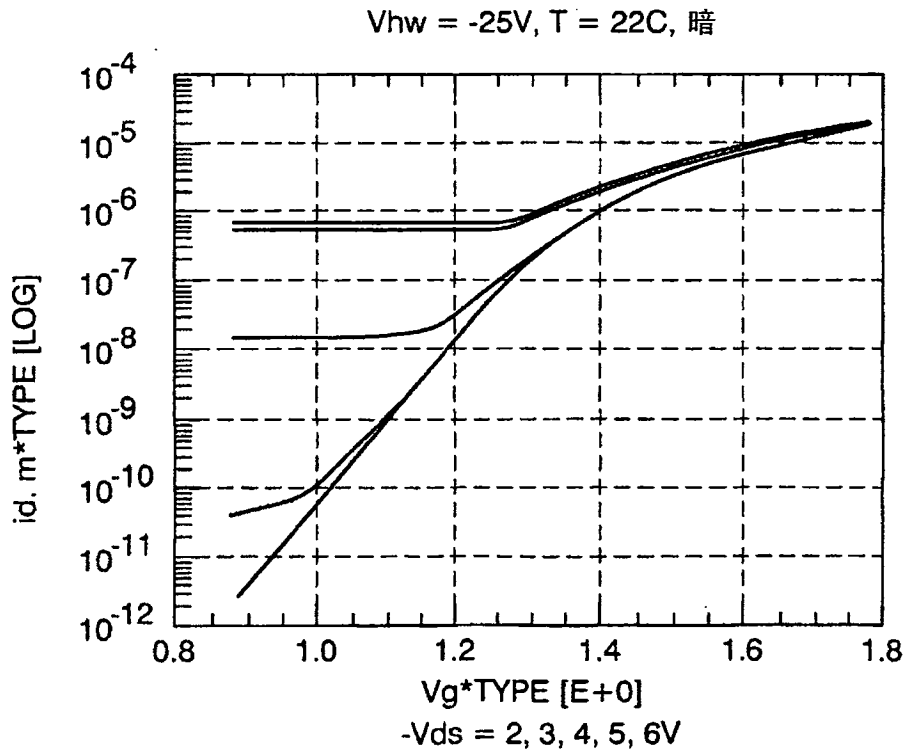


图 4b

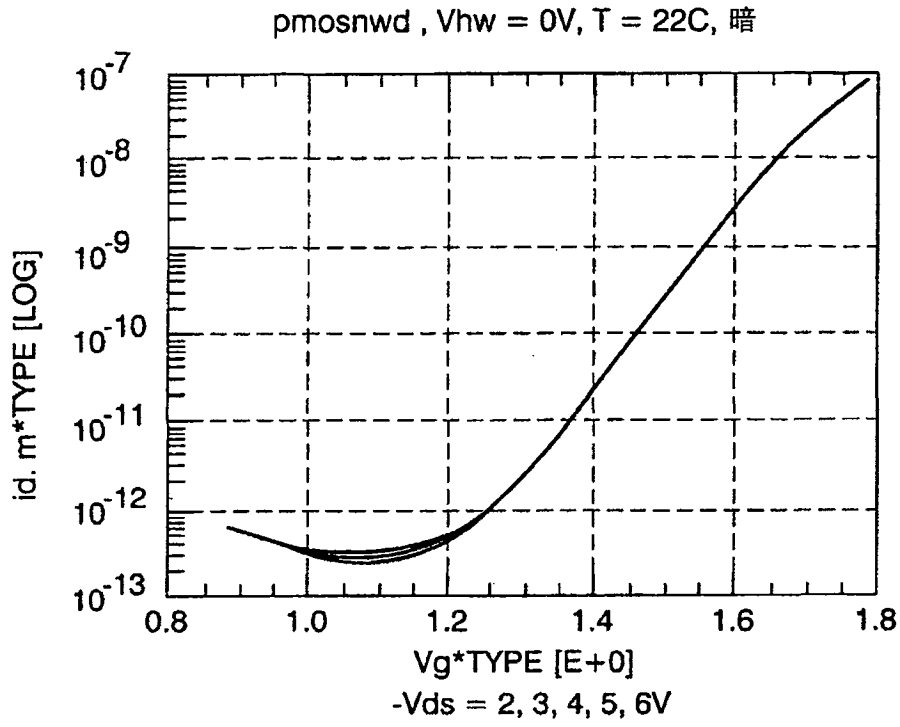


图 5a

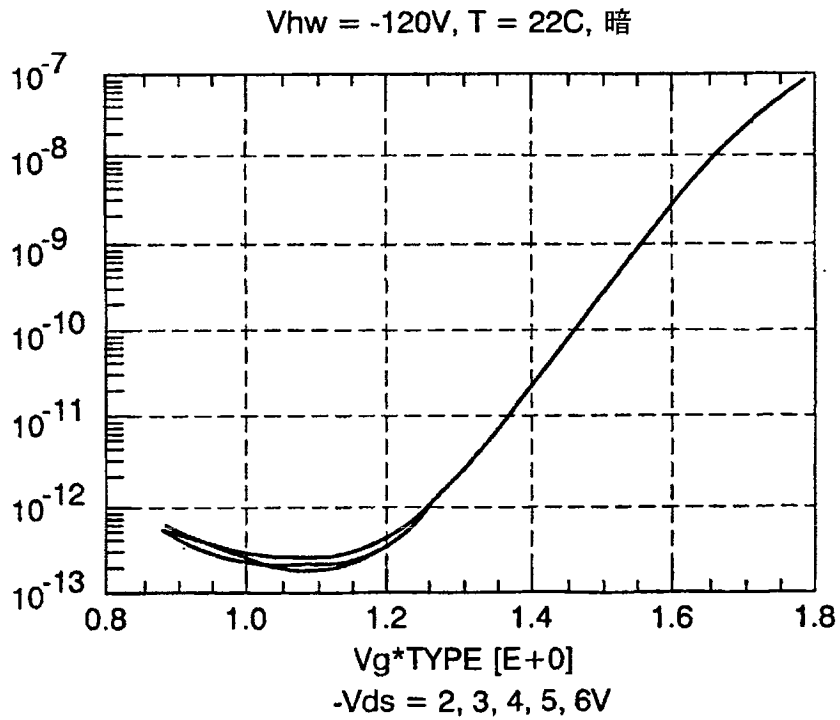


图 5b

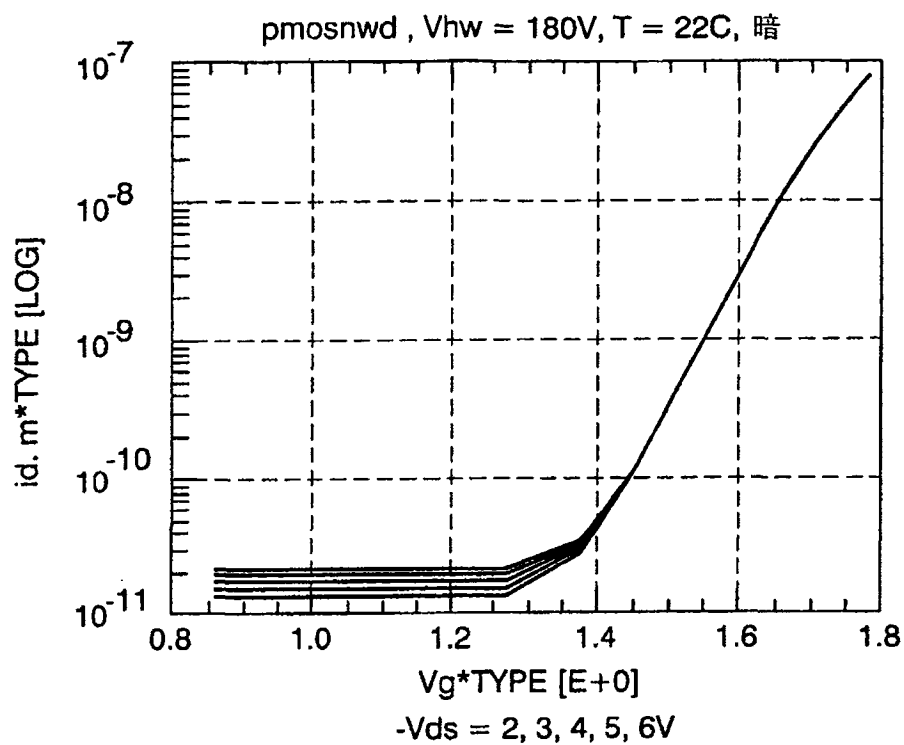


图 5c

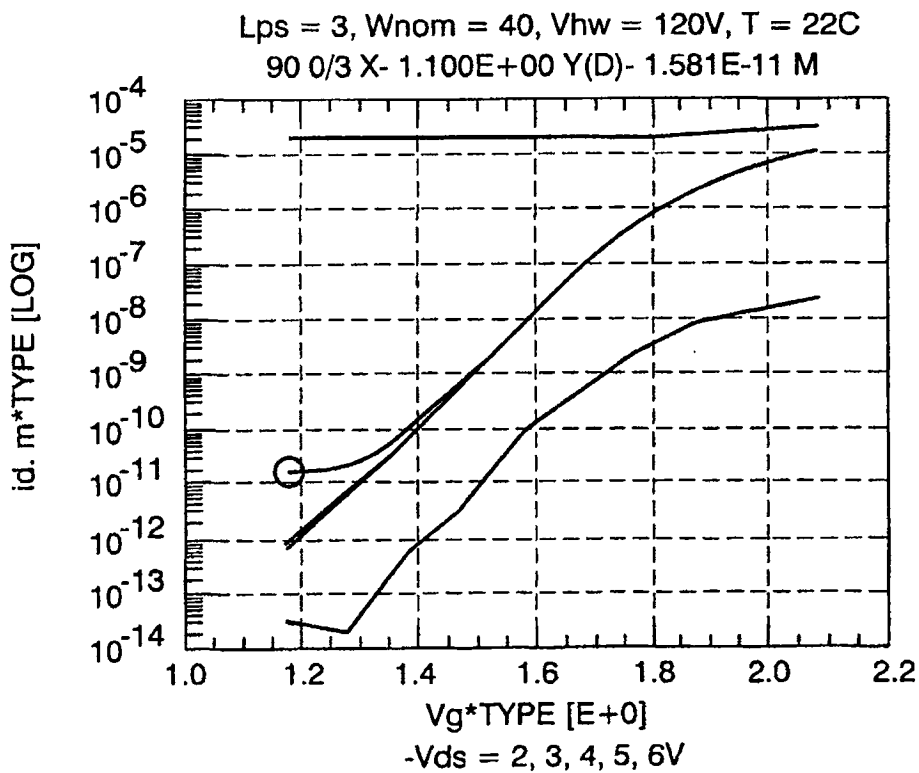


图 7

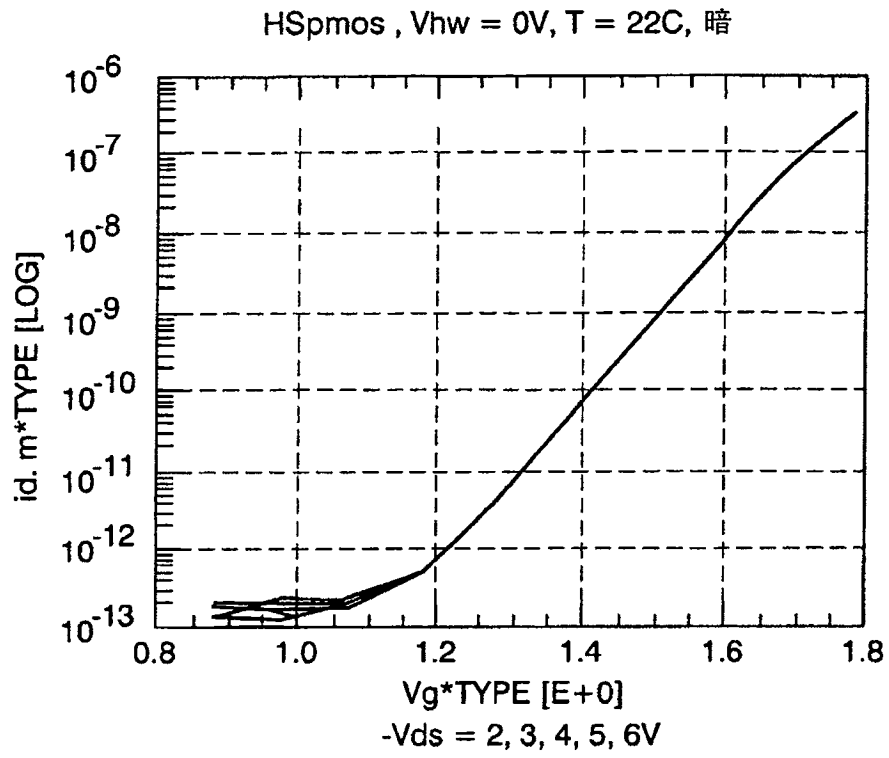


图 6a

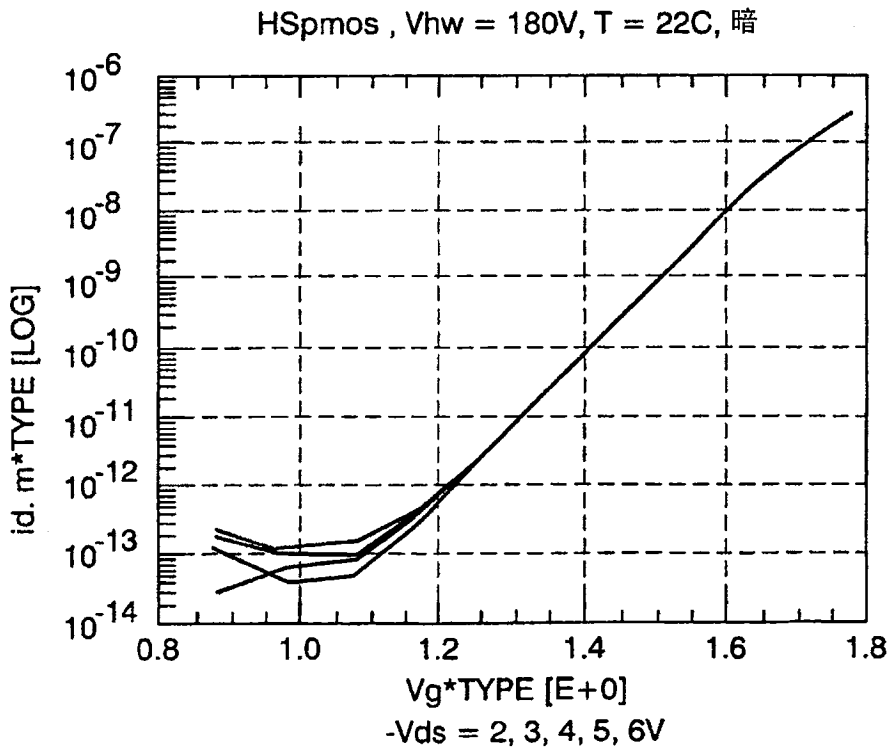


图 6b