



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0127196
(43) 공개일자 2016년11월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01) H01L 21/02 (2006.01)
H01L 21/8238 (2006.01)
(52) CPC특허분류
H01L 27/0922 (2013.01)
H01L 21/0234 (2013.01)
(21) 출원번호 10-2015-0057085
(22) 출원일자 2015년04월23일
심사청구일자 2015년04월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구 사평대로 240, 503동 706호 (반포동, 미도2차아파트)
김광식
서울특별시 성북구 인촌로13길 18-20 406호 (안암동2가, 창현빌딩)
(74) 대리인
김등용, 김홍석

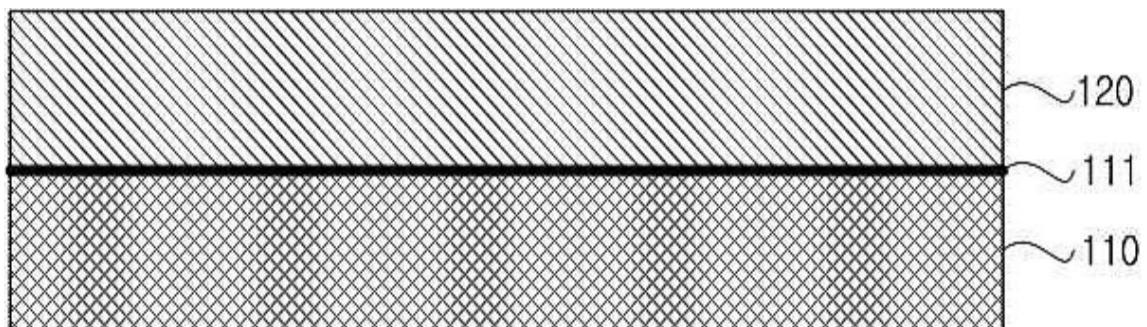
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 반도체 구조, 이를 포함하는 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체층; 및 상기 반도체층의 상부에 형성되는 금속층; 을 포함하고, 상기 반도체층에서 상기 금속층과 접합되는 표면이 SF₆ 플라즈마를 이용하여 표면 처리된 것을 특징으로 하는 반도체 구조에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01L 21/8238 (2013.01)

H01L 2924/10252 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711017655

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업(반도체공정장비)

연구과제명 10nm급 기술 노드를 위한 Ge nMOS/pMOS FinFET 기술 개발

기 여 율 1/1

주관기관 한국과학기술원

연구기간 2014.06.01 ~ 2015.05.31

명세서

청구범위

청구항 1

반도체층; 및

상기 반도체층의 상부에 형성된 금속층; 을 포함하고,

상기 반도체층에서 상기 금속층과 접합되는 표면이 SF₆ 플라즈마를 이용하여 표면 처리된 것을 특징으로 하는 반도체 구조.

청구항 2

제1항에 있어서, 상기 반도체층이 저마늄(Ge)인 것을 특징으로 하는 반도체 구조.

청구항 3

제1항에 있어서, 상기 반도체층이 n형인 것을 특징으로 하는 반도체 구조.

청구항 4

제1항에 있어서, 상기 반도체층과 상기 금속층 사이에 형성된 접합부가 오믹 접합의 특성을 가지는 것을 특징으로 하는 반도체 구조.

청구항 5

제1항에 있어서, 상기 SF₆ 플라즈마를 이용한 표면 처리에 의해 상기 반도체층과 상기 금속층 사이에 형성된 접합부의 페르미 레벨 피닝이 완화되는 것을 특징으로 하는 반도체 구조.

청구항 6

반도체층;

상기 반도체층의 표면에 형성되며, SF₆ 플라즈마를 이용하여 표면 처리된 소스 및 드레인; 및

상기 소스 및 상기 드레인의 상부에 형성된 금속층; 을 포함하는 반도체 소자.

청구항 7

제6항에 있어서, 상기 반도체층이 저마늄(Ge)인 것을 특징으로 하는 반도체 소자.

청구항 8

제6항에 있어서, 상기 소스 및 상기 드레인은 n형의 불순물을 주입하여 형성된 것을 특징으로 하는 반도체 소자.

청구항 9

반도체층을 마련하는 단계;

상기 반도체층의 표면에 소스 및 드레인을 형성하는 단계;

상기 소스 및 상기 드레인의 표면을 SF₆ 플라즈마를 이용하여 표면 처리하는 단계; 및

표면 처리된 상기 소스 및 상기 드레인의 상부에 금속층을 증착하는 단계; 를 포함하는 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서, 상기 SF₆ 플라즈마를 이용하여 표면 처리하는 단계는,

표면 처리 시간이 25 내지 35초로 수행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

제9항에 있어서, 상기 반도체층이 저마늄(Ge)으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로 소스 및 드레인이 형성되는 반도체층의 표면을 SF₆ 플라즈마로 표면 처리하여 낮은 접촉 저항을 구현하는 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 CMOS(Complementary metal-oxide-semiconductor) 기술의 기본 소자가 되는 FET(Field Effect Transistor)는 스위칭 소자로서 온-오프를 위한 게이트(gate)와 전류 전달을 위한 소스(source) 및 드레인(drain)으로 구성된다.

[0003] 상기 FET 소자가 동작할 때, 높은 성능과 낮은 전력 특성을 동시에 확보하기 위해서는 소스 및 드레인이 가지는 금속 전극과 반도체 사이의 접촉 저항(Contact Resistance)을 감소시키는 것이 중요하다.

[0004] 즉, 반도체 소자들이 작동할 때, 전력 소모를 감소시키기 위해서는 소스와 드레인에서의 접촉 저항 감소가 필연적인데, 이를 위해 NMOS(Negative-channel Metal-Oxide Semiconductor)의 경우 n형 불순물을 고농도로 도핑하고 PMOS(Positive-channel Metal-Oxide Semiconductor)의 경우 p형 불순물을 고농도로 도핑해준다. 하지만 고도핑을 해주더라도 금속과 반도체 사이의 쇼트키(Shchottky) 장벽으로 인해 접촉 저항이 증가하게 된다.

[0005] 상기 쇼트키 장벽은 이상적으로는 금속의 일함수를 조절함으로써 해결할 수 있지만, 실제 금속과 반도체 사이에는 MIGS(Metal Induced Gap state)라는 효과가 존재하기 때문에 쇼트키 장벽을 효과적으로 감소시키기 어렵다.

[0006] 상기 MIGS는 반도체에 접합한 금속에 의해 반도체의 표면에 상태 밀도를 유도하여 페르미-레벨(Fermi-level)이 각 반도체 물질의 고유 특성인 CNL(Charge Neutral Level)에 가까워지게 만드는데, 이를 페르미-레벨 피닝(Fermi-level Pinning)이라고 한다.

[0007] 한편, 현재 CMOS 기술에서 주로 사용되고 있는 실리콘(Si)을 비롯하여 차세대 채널 물질로 각광받고 있는 저마늄(Ge) 및 3-5족 화합물 반도체는 금속과 접합하였을 때, 금속의 페르미 레벨이 반도체의 CNL에 고정되는 페르미 레벨 피닝 현상이 발생한다.

- [0008] 실리콘 및 저마늄의 경우 반도체의 가전자대(valence band)의 끝부분에 CNL이 존재하여 페르미 레벨 피닝이 발생할 경우, n타입 반도체에서 전자에 대해 쇼트키 장벽이 크게 형성되는 문제가 있다.
- [0009] 이와 같이, 실리콘, 저마늄과 같은 4족 반도체에서 페르미 레벨 피닝 현상에 의해 생성된 큰 쇼트키 장벽은 FET의 소스 및 드레인 접합에서 쇼트키 접합을 형성하여 높은 소스 및 드레인 접촉 저항과 성능 열화를 초래하는 문제가 있다.
- [0010] 종래의 실리콘을 기반으로 하는 CMOS 공정의 경우, 높은 n형 불순물의 도핑을 통해 금속-반도체 접합에서 반도체 부분의 공핍층(depletion layer)의 두께를 줄임으로써 터널링(tunneling)을 유도하여 소스 및 드레인에 오믹 접합(ohmic contact)을 형성하여 상기의 높은 소스 및 드레인 접촉 저항과 성능 열화 문제를 해결하려는 시도가 있었다.
- [0011] 하지만, 저마늄의 경우 n형 불순물의 용해도가 매우 낮고 확산 계수는 매우 높기 때문에 고농도의 n형 불순물 도핑을 통한 오믹 접합의 형성이 어렵다. 따라서, 저마늄 기반의 CMOS 공정에서 금속과 소스, 금속과 드레인 사이의 접촉 저항을 낮출 수 있는 방안이 요구된다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 국내공개특허 제1996-0009067호

발명의 내용

해결하려는 과제

- [0013] 본 발명의 목적은 소스 및 드레인이 형성되는 반도체층의 표면을 SF₆ 플라스마로 표면 처리하여 낮은 접촉 저항을 구현하는 반도체 구조와, 이를 포함하는 반도체 소자 및 그 제조방법을 제공하는데 있다.

과제의 해결 수단

- [0014] 본 발명의 일 측면은, 반도체층; 및 상기 반도체층의 상부에 형성된 금속층; 을 포함하고, 상기 반도체층에서 상기 금속층과 접합되는 표면이 SF₆ 플라스마를 이용한 표면 처리된 반도체 구조를 제공한다.
- [0015] 본 발명의 바람직한 특징에 의하면, 상기 반도체층은 저마늄(Ge)일 수 있다.
- [0016] 본 발명의 바람직한 특징에 의하면, 상기 반도체층은 n형일 수 있다.
- [0017] 본 발명의 바람직한 특징에 의하면, 상기 반도체층과 상기 금속층 사이에 형성된 접합부는 오믹 접합의 특성을 가질 수 있다.
- [0018] 본 발명의 바람직한 특징에 의하면, 상기 반도체 구조는, 상기 SF₆ 플라스마를 이용한 표면 처리에 의해 상기 반도체층과 상기 금속층 사이에 형성된 접합부의 페르미 레벨 피닝이 완화될 수 있다.
- [0019] 본 발명의 다른 측면은 반도체층; 상기 반도체층의 표면에 형성되며, SF₆ 플라스마를 이용하여 표면 처리된 소스 및 드레인; 및 상기 소스 및 상기 드레인의 상부에 형성된 금속층;을 포함하는 반도체 소자를 제공한다.
- [0020] 본 발명의 바람직한 특징에 의하면, 상기 반도체층은 저마늄(Ge)일 수 있다.
- [0021] 본 발명의 바람직한 특징에 의하면, 상기 소스 및 상기 드레인은 n형의 불순물을 주입하여 형성될 수 있다.
- [0022] 본 발명의 또 다른 측면은, 반도체층을 마련하는 단계; 상기 반도체층의 표면에 소스 및 드레인을 형성하는 단

계; 상기 소스 및 상기 드레인의 표면을 SF_6 플라즈마를 이용하여 표면 처리하는 단계; 및 표면 처리된 상기 소스 및 상기 드레인의 상부에 금속층을 증착하는 단계;를 포함하는 반도체 소자의 제조 방법을 제공한다.

[0023] 본 발명의 바람직한 특징에 의하면, 상기 SF_6 플라즈마를 이용하여 표면 처리하는 단계는, 표면 처리 시간이 25 내지 35초로 수행될 수 있다.

발명의 효과

[0024] 본 발명의 일 실시예에 따르면, 소스 및 드레인이 형성되는 반도체층의 표면을 SF_6 플라즈마로 표면 처리하여 낮은 접촉 저항을 구현하는 반도체 구조를 제공할 수 있다.

[0025] 또한, 본 발명의 일 실시예에 따르면, SF_6 플라즈마를 이용한 표면 처리 공정을 금속과 소스, 금속과 드레인의 접합 형성 전에 수행함으로써, 소스 및 드레인의 표면에 존재하는 표면 결함을 감소시키고, 페르미 레벨 피닝을 완화하여 접촉 저항을 낮춤으로써 반도체 소자의 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 반도체 구조를 개략적으로 도시한 단면도이다.

도 2 및 도 3은 본 발명의 금속과 반도체 사이의 MIGS(Metal Induced Gap States) 효과를 나타낸 것이다.

도 4는 표면 처리한 것과 표면처리 하지 않았을 때의 전압에 따른 전류 밀도의 변화를 비교하여 도시한 그래프이다.

도 5는 표면처리 시간에 따른 접촉 저항 변화 그래프이다.

도 6은 본 발명의 다른 실시예에 따른 반도체 소자를 개략적으로 도시한 단면도이다.

도 7은 본 발명의 일 실시예에 따른 반도체 소자 제조방법을 개략적으로 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0028] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0029] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 반도체 구조를 개략적으로 도시한 단면도이다.

[0031] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 구조는 서로 접합된 반도체 층(110) 및 금속층(120)을 포함한다.

[0032] 이때, 반도체층(110)에서 금속층(120)과 접하는 표면(111)은 SF_6 플라즈마를 이용하여 표면처리가 수행됨으로써 반도체층(110)과 금속층(120)이 직접 접합되는 경우에 발생하는 문제점을 해결한다.

[0033] 상기의 SF_6 플라즈마를 이용한 표면처리는 금속층(120) 형성 전에 반도체층(110)의 표면에 ICP-

RIE(Inductively-Coupled Plasma Reactive Ion Etching) 시스템과 같은 플라즈마 에칭 장비를 이용해 수행할 수 있다.

- [0034] 도 2에 도시된 같이, 제4족 반도체의 경우, 반도체의 가전자대(valance band)의 끝부분 근처에 CNL(Charge neutrality level)이 존재하여 페르미 레벨 피닝(Fermi level pinning)이 발생할 경우 n형의 반도체에서 전자에 대해 큰 쇼트키 장벽(Schottky barrier)가 형성되는 문제가 발생한다.
- [0035] 도 3을 참조하면, 상기 페르미 레벨 피닝은 금속과 접촉시에 금속에 존재하는 파동함수의 침투로 인해 반도체 밴드갭(bandgap)에 생기는 MIGS(Metal-Induced Gap States)와 반도체 표면에 존재하는 표면 결함에 의해 생기게 된다.
- [0036] 상기 MIGS는 반도체에 접촉한 금속에 의해 반도체의 표면에 상태 밀도를 유도하여 페르미 레벨(Fermi-level)이 각 반도체 물질의 고유 특성인 CNL에 가까워지게 만드는데, 이를 페르미 레벨 피닝이라고 한다. 이러한 MIGS로 인한 페르미 레벨 피닝을 감소시키기 위해 금속과 반도체 사이에 수 나노미터 수준의 중간층을 삽입한 금속-중간층-반도체 구조에 대한 연구가 진행되어 왔다.
- [0037] 상기 금속-중간층-반도체 구조를 사용할 경우, MIGS를 효과적으로 감소시킬 수 있으며, 이때 중간층의 두께가 증가할수록 MIGS를 효과적으로 감소시킬 수 있다. 그러나, 중간층의 두께가 일정 수준 이상으로 증가하면 전자의 터널링 장벽으로 작용하면서 오히려 전류의 흐름을 저해하는 요소가 될 수 있다.
- [0038] 구체적으로 SiN, Al₂O₃와 같은 중간층 물질을 사용할 경우, 중간층 두께에 따라서 접촉 저항이 감소하지만 중간층이 일정 두께 이상으로 두꺼워지면 오히려 접촉 저항이 증가한다.
- [0039] 최근 발표된 연구 결과에 따르면 저마늄(Ge)에서도 표면 결함에 의해 발생하는 표면 상태(surface states)가 페르미 레벨 피닝에 큰 영향을 준다는 것이 실험적으로 증명되었다.
- [0040] 저마늄(Ge)과 같은 반도체 표면에서 표면 상태(surface states)를 만드는 요인은 땀글링 본드(dangling bond) 등과 같은 표면 결함이나 공기 중에 존재하는 산소와 결합하여 생성된 산화막 등이 있다.
- [0041] 따라서, 반도체 표면에 존재하는 결함을 줄이고 산화막 형성을 막을 수 있는 기술을 적용할 경우, 금속과 저마늄(Ge)을 이용한 반도체 접촉에서 발생하는 페르미 레벨 피닝 문제를 효과적으로 해결할 수 있다.
- [0042] 즉, 본 발명에서는 페르미 레벨 현상을 완화하고 n형의 FET(Field Effect Transistor)의 소스 및 드레인의 접촉 저항을 줄이기 위해 금속층 형성 전에 반도체 표면에 플라즈마 표면 처리 공정을 도입하여 표면 결함을 감소시키고 산화막 형성을 억제하여 표면 상태(surface states)의 발생을 줄일 수 있다.
- [0043] 종래의 페르미 레벨 피닝을 완화시키기 위한 표면 처리 기술은 플라즈마 처리와 용액 처리의 두 가지 형태로 개발되어왔다. 플라즈마 처리의 경우, 불소(F) 기반의 CF₄ 플라즈마를 이용한 표면처리 기술이 연구되었고, 용액 처리의 경우 황(S) 기반의 (NH₄)₂S 용액을 이용한 표면처리 기술이 연구되었다.
- [0044] CF₄ 플라즈마를 이용한 표면처리 기술과 (NH₄)₂S 용액을 이용한 표면처리 기술 모두 반도체 표면에 존재하는 땀글링 본드와 같은 결함에 각각 F와 S 원자들을 결합하고 산화막 형성을 억제하는 원리를 이용한 기술이다.
- [0045] 또한, 상기 CF₄ 플라즈마의 경우, 저마늄(Ge)을 이용한 반도체에서 F원자가 Ge와 결합하여 생성되는 Ge-F 결합이 2의 전기음성도 차이를 가지면서 부분 이온 특성을 가지는 극성 공유 결합을 형성하고 이 결합이 페르미 레벨 피닝을 완화시키는데 도움을 준다.
- [0046] 그러나 상기 CF₄ 플라즈마의 경우, CF₄가 탄소(C)를 포함하고 있기 때문에 반도체 표면 특성에 악영향을 줄 수 있는 탄소 부산물이 표면에 형성되는 문제가 있다. 또한, (NH₄)₂S 용액을 이용한 표면처리는 기본적으로 용액을 기반으로 표면 처리 기술이기 때문에 반도체 표면에 산화막을 쉽게 형성할 수 있다는 문제점이 있다.
- [0047] 따라서 이와 같이, CF₄ 플라즈마를 이용한 표면처리 기술과 (NH₄)₂S 용액을 이용한 표면처리에 따른 문제 없이 페

르미 레벨 피닝을 완화할 수 있는 방안이 필요하다.

- [0048] 본 발명의 일 실시예에 따른 반도체 구조는 반도체층(110)의 SF₆ 플라즈마를 이용한 표면 처리하기 때문에, 저마늄(Ge) 반도체 표면에 긍정적인 영향을 주는 S와 F를 동시에 포함하고 있어, 각각의 기술을 단독으로 사용하는 경우에 비해 보다 효과적인 표면 처리가 가능하다.
- [0049] 특히, SF₆ 플라즈마의 경우, 탄소와 같은 물질을 포함하고 있지 않기 때문에 플라즈마 상태의 모든 물질들이 저마늄(Ge) 표면 처리에 긍정적인 역할을 수행할 수 있다.
- [0050] 나아가 SF₆는 CF₄에 비해 상대적으로 작은 결합 에너지(SF₆: 284 kJ/kmol, CF₄: 484 kJ/kmol)를 갖고 있기 때문에 더 약한 플라즈마 조건에도 더 많은 활성종(active species)이 형성될 수 있다.
- [0051] 즉, SF₆ 플라즈마를 이용한 표면처리 공정을 금속층(120)과 반도체층(110)의 접합 형성 전에 저마늄(Ge) 표면에 적용한다면 F 및 S에 의한 표면 결합 패시베이션(passivation) 효과 및 부분 이온 특성을 갖는 Ge-F 형성에 의한 페르미 레벨 완화 효과를 얻을 수 있으며, 이를 통해 금속과 n형의 저마늄 반도체층의 접합의 높은 접촉 저항 문제를 극복하여 저마늄 n형 FET의 특성을 향상시킬 수 있다.
- [0052] SF₆ 플라즈마 표면 처리가 금속-반도체 접합의 전기적 특성에 미치는 영향을 실험하기 위해 포토리소그래피 공정을 통해 반도체층(110)의 상부에 형성된 금속층의 일부를 제거하였고, 남아있는 금속층에 전압을 인가하였다.
- [0053] 도 4는 상기의 표면처리를 한 것과 하지 않았을 때의 전압에 따른 전류 밀도의 변화를 비교한 그래프이다.
- [0054] 도 4를 참조하면, SF₆ 플라즈마 표면 처리 공정 후 형성된 금속-반도체 접합의 경우에는 표면 처리를 하지 않은 금속-반도체 접합에 비해 역방향 전류가 크게 증가하여 옴식 접합에 가까운 특성을 나타내는 것을 알 수 있다.
- [0055] 즉, SF₆ 플라즈마를 이용한 표면 처리를 통해 페르미 레벨 피닝 현상이 효과적으로 완화되는 것을 확인할 수 있다.
- [0056] 도 5는 표면처리 시간에 따른 접촉 저항 변화 그래프이다.
- [0057] 적정 수준의 SF₆ 플라즈마 표면 처리는 앞서 설명한 것과 같은 효과로 인해 금속-반도체 접합의 페르미 레벨 피닝 현상을 완화하고 접촉 저항을 크게 감소시킬 수 있지만, 과도한 처리는 반도체 표면의 식각을 야기하여 표면 특성을 악화시키므로 접촉 저항이 다시 증가하는 양상을 나타낸다.
- [0058] 따라서, 도 5에서 보는 바와 같이, SF₆ 플라즈마 표면 처리시간을 25 내지 35초로 함으로써 레벨 피닝 현상을 완화하고 접촉 저항을 감소시킬 수 있다.
- [0059] 도 6은 본 발명의 다른 실시예에 따른 반도체 소자를 개략적으로 도시한 단면도이다.
- [0060] 도 6을 참조하면, 본 실시예에 따른 반도체 소자는, 소스 및 드레인(210)이 형성된 반도체 층(110), 소스 및 드레인(210)과 접합되는 금속 전극(220), 소스 및 드레인(210)의 사이를 덮도록 형성되는 게이트(231, 232)를 포함한다.
- [0061] 게이트(231, 232)는 게이트 절연층(231)과 게이트 전극층(232)으로 구성되며, 게이트 전극층(232)이 금속 전극(220)과 접합되어 전압에 인가에 따라 게이트(231, 232) 하부에 위치하는 반도체층(200)에 채널을 형성하여 반도체 소자의 동작을 제어할 수 있다. 이때, 반도체층(200)은 저마늄(Ge)을 이용한 것일 수 있다.
- [0062] 또한, 소스 및 드레인(220)은 n형의 불순물을 주입하여 형성될 수 있으며, 금속 전극(220)은 반도체층(200)의 상부에 절연층(240)을 형성한 후, 일부를 식각하고 금속을 증착하여 형성될 수 있다.
- [0063] 그리고, 금속 전극(220)의 형성 전에 절연층(240)의 식각으로 노출된 소스(210) 및 드레인(220)을 SF₆ 플라즈마

를 이용하여 표면 처리하여 플라즈마 표면처리면(211)을 형성한다.

[0064] 이렇게 SF₆ 플라즈마 표면 처리를 수행하면, F 및 S에 의한 표면 결함 패시베이션(passivation) 효과 및 페르미 레벨 완화 효과를 얻을 수 있으며, 이를 통해 금속과 n형의 저마늄 반도체층의 접합의 높은 접촉 저항 문제를 극복하여 반도체 소자의 특성을 향상시킬 수 있다.

[0065] 도 7은 본 발명의 일 실시예에 따른 반도체 소자 제조방법을 개략적으로 도시한 흐름도이다.

[0066] 도 7을 참조하면, 본 실시예의 반도체 소자 제조 방법은, 먼저 반도체층을 마련(S110)한다. 이때, 반도체층은 저마늄(Ge)을 이용하여 제작할 수 있다.

[0067] 다음으로, 상기 반도체층의 표면에 소스 및 드레인을 형성한다(S120). 상기 소스 및 드레인은 반도체층의 표면에 n형의 불순물을 고농도로 주입하여 형성할 수 있다.

[0068] 다음으로, 상기 소스 및 상기 드레인의 표면을 SF₆ 플라즈마를 이용하여 표면 처리한다(S130). 이때, 상기 SF₆ 플라즈마를 이용한 표면 처리공정은 예컨대 ICP-RIE(Inductively-Coupled Plasma Reactive Ion Etching) 시스템과 같은 플라즈마 에칭 장비를 이용해 수행할 수 있다.

[0069] 이때, 적정 수준의 SF₆ 플라즈마 표면 처리는 앞에서 설명한 것과 같이 금속-반도체 접합의 페르미 레벨 피닝 현상을 완화하고 접촉 저항을 크게 감소시킬 수 있지만, 과도한 처리는 반도체 표면의 식각을 야기하여 표면 특성을 악화시키므로 접촉 저항이 다시 증가하는 양상을 나타낸다.

[0070] 따라서, 도 5에서 보는 바와 같이, 바람직한 SF₆ 플라즈마 표면 처리시간은 25 내지 35초로 설정한다. 본 실시예에서는 이 범위 내에서 플라즈마 표면 처리를 함으로써 레벨 피닝 현상을 완화시키고 접촉 저항을 감소시킬 수 있다.

[0071] 다음으로, 소스 및 상기 드레인의 상부에 금속층을 증착한다(S140). 이러한 증착은 SF₆ 플라즈마 표면처리를 수행한 후 전자빔 증착기(e-beam evaporator), 스퍼터(sputter), CVD(chemical vapor deposition) 장비와 같은 증착 장비를 이용하여 금속을 증착시킴으로써 금속-반도체 접합부를 형성하는 공정이다.

[0072] 위와 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0073] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0074] 110: 반도체층

111: 플라즈마 표면처리면

120: 금속층

200: 반도체층(드리프트층)

210: 소스 및 드레인

211: 플라즈마 표면처리면

220: 금속 전극

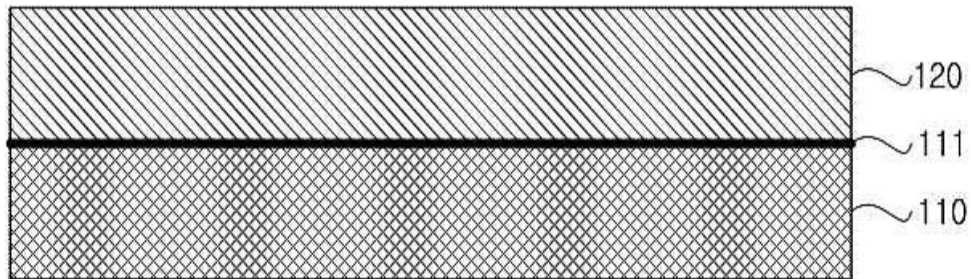
231: 게이트 절연층

232: 게이트 전극층

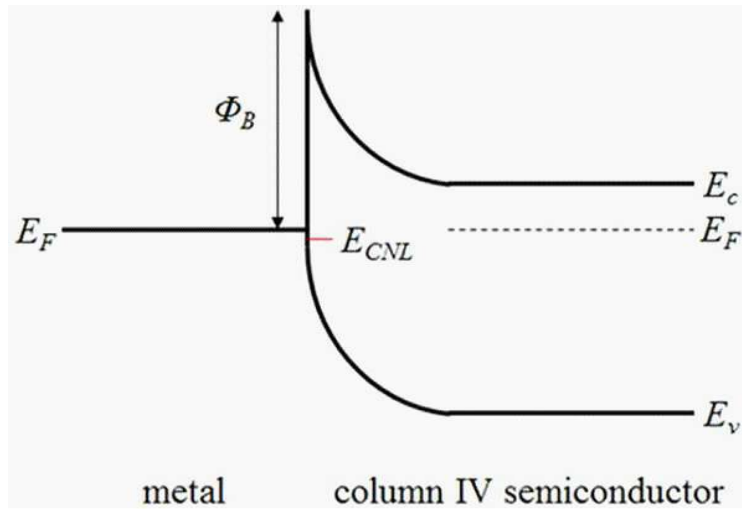
240: 절연층

도면

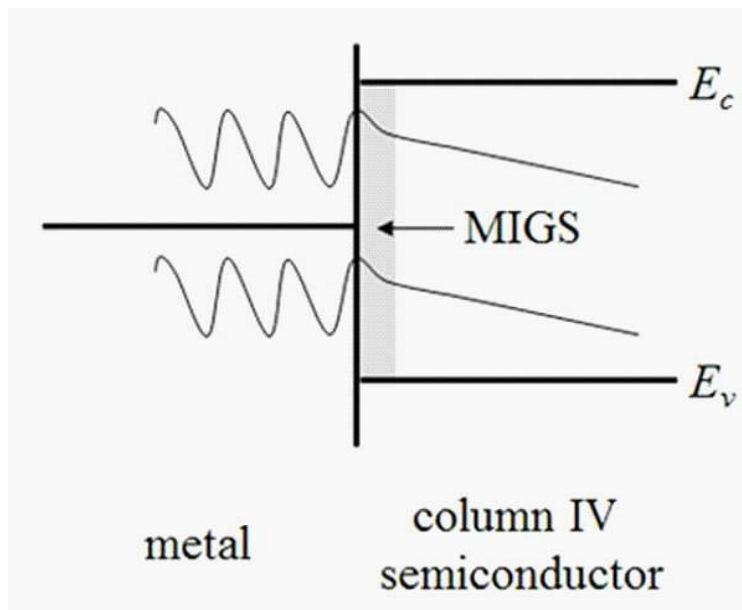
도면1



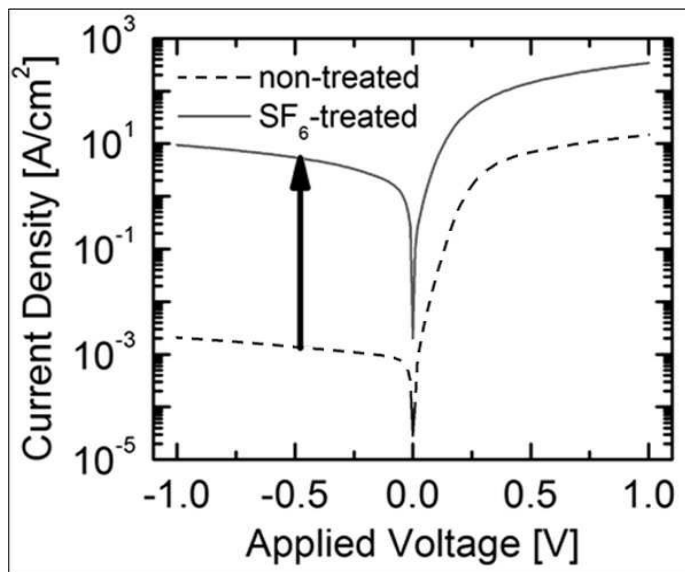
도면2



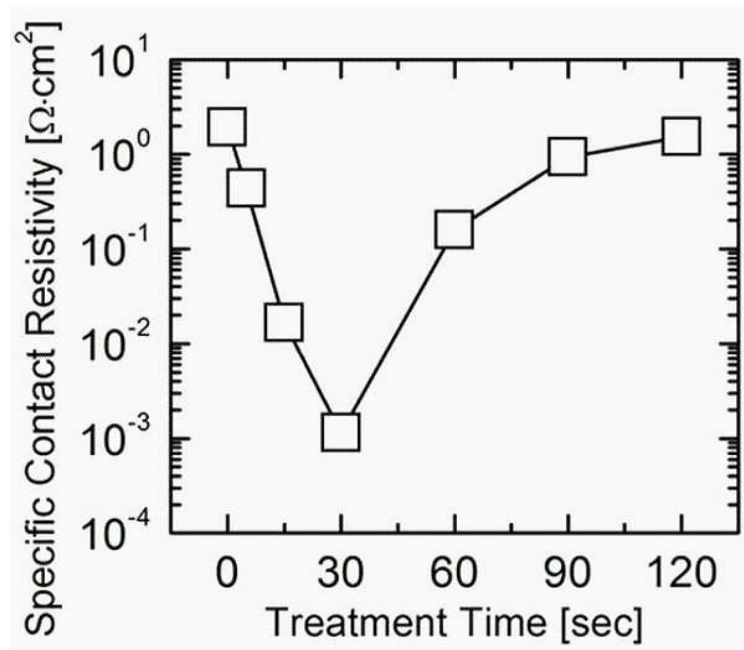
도면3



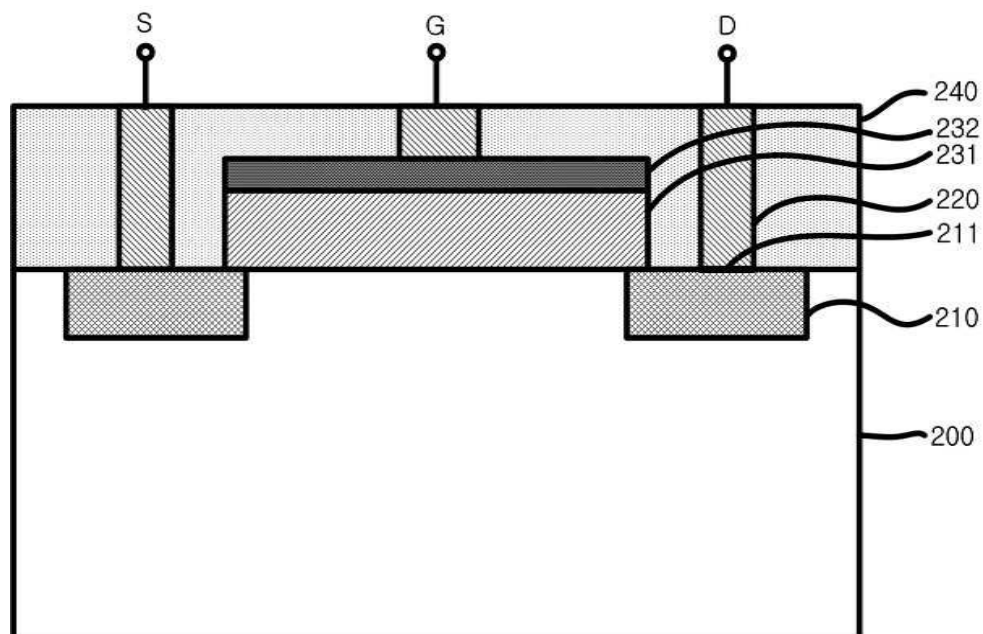
도면4



도면5



도면6



도면7

