

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月19日(19.12.2019)



(10) 国際公開番号

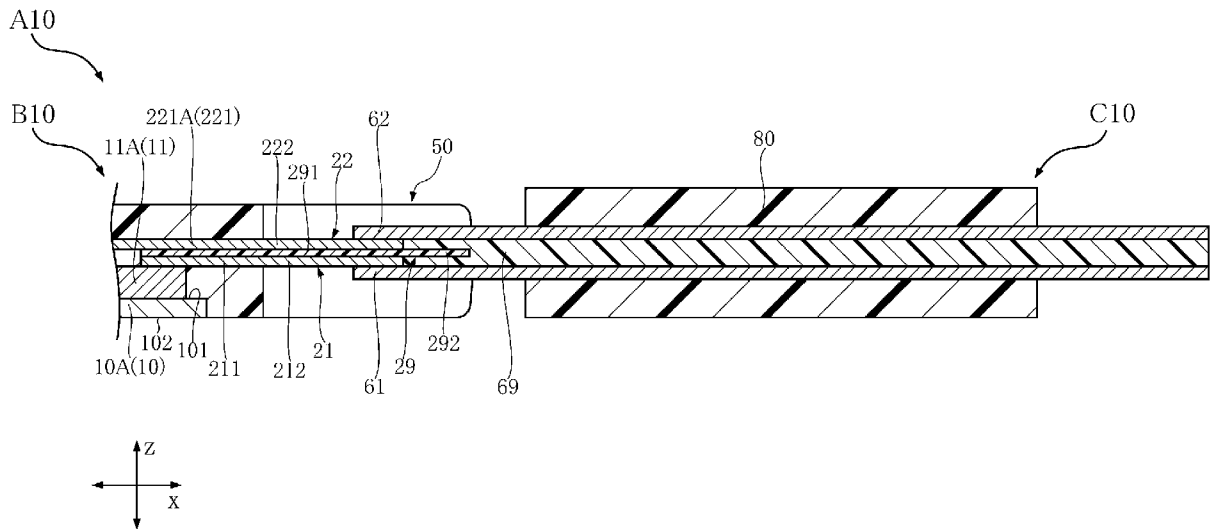
WO 2019/239771 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 25/18* (2006.01)
H01L 25/00 (2006.01) *H02M 7/48* (2007.01)
- (21) 国際出願番号: PCT/JP2019/019110
- (22) 国際出願日: 2019年5月14日(14.05.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-110934 2018年6月11日(11.06.2018) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 林口 匡司 (HAYASHIGUCHI Masashi);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
神田 沢水 (KANDA Takumi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 吉田 稔, 外 (YOSHIDA Minoru et al.);
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール

FIG.14



(57) **Abstract:** A semiconductor module includes a semiconductor device and a bus bar as components thereof. The semiconductor device comprises an insulating substrate, a conductive member, a plurality of switching elements, a first input terminal, and a second input terminal. The insulating substrate has a main surface and a back surface that face opposite sides in the thickness direction. The conductive member is disposed on the main surface. The plurality of switching elements are joined to the conductive member in a conductive state. The first input terminal includes a first terminal

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

portion and is joined to the conductive member in a conductive state. The second input terminal includes a second terminal portion that overlaps the first terminal portion when viewed along the thickness direction, and is electrically connected to the plurality of switching elements. The second input terminal is spaced apart from both the first input terminal and the conductive member in the thickness direction. The bus bar includes a first supply terminal and a second supply terminal. The second supply terminal is spaced apart from the first supply terminal in the thickness direction, and at least partially overlaps the first supply terminal when viewed along the thickness direction. The first supply terminal is joined to the first terminal portion in a conductive state. The second supply terminal is joined to the second terminal portion in a conductive state.

(57) 要約：半導体モジュールは、半導体装置およびバスバーを、その構成要素に含む。前記半導体装置は、絶縁基板、導電部材、複数のスイッチング素子、第1入力端子および第2入力端子を備える。前記絶縁基板は、厚さ方向において互いに反対側を向く主面および裏面を有する。前記導電部材は、前記主面に配置されている。前記複数のスイッチング素子は、前記導通部材に導通する状態で接合されている。前記第1入力端子は、第1端子部を有し、かつ前記導電部材に導通する状態で接合されている。前記第2入力端子は、前記厚さ方向に沿って視て前記第1端子部に重なる第2端子部を有し、かつ前記複数のスイッチング素子に導通している。前記第2入力端子は、前記厚さ方向において前記第1入力端子および前記導電部材の双方に対して離間して配置されている。前記バスバーは、第1供給端子および第2供給端子を備える。第2供給端子は、前記厚さ方向において前記第1供給端子に対して離間して配置され、かつ前記厚さ方向に沿って視て前記第1供給端子に少なくとも一部が重なっている。前記第1供給端子が前記第1端子部に導通する状態で接合されている。前記第2供給端子が前記第2端子部に導通する状態で接合されている。

明 細 書

発明の名称：半導体モジュール

技術分野

[0001] 本開示は、複数のスイッチング素子を備える半導体装置と、当該半導体装置に導通する状態で接合されるとともに、ラミネート配線がなされたバスバーとを構成要素に含む半導体モジュールに関する。

背景技術

[0002] 従来、MOSFETなどの複数のスイッチング素子が搭載された半導体装置が広く知られている。当該半導体装置は、複数のスイッチング素子によって直流電力を交流電力に変換する役割を果たす。当該半導体装置は、直流電力が入力される一対の入力端子を備える。

[0003] 特許文献1には、当該半導体装置と、当該半導体装置の一対の入力端子に接続された棒状導体組体とを備える半導体モジュールの一例が開示されている。棒状導体組体を直流電源に接続させることにより、直流電力が棒状導体組体を介して当該半導体装置に供給される。棒状導体組体においては、正極をなす棒状導体と、負極をなす棒状導体とを絶縁シート材を介して近接配置させた一組の導体棒が、当該半導体装置の短辺方向に2つ並んでいる。これにより、棒状導体組体において、ラミネート配線がなされている。

[0004] 当該半導体装置の作動の際、複数のスイッチング素子がONからOFFになると当該半導体装置にはインダクタンスが発生する。しかし、棒状導体組体にはラミネート配線がなされているため、一組の導体棒において発生する磁界によりインダクタンスが低減される。インダクタンスが低減されると、スイッチング時の di/dt に起因するサージ電圧やノイズの発生が低減されるため、当該半導体装置の電力損失が抑制される。

[0005] しかし、当該半導体装置の短辺方向において、一対の入力端子は互いに離間している。このため、一対の入力端子においてラミネート配線が解除されたものとなっている。したがって、棒状導体組体により低減されたインダク

タンスが、一対の入力端子において再度増加することが懸念される。

先行技術文献

特許文献

[0006] 特許文献1：特開2015-130751号公報

発明の概要

発明が解決しようとする課題

[0007] 本開示は上記事情に鑑み、半導体装置のインダクタンスをより安定した状態で低減させることが可能な半導体モジュールを提供することをその課題とする。

課題を解決するための手段

[0008] 本開示によって提供される半導体モジュールによれば、厚さ方向において互いに反対側を向く主面および裏面を有する絶縁基板と、前記主面に配置された導電部材と、前記導電部材に導通する状態で接合された複数のスイッチング素子と、第1端子部を有し、かつ前記導電部材に導通する状態で接合された第1入力端子と、前記厚さ方向に沿って視て前記第1端子部に重なる第2端子部を有し、かつ前記厚さ方向において前記第1入力端子および前記導電部材の双方に対して離間して配置されるとともに、前記複数のスイッチング素子に導通する第2入力端子と、を備える半導体装置と、第1供給端子と、前記厚さ方向において前記第1供給端子に対して離間して配置され、かつ前記厚さ方向に沿って視て前記第1供給端子に少なくとも一部が重なる第2供給端子と、を備えるバスバーと、を構成要素に含み、前記第1供給端子が前記第1端子部に導通する状態で接合されており、前記第2供給端子が前記第2端子部に導通する状態で接合されている。

[0009] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

[0010] [図1]本開示の第1実施形態にかかる半導体モジュールの斜視図である。

[図2]図1に示す半導体モジュールの構成要素に含まれる半導体装置の平面図である。

[図3]図2に示す半導体装置の平面図であり、封止樹脂を透過している。

[図4]図3に対応する平面図であり、第2入力端子を透過している。

[図5]図2に示す半導体装置の底面図である。

[図6]図2に示す半導体装置の右側面図である。

[図7]図2に示す半導体装置の左側面図である。

[図8]図2に示す半導体装置の正面図である。

[図9]図3のⅠⅩ－ⅠⅩ線に沿う断面図である。

[図10]図3のⅩ－Ⅹ線に沿う断面図である。

[図11]図3の部分拡大図である。

[図12]図11のⅩⅠ－ⅩⅠ線に沿う断面図である。

[図13]図1に示す半導体モジュールの平面図である。

[図14]図13のⅩⅠⅤ－ⅩⅠⅤ線に沿う断面図である。

[図15]図13のⅩⅤ－ⅩⅤ線に沿う断面図である。

[図16]図14の部分拡大図である。

[図17]本開示の第1実施形態の第1変形例にかかる半導体モジュールの断面図である。

[図18]本開示の第1実施形態の第2変形例にかかる半導体モジュールの断面図である。

[図19]本開示の第2実施形態にかかる半導体モジュールの平面図である。

[図20]図19の部分拡大図であり、モールド樹脂を透過している。

[図21]図19に示す半導体モジュールの部分底面拡大図であり、モールド樹脂を透過している。

[図22]図19のⅩⅩⅠ－ⅩⅩⅠ線に沿う断面図である。

[図23]図20のⅩⅩⅠⅠ－ⅩⅩⅠⅠ線に沿う断面図である。

[図24]図20のⅩⅩⅠⅤ－ⅩⅩⅠⅤ線に沿う断面図である。

[図25]本開示の第2実施形態の第1変形例にかかる半導体モジュールの断面

図である。

[図26]本開示の第2実施形態の第2変形例にかかる半導体モジュールの断面図である。

[図27]本開示の第3実施形態にかかる半導体モジュールの構成要素に含まれる半導体装置の平面図である。

[図28]図27に示す半導体装置の底面図である。

[図29]図27に示す半導体装置の右側面図である。

[図30]図27のXXX-XXX線に沿う断面図である。

[図31]本開示の第3実施形態にかかる半導体モジュールの平面図である。

[図32]図31のXXX-XXX線に沿う断面図である。

[図33]図32の部分拡大図である。

発明を実施するための形態

[0011] 本開示を実施するための形態について、添付図面に基づいて説明する。

[0012] [第1実施形態]

図1～図16に基づき、本開示の第1実施形態にかかる半導体モジュールA10について説明する。図1に示すように、半導体モジュールA10は、半導体装置B10およびバスバーC10を、その構成要素に含む。バスバーC10は、半導体装置B10に導通する状態で接合された電力供給部材である。なお、図3は、理解の便宜上、封止樹脂50を透過している。図3においては、IX-IX線およびX-X線をそれぞれ一点鎖線で示している。図4は、理解の便宜上、封止樹脂50および第2入力端子22を透過している。図13においては、XV-XV線を一点鎖線で示している。

[0013] <半導体装置B10>

半導体モジュールA10の構成要素に含まれる半導体装置B10について説明する。図2～図12に示す半導体装置B10は、MOSFETなどの複数のスイッチング素子を搭載した電力変換装置（パワーモジュール）である。半導体装置B10は、モータの駆動源、様々な電気製品のインバータ装置、およびDC/DCコンバータなどに用いられる。半導体装置B10は、絶

縁基板 1 0、導電部材 1 1、第 1 入力端子 2 1、第 2 入力端子 2 2、出力端子 2 3、一对のゲート端子 2 4、一对の検出端子 2 5、複数のダミー端子 2 6、複数のスイッチング素子 3 0、および封止樹脂 5 0 を備える。複数のスイッチング素子 3 0 は、複数の第 1 素子 3 0 A および複数の第 2 素子 3 0 B を含む。これらに加え、半導体装置 B 1 0 は、一对の絶縁層 1 2、一对のゲート層 1 3 および一对の検出層 1 4 をさらに備える。

[0014] 半導体装置 B 1 0 およびバスバー C 1 0 を含めた半導体モジュール A 1 0 の説明においては、便宜上、絶縁基板 1 0 の厚さ方向を「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する方向を「第 1 方向 x」と呼ぶ。厚さ方向 z および第 1 方向 x の双方に対して直交する方向を「第 2 方向 y」と呼ぶ。半導体装置 B 1 0 は、厚さ方向 z に沿って視て、すなわち平面視において矩形形状である。第 1 方向 x は、半導体装置 B 1 0 の長手方向に対応する。第 2 方向 y は、半導体装置 B 1 0 の短手方向に対応する。また、半導体モジュール A 1 0 の説明においては、便宜上、第 1 方向 x のうち第 1 入力端子 2 1 および第 2 入力端子 2 2 が位置する側を「第 1 方向 x の一方側」と呼ぶ。第 1 方向 x のうち出力端子 2 3 が位置する側を「第 1 方向 x の他方側」と呼ぶ。なお、「厚さ方向 z」、「第 1 方向 x」、「第 2 方向 y」、「第 1 方向 x の一方側」および「第 1 方向 x の他方側」は、後述する半導体モジュール A 2 0 および半導体モジュール A 3 0 の説明においても適用する。

[0015] 絶縁基板 1 0 は、図 3、図 9 および図 1 0 に示すように、導電部材 1 1 が配置されている。絶縁基板 1 0 は、導電部材 1 1 および複数のスイッチング素子 3 0 の支持部材をなす。絶縁基板 1 0 は、熱伝導性に優れたセラミックスを含む材料からなる。当該セラミックスとして、たとえば窒化アルミニウム (AlN) が挙げられる。

[0016] 図 3、図 9 および図 1 0 に示すように、半導体装置 B 1 0 が示す例においては、絶縁基板 1 0 は、第 1 基板 1 0 A および第 2 基板 1 0 B を含む。第 1 基板 1 0 A および第 2 基板 1 0 B は、第 1 方向 x において互いに離間している。第 1 基板 1 0 A は、第 1 方向 x の一方側に位置する。第 2 基板 1 0 B は

、第1方向xの他方側に位置する。厚さ方向zに沿って視て、第1基板10Aおよび第2基板10Bは、第2方向yを長辺とする矩形状である。第1基板10Aおよび第2基板10Bの各々は、厚さ方向zにおいて互いに反対側を向く主面101および裏面102を有する。主面101は、厚さ方向zのうち導電部材11が配置される側を向く。主面101は、導電部材11および複数のスイッチング素子30とともに封止樹脂50に覆われている。図5に示すように、裏面102は、封止樹脂50から露出している。なお、絶縁基板10の構成は、本構成に限定されず、1枚からなる単一構成でもよい。

[0017] 導電部材11は、図3、図9および図10に示すように、絶縁基板10の主面101に配置されている。導電部材11は、第1入力端子21、第2入力端子22および出力端子23とともに、複数のスイッチング素子30と、バスバーC10などの電力供給部材との導電経路を構成している。導電部材11は、金属板である。当該金属板は、銅(Cu)または銅合金からなる。導電部材20は、たとえば銀(Ag)ペーストのような接合材(図示略)により主面101に接合されている。導電部材11の表面には、たとえば銀めっきを施してもよい。

[0018] 図3、図9および図10に示すように、半導体装置B10が示す例においては、導電部材11は、第1導電部11Aおよび第2導電部11Bを含む。厚さ方向zに沿って視て、第1導電部11Aおよび第2導電部11Bは、第2方向yを長辺とする矩形状である。なお、導電部材11の構成は、本構成に限定されず、半導体装置B10に要求される性能に応じて設定された複数のスイッチング素子30の個数および配置に基づき、自在に設定可能である。

[0019] 図3および図9に示すように、第1導電部11Aは、第1基板10Aの主面101に接合されている。第1導電部11Aの表面には、複数の第1素子30Aが第1導電部11Aに導通する状態で接合されている。図3および図10に示すように、第2導電部11Bは、第2基板10Bの主面101に接合されている。第2導電部11Bの表面には、複数の第2素子30Bが第2

導電部 1 1 B に導通する状態で接合されている。

[0020] 一対の絶縁層 1 2 は、図 4、図 9 および図 1 0 に示すように、その一方が第 1 導電部 1 1 A の表面に接合され、その他方が第 2 導電部 1 1 B の表面に接合されている。一対の絶縁層 1 2 は、第 2 方向 y に延びる帯状である。第 1 導電部 1 1 A の表面に接合された絶縁層 1 2 は、複数の第 1 素子 3 0 A に対して第 1 方向 x の他方側に位置する。第 2 導電部 1 1 B の表面に接合された絶縁層 1 2 は、複数の第 2 素子 3 0 B に対して第 1 方向 x の一方側に位置する。一対の絶縁層 1 2 は、たとえばガラスエポキシ樹脂を含む材料からなる。

[0021] 一対のゲート層 1 3 は、図 4、図 9 および図 1 0 に示すように、その一方が第 1 導電部 1 1 A の表面に接合された絶縁層 1 2 に配置され、その他方が第 2 導電部 1 1 B の表面に接合された絶縁層 1 2 に配置されている。一対のゲート層 1 3 は、第 2 方向 y に延びる帯状である。一対のゲート層 1 3 は、導電性を有する。一対のゲート層 1 3 は、たとえば銅を含む材料からなる。

[0022] 一対の検出層 1 4 は、図 4、図 9 および図 1 0 に示すように、その一方が第 1 導電部 1 1 A の表面に接合された絶縁層 1 2 に配置され、その他方が第 2 導電部 1 1 B の表面に接合された絶縁層 1 2 に配置されている。一対の検出層 1 4 は、第 1 方向 x において一対のゲート層 1 3 の隣に位置する。一対の検出層 1 4 は、第 2 方向 y に延びる帯状である。一対の検出層 1 4 は、導電性を有する。一対の検出層 1 4 は、たとえば銅を含む材料からなる。

[0023] 第 1 入力端子 2 1 および第 2 入力端子 2 2 は、図 2 ～図 6 に示すように、第 1 方向 x の一方側に位置する。第 1 入力端子 2 1 および第 2 入力端子 2 2 には、バスバー C 1 0 を介して直流電圧が印加される。第 1 入力端子 2 1 は、正極（P 端子）である。第 2 入力端子 2 2 は、負極（N 端子）である。図 1 0 に示すように、第 2 入力端子 2 2 は、厚さ方向 z において第 1 入力端子 2 1 および導電部材 1 1 の双方に対して離間して配置されている。第 1 入力端子 2 1 および第 2 入力端子 2 2 は、金属板である。当該金属板は、銅または銅合金からなる。

[0024] 第1入力端子21は、図4に示すように、第1パッド部211および第1端子部212を有する。第1入力端子21において、第1パッド部211および第1端子部212との境界は、第2方向yおよび厚さ方向zに沿った面であって、かつ第1方向xの一方側に位置する封止樹脂50の第1側面531（詳細は後述）を含む面である。第1パッド部211は、その全てが封止樹脂50に覆われている。第1パッド部211の第1方向xの他方側は、櫛歯状となっている。この櫛歯状の部分が、第1導電部11A導通する状態でその表面に接合されている。当該接合は、はんだ接合、または超音波接合などにより行われる。これにより、第1入力端子21は、第1導電部20Aに導通している。

[0025] 図4および図5に示すように、第1端子部212は、封止樹脂50から第1方向xの一方側に延びている。厚さ方向zに沿って視て、第1端子部212は矩形状である。第1端子部212の第2方向yにおける両側は、封止樹脂50に覆われている。それ以外の第1端子部212の部分は、封止樹脂50から露出している。これにより、第1入力端子21は、封止樹脂50に支持されている。また、第1基板10Aは、第1導電部11Aを介して第1入力端子21に支持されている。

[0026] 第2入力端子22は、図3に示すように、第2パッド部221および第2端子部222を有する。第2入力端子22において、第2パッド部221と第2端子部222との境界は、第1入力端子21における第1パッド部211と第1端子部212との境界に一致している。第2パッド部221は、連結部221Aおよび複数の延出部221Bを有する。連結部221Aは、第2方向yに延びる帯状である。連結部221Aは、第2端子部222につながっている。複数の延出部221Bは、連結部221Aから第1方向xの他方側に向けて延びる帯状である。複数の延出部221Bは、第2方向yにおいて互いに離間している。図10に示すように、複数の延出部221Bは、第2方向yに沿って視て屈曲している。複数の延出部221Bの表面には、たとえば銀めっきを施してもよい。

[0027] 図2および図3に示すように、第2端子部222は、封止樹脂50から第1方向xの一方側に延びている。厚さ方向zに沿って視て、第2端子部222は矩形状である。第2端子部222の第2方向yにおける両側は、封止樹脂50に覆われている。それ以外の第2端子部222の部分は、封止樹脂50から露出している。図3および図4に示すように、厚さ方向zに沿って視て、第2端子部222は、第1入力端子21の第1端子部212に重なっている。図10に示すように、第2端子部222は、第1端子部212に対して厚さ方向zの絶縁基板10の主面101が向く側に離間している。なお、半導体装置B10が示す例においては、第2端子部222の形状は、第1端子部212の形状と同一である。

[0028] 絶縁部材29は、図6および図10に示すように、厚さ方向zにおいて第1入力端子21の第1端子部212と、第2入力端子22の第2端子部222との間に挟まれている。絶縁部材29は平板である。絶縁部材29は、たとえば絶縁紙からなる。厚さ方向zに沿って視て、第1入力端子21の全部が絶縁部材29に重なっている。第2入力端子22においては、厚さ方向zに沿って視て、第2パッド部221の一部と、第2端子部222の全部とが絶縁部材29に接している。厚さ方向zに沿って視て絶縁部材29に重なるこれらの部分は、絶縁部材29に接している。絶縁部材29により、第1入力端子21および第2入力端子22が互いに絶縁されている。絶縁部材29の一部（第1方向xの他方側、および第2方向yの両側）は、封止樹脂50に覆われている。

[0029] 絶縁部材29は、図3、図4および図10に示すように、介在部291および延出部292を有する。介在部291は、厚さ方向zにおいて第1入力端子21の第1端子部212と、第2入力端子22の第2端子部222との間に位置する。介在部291は、その全部が第1端子部212と第2端子部222との間に挟まれている。延出部292は、介在部291から第1端子部212および第2端子部222よりもさらに第1方向xの一方側に向けて延びている。このため、延出部292は、第1端子部212および第2端子

部 2 2 2 よりも第 1 方向 x の一方側に位置する。延出部 2 9 2 の第 2 方向 y における両側は、封止樹脂 5 0 に覆われている。

[0030] 出力端子 2 3 は、図 2 ～図 7（図 6 を除く）に示すように、第 1 方向 x の他方側に位置する。出力端子 2 3 から、複数のスイッチング素子 3 0 により電力変換された交流電力（電圧）が出力される。出力端子 2 3 は、金属板である。当該金属板は、銅または銅合金からなる。出力端子 2 3 は、パッド部 2 3 1 および端子部 2 3 2 を有する。パッド部 2 3 1 と端子部 2 3 2 との境界は、第 2 方向 y および厚さ方向 z に沿った面であって、かつ第 1 方向 x の他方側に位置する封止樹脂 5 0 の第 1 側面 5 3 1（詳細は後述）を含む面である。パッド部 2 3 1 は、その全てが封止樹脂 5 0 に覆われている。パッド部 2 3 1 の第 1 方向 x の一方側は、櫛歯状となっている。この櫛歯状の部分が、第 2 導電部 1 1 B に導通する状態でその表面に接合されている。当該接合は、はんだ接合、または超音波接合などにより行われる。これにより、出力端子 2 3 は、第 2 導電部 1 1 B に導通している。図 2 ～図 5 に示すように、端子部 2 3 2 は、封止樹脂 5 0 から第 1 方向 x の他方側に延びている。厚さ方向 z に沿って視て、端子部 2 3 2 は矩形状である。端子部 2 3 2 の第 2 方向 y における両側は、封止樹脂 5 0 に覆われている。それ以外の端子部 2 3 2 の部分は、封止樹脂 5 0 から露出している。これにより、出力端子 2 3 は、封止樹脂 5 0 に支持されている。また、第 2 基板 1 0 B は、第 2 導電部 1 1 B を介して出力端子 2 3 に支持されている。

[0031] 複数のスイッチング素子 3 0（複数の第 1 素子 3 0 A および複数の第 2 素子 3 0 B）は、図 3、図 9 および図 1 0 に示すように、導電部材 1 1 を構成する第 1 導電部 1 1 A および第 2 導電部 1 1 B に導通する状態で接合されている。厚さ方向 z に沿って視て、複数のスイッチング素子 3 0 は、第 2 方向 y に沿って視て千鳥配置されている。複数のスイッチング素子 3 0 において、複数の第 1 素子 3 0 A は、半導体装置 B 1 0 の上アーム回路を構成している。また、複数の第 2 素子 3 0 B は、半導体装置 B 1 0 の下アーム回路を構成している。複数のスイッチング素子 3 0 は、厚さ方向 z に沿って視て矩形

状（半導体装置B10では正形状）である。半導体装置B10が示す例においては、複数のスイッチング素子30は、4つの第1素子30Aと、4つの第2素子30Bとから構成される。なお、複数のスイッチング素子30の個数は、本構成に限定されず、半導体装置B10に要求される性能に応じて自在に設定可能である。

[0032] 複数の第1素子30Aおよび複数の第2素子30Bは、炭化ケイ素（SiC）を主とする半導体材料を用いて構成されたMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）である。なお、複数の第1素子30Aおよび複数の第2素子30Bは、MOSFETに限らずMISFET（Metal-Insulator-Semiconductor Field-Effect Transistor）を含む電界効果トランジスタや、IGBT（Insulated Gate Bipolar Transistor）のようなバイポーラトランジスタでもよい。半導体装置B10の説明においては、第1素子30Aおよび第2素子30Bは、これら全てがnチャンネル型、かつ縦型構造のMOSFETである場合を、その一例としている。

[0033] 図11および図12に示すように、複数の第1素子30Aおよび複数の第2素子30Bの各々は、第1面301、第2面302、第1電極31、第2電極32、ゲート電極33および絶縁膜34を有する。第1面301および第2面302は、厚さ方向zにおいて互いに反対側を向く。このうち第1面301は、絶縁基板10の主面101が向く側を向く。

[0034] 図11および図12に示すように、第1電極31は、第1面301に設けられている。第1電極31には、ソース電流が流れる。半導体装置B10が示す例においては、第1電極31は、4つの領域に分割されている。

[0035] 図11に示すように、第1素子30Aの第1電極31においては、分割された4つの領域に複数の第1ワイヤ401が個別に接続されている。複数の第1ワイヤ401は、たとえばアルミニウムからなる。複数の第1素子30Aの第1電極31に接続された複数の第1ワイヤ401は、第2導電部11Bの表面に接続されている。これにより、複数の第1素子30Aの第1電極31は、第2導電部11Bに導通している。複数の第1ワイヤ401は、第

1 方向 x に延びている。

[0036] 図 1 1 に示すように、第 2 素子 3 0 B の第 1 電極 3 1 においては、分割された 4 つの領域に複数の第 2 ワイヤ 4 0 2 が個別に接続されている。複数の第 2 ワイヤ 4 0 2 は、たとえばアルミニウムからなる。複数の第 2 素子 3 0 B の第 1 電極 3 1 に接続された複数の第 2 ワイヤ 4 0 2 は、第 2 入力端子 2 2 の複数の延出部 2 2 1 B（第 2 パッド部 2 2 1）の表面に接続されている。これにより、複数の第 2 素子 3 0 B の第 1 電極 3 1 は、第 2 入力端子 2 2 に導通している。したがって、第 2 入力端子 2 2 は、複数のスイッチング素子 3 0 の一部を構成する複数の第 2 素子 3 0 B に導通している。複数の第 2 ワイヤ 4 0 2 は、第 1 方向 x に延びている。

[0037] 図 1 2 に示すように、第 2 電極 3 2 は、第 2 面 3 0 2 の全体にわたって設けられている。第 2 電極 3 2 には、ドレイン電流が流れる。第 1 素子 3 0 A の第 2 電極 3 2 は、導電性を有する導電接合層 3 9 により第 1 導電部 1 1 A に導通する状態でその表面に接合されている。導電接合層 3 9 は、たとえば錫（S n）を主成分とする鉛フリーはんだである。第 2 素子 3 0 B の第 2 電極 3 2 は、導電接合層 3 9 により第 2 導電部 1 1 B に導通する状態でその表面に接合されている。

[0038] 図 1 1 に示すように、ゲート電極 3 3 は、第 1 面 3 0 1 に設けられている。ゲート電極 3 3 には、複数の第 1 素子 3 0 A および複数の第 2 素子 3 0 B の各々が駆動するためのゲート電圧が印加される。ゲート電極 3 3 の大きさは、第 1 電極 3 1 の大きさよりも小とされている。ゲート電極 3 3 には、複数のゲートワイヤ 4 0 3 のいずれかが接続されている。複数のゲートワイヤ 4 0 3 は、たとえばアルミニウムからなる。複数の第 1 素子 3 0 A のゲート電極 3 3 に接続された複数のゲートワイヤ 4 0 3 は、第 1 導電部 1 1 A に接合された絶縁層 1 2 に配置されたゲート層 1 3 に接続されている。複数の第 2 素子 3 0 B のゲート電極 3 3 に接続された複数のゲートワイヤ 4 0 3 は、第 2 導電部 1 1 B に接合された絶縁層 1 2 に配置されたゲート層 1 3 に接続されている。

- [0039] 図11に示すように、複数の第1素子30Aおよび複数の第2素子30Bの各々の第1電極31には、複数の検出ワイヤ404のいずれかが接続されている。当該検出ワイヤ404は、第1電極31において分割された4つの領域のいずれかに接続されている。複数の検出ワイヤ404は、たとえばアルミニウムからなる。複数の第1素子30Aの第1電極31に接続された複数の検出ワイヤ404は、第1導電部11Aに接合された絶縁層12に配置された検出層14に接続されている。複数の第2素子30Bの第1電極31に接続された複数の検出ワイヤ404は、第2導電部11Bに接合された絶縁層12に配置された検出層14に接続されている。
- [0040] 図11および図12に示すように、絶縁膜34は、第1面301に設けられている。絶縁膜34は、厚さ方向zに沿って視て第1電極31を囲んでいる。絶縁膜34は、たとえば二酸化ケイ素(SiO_2)層、窒化ケイ素(Si_3N_4)層、ポリベンゾオキサゾール(PBO)層が第1面301からこの順番で積層されたものである。なお、絶縁膜34においては、当該ポリベンゾオキサゾール層に代えてポリイミド層でもよい。
- [0041] 一对のゲート端子24、一对の検出端子25、および複数のダミー端子26は、図3に示すように、第2方向yにおいて絶縁基板10の隣に位置する。これらの端子は、第1方向xに沿って配列されている。半導体装置B10においては、一对のゲート端子24、一对の検出端子25、および複数のダミー端子26は、いずれも同一のリードフレームから構成される。
- [0042] 一对のゲート端子24は、図3に示すように、その一方が第2方向yにおいて第1基板10Aの隣に位置し、その他方が第2方向yにおいて第2基板10Bの隣に位置する。一对のゲート端子24の各々には、複数の第1素子30Aおよび複数の第2素子30Bのいずれかが駆動するためのゲート電圧が印加される。一对のゲート端子24の各々は、パッド部241および端子部242を有する。パッド部241は、封止樹脂50に覆われている。これにより、一对のゲート端子24は、封止樹脂50に支持されている。なお、パッド部241の表面には、たとえば銀めっきを施してもよい。端子部24

2は、パッド部241につながり、かつ封止樹脂50から露出している（図8参照）。第1方向xに沿って視て、端子部242はL字状をなしている。

[0043] 一対の検出端子25は、図3に示すように、第1方向xにおいて一対のゲート端子24の隣に位置する。一対の検出端子25の各々から、複数の第1素子30Aおよび複数の第2素子30Bのどちらかに該当する複数の第1電極31に印加される電圧（ソース電流に対応した電圧）が検出される。一対の検出端子25の各々は、パッド部251および端子部252を有する。パッド部251は、封止樹脂50に覆われている。これにより、一対の検出端子25は、封止樹脂50に支持されている。なお、パッド部251の表面には、たとえば銀めっきを施してもよい。端子部252は、パッド部251につながり、かつ封止樹脂50から露出している（図8参照）。第1方向xに沿って視て、端子部252はL字状をなしている。

[0044] 複数のダミー端子26は、図3に示すように、第1方向xにおいて一対の検出端子25に対して一対のゲート端子24とは反対側に位置する。半導体装置B10が示す例においては、ダミー端子26の数は6つである。このうち3つのダミー端子26は、第1方向xの一方側に位置する。残り3つのダミー端子26は、第1方向xの他方側に位置する。なお、複数のダミー端子26の数は、本構成に限定されない。さらに、半導体装置B10において、複数のダミー端子26を備えない構成としてもよい。複数のダミー端子26の各々は、パッド部261および端子部262を有する。パッド部261は、封止樹脂50に覆われている。これにより、複数のダミー端子26は、封止樹脂50に支持されている。なお、パッド部261の表面には、たとえば銀めっきを施してもよい。端子部262は、パッド部261につながり、かつ封止樹脂50から露出している（図8参照）。図6および図7に示すように、第1方向xに沿って視て、端子部262はL字状をなしている。なお、一対のゲート端子24の端子部242、および一対の検出端子25の端子部252の各々の形状は、端子部262の形状と同一である。

[0045] 半導体装置B10は、図3および図11に示すように、一対の第1接続ワ

イヤ4 1、および一对の第2接続ワイヤ4 2を備える。一对の第1接続ワイヤ4 1、および一对の第2接続ワイヤ4 2は、たとえばアルミニウムからなる。

[0046] 一对の第1接続ワイヤ4 1は、図3および図1 1に示すように、一对のゲート層1 3と一对のゲート端子2 4との個別に接続されている。一对のゲート端子2 4においては、一对の第1接続ワイヤ4 1は、一对のパッド部2 4 1の表面に接続されている。これにより、第2方向yにおいて第1基板1 0 Aの隣に位置するゲート端子2 4は、複数の第1素子3 0 Aのゲート電極3 3に導通している。第2方向yにおいて第2基板1 0 Bの隣に位置するゲート端子2 4は、複数の第2素子3 0 Bのゲート電極3 3に導通している。

[0047] 一对の第2接続ワイヤ4 2は、図3および図1 1に示すように、一对の検出層1 4と一对の検出端子2 5とに個別に接続されている。一对の検出端子2 5においては、一对の第2接続ワイヤ4 2は、一对のパッド部2 5 1の表面に接続されている。これにより、第2方向yにおいて第1基板1 0 Aの隣に位置する検出端子2 5は、複数の第1素子3 0 Aの第1電極3 1に導通している。第2方向yにおいて第2基板1 0 Bの隣に位置する検出端子2 5は、複数の第2素子3 0 Bの第1電極3 1に導通している。

[0048] 封止樹脂5 0は、図9および図1 0に示すように、絶縁基板1 0（ただし、一对の裏面1 0 2を除く。）、導電部材1 1、複数のスイッチング素子3 0（複数の第1素子3 0 Aおよび複数の第2素子3 0 B）を覆っている。封止樹脂5 0は、複数の第1ワイヤ4 0 1、複数の第2ワイヤ4 0 2、複数のゲートワイヤ4 0 3、複数の検出ワイヤ4 0 4、一对の第1接続ワイヤ4 1、および一对の第2接続ワイヤ4 2をさらに覆っている。封止樹脂5 0は、たとえばエポキシ樹脂を含む材料からなる。図2および図5～図8に示すように、封止樹脂5 0は、頂面5 1、底面5 2、一对の第1側面5 3 1、一对の第2側面5 3 2、複数の第3側面5 3 3、複数の第4側面5 3 4および複数の取付け孔5 4を有する。

[0049] 図9および図1 0に示すように、頂面5 1は、厚さ方向zの絶縁基板1 0

の主面 101 が向く側を向く。底面 52 は、厚さ方向 z の絶縁基板 10 の裏面 102 が向く側を向く。図 5 に示すように、一对の裏面 102 は、底面 52 から露出している。底面 52 は、一对の裏面 102 を囲む枠状である。

[0050] 図 2 および図 5 ～図 7 に示すように、一对の第 1 側面 531 は、頂面 51 および底面 52 の双方につながり、かつ第 1 方向 x を向く。第 1 方向 x の一方側に位置する第 1 側面 531 からは、第 1 入力端子 21 の第 1 端子部 212、および第 2 入力端子 22 の第 2 端子部 222 が、第 1 方向 x の一方側に向けて延びている。第 2 方向 y の他方側に位置する第 1 側面 531 からは、出力端子 23 の端子部 232 が、第 1 方向 x の他方側に向けて延びている。

[0051] 図 2 および図 5 ～図 8 に示すように、一对の第 2 側面 532 は、頂面 51 および底面 52 の双方につながり、かつ第 2 方向 y を向く。一对の第 2 側面 532 のいずれか一方からは、一对のゲート端子 24 の端子部 242、一对の検出端子 25 の端子部 252、および複数のダミー端子 26 の端子部 262 が露出している。

[0052] 図 2 および図 5 ～図 7 に示すように、複数の第 3 側面 533 は、頂面 51 および底面 52 の双方につながり、かつ第 2 方向 y を向く。複数の第 3 側面 533 は、第 1 方向 x の一方側に位置する一对の第 3 側面 533 と、第 1 方向 x の他方側に位置する一对の第 3 側面 533 とを含む。第 1 方向 x の一方側および他方側の各々において、一つの第 3 側面 533 は、第 2 方向 y において対向している。また、第 1 方向 x の一方側および他方側の各々において、一对の第 3 側面 533 は、第 1 側面 531 の第 2 方向 y における両側につながっている。

[0053] 図 2 および図 5 ～図 8 に示すように、複数の第 4 側面 534 は、頂面 51 および底面 52 の双方につながり、かつ第 1 方向 x を向く。複数の第 4 側面 534 は、第 1 方向 x において一对の第 1 側面 531 よりも半導体装置 B10 の外側に位置する。複数の第 4 側面 534 は、第 1 方向 x の一方側に位置する一对の第 4 側面 534 と、第 1 方向 x の他方側に位置する一对の第 4 側面 534 とを含む。第 1 方向 x の一方側および他方側の各々において、一对

の第4側面534の第2方向yにおける両側は、一对の第2側面532と一对の第3側面533とにつながっている。

[0054] 図9に示すように、複数の取付け孔54は、厚さ方向zにおいて頂面51から底面52に至って封止樹脂50を貫通している。複数の取付け孔54は、半導体装置B10をヒートシンク（図示略）に取り付ける際に利用される。図2および図5に示すように、厚さ方向zに沿って視て、複数の取付け孔54の孔縁は円形状である。複数の取付け孔54は、厚さ方向zに沿って視て封止樹脂50の四隅に位置する。

[0055] <バスバーC10>

半導体モジュールA10の構成要素に含まれるバスバーC10について説明する。バスバーC10は、第1供給端子61、第2供給端子62、絶縁体69およびモールド樹脂80を備える。

[0056] 第1供給端子61および第2供給端子62は、図13～図15に示すように、第1方向xに延びる帯状である。第2供給端子62は、第1供給端子61に対して厚さ方向zの絶縁基板10の主面101が向く側に離間して配置されている。厚さ方向zに沿って視て、第2供給端子62は、第1供給端子61に重なっている。バスバーC10が示す例においては、第1供給端子61および第2供給端子62の形状は、ともに同一である。第1供給端子61および第2供給端子62は、金属板である。当該金属板は、銅または銅合金からなる。

[0057] 絶縁体69は、図14に示すように、厚さ方向zにおいて第1供給端子61と第2供給端子62との間に挟まれている。図16に示すように、第1供給端子61および第2供給端子62の第1方向xの他方側に位置する各々の先端よりも、絶縁体69は、第1方向xの一方側に位置する。絶縁体69は、たとえばガラスエポキシ樹脂を含む材料からなる。第1供給端子61は、厚さ方向zの絶縁基板10の裏面102が向く側において絶縁体69に接している。第2供給端子62は、厚さ方向zの絶縁基板10の主面101が向く側において絶縁体69に接している。これにより、第1供給端子61およ

び第2供給端子62は、厚さ方向zに沿って視て互いに重なり、かつ絶縁体69により互いに電気絶縁されたラミネート配線をなしている。

[0058] 図16に示すように、絶縁体69は、一对の離間部691、および基部692を有する。一对の離間部691は、絶縁体69の第1方向xの一方側に位置している。一对の離間部691は、厚さ方向zにおいて互いに離間している。これにより、厚さ方向zにおいて一对の離間部691の間には、隙間が設けられている。基部692は、絶縁体69のうち、一对の離間部691を除く部分である。基部692の厚さは、一对の離間部691の各々の厚さよりも大である。基部692は、第1方向xの他方側において一对の離間部691の双方につながっている。

[0059] モールド樹脂80は、図13および図14に示すように、第1供給端子61、第2供給端子62および絶縁体69の各々の一部ずつを覆っている。モールド樹脂80の材料は、エポキシ樹脂など、電気絶縁性を有する合成樹脂である。モールド樹脂80の第1方向xの両側から、第1供給端子61、第2供給端子62および絶縁体69の各々の一部ずつが突出している。なお、バスバーC10は、モールド樹脂80を備えない構成でもよい。

[0060] <半導体モジュールA10>

半導体モジュールA10について説明する。

[0061] 半導体モジュールA10においては、図16に示すように、第1供給端子61が第1入力端子21の第1端子部212に導通する状態で接合され、かつ第2供給端子62が第2入力端子22の第2端子部222に導通する状態で接合されている。図15および図16に示すように、第1供給端子61の第1方向xの他方側は、第1端子部212に重ね合わされている。第2供給端子62の第1方向xの他方側は、第2端子部222に重ね合わされている。この場合において、絶縁部材29の延出部292は、厚さ方向zにおいて絶縁体69の一对の離間部691の間に設けられた隙間に挿入されている。第1供給端子61および第2供給端子62の各々は、レーザ溶接により第1端子部212および第2端子部222の各々に導通する状態で接合されてい

る。

[0062] 半導体モジュールA 1 0においては、第1供給端子6 1が正極であり、第2供給端子6 2が負極である。図1 7および図1 8に示すように、第1供給端子6 1および第2供給端子6 2の第1方向xの一方側を直流電源DCに接続させることにより、バスバーC 1 0を介して半導体装置B 1 0に直流電力が供給される。

[0063] 〔第1実施形態の第1変形例〕

図1 7に基づき、本開示の第1実施形態の第1変形例にかかる半導体モジュールA 1 1について説明する。半導体モジュールA 1 1は、半導体モジュールA 1 0に対して、コンデンサCをさらに備える。

[0064] 図1 7に示すように、第1供給端子6 1および第2供給端子6 2の第1方向xの一方側は、半導体装置B 1 0に直流電力を供給するための直流電源DCに接続されている。コンデンサCは、直流電源DCに接続された第1供給端子6 1および第2供給端子6 2に対して並列接続されている。コンデンサCは、セラミックコンデンサやフィルムコンデンサなどである。コンデンサCの静電容量は、半導体装置B 1 0の周波数特性に応じて設定される。

[0065] 〔第1実施形態の第2変形例〕

図1 8に基づき、本開示の第1実施形態の第2変形例にかかる半導体モジュールA 1 2について説明する。半導体モジュールA 1 2は、半導体モジュールA 1 1に対して、抵抗器Rをさらに備える。

[0066] 図1 8に示すように、第1供給端子6 1および第2供給端子6 2の第1方向xの一方側は、半導体装置B 1 0に直流電力を供給するための直流電源DCに接続されている。コンデンサCは、直流電源DCに接続された第1供給端子6 1および第2供給端子6 2に対して並列接続されている。抵抗器Rは、コンデンサCに対して直列接続されている。第1供給端子6 1および第2供給端子6 2と、コンデンサCとの導電経路において、抵抗器Rは、第1供給端子6 1とコンデンサCとの間に接続されている。これにより、半導体モジュールA 1 2においては、スナバ回路 (Snubber circuit) が構成されてい

る。

[0067] 次に、半導体モジュールA10の作用効果について説明する。

[0068] 半導体モジュールA10は、第1端子部212を有する第1入力端子21、および第2端子部222を有する第2入力端子22を備える半導体装置B10と、第1供給端子61および第2供給端子62を備えるバスバーC10とを、その構成要素に含む。第2端子部222は、厚さ方向zにおいて第1端子部212に対して離間し、かつ厚さ方向zに沿って視て第1端子部212に重なっている。第2供給端子62は、厚さ方向zにおいて第1供給端子61に対して離間し、かつ厚さ方向zに沿って視て第1供給端子61に重なっている。第1供給端子61が第1端子部212に導通する状態で接合され、第2供給端子62が第2端子部222に導通する状態で接合されている。これにより、半導体モジュールA10において、第1端子部212および第1供給端子61と、第2端子部222および第2供給端子62とによって、連続したラミネート配線がなされている。よって、半導体装置B10には、当該ラミネート配線を介して直流電力が供給されるため、半導体装置B10に発生したインダクタンスを当該ラミネート配線によって、より安定した状態で低減することができる。したがって、半導体モジュールA10によれば、半導体装置B10のインダクタンスをより安定した状態で低減させることが可能となる。

[0069] 半導体装置B10は、厚さ方向zにおいて第1端子部212と第2端子部222との間に挟まれた絶縁部材29をさらに備える。これにより、第1端子部212と第2端子部222とを、容易にラミネート配線とすることができる。

[0070] バスバーC10は、厚さ方向zにおいて第1供給端子61と第2供給端子62との間に挟まれた絶縁体69をさらに備える。これにより、第1供給端子61と第2供給端子62とを、容易にラミネート配線とすることができる。また、第1供給端子61および第2供給端子62の第1方向xの他方側に位置する各々の先端よりも、絶縁体69は、第1方向xの一方側に位置する

。これにより、第1供給端子61および第2供給端子62の第1方向xの他方側において、第1供給端子61と第2供給端子62との間に隙間が形成される。第1端子部212および第2端子部222の第1方向xの一方側を当該隙間に挿入させることにより、第1端子部212および第2端子部222は、厚さ方向zにおいて第1供給端子61と第2供給端子62とにより挟まれた構成をとることができる。換言すると、半導体モジュールA10において、第1端子部212に第1供給端子61が重ね合わせられ、かつ第2端子部222に第2供給端子62が重ね合わされた構成をとることができる。

[0071] 第1供給端子61および第2供給端子62の各々は、レーザ溶接により第1端子部212および第2端子部222の各々に導通する状態で接合されている。レーザ溶接を採用することにより、第1端子部212に第1供給端子61が重ね合わせられ、かつ第2端子部222に第2供給端子62が重ね合わされた場合であっても、第1供給端子61および第2供給端子62の各々を、導通が確保された状態で容易に接合させることができる。

[0072] 絶縁部材29は、介在部291から第1端子部212および第2端子部222よりもさらに第1方向xの一方側に向けて延びる延出部292を有する。絶縁体69は、厚さ方向zにおいて互いに離間する一对の離間部691を有する。図16に示すように、延出部292は、厚さ方向zにおいて一对の離間部691の間に設けられた隙間に挿入されている。これにより、第1端子部212および第2端子部222の第1方向xの一方側を、第1供給端子61と第2供給端子62との間に設けられた隙間に挿入させる際、半導体装置B10およびバスバーC10の双方において、第1方向xに対する傾斜が抑制される。よって、第1端子部212と第1供給端子61との接触状態と、第2端子部222と第2供給端子62との接触状態が、より安定したものとなる。

[0073] 半導体モジュールA11（図17参照）においては、第1供給端子61および第2供給端子62に対して並列接続されたコンデンサCをさらに備える。半導体装置B10の複数のスイッチング素子30の駆動により、第1入力

端子 2 1 および第 2 入力端子 2 2 には、インダクタンスの発生要因となる逆起電力が生じる。コンデンサ C は、当該逆起電力を電荷として蓄える機能を果たす。これにより、半導体装置 B 1 0 のインダクタンスをより効果的に低減することができる。なお、コンデンサ C に蓄えられた電荷は、半導体装置 B 1 0 に供給される直流電力の一部に活用される。

[0074] 半導体モジュール A 1 2 (図 1 8 参照) においては、第 1 供給端子 6 1 および第 2 供給端子 6 2 に対して並列接続されたコンデンサ C と、コンデンサ C に対して直列接続された抵抗器 R とをさらに備える。抵抗器 R は、第 1 入力端子 2 1 および第 2 入力端子 2 2 に生じた逆起電力の電圧を低下させることができる。これにより、コンデンサ C の過剰充電を防止することができる。

[0075] 半導体装置 B 1 0 は、絶縁基板 1 0 の裏面 1 0 2 が露出されるように複数のスイッチング素子 3 0 を覆う封止樹脂 5 0 を備える。これにより、裏面 1 0 2 をヒートシンクに接合させることが可能となるため、半導体装置 B 1 0 の放熱性を向上させることができる。また、第 1 端子部 2 1 2、第 2 端子部 2 2 2 および絶縁部材 2 9 の各々の一部ずつが、封止樹脂 5 0 に覆われている。これにより、第 1 入力端子 2 1、第 2 入力端子 2 2 および絶縁部材 2 9 を、封止樹脂 5 0 に支持させることができる。

[0076] [第 2 実施形態]

図 1 9 ～図 2 4 に基づき、本開示の第 2 実施形態にかかる半導体モジュール A 2 0 について説明する。これらの図において、先述した半導体モジュール A 1 0 と同一または類似の要素には同一の符号を付して、重複する説明を省略する。半導体モジュール A 2 0 は、半導体装置 B 1 0 およびバスバー C 2 0 を備える。これらのうち、バスバー C 2 0 の構成が、先述した半導体モジュール A 1 0 に対して異なる。なお、半導体装置 B 1 0 の構成は、先述した半導体モジュール A 1 0 に対して同一であるため、ここでの説明は省略する。なお、図 2 0 および図 2 1 は、理解の便宜上、モールド樹脂 8 0 を透過している。

[0077] <バスバーC20>

半導体モジュールA20の構成要素に含まれるバスバーC20について説明する。バスバーC20は、第1供給端子61、第2供給端子62、絶縁体69、絶縁基材70、第1導電層71、第2導電層72およびモールド樹脂80を備える。

[0078] 第1供給端子61は、図21、図22および図24に示すように、第1接続部611および第1起立部612を有する。第1接続部611は、第1方向xに延びる帯状である。第1接続部611は、厚さ方向zの絶縁基板10の裏面102が向く側において絶縁体69に接している。第1起立部612は、第1接続部611の第1方向xの一方側における先端から、厚さ方向zの絶縁基板10の主面101が向く側に向けて延びている。バスバーC20が示す例においては、第1起立部612は、第2方向yにおいて相互に離間した3つの領域を有する。よって、第1起立部612は、櫛歯状をなしている。なお、当該領域の数は、本構成に限定されない。

[0079] 第2供給端子62は、図20、図22および図23に示すように、第2接続部621および第2起立部622を有する。第2接続部621は、厚さ方向zの絶縁基板10の主面101が向く側において絶縁体69に接している。第2接続部621は、厚さ方向zに沿って視て第1接続部611に重なっている。第2起立部622は、第2接続部621の第1方向xの一方側における先端から、厚さ方向zの主面101が向く側に向けて延びている。バスバーC20が示す例においては、第2起立部622は、第2方向yにおいて相互に離間した3つの領域を有する。よって、第2起立部622は、櫛歯状をなしている。なお、当該領域の数は、本構成に限定されない。第2起立部622は、第1起立部612よりも第1方向xの他方側に位置し、かつ第1方向xに沿って視て第1起立部612に重なっている。第1方向xにおいて、第2起立部622と第2接続部621との間には、モールド樹脂80が存在している。

[0080] 絶縁体69は、図22および図23に示すように、厚さ方向zにおいて第

第1供給端子61の第1接続部611と、第2供給端子62の第2接続部621との間に挟まれている。第1接続部611および第2接続部621の第1方向xの他方側に位置する各々の先端よりも、絶縁体69は、第1方向xの一方側に位置する。絶縁体69は、バスバーC10の絶縁体69と同様に、一对の離間部691、および基部692を有する。

[0081] 以上より、厚さ方向zに沿って視て、第2供給端子62の少なくとも一部が第1供給端子61に重なっている。第2供給端子62は、第1供給端子61に対して厚さ方向zの主面101が向く側に離間している。また、第1供給端子61および第2供給端子62は、厚さ方向zおよび第1方向xの双方に沿って視て互いに重なる部分を有し、かつ絶縁体69およびモールド樹脂80により互いに電気絶縁されたラミネート配線をなしている。

[0082] 絶縁基材70は、図19および図22に示すように、第1方向xに延びる帯状である。絶縁基材70は、第2供給端子62の第2接続部621に対して厚さ方向zの絶縁基板10の主面101が向く側に配置されている。絶縁基材70は、ガラスエポキシ樹脂、またはアルミナなどのセラミックスを含む材料からなる。

[0083] 第1導電層71は、図22に示すように、厚さ方向zの絶縁基板10の主面101が向く側において絶縁基材70に配置されている。図20に示すように、第1導電層71の第1方向xの他方側における先端は、絶縁基材70の第1方向xの他方側における先端よりも第1方向xの一方側に位置する。第1導電層71は、金属板である。当該金属板は、銅または銅合金からなる。

[0084] 第2導電層72は、図22に示すように、厚さ方向zの絶縁基板10の裏面102が向く側において絶縁基材70に配置されている。第2導電層72には、厚さ方向zに貫通する開口部721が設けられている。図21に示すように、厚さ方向zに沿って視て、開口部721は矩形状である。以上より、第1導電層71および第2導電層72は、厚さ方向zに沿って視て互いに重なる部分を有し、かつ絶縁基材70により互いに電気絶縁されたラミネー

ト配線をなしている。

[0085] 図20～図24（図23を除く）に示すように、絶縁基材70および第1導電層71の双方には、厚さ方向zに貫通する複数の第1貫通孔731が設けられている。複数の第1貫通孔731の数は、第1供給端子61の第1起立部612の領域の数に対応している。複数の第1貫通孔731は、第2方向yに沿って配列されている。図21に示すように、複数の第1貫通孔731は、第2導電層72の開口部721の中に位置する。第1起立部612は、複数の第1貫通孔731に挿入されている。図24に示すように、第1起立部612は、導電接合層79により第1導電層71に導通する状態で接合されている。導電接合層79は、たとえば錫を主成分とする鉛フリーはんだである。これにより、第1供給端子61は、第1導電層71に導通している。

[0086] 図20、図22および図23に示すように、絶縁基材70および第2導電層72の双方には、厚さ方向zに貫通する複数の第2貫通孔732が設けられている。複数の第2貫通孔732の数は、第2供給端子62の第2起立部622の領域の数に対応している。複数の第2貫通孔732は、複数の第1貫通孔731よりも第1方向xの他方側に位置する。複数の第2貫通孔732は、第2方向yに沿って配列されている。第2起立部622は、複数の第2貫通孔732に挿入されている。図23に示すように、第2起立部622は、導電接合層79により第2導電層72に導通する状態で接合されている。これにより、第2供給端子62は、第2導電層72に導通している。

[0087] モールド樹脂80は、図19および図22に示すように、第1供給端子61、第2供給端子62、絶縁体69、絶縁基材70、第1導電層71および第2導電層72の各々の一部ずつを覆っている。モールド樹脂80の第1方向xの一方側から、絶縁基材70、第1導電層71および第2導電層72の各々の一部ずつが突出している。モールド樹脂80の第1方向xの他方側から、第1供給端子61の第1接続部611、第2供給端子62の第2接続部621、および絶縁体69の各々の一部ずつが突出している。

[0088] <半導体モジュールA20>

半導体モジュールA20について説明する。

[0089] 半導体モジュールA20においては、図22に示すように、第1供給端子61の第1接続部611が第1入力端子21の第1端子部212に導通する状態で接合され、かつ第2供給端子62の第2接続部621が第2入力端子22の第2端子部222に導通する状態で接合されている。第1接続部611の第1方向xの他方側は、第1端子部212に重ね合わされている。第2接続部621の第1方向xの他方側は、第2端子部222に重ね合わされている。この場合において、絶縁部材29の延出部292は、厚さ方向zにおいて絶縁体69の一对の離間部691の間に設けられた隙間に挿入されている。第1接続部611および第2接続部621の各々は、レーザ溶接により第1端子部212および第2端子部222の各々に導通する状態で接合されている。

[0090] 半導体モジュールA20においては、第1供給端子61および第1導電層71が正極であり、第2供給端子62および第2導電層72が負極である。図25および図26に示すように、第1導電層71および第2導電層72の第1方向xの一方側を直流電源DCに接続させることにより、バスバーC20を介して半導体装置B10に直流電力が供給される。

[0091] [第2実施形態の第1変形例]

図25に基づき、本開示の第2実施形態の第1変形例にかかる半導体モジュールA21について説明する。半導体モジュールA21は、半導体モジュールA20に対して、コンデンサCをさらに備える。

[0092] 図25に示すように、第1導電層71および第2導電層72の第1方向xの一方側は、半導体装置B10に直流電力を供給するための直流電源DCに接続されている。コンデンサCは、直流電源DCに接続された第1導電層71および第2導電層72に対して並列接続されている。

[0093] [第2実施形態の第2変形例]

図26に基づき、本開示の第2実施形態の第2変形例にかかる半導体モジ

ジュール A 2 2 について説明する。半導体モジュール A 2 2 は、半導体モジュール A 2 1 に対して、抵抗器 R をさらに備える。

[0094] 図 2 6 に示すように、第 1 導電層 7 1 および第 2 導電層 7 2 の第 1 方向 x の一方側は、半導体装置 B 1 0 に直流電力を供給するための直流電源 D C に接続されている。コンデンサ C は、直流電源 D C に接続された第 1 導電層 7 1 および第 2 導電層 7 2 に対して並列接続されている。抵抗器 R は、コンデンサ C に対して直列接続されている。第 1 導電層 7 1 および第 2 導電層 7 2 と、コンデンサ C との導電経路において、抵抗器 R は、第 1 導電層 7 1 とコンデンサ C との間に接続されている。これにより、半導体モジュール A 2 2 においては、スナバ回路が構成されている。

[0095] 次に、半導体モジュール A 2 0 の作用効果について説明する。

[0096] 半導体モジュール A 2 0 は、半導体装置 B 1 0 と、第 1 接続部 6 1 1 を有する第 1 供給端子 6 1、および第 2 接続部 6 2 1 を有する第 2 供給端子 6 2 を備えるバスバー C 2 0 とを、その構成要素に含む。第 2 供給端子 6 2 は、厚さ方向 z において第 1 供給端子 6 1 に対して離間し、かつ厚さ方向 z に沿って視て第 1 供給端子 6 1 に少なくともその一部（第 2 接続部 6 2 1）が重なっている。第 1 接続部 6 1 1 が第 1 端子部 2 1 2 に導通する状態で接合され、第 2 接続部 6 2 1 が第 2 端子部 2 2 2 に導通する状態で接合されている。したがって、半導体モジュール A 2 0 によっても、半導体装置 B 1 0 のインダクタンスをより安定した状態で低減させることが可能となる。

[0097] バスバー C 2 0 は、絶縁基材 7 0、第 1 導電層 7 1 および第 2 導電層 7 2 をさらに備える。第 1 導電層 7 1 は、厚さ方向 z の絶縁基板 1 0 の主面 1 0 1 が向く側において絶縁基材 7 0 に配置されている。第 2 導電層 7 2 は、厚さ方向 z の絶縁基板 1 0 の裏面 1 0 2 が向く側において絶縁基材 7 0 に配置されている。第 1 供給端子 6 1 は、第 1 導電層 7 1 に導通している。第 2 供給端子 6 2 は、第 2 導電層 7 2 に導通している。これにより、半導体モジュール A 2 0 において、第 1 導電層 7 1 が正極となり、第 2 導電層 7 2 が負極となる。したがって、半導体装置 B 1 0 の裏面 1 0 2 をヒートシンクに接合

させた際、第1導電層71および第2導電層72に接続される直流電源DC（図25および図26参照）の接地をヒートシンクに設定することが、より容易となる。

[0098] 第1供給端子61は、第1接続部611の第1方向xの一方側における先端から、厚さ方向zの絶縁基板10の主面101が向く側に向けて延びる第1起立部612を有する。第1起立部612は、第1導電層71に導通する状態で接合されている。第2供給端子62は、第1起立部612の第1方向xの一方側における先端から、厚さ方向zの主面101が向く側に向けて延びる第2起立部622を有する。第2起立部622は、第2導電層72に導通する状態で接合されている。第2起立部622は、第1方向xに沿って視て第1起立部612に重なっている。これにより、バスバーC20において、第1供給端子61および第1導電層71と、第2供給端子62および第2導電層72とによって、連続したラミネート配線をなすことができる。

[0099] 絶縁基材70および第1導電層71には、厚さ方向zに貫通する第1貫通孔731が設けられている。第1起立部612を第1貫通孔731に挿入させることにより、第1起立部612を第1導電層71に導通する状態で接合させることができる。絶縁基材70および第2導電層72には、厚さ方向zに貫通する第2貫通孔732が設けられている。第2起立部622を第2貫通孔732に挿入させることにより、第2起立部622を第2導電層72に導通する状態で接合させることができる。また、第2貫通孔732は、第1貫通孔731よりも第1方向xの他方側に位置する。これにより、第1起立部612および第2起立部622が、互いに干渉することを回避できる。

[0100] [第3実施形態]

図27～図33に基づき、本開示の第3実施形態にかかる半導体モジュールA30について説明する。これらの図において、先述した半導体モジュールA10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。半導体モジュールA30は、半導体装置B20およびバスバーC30を備える。

[0101] <半導体装置 B 2 0>

半導体モジュール A 3 0 の構成要素に含まれる半導体装置 B 2 0 について説明する。半導体装置 B 2 0 においては、第 1 入力端子 2 1 および第 2 入力端子 2 2 の構成が、先述した半導体モジュール A 1 0 を構成する半導体装置 B 1 0 に対して異なる。

[0102] 図 2 7、図 2 9 および図 3 0 に示すように、第 1 入力端子 2 1 の第 1 端子部 2 1 2 は、第 1 基部 2 1 2 A および第 1 フランジ部 2 1 2 B を有する。第 1 基部 2 1 2 A は、第 1 方向 x に延びている。第 1 基部 2 1 2 A の第 2 方向 y の両側は、封止樹脂 5 0 に覆われている。第 1 フランジ部 2 1 2 B は、第 1 基部 2 1 2 A の第 1 方向 x の一方側における先端から、厚さ方向 z の絶縁基板 1 0 の裏面 1 0 2 が向く側に向けて延びている。第 1 フランジ部 2 1 2 B には、第 1 方向 x に貫通する第 1 孔 2 1 2 C が設けられている。

[0103] 図 2 8 ～図 3 0 に示すように、第 2 入力端子 2 2 の第 2 端子部 2 2 2 は、第 2 基部 2 2 2 A および第 2 フランジ部 2 2 2 B を有する。第 2 基部 2 2 2 A は、第 1 方向 x に延びている。第 2 基部 2 2 2 A の第 2 方向 y の両側は、封止樹脂 5 0 に覆われている。第 2 フランジ部 2 2 2 B は、第 2 基部 2 2 2 A の第 1 方向 x の一方側における先端から、厚さ方向 z の絶縁基板 1 0 の主面 1 0 1 が向く側に向けて延びている。第 2 フランジ部 2 2 2 B には、第 1 方向 x に貫通する第 2 孔 2 2 2 C が設けられている。

[0104] 図 3 0 に示すように、絶縁部材 2 9 の介在部 2 9 1 は、厚さ方向 z において第 1 端子部 2 1 2 の第 1 基部 2 1 2 A と、第 2 端子部 2 2 2 の第 2 基部 2 2 2 A との間に位置する。第 2 入力端子 2 2 は、第 1 入力端子 2 1 に対して厚さ方向 z の絶縁基板 1 0 の主面 1 0 1 が向く側に離間している。

[0105] <バスバー C 3 0>

半導体モジュール A 3 0 の構成要素に含まれるバスバー C 3 0 について説明する。バスバー C 3 0 においては、第 1 供給端子 6 1、第 2 供給端子 6 2 および絶縁体 6 9 の構成が、先述した半導体モジュール A 1 0 を構成するバスバー C 1 0 に対して異なる。

[0106] 図32に示すように、第1供給端子61は、第3基部613および第3フランジ部614を有する。第3基部613は、第1方向xに延びている。第3基部613は、厚さ方向zの絶縁基板10の裏面102が向く側において絶縁体69に接している。第3フランジ部614は、第3基部613の第1方向xの他方側における先端から、厚さ方向zの裏面102が向く側に向けて延びている。図33に示すように、第3フランジ部614には、第1方向xに貫通する第3孔615が設けられている。第3孔615の位置および大きさは、第1端子部212の第1フランジ部212Bに設けられた第1孔212Cのこれらに対応している。

[0107] 図31および図32に示すように、第2供給端子62は、第4基部623および第4フランジ部624を有する。第4基部623は、第1方向xに延びている。第4基部623は、厚さ方向zの絶縁基板10の主面101が向く側において絶縁体69に接している。第4フランジ部624は、第4基部623の第1方向xの他方側における先端から、厚さ方向zの主面101が向く側に向けて延びている。図33に示すように、第4フランジ部624には、第1方向xに貫通する第4孔625が設けられている。第4孔625の位置および大きさは、第2端子部222の第2フランジ部222Bに設けられた第2孔222Cのこれらに対応している。

[0108] 図32に示すように、第2供給端子62は、第1供給端子61に対して厚さ方向zの絶縁基板10の主面101が向く側に離間している。第1供給端子61の第3基部613、および第2供給端子62の第4基部623は、厚さ方向zに沿って視て互いに重なり、かつ絶縁体69により互いに電気絶縁されたラミネート配線をなしている。なお、バスバーC30は、モールド樹脂80を備えない構成でもよい。

[0109] <半導体モジュールA30>

半導体モジュールA30について説明する。

[0110] 半導体モジュールA30においては、図32に示すように、第1供給端子61の第3フランジ部614が、第1端子部212（第1入力端子21）の

第1フランジ部212Bに導通する状態で接合されている。第3フランジ部614が第1フランジ部212Bに突き合わされている。図31および図32に示すように、第2供給端子62の第4フランジ部624が、第2端子部222（第2入力端子22）の第2フランジ部222Bに導通する状態で接合されている。第4フランジ部624が第2フランジ部222Bに突き合わされている。この場合において、図33に示すように、絶縁部材29の延出部292は、厚さ方向zにおいて第1供給端子61の第3基部613と、第2供給端子62の第4基部623との間に設けられた隙間に挿入されている。

[0111] 図33に示すように、第1端子部212の第1フランジ部212Bに設けられた第1孔212Cと、第1供給端子61の第3フランジ部614に設けられた第3孔615とに、締結部材90が挿入されている。締結部材90は、たとえばボルト・ナットである。これにより、第1フランジ部212Bと第3フランジ部614とが導通する状態で接合されている。また、第2端子部222の第2フランジ部222Bに設けられた第2孔222Cと、第2供給端子62の第4フランジ部624に設けられた第4孔625とに、締結部材90が挿入されている。これにより、第2フランジ部222Bと第4フランジ部624とが導通する状態で接合されている。

[0112] 半導体モジュールA30においては、第1供給端子61が正極であり、第2供給端子62が負極である。このため、半導体モジュールA10の場合と同じく、第1供給端子61および第2供給端子62の第1方向xの一方側を直流電源DC（図17および図18参照）に接続させることにより、バスバーC30を介して半導体装置B20に直流電力が供給される。

[0113] 図17に示す半導体モジュールA11と同じく、半導体モジュールA30は、第1供給端子61および第2供給端子62に対して並列接続されたコンデンサCをさらに備える構成とすることができる。また、図18に示す半導体モジュールA12と同じく、半導体モジュールA30は、コンデンサCと、コンデンサCに対して直列接続された抵抗器Rとをさらに備える構成とす

ることができる。

[0114] 次に、半導体モジュールA30の作用効果について説明する。

[0115] 半導体モジュールA30は、第1端子部212を有する第1入力端子21、および第2端子部222を有する第2入力端子22を備える半導体装置B20と、第1供給端子61および第2供給端子62を備えるバスバーC30とを、その構成要素に含む。第2端子部222は、厚さ方向zにおいて第1端子部212に対して離間し、かつ厚さ方向zに沿って視て第1端子部212に重なっている。第2供給端子62は、厚さ方向zにおいて第1供給端子61に対して離間し、かつ厚さ方向zに沿って視て第1供給端子61に重なっている。第1供給端子61が第1端子部212に導通する状態で接合され、第2供給端子62が第2端子部222に導通する状態で接合されている。したがって、半導体モジュールA30によっても、半導体装置B20のインダクタンスをより安定した状態で低減させることが可能となる。

[0116] 第1端子部212は、第1基部212Aの第1方向xの一方側における先端から、厚さ方向zの絶縁基板10の裏面102が向く側に向けて延びる第1フランジ部212Bを有する。第2端子部222は、第2基部222Aの第1方向xの一方側における先端から、厚さ方向zの絶縁基板10の主面101が向く側に向けて延びる第2フランジ部222Bを有する。第1供給端子61は、第3基部613の第1方向xの他方側における先端から、厚さ方向zの裏面102が向く側に向けて延びる第3フランジ部614を有する。第2供給端子62は、第4基部623の第1方向xの他方側における先端から、厚さ方向zの主面101が向く側に向けて延びる第4フランジ部624を有する。第3フランジ部614は、第1フランジ部212Bに突き合わされている。これらは、締結部材90により互いに接合されている。これにより、第1供給端子61を第1端子部212に導通する状態で接合させることができる。第4フランジ部624は、第2フランジ部222Bに突き合わされている。これらは、締結部材90により互いに接合されている。これにより、第2供給端子62を第2端子部222に導通する状態で接合させること

ができる。

[0117] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0118] 本開示における種々の実施形態は、以下の付記として規定しうる。

[0119] 付記 1. 厚さ方向において互いに反対側を向く主面および裏面を有する絶縁基板と、前記主面に配置された導電部材と、前記導電部材に導通する状態で接合された複数のスイッチング素子と、第 1 端子部を有し、かつ前記導電部材に導通する状態で接合された第 1 入力端子と、前記厚さ方向に沿って視て前記第 1 端子部に重なる第 2 端子部を有し、かつ前記厚さ方向において前記第 1 入力端子および前記導電部材の双方に対して離間して配置されるとともに、前記複数のスイッチング素子に導通する第 2 入力端子と、を備える半導体装置と、

第 1 供給端子と、前記厚さ方向において前記第 1 供給端子に対して離間して配置され、かつ前記厚さ方向に沿って視て前記第 1 供給端子に少なくとも一部が重なる第 2 供給端子と、を備えるバスバーと、を構成要素に含み、

前記第 1 供給端子が前記第 1 端子部に導通する状態で接合されており、

前記第 2 供給端子が前記第 2 端子部に導通する状態で接合されている、半導体モジュール。

[0120] 付記 2. 前記半導体装置は、前記厚さ方向において前記第 1 端子部と前記第 2 端子部との間に挟まれた絶縁部材をさらに備える、付記 1 に記載の半導体モジュール。

[0121] 付記 3. 前記厚さ方向に沿って視て、前記第 1 端子部および前記第 2 端子部は、前記厚さ方向に対して直交する第 1 方向の一方側に向けて延び、

前記絶縁部材は、前記厚さ方向において前記第 1 端子部と前記第 2 端子部との間に位置する介在部と、前記介在部から前記第 1 端子部および前記第 2 端子部よりもさらに前記第 1 方向の前記一方側に向けて延びる延出部と、を有する、付記 2 に記載の半導体モジュール。

[0122] 付記 4. 前記バスバーは、前記厚さ方向において前記第 1 供給端子と前記

第2供給端子との間に挟まれた絶縁体をさらに備え、

前記第1供給端子および前記第2供給端子の前記第1方向の他方側に位置する各々の先端よりも、前記絶縁体は、前記第1方向の前記一方側に位置する、付記3に記載の半導体モジュール。

[0123] 付記5. 前記絶縁体は、前記厚さ方向において互いに離間する一对の離間部を有し、

前記延出部は、前記厚さ方向において一对の前記離間部の間に設けられた隙間に挿入されている、付記4に記載の半導体モジュール。

[0124] 付記6. 前記第2端子部は、前記第1端子部に対して前記厚さ方向の前記主面が向く側に離間し、

前記第2供給端子は、前記第1供給端子に対して前記厚さ方向の前記主面が向く側に離間している、付記5に記載の半導体モジュール。

[0125] 付記7. 前記第1供給端子の前記第1方向の前記他方側が前記第1端子部に重ね合わされており、

前記第2供給端子の前記第1方向の前記他方側が前記第2端子部に重ね合わされている、付記6に記載の半導体モジュール。

[0126] 付記8. 前記第1供給端子および前記第2供給端子の各々は、レーザ溶接により前記第1端子部および前記第2端子部の各々に導通する状態で接合されている、付記7に記載の半導体モジュール。

[0127] 付記9. 前記バスバーは、絶縁基材と、前記厚さ方向の前記主面が向く側において前記絶縁基材に配置された第1導電層と、前記厚さ方向の前記裏面が向く側において前記絶縁基材に配置された第2導電層と、をさらに備え、

前記第1供給端子は、前記第1導電層に導通し、

前記第2供給端子は、前記第2導電層に導通している、付記6に記載の半導体モジュール。

[0128] 付記10. 前記第1供給端子は、前記第1端子部および前記絶縁体の双方に接する第1接続部と、前記第1接続部の前記第1方向の前記一方側における先端から、前記厚さ方向の前記主面が向く側に向けて延びる第1起立部と

、を有し、

前記絶縁基材および前記第 1 導電層の双方には、前記厚さ方向に貫通する第 1 貫通孔が設けられ、

前記第 1 起立部は、前記第 1 貫通孔に挿入され、かつ前記第 1 導電層に導通する状態で接合されている、付記 9 に記載の半導体モジュール。

[0129] 付記 1 1. 前記第 2 供給端子は、前記第 2 端子部および前記絶縁体の双方に接し、かつ前記厚さ方向に沿って視て前記第 1 接続部に重なる第 2 接続部と、前記第 2 接続部の前記第 1 方向の前記一方側における先端から、前記厚さ方向の前記主面が向く側に向けて延び、かつ前記第 1 方向に沿って視て前記第 1 起立部に重なる第 2 起立部と、を有し、

前記絶縁基材および前記第 2 導電層の双方には、前記第 1 貫通孔よりも前記第 1 方向の前記他方側に位置し、かつ前記厚さ方向に貫通する第 2 貫通孔が設けられ、

前記第 2 起立部は、前記第 2 貫通孔に挿入され、かつ前記第 2 導電層に導通する状態で接合されている、付記 10 に記載の半導体モジュール。

[0130] 付記 1 2. 前記延出部は、前記厚さ方向において前記第 1 供給端子と前記第 2 供給端子との間に設けられた隙間に挿入されている、付記 4 に記載の半導体モジュール。

[0131] 付記 1 3. 前記第 2 端子部は、前記第 1 端子部に対して前記厚さ方向の前記主面が向く側に離間し、

前記第 2 供給端子は、前記第 1 供給端子に対して前記厚さ方向の前記主面が向く側に離間し、

前記第 1 端子部は、前記第 1 方向に延びる第 1 基部と、前記第 1 基部の前記第 1 方向の前記一方側における先端から、前記厚さ方向の前記裏面が向く側に向けて延びる第 1 フランジ部と、を有し、

前記第 2 端子部は、前記第 1 方向に延びる第 2 基部と、前記第 2 基部の前記第 1 方向の前記一方側における先端から、前記厚さ方向の前記主面が向く側に向けて延びる第 2 フランジ部と、を有し、

前記第 1 供給端子は、前記第 1 方向に延びる第 3 基部と、前記第 3 基部の前記第 1 方向の前記他方側における先端から、前記厚さ方向の前記裏面が向く側に向けて延びる第 3 フランジ部と、を有し、

前記第 2 供給端子は、前記第 1 方向に延びる第 4 基部と、前記第 4 基部の前記第 1 方向の前記他方側における先端から、前記厚さ方向の前記主面が向く側に向けて延びる第 4 フランジ部と、を有し、

前記第 3 フランジ部が前記第 1 フランジ部に突き合わされており、

前記第 4 フランジ部が前記第 2 フランジ部に突き合わされている、付記 1 2 に記載の半導体モジュール。

[0132] 付記 1 4. 前記第 1 フランジ部および前記第 3 フランジ部と、前記第 2 フランジ部および前記第 4 フランジ部とは、締結部材により各々が導通する状態で接合されている、付記 1 3 に記載の半導体モジュール。

[0133] 付記 1 5. 前記第 1 供給端子および前記第 2 供給端子に対して並列接続されたコンデンサをさらに備える、付記 2 ないし 1 4 のいずれかに記載の半導体モジュール。

[0134] 付記 1 6. 前記コンデンサに対して直列接続された抵抗器をさらに備える、付記 1 5 に記載の半導体モジュール。

[0135] 付記 1 7. 前記半導体装置は、前記裏面が露出されるように前記複数のスイッチング素子を覆う封止樹脂をさらに備え、

前記第 1 端子部、前記第 2 端子部および前記絶縁部材の各々の一部ずつが、前記封止樹脂に覆われている、付記 2 ないし 1 6 のいずれかに記載の半導体モジュール。

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く主面および裏面を有する絶縁基板と、前記主面に配置された導電部材と、前記導電部材に導通する状態で接合された複数のスイッチング素子と、第1端子部を有し、かつ前記導電部材に導通する状態で接合された第1入力端子と、前記厚さ方向に沿って視て前記第1端子部に重なる第2端子部を有し、かつ前記厚さ方向において前記第1入力端子および前記導電部材の双方に対して離間して配置されるとともに、前記複数のスイッチング素子に導通する第2入力端子と、を備える半導体装置と、
- 第1供給端子と、前記厚さ方向において前記第1供給端子に対して離間して配置され、かつ前記厚さ方向に沿って視て前記第1供給端子に少なくとも一部が重なる第2供給端子と、を備えるバスバーと、を構成要素に含み、
- 前記第1供給端子が前記第1端子部に導通する状態で接合されており、
- 前記第2供給端子が前記第2端子部に導通する状態で接合されている、半導体モジュール。
- [請求項2] 前記半導体装置は、前記厚さ方向において前記第1端子部と前記第2端子部との間に挟まれた絶縁部材をさらに備える、請求項1に記載の半導体モジュール。
- [請求項3] 前記厚さ方向に沿って視て、前記第1端子部および前記第2端子部は、前記厚さ方向に対して直交する第1方向の一方側に向けて延び、
- 前記絶縁部材は、前記厚さ方向において前記第1端子部と前記第2端子部との間に位置する介在部と、前記介在部から前記第1端子部および前記第2端子部よりもさらに前記第1方向の前記一方側に向けて延びる延出部と、を有する、請求項2に記載の半導体モジュール。
- [請求項4] 前記バスバーは、前記厚さ方向において前記第1供給端子と前記第2供給端子との間に挟まれた絶縁体をさらに備え、

前記第 1 供給端子および前記第 2 供給端子の前記第 1 方向の他方側に位置する各々の先端よりも、前記絶縁体は、前記第 1 方向の前記一方側に位置する、請求項 3 に記載の半導体モジュール。

[請求項5] 前記絶縁体は、前記厚さ方向において互いに離間する一対の離間部を有し、

前記延出部は、前記厚さ方向において一対の前記離間部の間に設けられた隙間に挿入されている、請求項 4 に記載の半導体モジュール。

[請求項6] 前記第 2 端子部は、前記第 1 端子部に対して前記厚さ方向の前記主面が向く側に離間し、

前記第 2 供給端子は、前記第 1 供給端子に対して前記厚さ方向の前記主面が向く側に離間している、請求項 5 に記載の半導体モジュール。

[請求項7] 前記第 1 供給端子の前記第 1 方向の前記他方側が前記第 1 端子部に重ね合わされており、

前記第 2 供給端子の前記第 1 方向の前記他方側が前記第 2 端子部に重ね合わされている、請求項 6 に記載の半導体モジュール。

[請求項8] 前記第 1 供給端子および前記第 2 供給端子の各々は、レーザ溶接により前記第 1 端子部および前記第 2 端子部の各々に導通する状態で接合されている、請求項 7 に記載の半導体モジュール。

[請求項9] 前記バスバーは、絶縁基材と、前記厚さ方向の前記主面が向く側において前記絶縁基材に配置された第 1 導電層と、前記厚さ方向の前記裏面が向く側において前記絶縁基材に配置された第 2 導電層と、をさらに備え、

前記第 1 供給端子は、前記第 1 導電層に導通し、

前記第 2 供給端子は、前記第 2 導電層に導通している、請求項 6 に記載の半導体モジュール。

[請求項10] 前記第 1 供給端子は、前記第 1 端子部および前記絶縁体の双方に接する第 1 接続部と、前記第 1 接続部の前記第 1 方向の前記一方側にお

ける先端から、前記厚さ方向の前記主面が向く側に向けて延びる第1起立部と、を有し、

前記絶縁基材および前記第1導電層の双方には、前記厚さ方向に貫通する第1貫通孔が設けられ、

前記第1起立部は、前記第1貫通孔に挿入され、かつ前記第1導電層に導通する状態で接合されている、請求項9に記載の半導体モジュール。

[請求項11] 前記第2供給端子は、前記第2端子部および前記絶縁体の双方に接し、かつ前記厚さ方向に沿って視て前記第1接続部に重なる第2接続部と、前記第2接続部の前記第1方向の前記一方側における先端から、前記厚さ方向の前記主面が向く側に向けて延び、かつ前記第1方向に沿って視て前記第1起立部に重なる第2起立部と、を有し、

前記絶縁基材および前記第2導電層の双方には、前記第1貫通孔よりも前記第1方向の前記他方側に位置し、かつ前記厚さ方向に貫通する第2貫通孔が設けられ、

前記第2起立部は、前記第2貫通孔に挿入され、かつ前記第2導電層に導通する状態で接合されている、請求項10に記載の半導体モジュール。

[請求項12] 前記延出部は、前記厚さ方向において前記第1供給端子と前記第2供給端子との間に設けられた隙間に挿入されている、請求項4に記載の半導体モジュール。

[請求項13] 前記第2端子部は、前記第1端子部に対して前記厚さ方向の前記主面が向く側に離間し、

前記第2供給端子は、前記第1供給端子に対して前記厚さ方向の前記主面が向く側に離間し、

前記第1端子部は、前記第1方向に延びる第1基部と、前記第1基部の前記第1方向の前記一方側における先端から、前記厚さ方向の前記裏面が向く側に向けて延びる第1フランジ部と、を有し、

前記第2端子部は、前記第1方向に延びる第2基部と、前記第2基部の前記第1方向の前記一方側における先端から、前記厚さ方向の前記主面が向く側に向けて延びる第2フランジ部と、を有し、

前記第1供給端子は、前記第1方向に延びる第3基部と、前記第3基部の前記第1方向の前記他方側における先端から、前記厚さ方向の前記裏面が向く側に向けて延びる第3フランジ部と、を有し、

前記第2供給端子は、前記第1方向に延びる第4基部と、前記第4基部の前記第1方向の前記他方側における先端から、前記厚さ方向の前記主面が向く側に向けて延びる第4フランジ部と、を有し、

前記第3フランジ部が前記第1フランジ部に突き合わされており、
前記第4フランジ部が前記第2フランジ部に突き合わされている、
請求項12に記載の半導体モジュール。

[請求項14] 前記第1フランジ部および前記第3フランジ部と、前記第2フランジ部および前記第4フランジ部とは、締結部材により各々が導通する状態で接合されている、請求項13に記載の半導体モジュール。

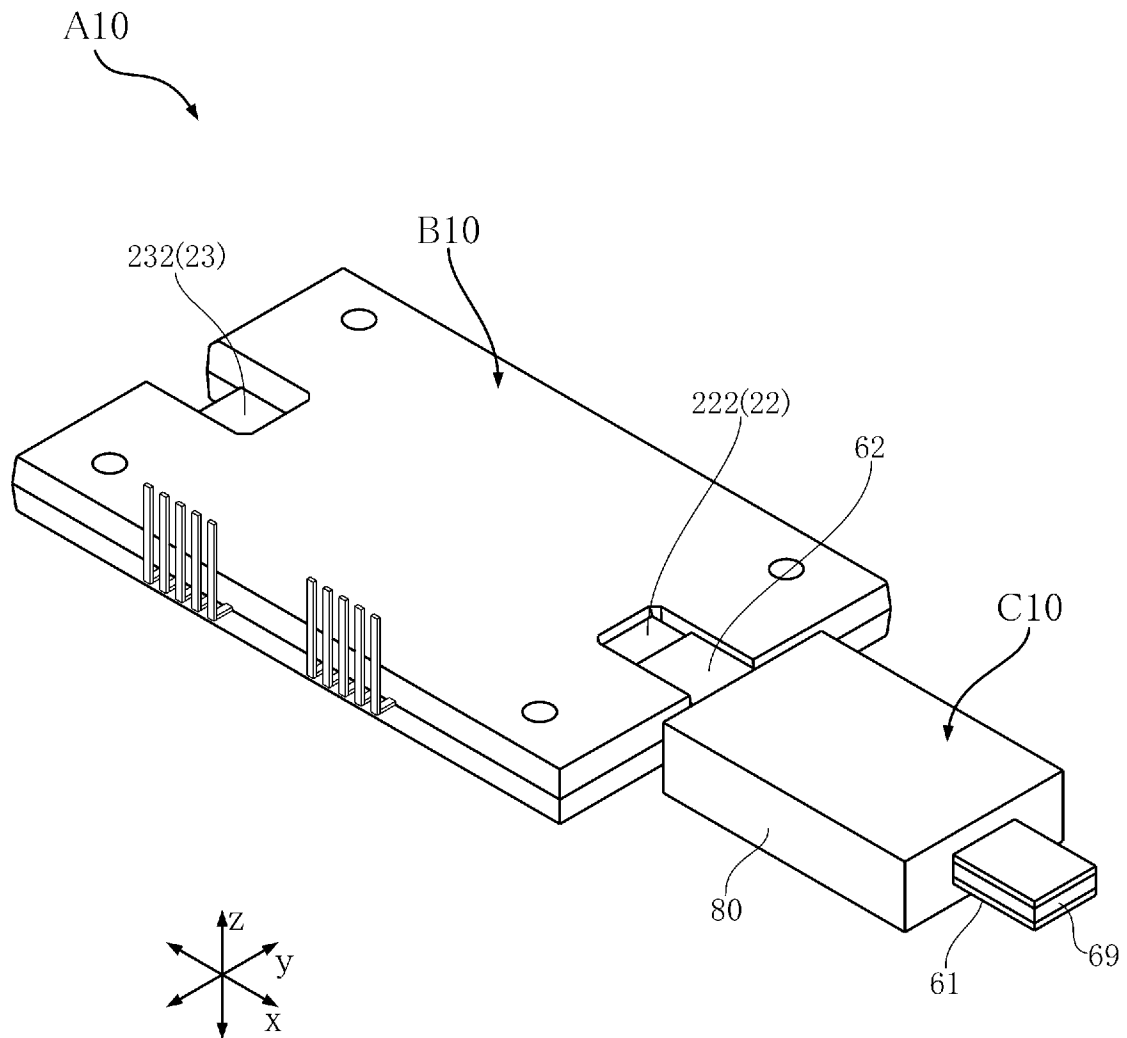
[請求項15] 前記第1供給端子および前記第2供給端子に対して並列接続されたコンデンサをさらに備える、請求項2ないし14のいずれかに記載の半導体モジュール。

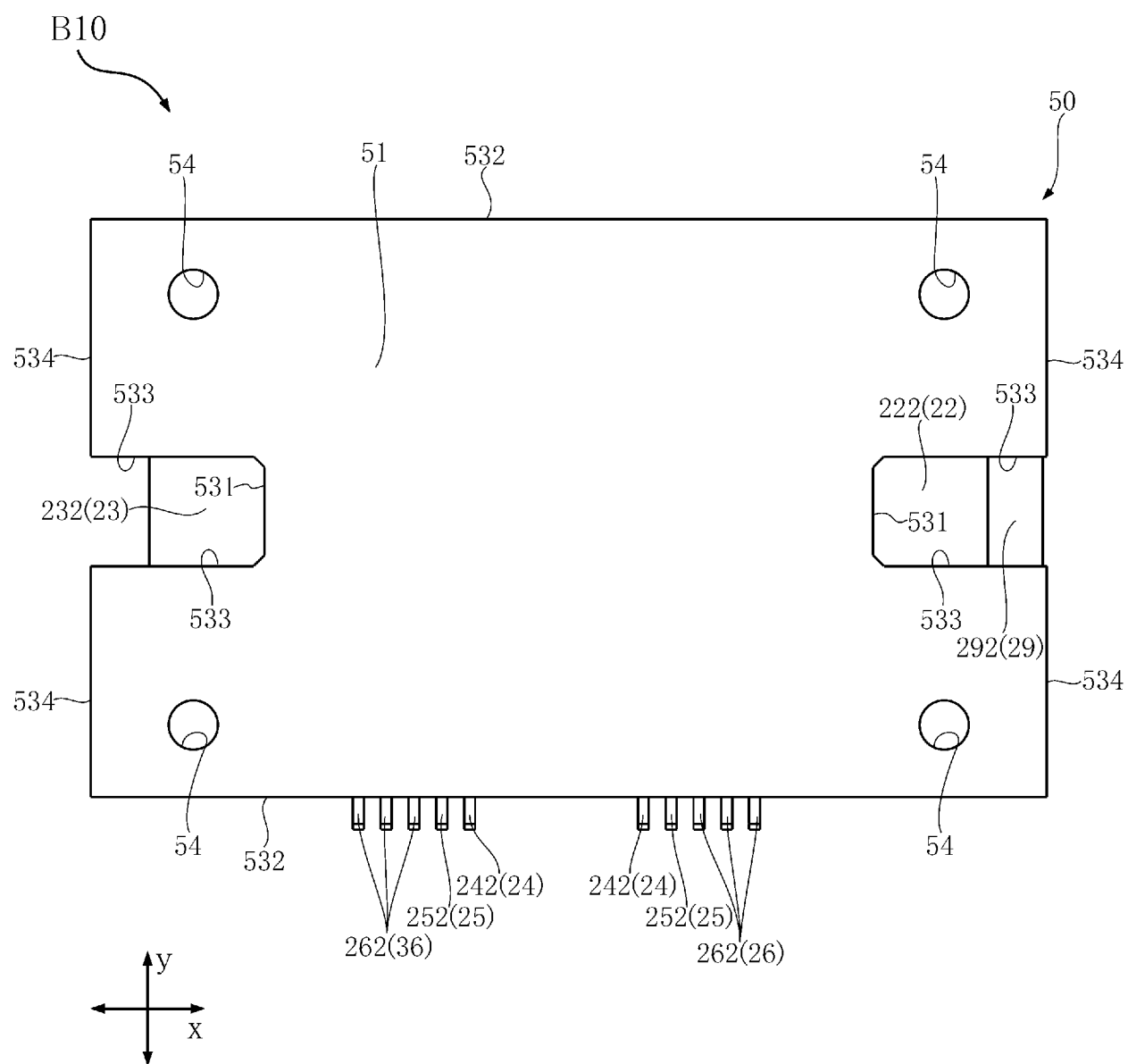
[請求項16] 前記コンデンサに対して直列接続された抵抗器をさらに備える、請求項15に記載の半導体モジュール。

[請求項17] 前記半導体装置は、前記裏面が露出されるように前記複数のスイッチング素子を覆う封止樹脂をさらに備え、

前記第1端子部、前記第2端子部および前記絶縁部材の各々の一部ずつが、前記封止樹脂に覆われている、請求項2ないし16のいずれかに記載の半導体モジュール。

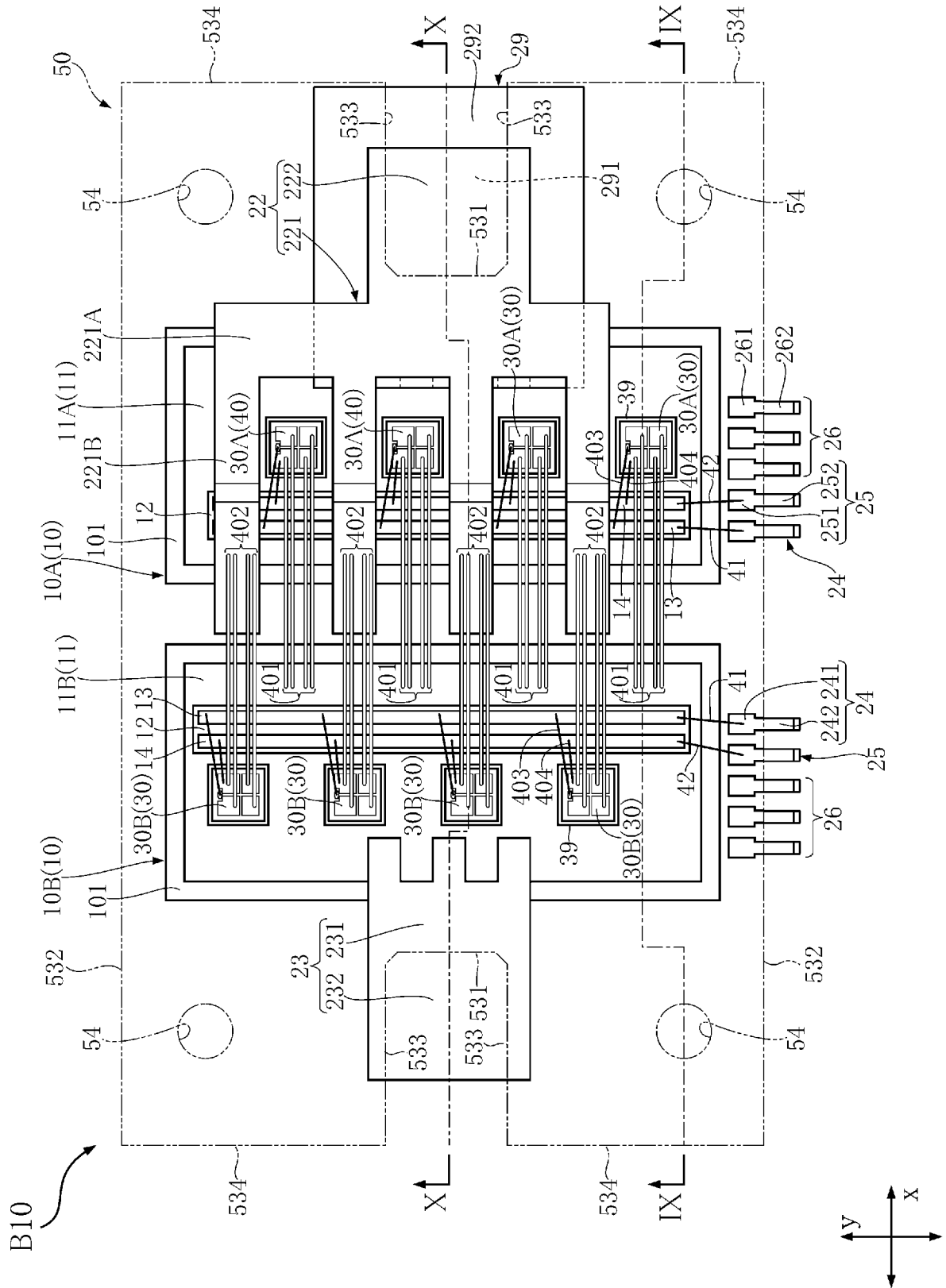
[図1]
FIG.1



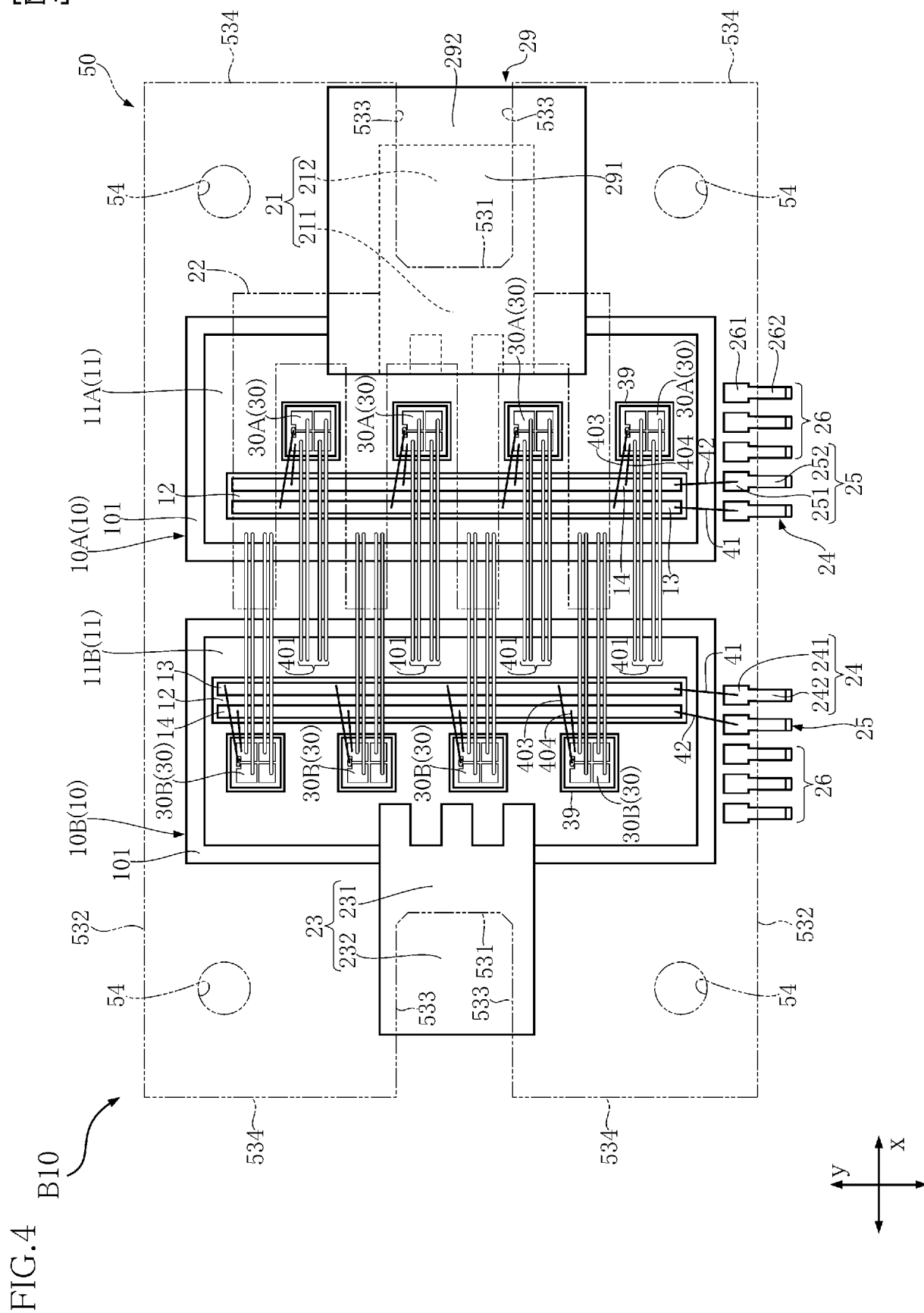
[図2]
FIG.2

[図3]

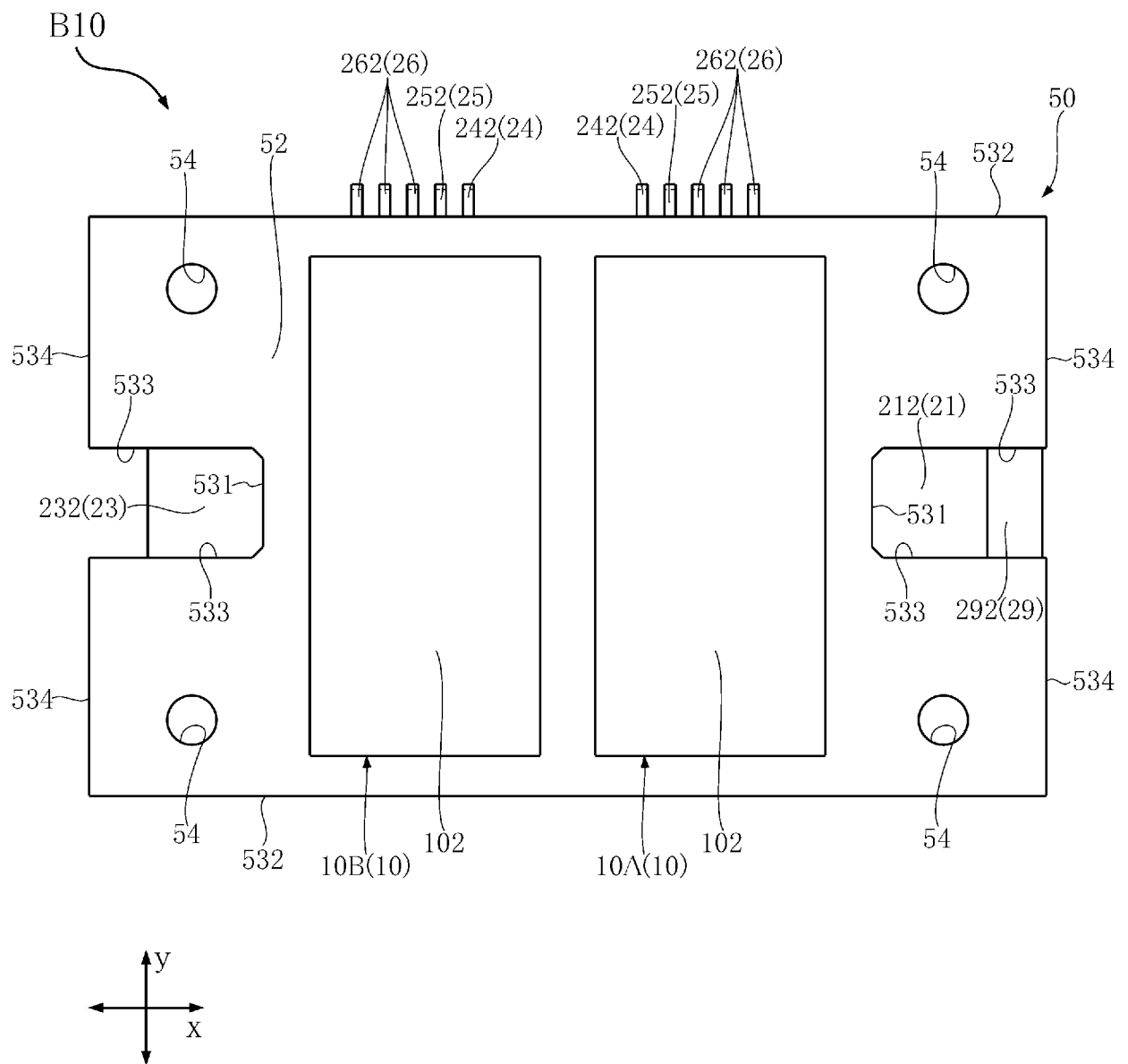
FIG.3

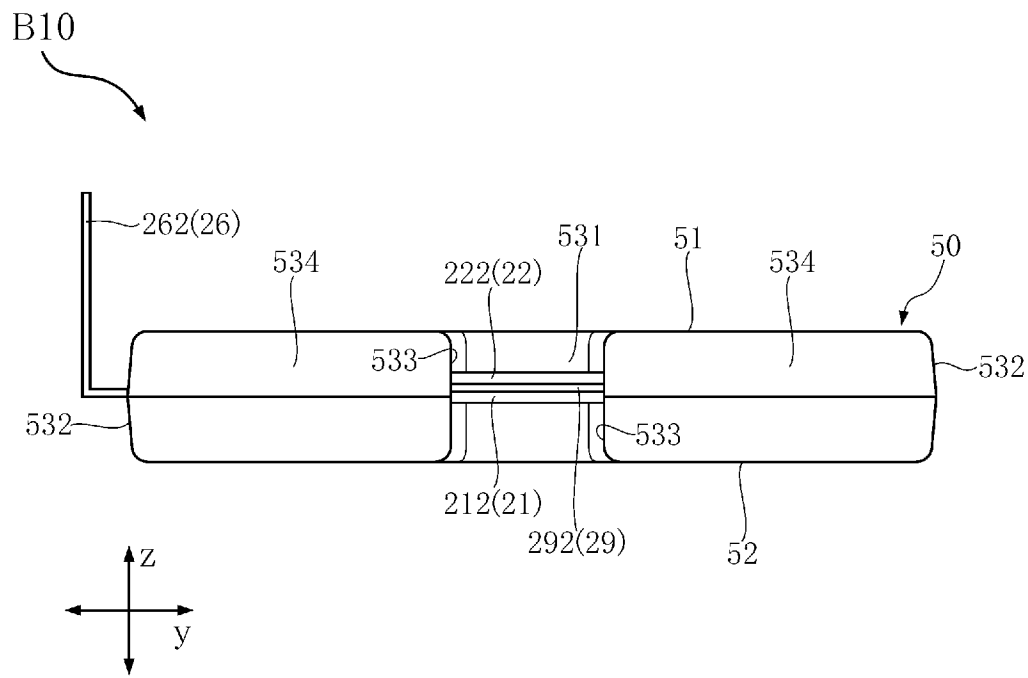
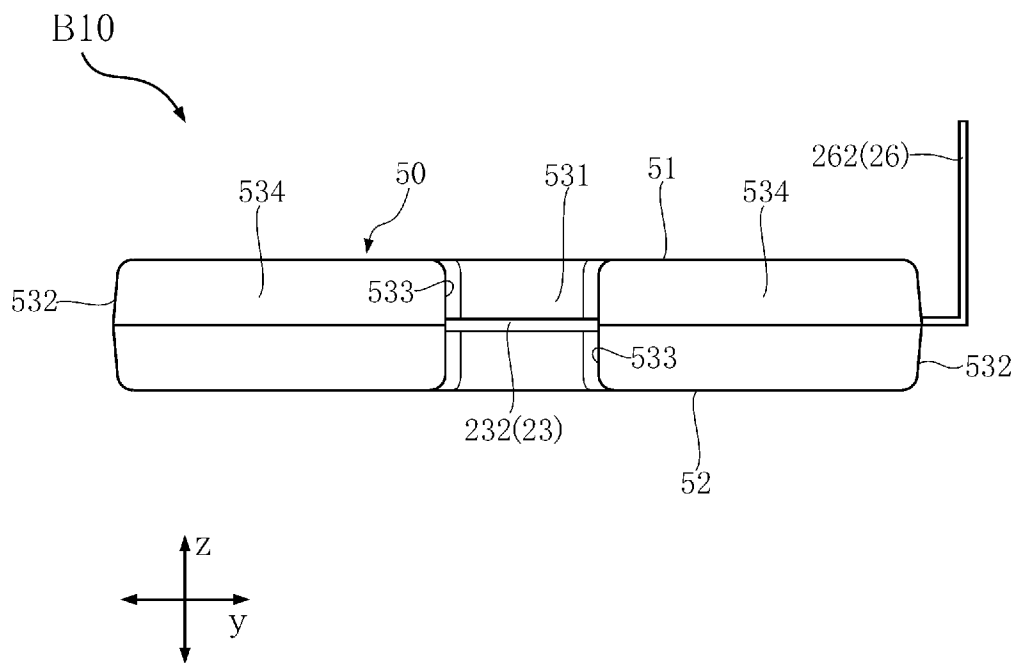


[図4]

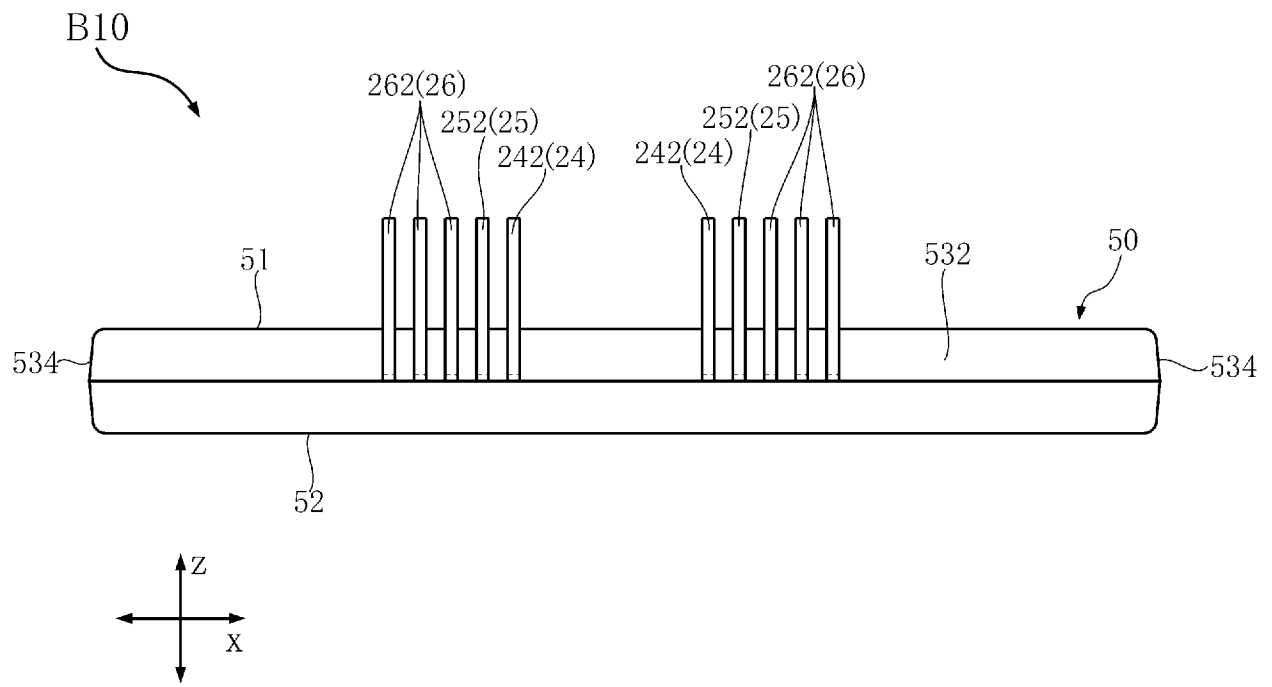


[図5]
FIG.5

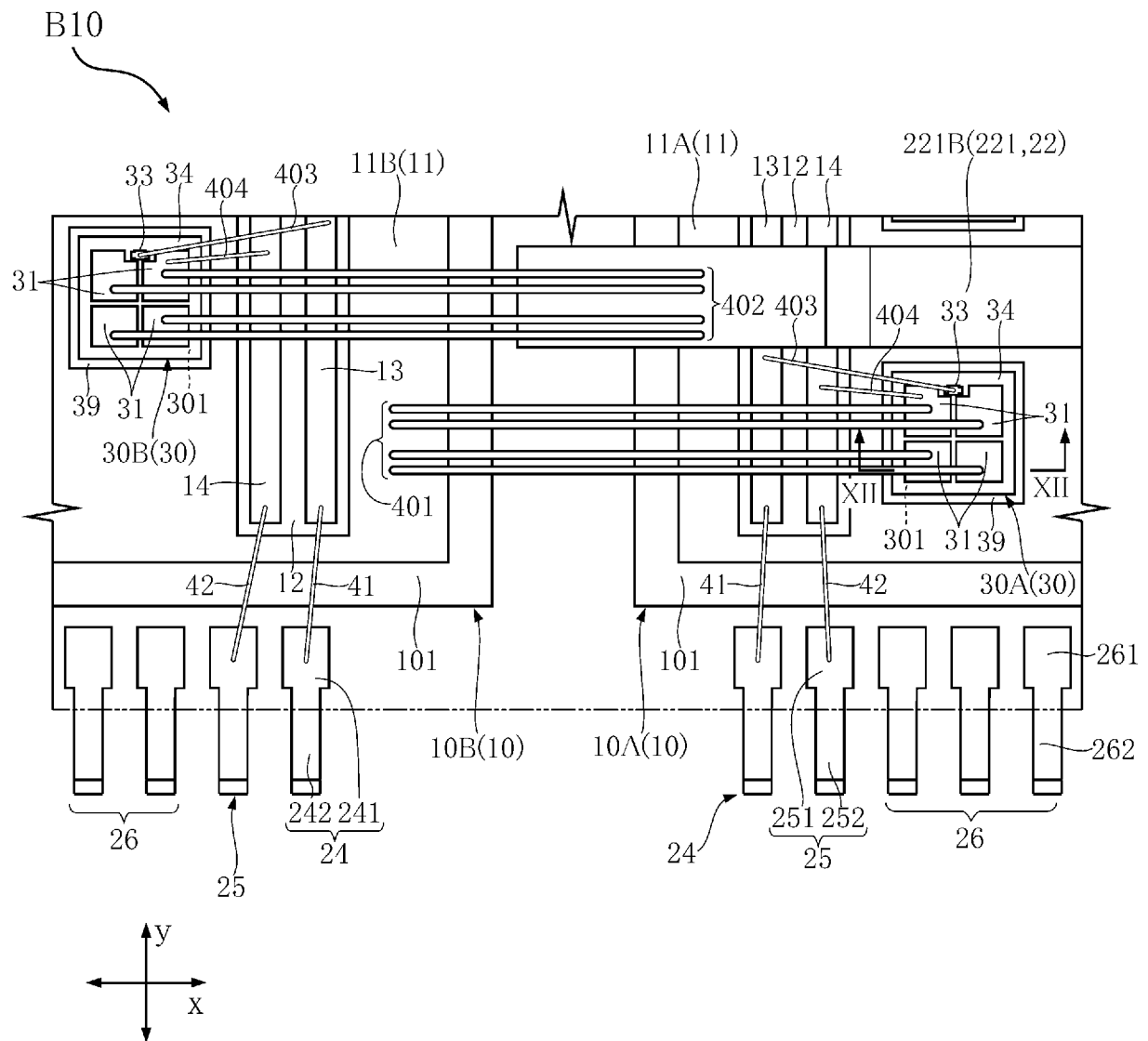


[図6]
FIG.6[図7]
FIG.7

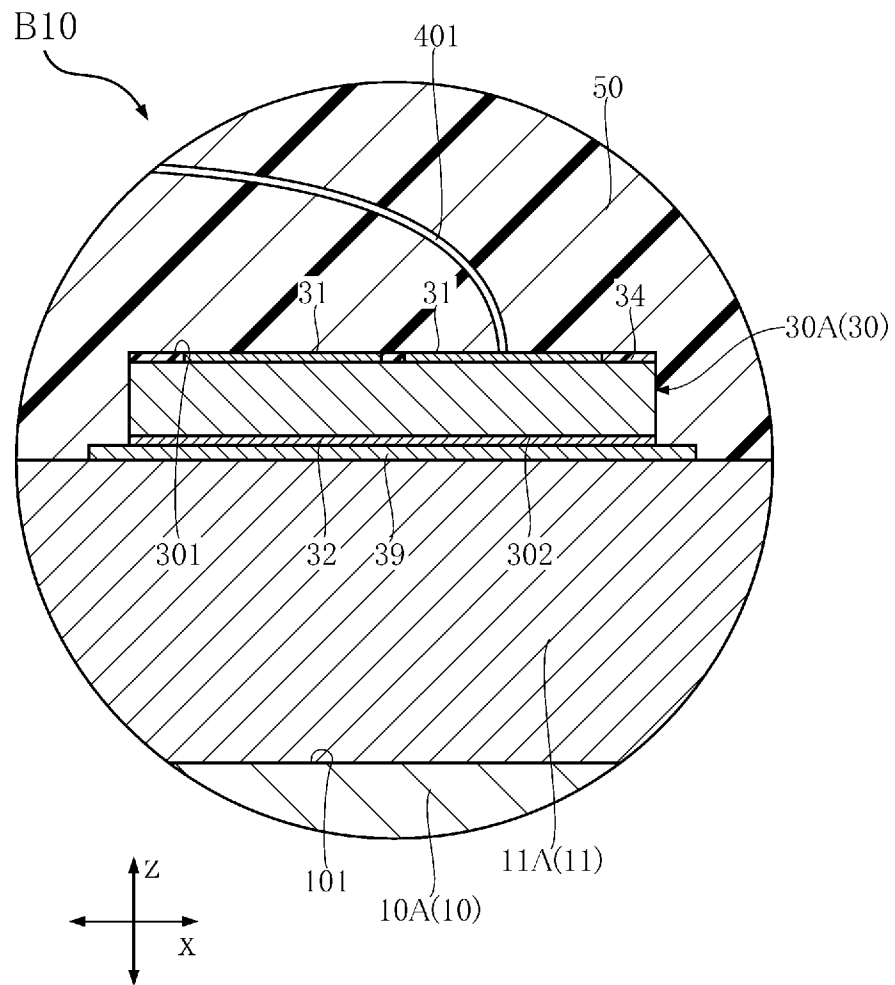
[図8]
FIG.8

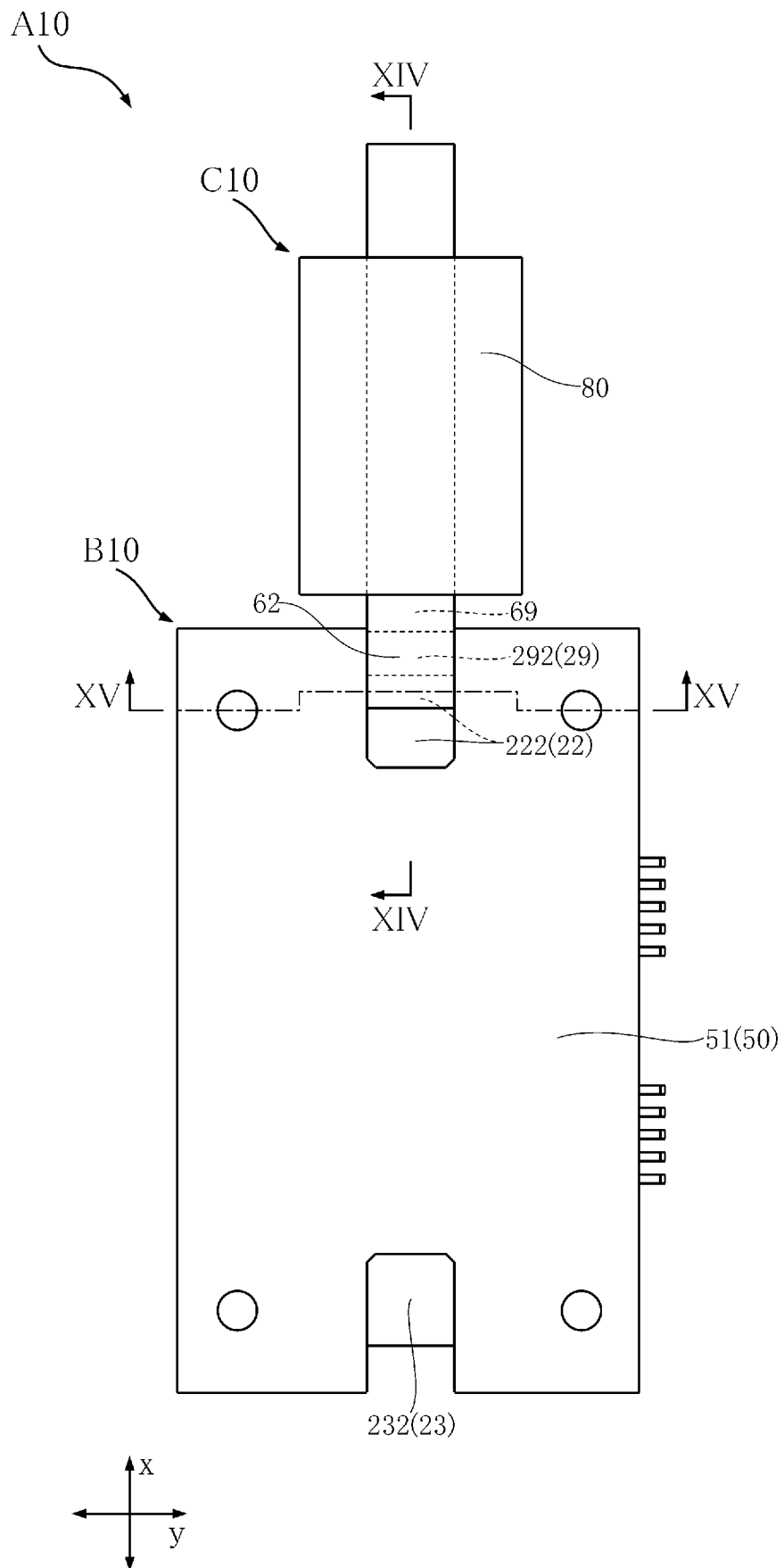


[図11]
FIG.11



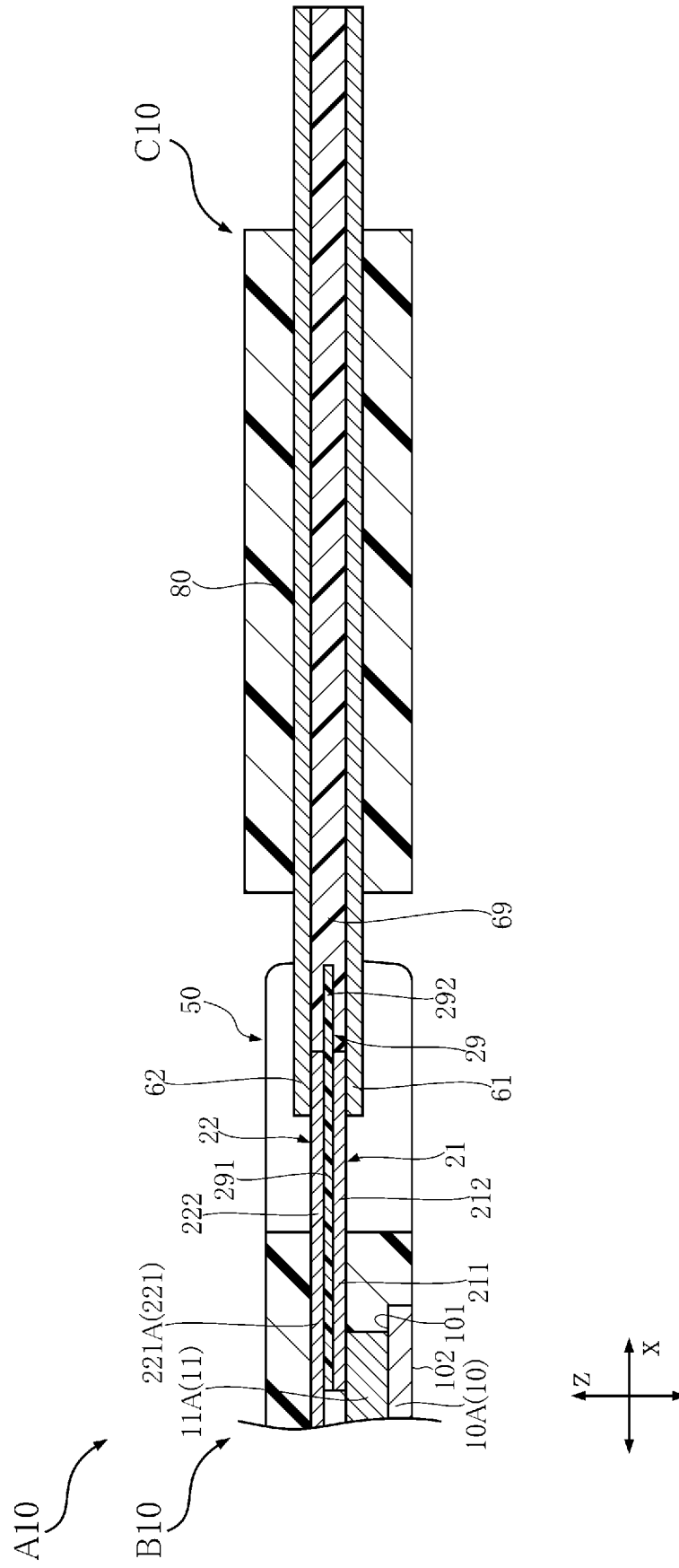
[図12]
FIG.12



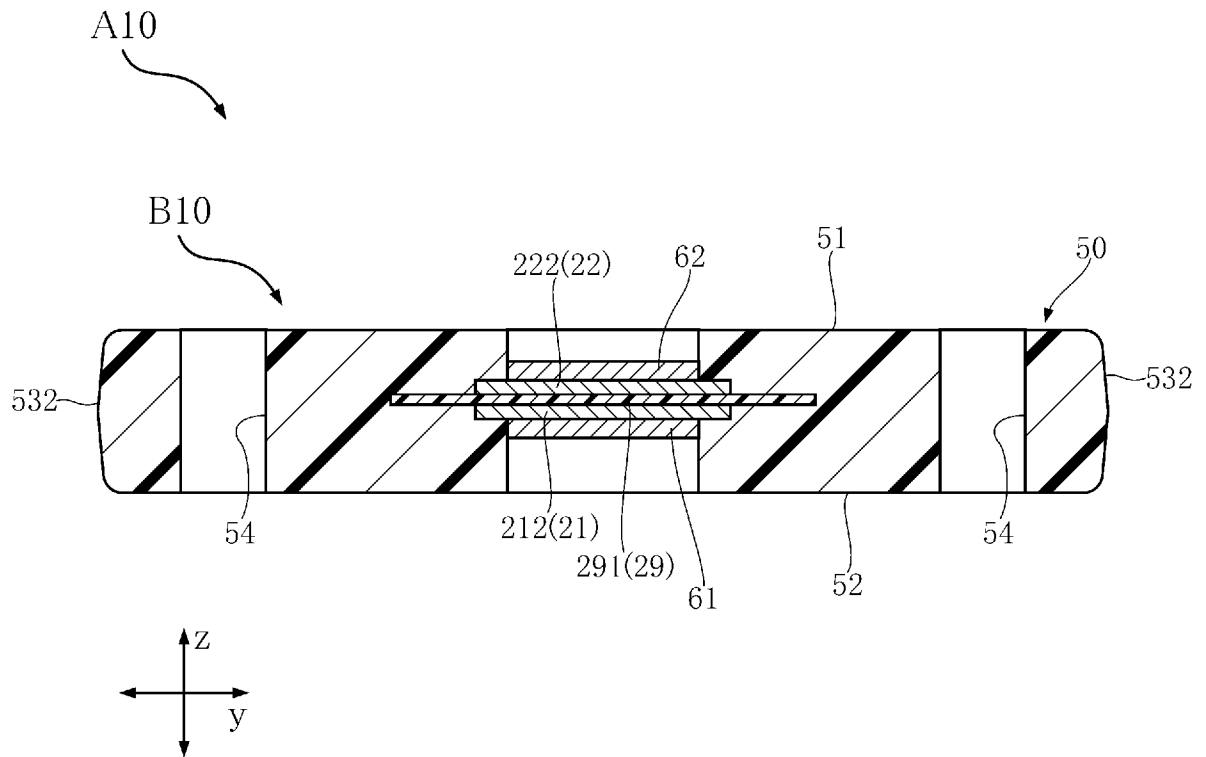
[図13]
FIG.13

[図14]

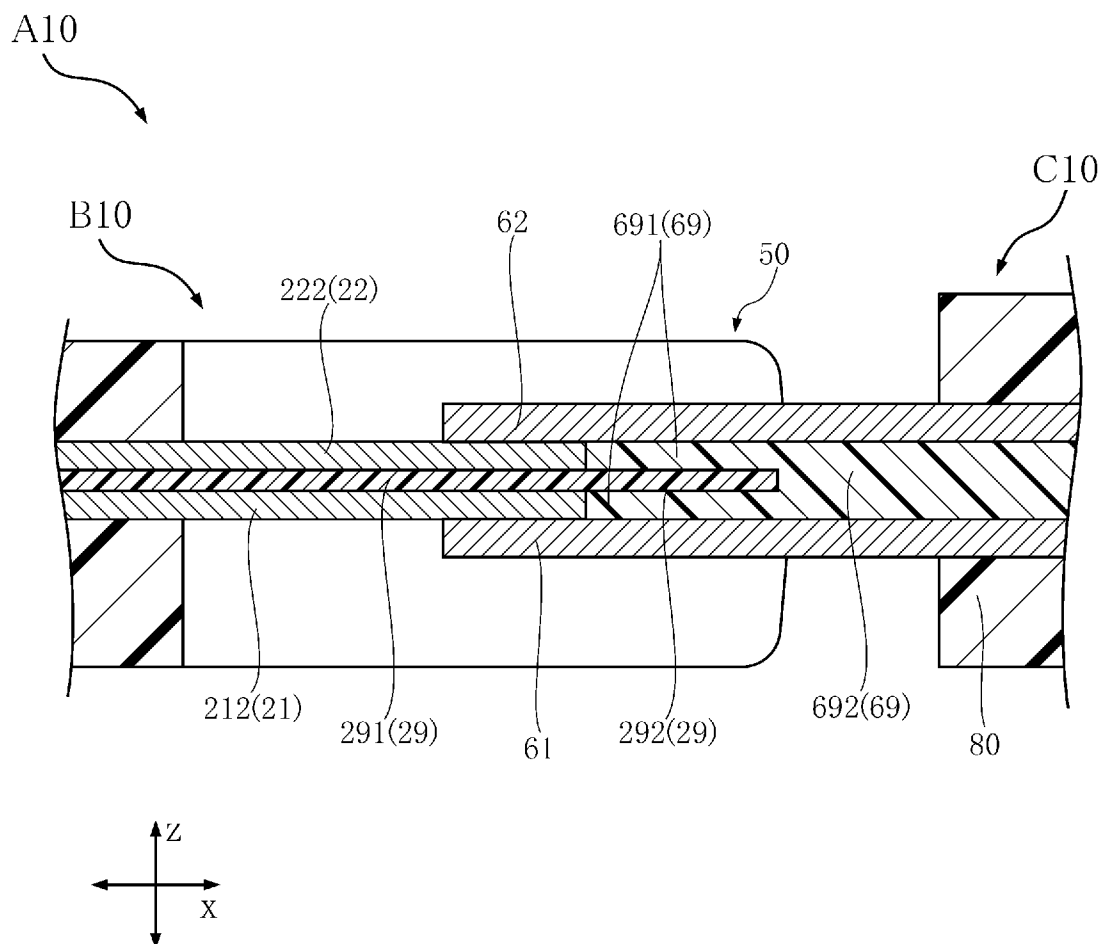
FIG.14

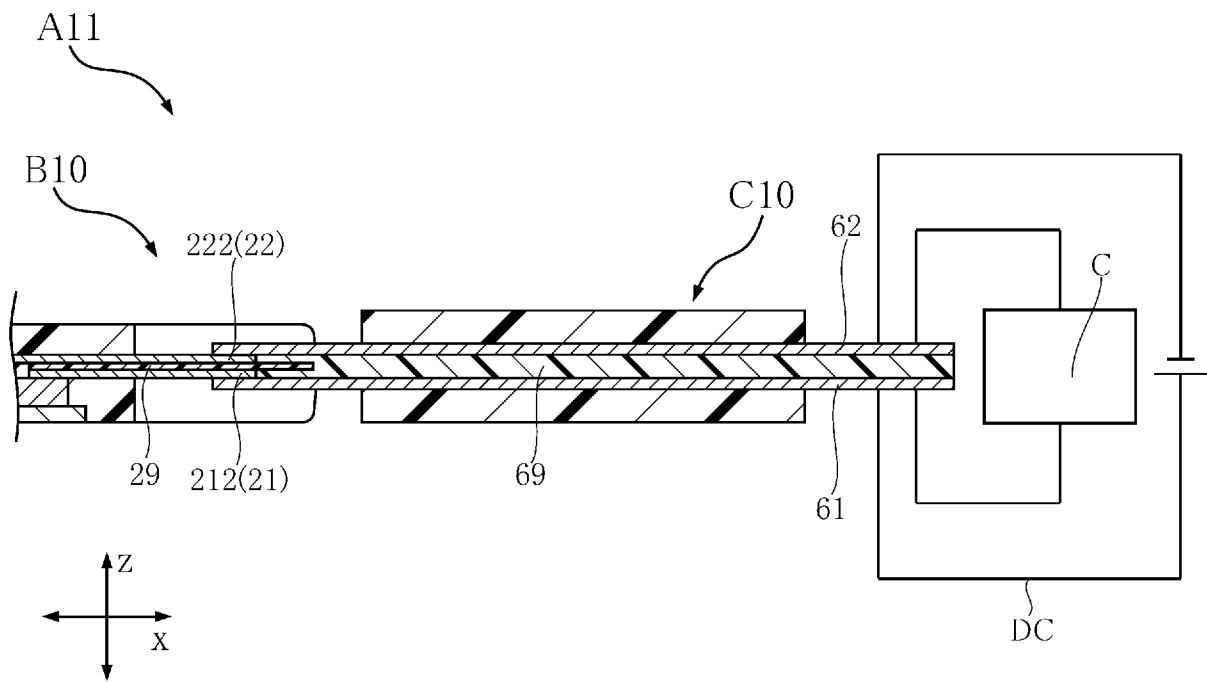
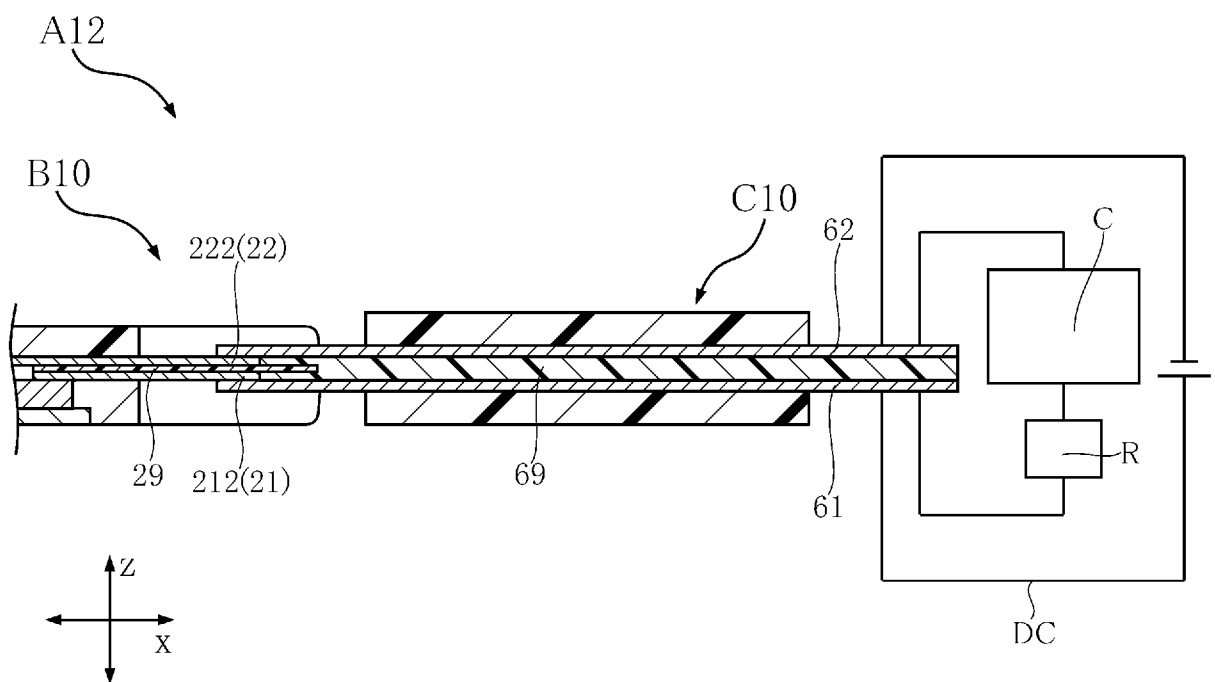


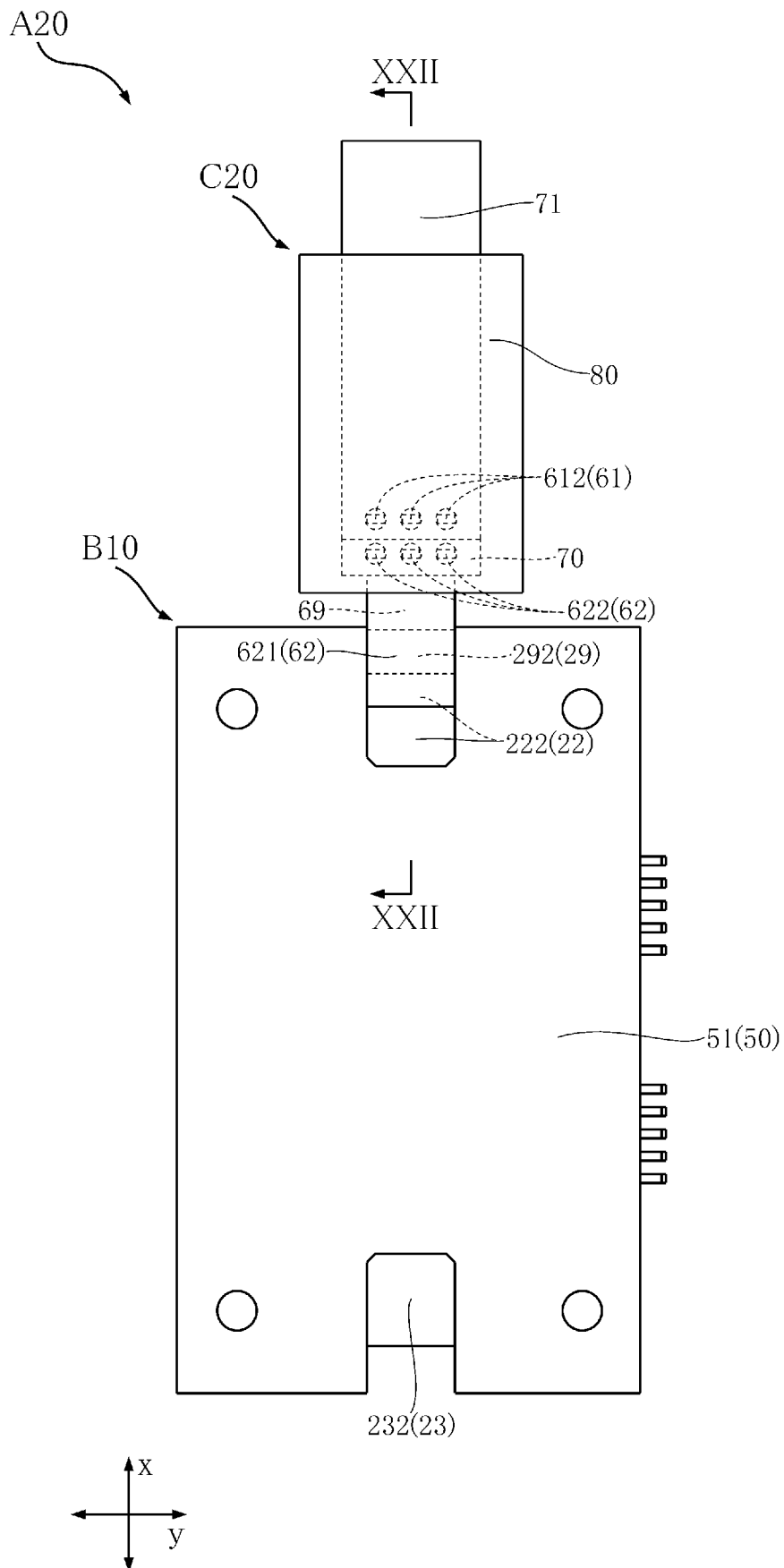
[図15]
FIG.15



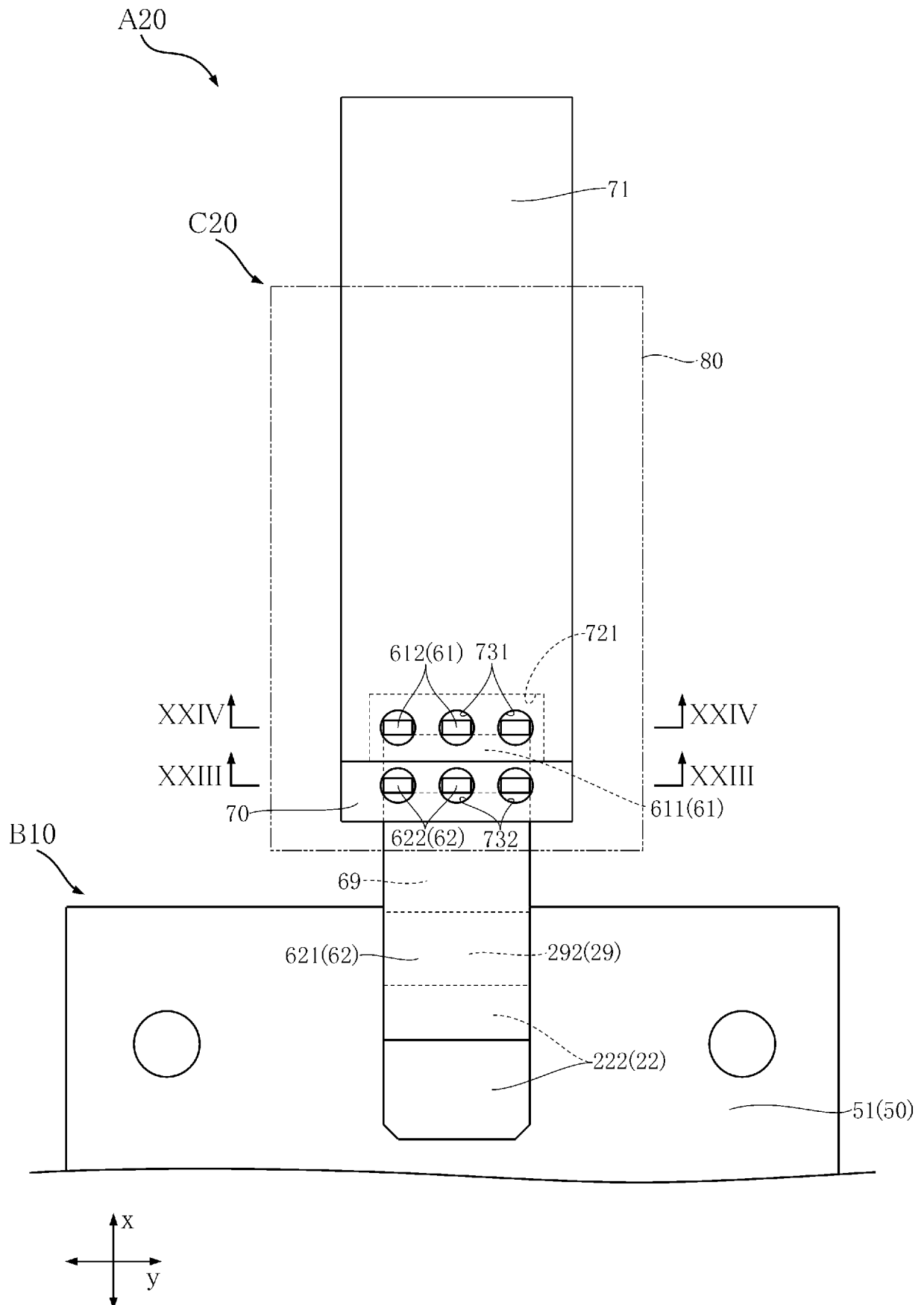
[図16]
FIG.16

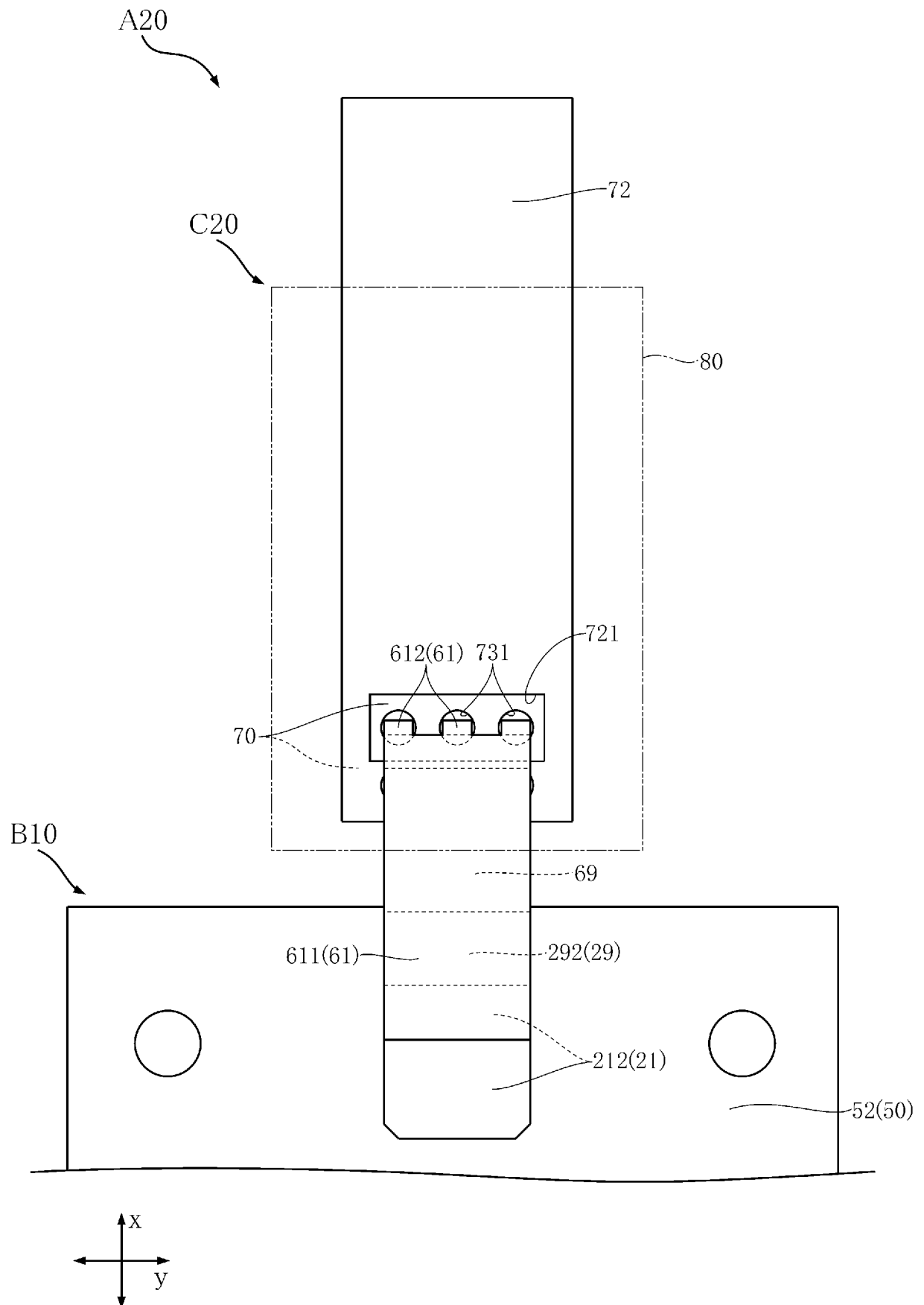


[図17]
FIG.17[図18]
FIG.18

[図19]
FIG.19

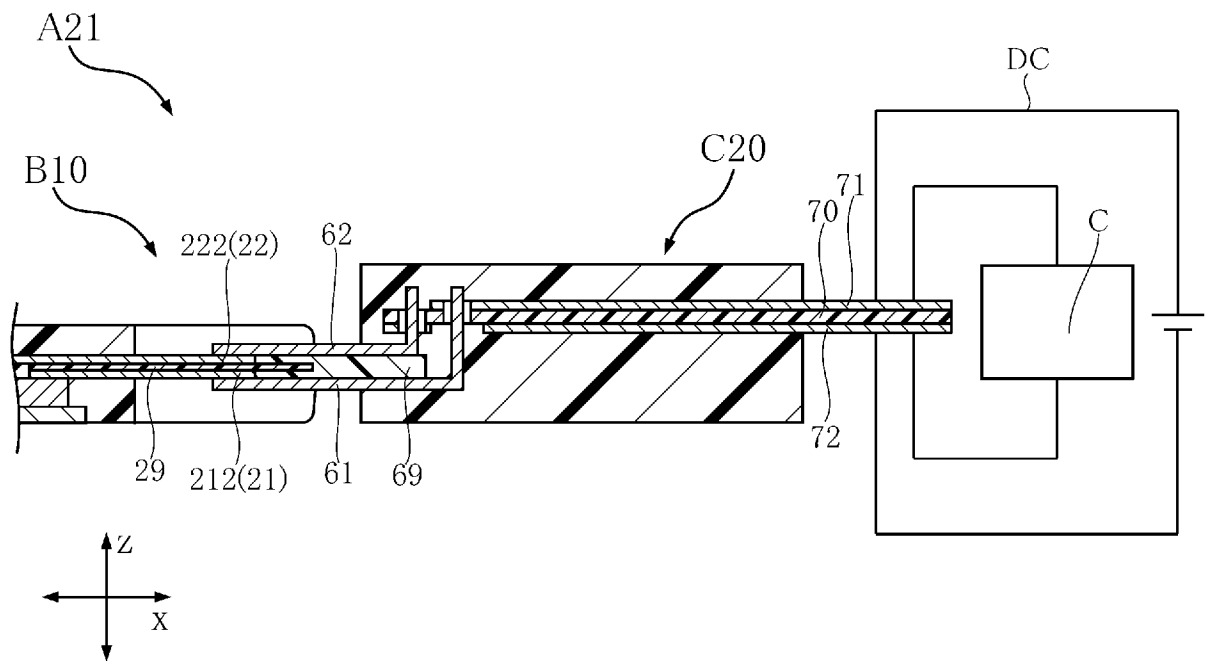
[図20]
FIG.20



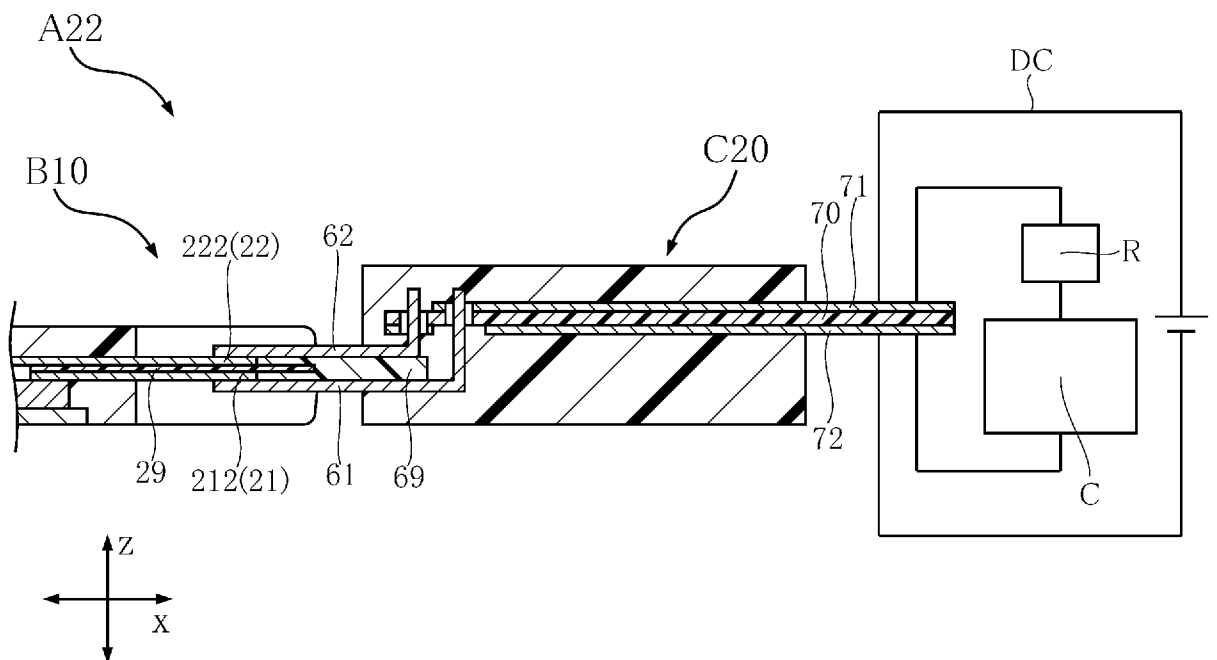
[図21]
FIG.21

A cross-sectional view of a semiconductor device 80. The device is formed on a substrate 80, which is indicated by diagonal hatching. A patterned layer 611(61) is formed on the substrate. A series of vertical structures are formed on the patterned layer. These structures include a central core 612(61) and a surrounding layer 731. The structures are separated by a gap 72. A layer 70 is formed on the top surface of the structures. A layer 71 is formed on the side surface of the structures. A layer 79 is formed on the top surface of the structures. A coordinate system is shown at the bottom left, with a vertical Z-axis and a horizontal y-axis.

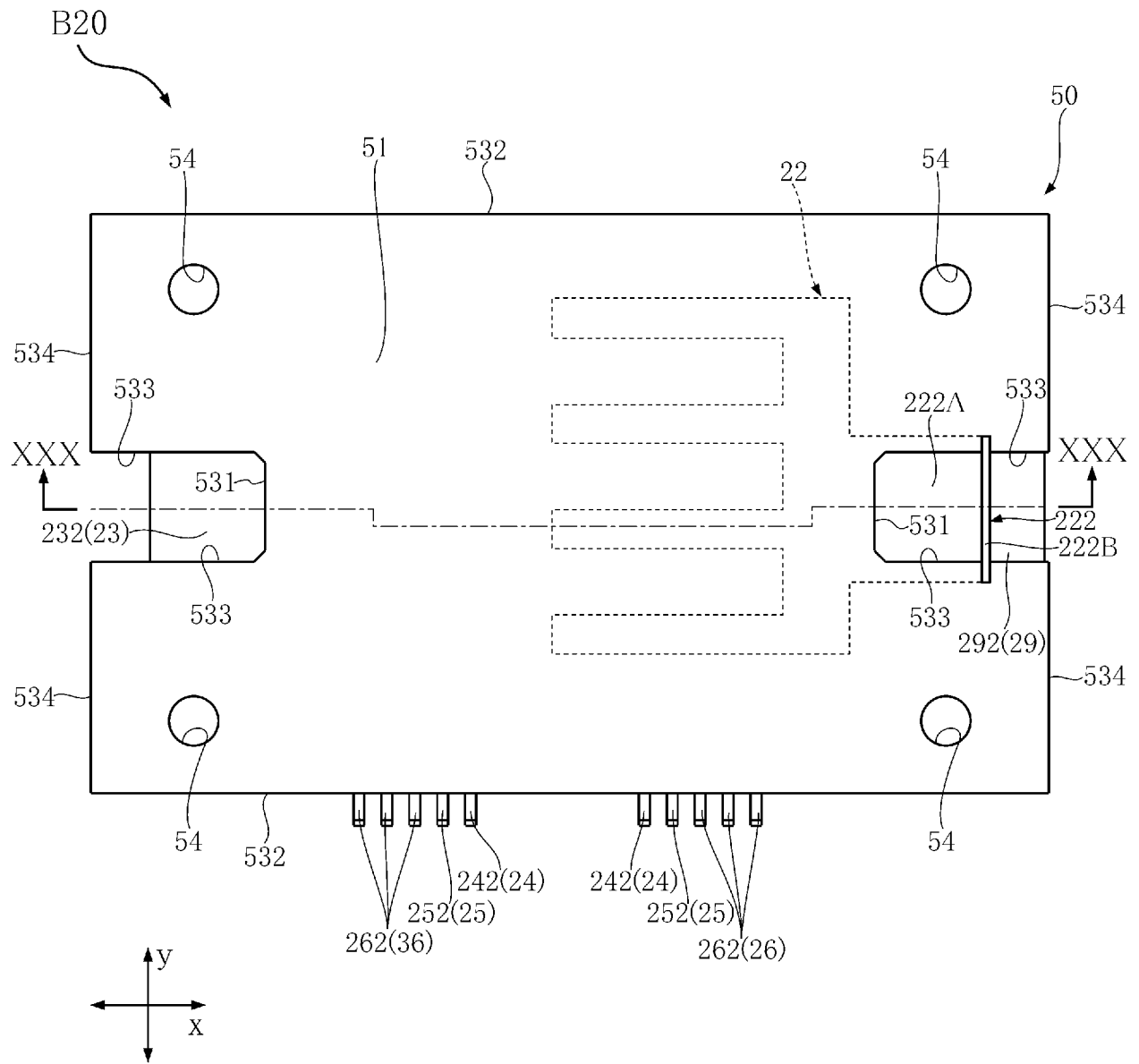
[図25]
FIG.25



[図26]
FIG.26

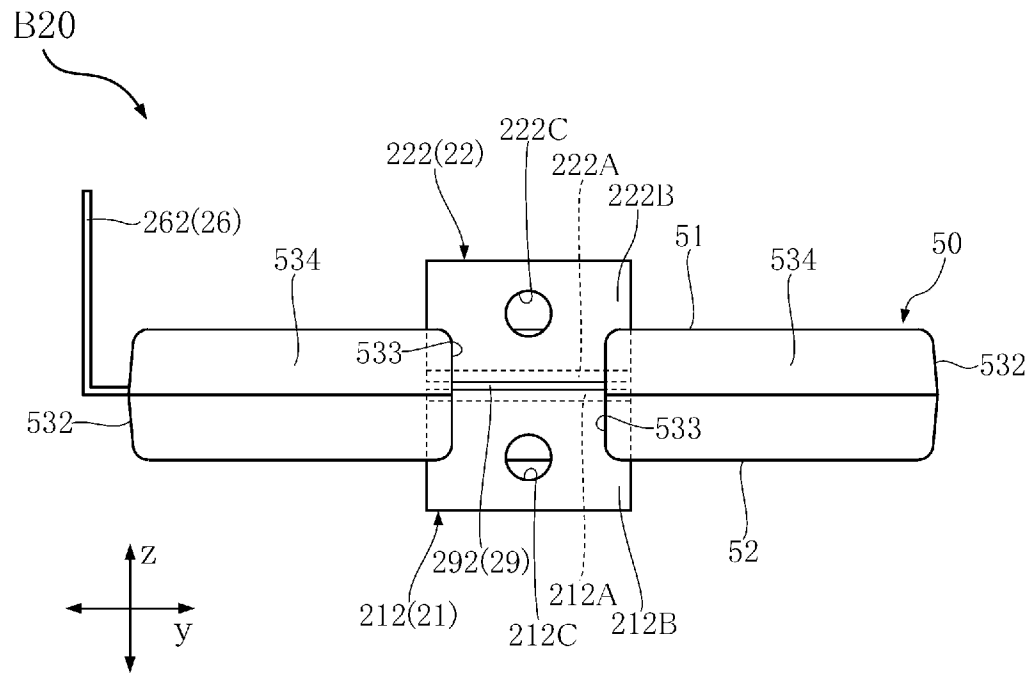


[図27]
FIG.27



The diagram illustrates a plan view of a semiconductor device 50. The device consists of a substrate 52 with two semiconductor chips 10A(10) and 10B(10) mounted on its top surface. The chips are connected to a top surface 21 via bond wires 242(24) and 252(25). The device includes a central region 102, side regions 534, and various openings 54 and 533. A detailed view of a component 21 is shown on the right, including sub-components 212A, 212, and 212B, and a region 292(29). A coordinate system (x, y) is provided at the bottom left.

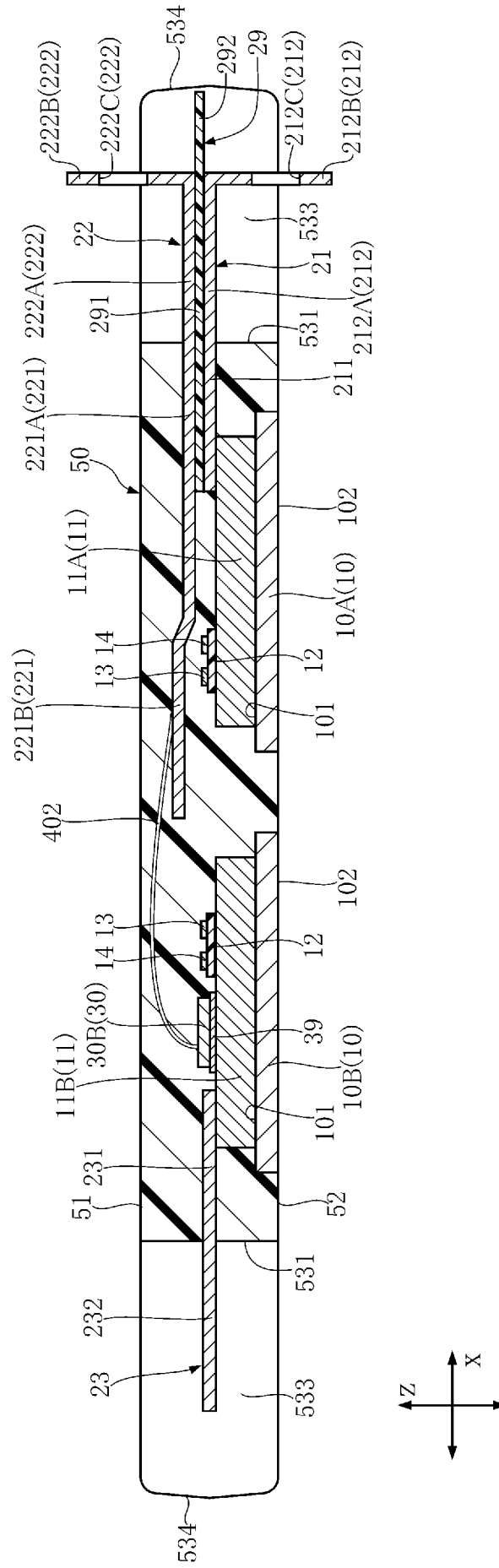
[図29]
FIG.29

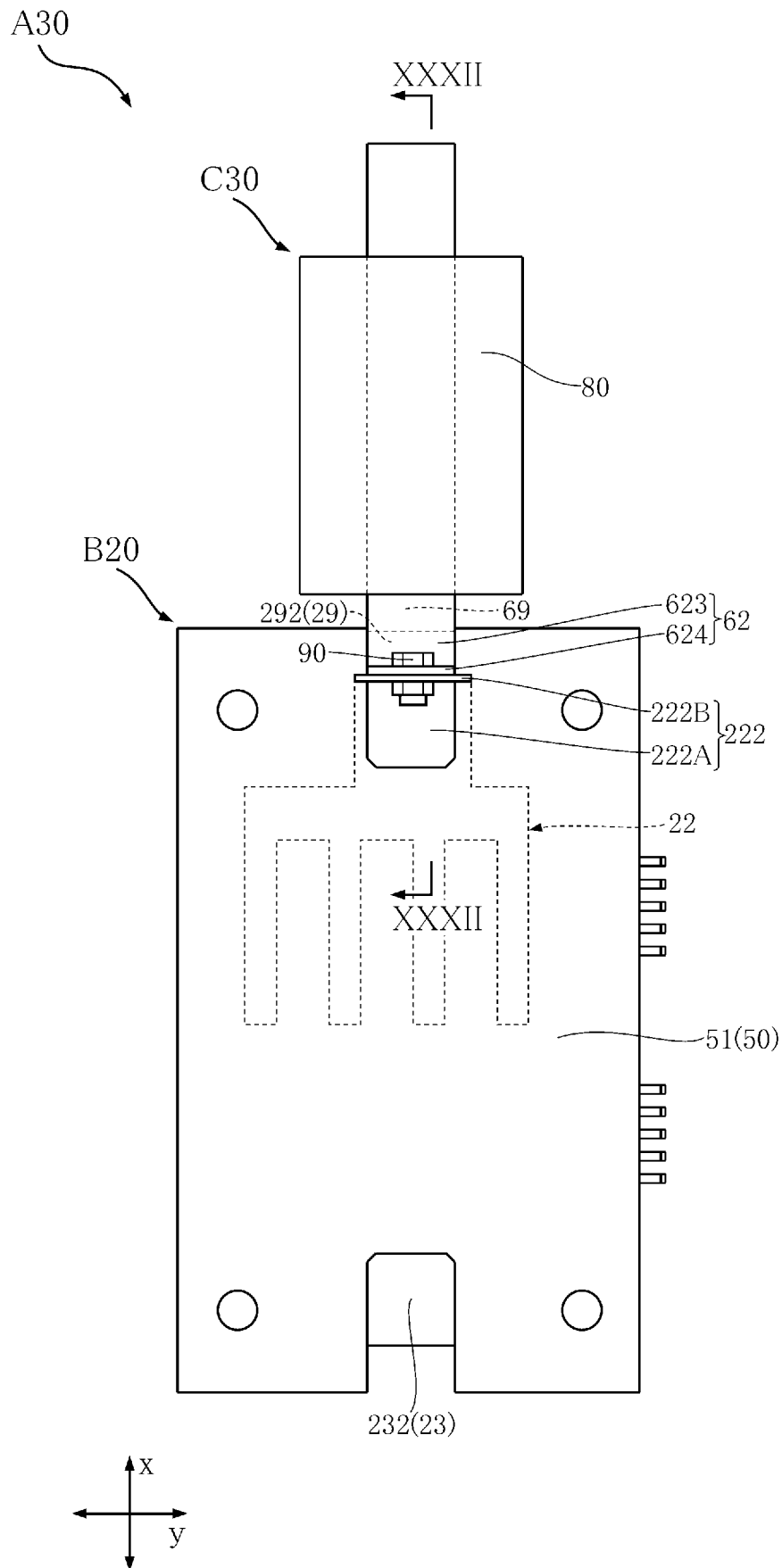


[図30]

FIG.30

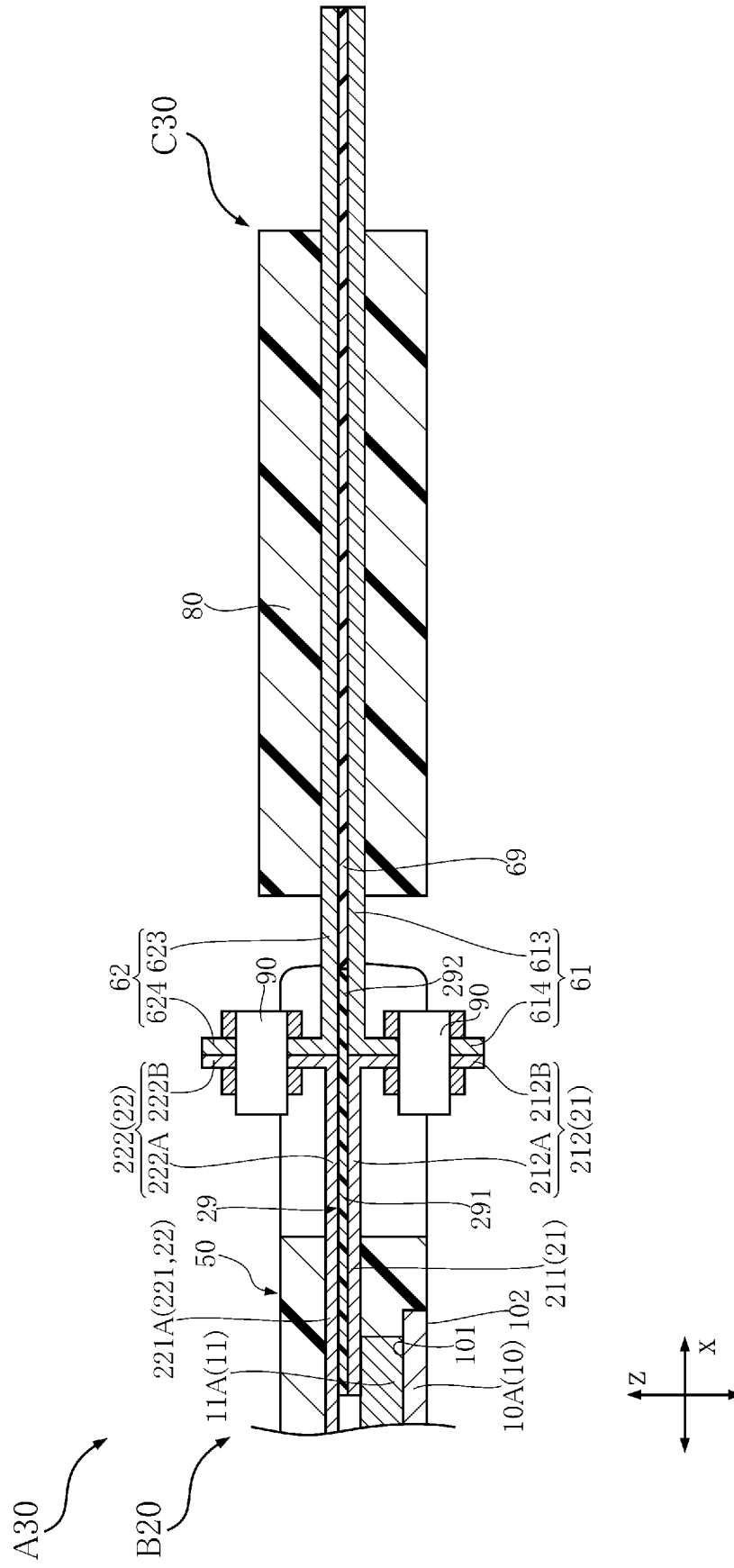
B20



[図31]
FIG.31

[図32]

FIG.32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/019110

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L25/07 (2006.01) i, H01L25/00 (2006.01) i, H01L25/18 (2006.01) i, H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L25/07, H01L25/00, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2017/209191 A1 (ROHM CO., LTD.) 07 December 2017, paragraphs [0014]-[0145], fig. 1-8 & DE 112017002796 T5 & CN 109417067 A	1-3, 15-17 4-14
Y A	WO 2015/162712 A1 (HITACHI, LTD.) 29 October 2015, paragraphs [0019]-[0022], fig. 1 (Family: none)	1-3, 15-17 4-14
Y	JP 2014-53516 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 20 March 2014, paragraphs [0011]-[0020], fig. 1, 2 & WO 2014/038299 A1	15-17
A	JP 2013-153010 A (DENSO CORP.) 08 August 2013, entire text, all drawings (Family: none)	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24.07.2019

Date of mailing of the international search report
06.08.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/019110

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0084661 A1 (GENERAL ELECTRIC COMPANY) 22 March 2018, entire text, all drawings & WO 2018/052683 A1	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/00(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L25/00, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2017/209191 A1（ローム株式会社）2017.12.07, 段落[0014]-[0145], 図1-8 & DE 112017002796 T5 & CN 109417067 A	1-3, 15-17 4-14
Y A	WO 2015/162712 A1（株式会社日立製作所）2015.10.29, 段落[0019]-[0022], 図1 (ファミリーなし)	1-3, 15-17 4-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.07.2019

国際調査報告の発送日

06.08.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川原 光司

5 F

5382

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-53516 A (日立オートモティブシステムズ株式会社) 2014.03.20, 段落[0011]-[0020], 図 1, 2 & WO 2014/038299 A1	15-17
A	JP 2013-153010 A (株式会社デンソー) 2013.08.08, 全文, 全図 (ファミリーなし)	1-17
A	US 2018/0084661 A1 (GENERAL ELECTRIC COMPANY) 2018.03.22, 全文, 全図 & WO 2018/052683 A1	1-17