

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4073098号
(P4073098)

(45) 発行日 平成20年4月9日 (2008.4.9)

(24) 登録日 平成20年2月1日 (2008.2.1)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 W

H O 1 L 21/50 (2006.01)

H O 1 L 21/50 B

H O 1 L 23/28 (2006.01)

H O 1 L 23/28 Z

請求項の数 5 (全 9 頁)

(21) 出願番号 特願平10-328320
 (22) 出願日 平成10年11月18日 (1998.11.18)
 (65) 公開番号 特開2000-150543 (P2000-150543A)
 (43) 公開日 平成12年5月30日 (2000.5.30)
 審査請求日 平成16年6月7日 (2004.6.7)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100131071
 弁理士 ▲角▼谷 浩
 (72) 発明者 谷 孝行
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 兵藤 治雄
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 渋谷 隆生
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

表面に多数の素子搭載部を有し、前記多数の素子搭載部の夫々には、前記素子搭載部の端よりも内側に後退してなる同一形状の導電パターンを有するとともに、前記多数の素子搭載部のうちの第1の素子搭載部の導電パターンと前記第1の素子搭載部と隣接した前記多数の素子搭載部のうちの第2の素子搭載部の導電パターンは、前記第1の素子搭載部と前記第2の素子搭載部の間に設けられた連結部により電氣的に接続され、裏面には前記導電パターンと電氣的に接続され、前記素子搭載部に対応する領域の端よりも後退して設けられた外部電極を有し、前記連結部により前記導電パターンに電解メッキが施された絶縁基板を準備し、

前記素子搭載部の各々の前記メッキ膜と電氣的に接続するとともに、前記素子搭載部に半導体チップを固着し、

各々の前記半導体チップを樹脂層で被覆するように、前記多数の素子搭載部を一括して封止し、隣接した前記素子搭載部の間にある前記樹脂層、前記連結部および前記絶縁基板とをダイシングにより分離して個々の半導体装置を形成する半導体装置の製造方法。

【請求項 2】

複数の搭載部が表面において縦横に位置し、各々の前記搭載部の内側にはアイランド部とリード部の導電パターンが設けられ、前記複数の搭載部のうちの第1の搭載部にあるリード部と前記第1の搭載部と隣接した前記複数の搭載部のうちの第2の搭載部にあるリード部とは、前記アイランド部よりも幅の狭い連結部で電氣的に接続され、前記表面と対

向する裏面には、各々の前記搭載部に対応する領域の端から内側に後退し、前記導電パターンの下に形成されたスルーホールを介して前記連結部と電氣的に接続された複数の外部電極が設けられ、前記連結部を介して電解メッキにより成るメッキ膜が前記導電パターンに設けられた絶縁基板を準備し、

各々の前記搭載部のアイランド部に半導体チップを電氣的に接続して固着し、

各々の前記半導体チップを樹脂層で被覆するように、前記複数の搭載部を一括して封止し、前記搭載部毎に前記樹脂層と前記絶縁基板とをダイシングブレードにて分離して個々の半導体装置を形成する半導体装置の製造方法であって、

前記導電パターンおよび前記外部電極は、前記ダイシングにより形成された面から後退し、前記連結部は、前記ダイシングにより形成された面から露出することを特徴とする半導体装置の製造方法。

10

【請求項 3】

前記絶縁基板は、セラミックまたはガラスエポキシから成る請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記メッキ膜は、金よりなる請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

前記樹脂層は、液状樹脂を滴下した後に硬化されたものである請求項 1 または請求項 2 に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特にパッケージ外形を縮小し、実装面積を低減しコストダウンが可能な半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の製造においては、ウェハからダイシングして分離した半導体チップをリードフレームに固着し、金型と樹脂注入によるトランスファーモールドによってリードフレーム上に固着された半導体チップを封止し、封止された半導体チップを個々の半導体装置毎に分離するという工程が行われている。このリードフレームには短冊状あるいはフープ状のフレームが用いられており、いずれにしろ 1 回の封止工程で複数の半導体装置が同時に封止されている。

30

【0003】

図 6 は、トランスファーモールド工程の状況を示す図である。トランスファーモールド工程では、ダイボンド、ワイヤボンドにより半導体チップ 1 が固着されたリードフレーム 2 を、上下金型 3 A、3 B で形成したキャビティ 4 の内部に設置し、キャビティ 4 内にエポキシ樹脂を注入することにより、半導体チップ 1 の封止が行われる。このようなトランスファーモールド工程の後、リードフレーム 2 を各半導体チップ 1 毎に切断して、個別の半導体装置が製造される（例えば特開平 05 - 129473 号）。

40

【0004】

この時、図 7 に示すように、金型 3 B の表面には多数個のキャビティ 4 a ~ 4 f と、樹脂を注入するための樹脂源 5 と、ランナー 6、及びランナー 6 から各キャビティ 4 a ~ 4 f に樹脂を流し込むためのゲート 7 とが設けられている。これらは全て金型 3 B 表面に設けた溝である。短冊状のリードフレームであれば、1 本のリードフレームに例えば 10 個の半導体チップ 1 が搭載されており、1 本のリードフレームに対応して、10 個のキャビティ 4 と 10 本のゲート 7、及び 1 本のランナー 6 が設けられる。そして、金型 3 表面には例えばリードフレーム 20 本分のキャビティ 4 が設けられる。

【0005】

図 8 は、上記のトランスファーモールドによって製造した半導体装置を示す図である。ト

50

ランジスタ等の素子が形成された半導体チップ１がリードフレームのアイランド８上に半田等のろう材９によって固着実装され、半導体チップ１の電極パッドとリード１０とがワイヤ１１で接続され、半導体チップ１の周辺部分が上記キャビティの形状に合致した樹脂１２で被覆され、樹脂１２の外部にリード端子１０の先端部分が導出されたものである。

【０００６】

【発明が解決しようとする課題】

従来のパッケージでは、外部接続用のリード端子１０を樹脂１２から突出させるので、リード端子１０の先端部までの距離を実装面積として考慮しなくてはならず、樹脂１２の外形寸法より実装面積の方が遥かに大きくなるという欠点がある。

【０００７】

また、従来のトランスファーマールド技術では、圧力をかけ続けた状態で硬化させることから、ランナー６とゲート７においても樹脂が硬化し、このランナー６等に残った樹脂は廃棄処分となる。そのため、上記のリードフレームを用いた手法では、製造すべき半導体装置個々にゲート７を設けるので、樹脂の利用効率が悪く、樹脂の量に対して製造できる半導体装置の個数が少ないという欠点があった。

【０００８】

【課題を解決するための手段】

本発明は、上述した各事情に鑑みて成されたものであり、多数の素子搭載部を有する絶縁基板を準備し、前記素子搭載部の各々に半導体チップを固着し、前記各々の半導体チップを樹脂層で被覆し、前記素子搭載部毎に前記樹脂層と前記絶縁基板とを分離して個々の半導体素子を形成する半導体装置の製造方法において、前記絶縁基板の裏面側に、前記半導体チップの外部接続電極となる電極パターンを設け、該電極パターンを、分離した絶縁基板の端部から内側に後退させたことを特徴とするものである。

【０００９】

【発明の実施の形態】

以下に本発明の実施の形態を詳細に説明する。

【００１０】

第１工程：

まず、図１に示したような、１個の半導体装置に対応する搭載部２０を複数個分、例えば１００個分を縦横に配置した、大判の共通基板２１を準備する。共通基板２１は、セラミックやガラスエポキシ等からなる絶縁基板であり、それらが１枚あるいは数枚重ね合わされて、合計の板厚が２５０～３５０μｍと製造工程における機械的強度を維持し得る板厚を有している。以下は、第１の絶縁基板２２（板厚：約１００μｍ）の上に第２の絶縁基板２３（板厚：約２００μｍ）を重ね合わせて、大判の共通基板を形成した例を説明する。

【００１１】

共通基板２１の各搭載部２０の表面には、タングステン等の金属ペーストの印刷と、金の電解メッキによる導電パターンが形成されている。これらは、各々金属ペーストの印刷を終了した第１と第２の絶縁基板２２、２３を張り合わせ、焼成し、そして電解メッキ法によって金属ペースト上に金メッキ層を形成することによって得られる。

【００１２】

図２（Ａ）は第１の絶縁基板２２の表面に形成した導電パターンを示す平面図、図２（Ｂ）は第１の絶縁基板２２の裏面側に形成した導電パターンを示す平面図である。

【００１３】

点線で囲んだ各搭載部２０は、例えば長辺×短辺が１．０ｍｍ×０．８ｍｍの矩形形状を有しており、これらは互いに２０～５０μｍの間隔を隔てて縦横に配置されている。前記間隔は後の工程でのダイシングライン２４となる。導電パターンは、各搭載部２０内においてアイランド部２５とリード部２６を形成し、これらのパターンは各搭載部２０内において同一形状である。アイランド部２５は半導体チップを搭載する箇所であり、リード

10

20

30

40

50

部 2 6 は半導体チップの電極パッドとワイヤ接続する箇所である。アイランド部 2 5 から 2 本の第 1 の連結部 2 7 が連続したパターンで延長される。これらの線幅はアイランド部 2 5 よりも狭い線幅で、例えば 0 . 5 mm の線幅で延在する。第 1 の連結部 2 7 はダイシングライン 2 4 を超えて隣の搭載部 2 0 のリード部 2 6 に連結するまで延在する。更に、リード部 2 6 からは各々第 2 の連結部 2 8 が、第 1 の連結部 2 7 とは直行する方向に延在し、ダイシングライン 2 4 を超えて隣の搭載部 2 0 のリード部 2 6 に連結するまで延在する。第 2 の連結部 2 8 は更に、搭載部 2 0 周囲を取り囲む共通連結部 2 9 に連結する。このように第 1 と第 2 の連結部 2 7、2 8 が延在することによって、各搭載部 2 0 のアイランド部 2 5 とリード部 2 6 とを電氣的に共通接続する。

【 0 0 1 4 】

10

図 2 (B) を参照して、第 1 の絶縁基板 2 2 には、各搭載部 2 0 毎にスルーホール 3 0 が設けられている。スルーホール 3 0 の内部はタングステンなどの導電材料によって埋設されている。そして、各スルーホール 3 0 に対応して、裏面側に外部電極 3 1 a、3 1 b、3 1 c、3 1 d を形成する。これらの外部電極 3 1 a、3 1 b、3 1 c、3 1 d は、搭載部 2 0 の端から 0 . 0 5 ~ 0 . 1 mm 程度後退されたパターンで形成されている。電氣的には、各スルーホール 3 0 を介して共通連結部 2 9 に接続される。

【 0 0 1 5 】

図 3 (A) は第 2 の絶縁基板 2 3 を張り合わせた状態を示す平面図、図 3 (B) は同じく断面図である。

【 0 0 1 6 】

20

第 2 の絶縁基板 2 3 にはアイランド部 2 5 の上部を開口する開口部 4 0 が設けられ、リード部 2 6 に対応する箇所には同じくリード部 3 2 a、3 2 b が設けられる。第 2 の絶縁基板 2 3 のリード部 3 2 a、3 2 b の下にはスルーホール 3 0 が設けられ、各々が第 1 の絶縁基板 2 2 表面のリード部 2 6 に電気接続する。従って、リード部 3 2 a、3 2 b は各々外部電極 3 1 c、3 1 d に電気接続される。

【 0 0 1 7 】

これらのリード部 3 2 a、3 2 b もまた、各搭載部 2 0 の端からは 0 . 0 5 ~ 0 . 1 mm 程度後退されたパターンで形成されている。即ち、ダイシングライン 2 4 を横断するのは線幅が狭い第 1 と第 2 の連結部 2 7、2 8 だけである。

【 0 0 1 8 】

30

そして、第 1 と第 2 の絶縁基板 2 2、2 3 を張り合わせた状態で、導電パターンを一方の電極とする電解メッキにより、導電パターンの上に金メッキ層を形成する。各導電パターンは共通連結部 2 9 によって電気接続されているので、電解メッキ手法を用いることが可能となる。但し第 1 と第 2 の絶縁基板 2 2、2 3 の張り合わせ面には形成されない。

【 0 0 1 9 】

第 2 工程：図 4 (A) 参照

斯様に金メッキ層を形成した共通基板 2 1 の各搭載部 2 0 毎に、半導体チップ 3 3 をダイボンド、ワイヤボンドする。半導体チップ 3 3 はアイランド部 2 5 表面に A g ベーストなどの接着剤によって固定し、半導体チップ 3 3 の電極パッドとリード部 3 2 a、3 2 b とを各々ワイヤ 3 4 で接続する。半導体チップ 3 3 としては、バイポーラトランジスタ、
パワー M O S F E T 等の 3 端子の能動素子を形成している。パワー M O S F E T であれば、外部電極 3 1 a、3 1 b がドレイン電極となり、外部電極 3 1 c、3 1 d が各々ソース電極とゲート電極になる。

40

【 0 0 2 0 】

第 3 工程：図 4 (B) 参照

共通基板 2 1 の上方に移送したディスペンサから所定量のエポキシ系液体樹脂を滴下 (ポッティング) し、すべての半導体チップ 3 3 を共通の樹脂層 3 5 で被覆する。例えば一枚の共通基板 2 1 に 1 0 0 個の半導体チップ 3 3 を搭載した場合は、1 0 0 個全ての半導体チップ 3 3 を一括して被覆する。前記液体樹脂として例えば C V 5 7 6 A N (松下電工製) を用いた。滴下した液体樹脂は比較的粘性が高く、表面張力を有しているので、その表

50

面が湾曲する。

【 0 0 2 1 】

第 4 工程：図 4 (C) 参照

樹脂層 3 5 の湾曲した表面を、平坦面に加工する。加工するには、樹脂が硬化する前に平坦な成形部材を押圧して平坦面に加工する手法と、滴下した樹脂層 3 5 を 1 0 0 ~ 2 0 0 度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を研削することによって平坦面に加工する手法とが考えられる。研削にはダイシング装置を用い、ダイシングブレードによって樹脂層 3 5 の表面が共通基板 2 1 から一定の高さに揃うように、樹脂層 3 5 表面を削る。この工程では、樹脂層 3 5 の膜厚を 0 . 3 ~ 1 . 0 m m に成形する。平坦面は、少なくとも最も外側に位置する半導体チップ 3 3 を個別半導体装置に分離したときに、規格化したパッケージサイズの樹脂外形を構成できるように、その端部まで拡張する。前記ブレードには様々な板厚のものが準備されており、比較的厚めのブレードを用いて、切削を複数回繰り返すことで全体を平坦面に形成する。

10

【 0 0 2 2 】

第 5 工程：図 4 (D) 参照

次に、搭載部 2 0 毎に樹脂層 3 5 を切断して各々の半導体装置に分離する。切断にはダイシング装置を用い、ダイシングブレード 3 6 によってダイシングライン 2 4 に沿って樹脂層 3 5 と共通基板 2 1 とを同時に切断することにより、搭載部 2 0 毎に分割した半導体装置を形成する。ダイシング工程においては共通基板 2 1 の裏面側にブルーシート（たとえば、商品名：UV シート、リンテック株式会社製）を貼り付け、前記ダイシングブレードがブルーシートの表面に到達するような切削深さで切断する。この時には、共通基板 2 1 の表面にあらかじめ形成した合わせマークをダイシング装置側で自動認識し、これを位置基準として用いてダイシングする。

20

【 0 0 2 3 】

図 5 は、上述の工程によって形成された各半導体装置 3 3 を示す図である。（ A ）が平面図、（ B ）が断面図、（ C ）が裏面図である。

【 0 0 2 4 】

パッケージの周囲 4 側面は、樹脂層 3 5 と共通基板 2 1 の切断面で形成され、パッケージの上面は平坦化した樹脂層 3 5 の表面で形成され、パッケージの下面は第 1 の絶縁基板 2 2 の裏面側で形成される。第 2 の絶縁基板 2 3 は、リード部 3 2 a、3 2 b とアイランド部 2 5 とに高さの差を与える。また、第 2 の絶縁基板 2 3 はリード部 3 2 a、3 2 b を設けた 1 辺に沿って残存する。

30

【 0 0 2 5 】

アイランド部 2 5 とリード部 3 2 a、3 2 b はパッケージの端面から後退されており、第 1 と第 2 の接続部 2 7、2 8 の切断部分だけがパッケージ側面に露出する。裏面側の金メッキ層による外部電極 3 1 a ~ 3 1 d も同様に、パッケージ端面からは後退されている。

【 0 0 2 6 】

斯かる手法によって形成した半導体装置は、以下の効果を有する。

【 0 0 2 7 】

多数個の素子をまとめて樹脂でパッケージングするので、個々にパッケージングする場合に比べて、無駄にする樹脂材料を少なくでき、材料費の低減につながる。

40

【 0 0 2 8 】

リードフレームを用いないので、従来のトランスファーモールド手法に比べて、パッケージ外形を大幅に小型化することができる。

【 0 0 2 9 】

外部接続用の端子が共通基板 2 1 の裏面に形成され、パッケージの外形から突出しないので、装置の実装面積を大幅に小型化できる。

【 0 0 3 0 】

外部電極 3 1 a ~ 3 1 d のパターンを島状に独立させると共に、その端部を後退させたので、ダイシングで切断する際にダイシングブレードが金メッキ層に接しない構造にするこ

50

とができる。金メッキ層を切断すると、これを切断しきれずに「髭」の様なものが残ってしまう外観不良の確率が高くなるが、本願ではダイシングブレードに接しない構造にしたので、斯かる外観不良を防止できる。

【 0 0 3 1 】

外部電極 3 1 a ~ 3 1 d の各々を、スルーホール 3 0 を介し更に第 1 と第 2 の接続部 2 7、2 8 によって電氣的に共通接続したので、これを電極の一方とする電解メッキ法を利用することができる。そして、ダイシングする部分を第 1 と第 2 の接続部分 2 7、2 8 だけにとどめることによって、ダイシングブレードに接する金メッキ層を最小限に抑えることが可能となる。

【 0 0 3 2 】

10

【発明の効果】

以上に説明したように、本発明によれば、リードフレームを用いた半導体装置よりも更に小型化できるパッケージ構造を提供できる利点を有する。このとき、リード端子が突出しない構造であるので、実装したときの占有面積を低減し、高密度実装を実現できる。

【 0 0 3 3 】

さらに、キャビティを構成するための金型 3 A、3 B が不要であるので、大幅なコストダウンが可能である利点を有する。

【 0 0 3 4 】

そして、裏面の外部電極のパターンをダイシングブレードに接しないパターンにしたことによって、金メッキ層をダイシングすることによって発生する不具合を解消できる。

20

【図面の簡単な説明】

【図 1】本発明を説明するための斜視図である。

【図 2】本発明を説明するための平面図である。

【図 3】本発明を説明するための (A) 平面図 (B) 断面図である。

【図 4】本発明を説明するための断面図である。

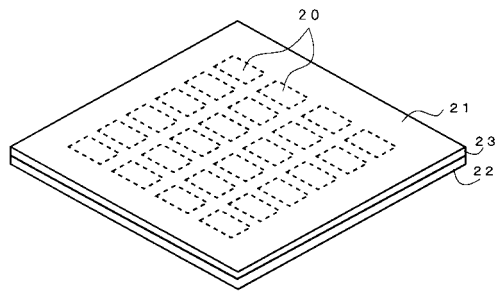
【図 5】本発明を説明するための (A) 平面図 (B) 断面図 (C) 裏面図である。

【図 6】従来例を説明するための断面図である。

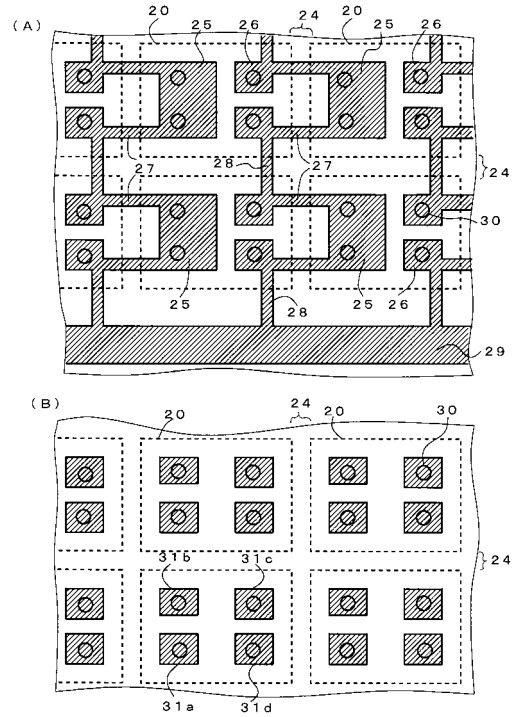
【図 7】従来例を説明するための平面図である。

【図 8】従来例を説明するための断面図である。

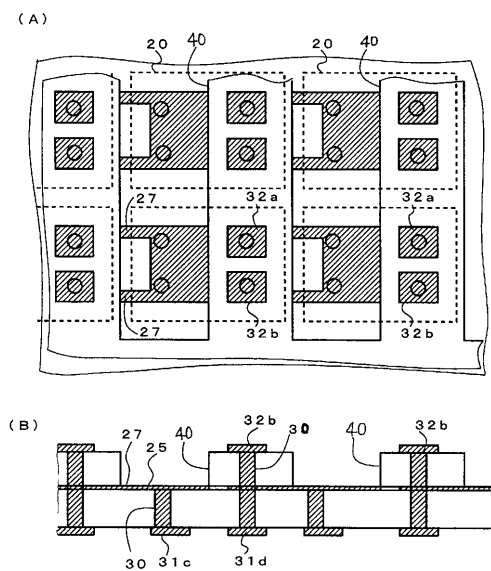
【図 1】



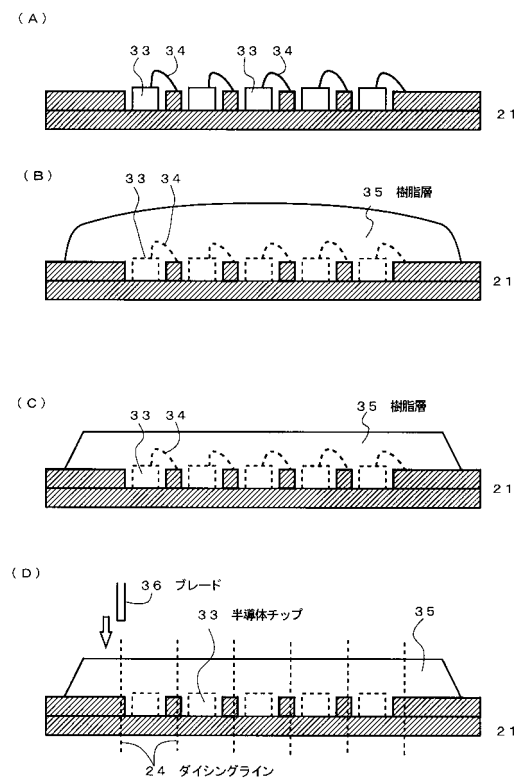
【図 2】



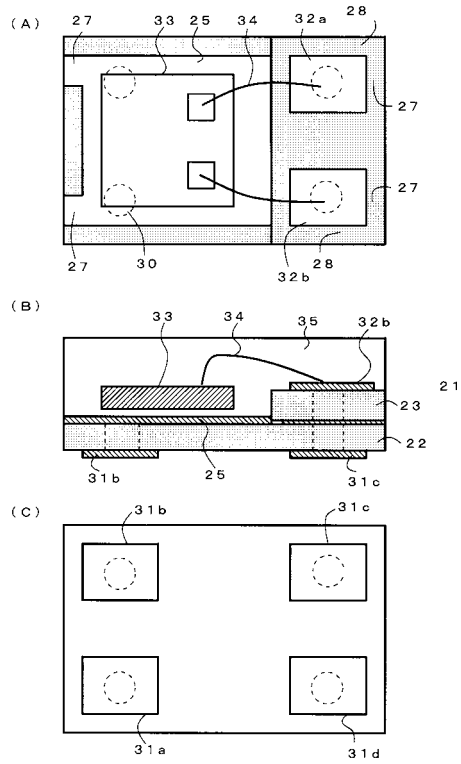
【図 3】



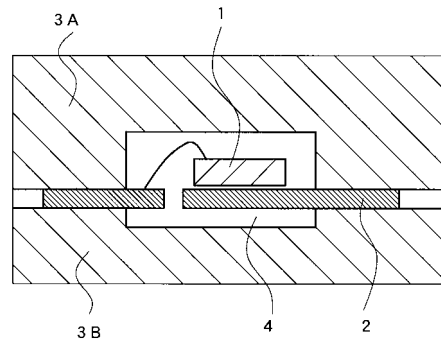
【図 4】



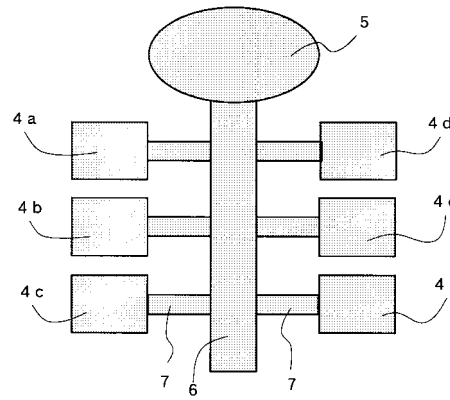
【図 5】



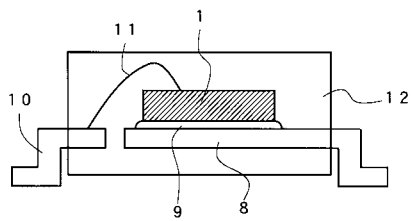
【図 6】



【図 7】



【図 8】



フロントページの続き

審査官 市川 篤

- (56)参考文献 特開平 1 0 - 1 3 5 2 5 2 (J P , A)
特開平 1 1 - 3 0 7 6 7 3 (J P , A)
特開平 1 1 - 2 6 5 9 6 4 (J P , A)
特開平 1 0 - 1 5 0 1 1 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 23/12

H01L 21/50

H01L 21/56

H01L 23/28