



(12) 发明专利申请

(10) 申请公布号 CN 118591886 A

(43) 申请公布日 2024. 09. 03

(21) 申请号 202280089939.2

(22) 申请日 2022.12.21

(30) 优先权数据

2022-012102 2022.01.28 JP

(85) PCT国际申请进入国家阶段日

2024.07.24

(86) PCT国际申请的申请数据

PCT/JP2022/047073 2022.12.21

(87) PCT国际申请的公布数据

W02023/145317 JA 2023.08.03

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 田古部勋 大森谦伍

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理师 龙淳 徐飞跃

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 21/337 (2006.01)

H01L 21/338 (2006.01)

H01L 21/822 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/04 (2006.01)

H01L 27/06 (2006.01)

H01L 27/088 (2006.01)

H01L 29/778 (2006.01)

H01L 29/808 (2006.01)

H01L 29/812 (2006.01)

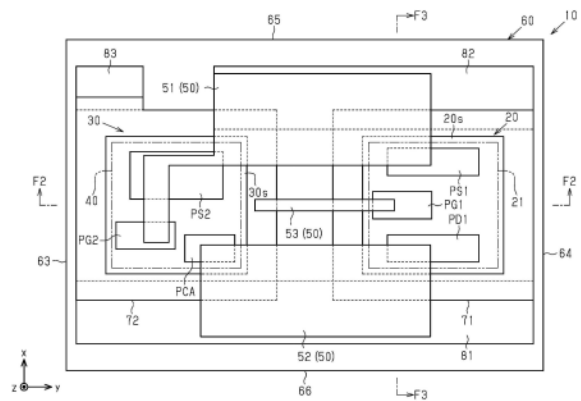
权利要求书2页 说明书36页 附图31页

(54) 发明名称

半导体模块和半导体组件

(57) 摘要

一种半导体模块(10),其具有:第一芯片(20),其包含主晶体管(21),该主晶体管(21)包含成为主漂移层(24)的电子传输层;第二芯片(30),其包含有源钳位电路(40)的至少一部分,该有源钳位电路(40)包含基于主晶体管的漏极-源极间电压的上升而进行动作的钳位用晶体管(41);连接部件(50),其将主晶体管与有源钳位电路电连接;和密封树脂(60),其密封第一芯片、第二芯片和连接部件。钳位用晶体管包含由与主漂移层不同的材料构成的副漂移层(45)。



1. 一种半导体模块,其特征在于,具有:
第一芯片,其包含主晶体管,所述主晶体管包含主漂移层;
第二芯片,其包含有源钳位电路的至少一部分,所述有源钳位电路包含基于所述主晶体管的漏极-源极间电压的上升而进行动作的副晶体管;
连接部件,其将所述主晶体管与所述有源钳位电路电连接;和
密封树脂,其密封所述第一芯片、所述第二芯片和所述连接部件,
所述副晶体管包含由与所述主漂移层不同的材料构成的副漂移层。
2. 根据权利要求1所述的半导体模块,其特征在于:
所述主晶体管是所述主漂移层由GaN构成的GaN晶体管,
所述副晶体管是所述副漂移层由Si构成的Si晶体管。
3. 根据权利要求1或2所述的半导体模块,其特征在于:
所述主晶体管包含漏极电极、源极电极和栅极电极,并且具有:
与所述漏极电极电连接的漏极端子;
与所述源极电极电连接的源极端子;和
与所述栅极电极电连接的栅极端子。
4. 根据权利要求1~3中任一项所述的半导体模块,其特征在于:
所述副晶体管包含漏极电极、源极电极和栅极电极,
所述副晶体管的源极电极连接于所述主晶体管的源极电极,
所述副晶体管的漏极电极连接于所述主晶体管的栅极电极,
所述有源钳位电路包含:
连接于所述副晶体管的源极电极与栅极电极之间的下拉电阻;和
连接于所述主晶体管的漏极电极与所述副晶体管的栅极电极之间的钳位用电容器。
5. 根据权利要求4所述的半导体模块,其特征在于:
所述第一芯片不包含所述有源钳位电路,而包含所述主晶体管,
所述第二芯片包含所述副晶体管、所述下拉电阻和所述钳位用电容器。
6. 根据权利要求5所述的半导体模块,其特征在于:
所述副晶体管、所述下拉电阻和所述钳位用电容器在所述第二芯片内相互电连接。
7. 根据权利要求4~6中任一项所述的半导体模块,其特征在于:
所述第一芯片具有:
与所述主晶体管的漏极电极电连接的漏极焊盘;和
与所述主晶体管的源极电极电连接的源极焊盘,
从所述主漂移层的厚度方向看,所述漏极焊盘和所述源极焊盘在第一方向上相互隔开距离地排列,
从所述主漂移层的厚度方向看,所述第一芯片和所述第二芯片在与所述第一方向正交的第二方向上相互隔开距离地排列。
8. 根据权利要求4~7中任一项所述的半导体模块,其特征在于:
所述第二芯片具有支承所述副漂移层的半导体基板,
在所述副漂移层的表面形成有与所述副晶体管的源极电极电连接的源极区域,
在所述半导体基板中的与所述副漂移层相反侧的背面,形成有所述副晶体管的漏极电

极。

9. 根据权利要求4~7中任一项所述的半导体模块,其特征在于:

在所述副漂移层的表面,与所述副晶体管的漏极电极电连接的漏极区域和与所述副晶体管的源极电极电连接的源极区域相互隔开距离地形成。

10. 根据权利要求4~9中任一项所述的半导体模块,其特征在于:

所述第二芯片包含经由所述下拉电阻与所述副晶体管的栅极电极连接的焊盘,

从所述副漂移层的厚度方向看,所述下拉电阻和所述钳位用电容器的至少一者形成在与所述焊盘重叠的位置且比所述焊盘更靠所述副漂移层的位置。

11. 根据权利要求4~9中任一项所述的半导体模块,其特征在于:

所述连接部件包括:

第一连接部件,其将所述副晶体管的源极电极和栅极电极与所述主晶体管的源极电极电连接;

第二连接部件,其将所述钳位用电容器与所述主晶体管的漏极电极电连接;和

第三连接部件,其将所述主晶体管的栅极电极与所述副晶体管的漏极电极连接。

12. 根据权利要求11所述的半导体模块,其特征在于:

所述第一连接部件、所述第二连接部件和所述第三连接部件分别由金属板形成。

13. 根据权利要求11所述的半导体模块,其特征在于:

所述第一连接部件、所述第二连接部件和所述第三连接部件分别通过金属镀覆形成。

14. 根据权利要求11~13中任一项所述的半导体模块,其特征在于:

所述第二芯片具有与所述钳位用电容器电连接的电容器焊盘,

所述第二连接部件接合于所述电容器焊盘。

15. 根据权利要求1~14中任一项所述的半导体模块,其特征在于:

所述第一芯片设置有多个,且相互隔开距离地排列,

从所述密封树脂的厚度方向看,所述第二芯片在与所述多个第一芯片的排列方向正交的方向上相对于所述多个第一芯片隔开距离地配置。

16. 根据权利要求15所述的半导体模块,其特征在于:

所述第二芯片设置有多个,且在所述第一芯片的排列方向上相互隔开距离地排列。

17. 一种半导体组件,其特征在于,具有:

权利要求1~16中任一项所述的半导体模块;

第三芯片,其在所述密封树脂内与所述第一芯片和所述第二芯片分开设置,并且包含驱动所述主晶体管的驱动电路;和

控制用连接部件,其将所述第三芯片与所述第一芯片和所述第二芯片电连接。

18. 根据权利要求17所述的半导体组件,其特征在于:

所述主晶体管和所述副晶体管这两者具有漏极电极、源极电极和栅极电极,

所述控制用连接部件连接所述驱动电路、所述副晶体管的漏极电极和所述主晶体管的栅极电极。

半导体模块和半导体组件

技术领域

[0001] 本发明涉及半导体模块和半导体组件。

背景技术

[0002] 通常,已知形成有作为主晶体管的一种的功率晶体管的分立型的半导体装置(例如参照专利文献1)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2018-82011号公报。

发明内容

[0006] 发明要解决的问题

[0007] 在此,当主晶体管的漏极-源极间电压急剧变化时,主晶体管的栅极-源极间电压上升,有可能发生主晶体管误成为导通状态的误导通。

[0008] 用于解决问题的技术手段

[0009] 作为本发明的一个方式的半导体模块,其具有:第一芯片,其包含主晶体管,所述主晶体管包含主漂移层;第二芯片,其包含有源钳位电路的至少一部分,所述有源钳位电路包含基于所述主晶体管的漏极-源极间电压的上升而进行动作的副晶体管;连接部件,其将所述主晶体管与所述有源钳位电路电连接;和密封树脂,其密封所述第一芯片、所述第二芯片和所述连接部件,所述副晶体管包含由与所述主漂移层不同的材料构成的副漂移层。

[0010] 作为本发明的一个方式的半导体组件,其包括:所述半导体模块;第三芯片,其在所述密封树脂内与所述第一芯片和所述第二芯片分开设置,并且包含驱动所述主晶体管的驱动电路;和控制用连接部件,其将所述第三芯片与所述第一芯片和所述第二芯片电连接。

[0011] 发明效果

[0012] 根据上述半导体模块和半导体组件,能够在主晶体管的漏极-源极间电压急剧变化时抑制主晶体管的误导通的发生。

附图说明

[0013] 图1是表示第一实施方式的半导体模块的内部的概略结构的俯视图。

[0014] 图2是在图1的F2-F2线切断的半导体模块的截面图。

[0015] 图3是在图1的F3-F3线切断的半导体模块的截面图。

[0016] 图4是图1的半导体模块的背面图。

[0017] 图5是表示半导体模块中的主晶体管的概略截面构造的截面图。

[0018] 图6是表示半导体模块中的有源钳位电路的钳位用晶体管的概略截面构造的截面图。

[0019] 图7是表示半导体模块中的有源钳位电路的钳位用电容器的概略截面构造的截面

图。

[0020] 图8是表示半导体模块中的有源钳位电路的下拉电阻的概略截面构造的截面图。

[0021] 图9是半导体模块的电路图。

[0022] 图10是表示主晶体管的漏极-源极间电压、栅极-源极间电压和钳位用晶体管的栅极-源极间电压的转变的图表。

[0023] 图11是表示第二实施方式的半导体模块的内部的概略结构的俯视图。

[0024] 图12是图11的半导体模块的俯视图。

[0025] 图13是在图11的F13-F13线切断的半导体模块的截面图。

[0026] 图14是表示半导体模块中的第二芯片的内部的概略结构的俯视图。

[0027] 图15是表示在图14的F15-F15线切断的第二芯片的概略截面构造的截面图。

[0028] 图16是表示第三实施方式的半导体模块的内部的概略结构的俯视图。

[0029] 图17是在图16的F17-F17线切断的半导体模块的截面图。

[0030] 图18是在图16的F18-F18线切断的半导体模块的截面图。

[0031] 图19是表示第四实施方式的半导体组件的内部的概略结构的俯视图。

[0032] 图20是主要表示图19的半导体组件的连接结构的俯视图。

[0033] 图21是半导体组件的俯视图。

[0034] 图22是在图21的F22-F22线切断的半导体组件的截面图。

[0035] 图23是在图21的F23-F23线切断的半导体组件的截面图。

[0036] 图24是半导体组件的电路图。

[0037] 图25是表示变形例的半导体模块中的下拉电阻的概略截面构造的截面图。

[0038] 图26是表示变形例的半导体模块中的下拉电阻的概略截面构造的截面图。

[0039] 图27是变形例的半导体模块的电路图。

[0040] 图28是表示图27的半导体模块中的保护二极管的概略截面构造的截面图。

[0041] 图29是变形例的半导体模块的电路图。

[0042] 图30是变形例的半导体模块的电路图。

[0043] 图31是变形例的半导体组件的电路图。

具体实施方式

[0044] 以下,参照附图对本发明的半导体模块和半导体组件的实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以一定的比例尺描绘。另外,为了容易理解,在截面图中,有时省略了阴影线。附图仅是对本发明的实施方式的例示,而不应该视为对本发明的限制。

[0045] 下面的详细记载包括体现本发明的例示性实现方式的装置、系统和方法。该详细的记载只不过是本来用于说明的内容,并不意图限定本发明的实施方式或者这样的实施方式的应用和使用。

[0046] [第一实施方式]

[0047] 参照图1~图9,对第一实施方式的半导体模块的结构进行说明。图1表示半导体模块的内部的概略结构。在图1中,为了便于说明,用实线表示半导体模块的内部的部件。

[0048] (半导体模块的概略结构)

[0049] 如图1所示,半导体模块10具有:包含主晶体管21的第一芯片20;包含有源钳位电路40的第二芯片30;将主晶体管21与有源钳位电路40电连接的连接部件50;和密封第一芯片20、第二芯片30和连接部件50的密封树脂60。

[0050] 密封树脂60由绝缘性的树脂材料形成。作为这样的树脂材料,例如能够使用环氧树脂、丙烯酸树脂、酚醛树脂等。密封树脂60构成半导体模块10的外表面。在本实施方式中,密封树脂60为矩形平板状。密封树脂60包含树脂正面61、朝向与树脂正面61相反侧的树脂背面62(均参照图2)和与树脂正面61和树脂背面62这两者交叉的第一~第四树脂侧面63~66。在本实施方式中,第一~第四树脂侧面63~66与树脂正面61和树脂背面62这两者正交。此处,将树脂正面61和树脂背面62的排列方向作为“z方向”。z方向也可以说是密封树脂60的厚度方向。另外,将从z方向看半导体模块10的情况设为“俯视”。在以后的说明中,“俯视”包括“从密封树脂60的厚度方向看”的意思。另外,将与z方向正交的方向上的相互正交的两个方向作为“x方向”和“y方向”。

[0051] 俯视时的密封树脂60的形状是具有长边方向和短边方向的矩形形状。在本实施方式中,密封树脂60以长边方向沿着y方向、短边方向沿着x方向的方式配置。第一树脂侧面63和第二树脂侧面64构成密封树脂60的y方向的两端面,第三树脂侧面65和第四树脂侧面66构成密封树脂60的x方向的两端面。

[0052] 半导体模块10还具有搭载第一芯片20的第一裸片焊盘71和搭载第二芯片30的第二裸片焊盘72。各裸片焊盘71、72由铜(Cu)、铝(Al)等金属材料形成。俯视时的各裸片焊盘71、72的形状为矩形。第一裸片焊盘71和第二裸片焊盘72以在密封树脂60的短边方向(x方向)上相互对齐的状态在密封树脂60的长边方向(y方向)上相互隔开距离地排列。在本实施方式中,如图2所示,各裸片焊盘71、72配置于在z方向上相互对齐的位置。各裸片焊盘71、72配置在相对于树脂背面62靠近树脂正面61且在z方向上隔开距离的位置,因此不从树脂背面62露出。另外,半导体模块10也可以构成为使第一裸片焊盘71和第二裸片焊盘72的至少一方从树脂背面62露出。

[0053] 如图2所示,第一芯片20包含在z方向上相互朝向相反侧的芯片正面20s和芯片背面20r。芯片正面20s朝向与树脂正面61相同侧,芯片背面20r朝向与树脂背面62相同侧。芯片背面20r与第一裸片焊盘71面对。第一芯片20通过第一接合材料AD1接合于第一裸片焊盘71。更详细而言,第一接合材料AD1将芯片背面20r与第一裸片焊盘71接合。第一接合材料AD1例如使用焊膏或银(Ag)膏等导电性接合材料。

[0054] 如图1所示,漏极焊盘PD1、源极焊盘PS1和栅极焊盘PG1形成在芯片正面20s上。在俯视时,漏极焊盘PD1、源极焊盘PS1和栅极焊盘PG1相互隔开距离地配置。在此,在本实施方式中,漏极焊盘PD1和源极焊盘PS1的排列方向即x方向对应于“第一方向”。在俯视时,第一芯片20和第二芯片30的配置方向与漏极焊盘PD1和源极焊盘PS1的配置方向(第一方向)正交。在本实施方式中,第一芯片20和第二芯片30的排列方向即y方向对应于“第二方向”。

[0055] 漏极焊盘PD1是与主晶体管21的漏极电极21D(参照图5)电连接的焊盘。漏极焊盘PD1位于比源极焊盘PS1和栅极焊盘PG1这两者靠近第四树脂侧面66的位置。

[0056] 源极焊盘PS1是与主晶体管21的源极电极21S(参照图5)电连接的焊盘。源极焊盘PS1位于比漏极焊盘PD1和栅极焊盘PG1这两者靠近第三树脂侧面65的位置。

[0057] 栅极焊盘PG1是与主晶体管21的栅极电极21G(参照图5)电连接的焊盘。栅极焊盘

PG1位于漏极焊盘PD1与源极焊盘PS1的x方向之间。此外,漏极焊盘PD1、源极焊盘PS1和栅极焊盘PG1的配置方式能够任意地变更。

[0058] 如图2所示,第二芯片30包含在z方向上相互朝向相反侧的芯片正面30s和芯片背面30r。芯片正面30s朝向与树脂正面61相同侧,芯片背面30r朝向与树脂背面62相同侧。芯片背面30r与第二裸片焊盘72相对。第二芯片30通过第二接合材料AD2与第二裸片焊盘72接合。更详细而言,第二接合材料AD2将芯片背面30r与第二裸片焊盘72接合。第二接合材料AD2与第一接合材料AD1同样地使用导电性接合材料。

[0059] 如图1所示,在芯片正面30s形成有源极焊盘PS2、焊盘PG2和电容器焊盘PCA。在俯视时,源极焊盘PS2、焊盘PG2和电容器焊盘PCA相互隔开距离地配置。在本实施方式中,在俯视时,各焊盘PS2、PG2、PCA相互隔开距离地配置。换言之,各焊盘PS2、PG2、PCA在与第一芯片20和第二芯片30的排列方向(y方向)正交的方向上相互隔开距离地配置。此外,源极焊盘PS2、焊盘PG2和电容器焊盘PCA的配置方式能够任意地变更。

[0060] 源极焊盘PS2是与有源钳位电路40的钳位用晶体管41的源极电极41S(均参照图6)连接的焊盘。源极焊盘PS2位于比焊盘PG2和电容器焊盘PCA这两者更靠近第三树脂侧面65的位置。

[0061] 焊盘PG2是经由下拉电阻43与钳位用晶体管41的栅极电极41G(参照图6)连接的焊盘。电容器焊盘PCA是与有源钳位电路40的钳位用电容器42(参照图6)连接的焊盘。从y方向看,焊盘PG2和电容器焊盘PCA形成于相互重叠的位置。焊盘PG2位于相对于电容器焊盘PCA更靠近第一树脂侧面63。

[0062] 如图4所示,半导体模块10还具有构成外部端子的漏极端子81、源极端子82和栅极端子83。各端子81~端子83从树脂背面62露出。各端子81~端子83例如由导电材料的镀层形成。作为导电材料,例如能够使用Cu、Al、CuAl合金等。

[0063] 如图3所示,漏极端子81和源极端子82这两者在z方向上相对于第一裸片焊盘71和第二裸片焊盘72靠近树脂背面62地配置。因此,第一裸片焊盘71和第二裸片焊盘72这两者不从树脂背面62露出。从z方向看,漏极端子81和源极端子82这两者以与第一裸片焊盘71局部重叠的方式配置。另外,虽然未图示,但漏极端子81和源极端子82这两者以与第二裸片焊盘72局部重叠的方式配置。

[0064] 如图1所示,栅极端子83与第二裸片焊盘72一体化。第二焊盘72中搭载第二芯片30的搭载部分配置在比栅极端子83靠近树脂正面61(参照图2)。例如,连结搭载部分与栅极端子83的连结部分随着从搭载部分向栅极端子83去而向树脂背面62(参照图2)倾斜。另外,连结部分也可以不倾斜。另外,栅极端子83和第二裸片焊盘72也可以是独立地设置,通过导线等连接部件相互电连接的结构。

[0065] 如图1所示,连接部件50包括第一连接部件51、第二连接部件52和第三连接部件53。在本实施方式中,各连接部件51~连接部件53例如由金属板形成。作为金属板,例如能够使用Cu、Al、CuAl合金等。另外,各连接部件51~连接部件53并不限于金属板,例如也可以通过金属镀覆而形成。即,各连接部件51~53也可以由镀层构成。

[0066] 第一连接部件51以将源极端子82、第一芯片20的源极焊盘PS1和第二芯片30的源极焊盘PS2以及焊盘PG2电连接的方式构成。由此,源极端子82、主晶体管21的源极电极21S、钳位用晶体管41的源极电极41S和下拉电阻43电连接。

[0067] 第二连接部件52以将漏极端子81、第一芯片20的漏极焊盘PD1和第二芯片30的电容焊盘PCA电连接的方式构成。由此,漏极端子81、主晶体管21的漏极电极21D和钳位用电容器42电连接。

[0068] 第三连接部件53以将第一芯片20的栅极焊盘PG1与第二裸片焊盘72电连接的方式构成。由此,主晶体管21的栅极电极21G与栅极端子83电连接。

[0069] 另外,俯视时的第一连接部件51的形状不限于图1所示的第一连接部件51的形状,能够任意变更。关于第二连接部件52和第三连接部件53的形状也同样能够任意地变更。

[0070] (第一芯片的详细构成)

[0071] 图5是表示第一芯片20的概略截面构造的一例的截面图。此外,从附图的易观看性的观点出发,省略一部分的阴影线来表示。

[0072] 如图5所示,第一芯片20具有半导体基板22。半导体基板22形成为矩形板状。半导体基板22可以由硅(Si)、碳化硅(SiC)、氮化镓(GaN)、蓝宝石或其他基板材料形成。在一个例子中,半导体基板22也可以是Si基板。半导体基板22的厚度例如为200 μm 以上且1500 μm 以下。主晶体管21形成在半导体基板22上。主晶体管21包括形成在半导体基板22上的缓冲层23、构成形成在缓冲层23上的主漂移层的电子传输层24、和形成在电子传输层24上的电子供给层25。缓冲层23、电子传输层24和电子供给层25的各自在z方向上具有厚度。因此,“俯视”包含“从主漂移层(电子传输层)的厚度方向看”的意思。

[0073] 缓冲层23位于半导体基板22与电子传输层24之间,由能够缓和半导体基板22与电子传输层24之间的晶格失配的任意材料构成。缓冲层23包含1个或多个氮化物半导体层。缓冲层23例如也可以包含氮化铝(AlN)层、氮化铝镓(AlGa_N)层和具有不同的铝组分的分级AlGa_N层中的至少一个。例如,缓冲层23可以由单一AlN层、单一AlGa_N层、具有AlGa_N/GaN超晶格构造的层、具有AlN/AlGa_N超晶格构造的层或具有AlN/GaN超晶格构造的层构成。

[0074] 在一例中,缓冲层23包含形成于半导体基板22上的AlN层即第一缓冲层和形成于AlN层上的AlGa_N层即第二缓冲层。第一缓冲层例如是具有200nm的厚度的AlN层,第二缓冲层例如具有层叠有多个AlGa_N层的构造。此外,为了抑制缓冲层23中的漏电流,也可以向缓冲层23的一部分导入杂质而形成半绝缘性。在这种情况下,杂质可以是例如碳(C)或铁(Fe),并且杂质的浓度可以是例如 $4 \times 10^{16} \text{cm}^{-3}$ 以上。

[0075] 电子传输层24由氮化物半导体构成,例如是GaN层。电子传输层24的厚度例如为300nm以上且2 μm 以下,更优选为300nm以上且400nm以下。在一例中,电子传输层24的厚度为350nm。这样,主晶体管21可以说是作为主漂移层的电子传输层24由GaN构成的GaN晶体管。

[0076] 此外,为了抑制电子传输层24中的漏电流,也可以向电子传输层24的一部分导入杂质而使电子传输层24的表层区域以外形成为半绝缘性。在这种情况下,杂质例如为C,杂质的浓度例如以峰值浓度计可以为 $1 \times 10^{19} \text{cm}^{-3}$ 以上。即,电子传输层24可以包含杂质浓度不同的多个GaN层,在一例中,可以包含C掺杂GaN层和非掺杂GaN层。C掺杂GaN层中的C浓度可以形成为 $9 \times 10^{18} \text{cm}^{-3}$ 以上且 $9 \times 10^{19} \text{cm}^{-3}$ 以下。

[0077] 电子供给层25由具有比电子传输层24大的带隙的氮化物半导体构成,例如是AlGa_N层。由于Al组分越大则带隙越大,因此作为AlGa_N层的电子供给层25具有比作为GaN层的电子传输层24大的带隙。在一个例子中,电子供给层25由 $\text{Al}_z \text{Ga}_{1-z} \text{N}$ 构成。 z 为 $0.1 < z < 0.4$,更优选为 $0.2 < z < 0.3$ 。在一例中, $z = 0.25$ 。电子供给层25具有例如5nm以上且20nm以

下的厚度。在一个例子中,电子供给层25具有8nm以上且15nm以下的厚度。

[0078] 电子传输层24和电子供给层25由具有彼此不同的晶格常数的氮化物半导体构成。电子传输层24与电子供给层25的晶格失配体系的接合对电子供给层25赋予应变,该应变在电子传输层24中诱发二维电子气(2DEG)26。2DEG26扩展到电子传输层24中的靠近电子传输层24与电子供给层25的异质界面的位置(例如,距界面数nm左右的距离)。该2DEG26作为主晶体管21的电流路径(沟道)发挥功能。

[0079] 主晶体管21还包括形成在电子供给层25的一部分上的栅极层27、形成在栅极层27上的栅极电极21G、钝化层28、源极电极21S和漏极电极21D。钝化层28覆盖电子供给层25、栅极层27和栅极电极21G,并且包括第一开口28A和第二开口28B。源极电极21S经由第一开口28A与电子供给层25相接。漏极电极21D经由第二开口28B与电子供给层25相接。

[0080] 栅极层27由包含受主型杂质的氮化物半导体构成。栅极层27例如由具有比作为AlGaN层的电子供给层25小的带隙的任意材料构成。在一例中,栅极层27是掺杂有受主型杂质的Ga_{0.5}N_{0.5}层(p型Ga_{0.5}N_{0.5}层)。受主型杂质可以包含锌(Zn)、镁(Mg)和C中的至少一种。栅极层27中的受主型杂质的最大浓度例如为 $7 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。主晶体管21包括由包含受主型杂质的氮化物半导体构成的栅极层27,由此在栅极层27的正下方的区域将2DEG26耗尽化。由此,主晶体管21能够进行常截止动作。即,主晶体管21是常截止型晶体管。

[0081] 栅极层27包括与电子供给层25相接的底面27r和与底面27r相反侧的上表面27s。栅极电极21G形成于栅极层27的上表面27s。

[0082] 在本实施例中,栅极层27具有:包含形成有栅极电极21G的上表面27s的脊部27C;和在俯视时向脊部27C的外侧延伸的两个延伸部(第一延伸部27A和第二延伸部27B)。

[0083] 第一延伸部27A在俯视时从脊部27C向第一开口28A延伸。第一延伸部27A与第一开口28A隔开距离。

[0084] 第二延伸部27B在俯视时从脊部27C向第二开口28B延伸。第二延伸部27B与第二开口28B隔开距离。

[0085] 脊部27C位于第一延伸部27A与第二延伸部27B之间,并且与第一延伸部27A和第二延伸部27B一体地形成。由于第一延伸部27A和第二延伸部27B的存在,栅极层27的底面27r具有比上表面27s大的面积。在本实施例中,在俯视时,第二延伸部27B比第一延伸部27A向脊部27C的外侧延伸得更长。

[0086] 脊部27C对应于栅极层27的相对较厚的部分,并且具有例如80nm以上且150nm以下的厚度。可以考虑包括栅极阈值电压在内的参数来确定栅极层27的厚度,特别是脊部27C的厚度。在一个例子中,栅极层27(脊部27C)具有大于110nm的厚度。

[0087] 第一延伸部27A和第二延伸部27B分别具有比脊部27C的厚度小的厚度。在一个例子中,第一延伸部27A和第二延伸部27B分别具有脊部27C的厚度的1/2以下的厚度。

[0088] 在本实施方式中,各延伸部27A、27B是具有大致一定的厚度的平坦的部分。此外,在本说明书中,“大致一定的厚度”是指厚度处于制造上的偏差(例如20%)的范围内。或者,也可以各延伸部27A、27B在与脊部27C相邻的区域中包含随着远离脊部27C而厚度逐渐减小的锥形部。各延伸部27A、27B也可以在与脊部27C离开超过规定距离的区域中包含具有大致一定的厚度的平坦部。在一例中,平坦部具有5nm以上且25nm以下的厚度。

[0089] 形成在脊部27C上的栅极电极21G由一个或多个金属层构成。金属层的一例为TiN

层。或者,栅极电极21G也可以包括由Ti形成的第一金属层和设置在第一金属层上的由TiN形成的第二金属层而构成。栅极电极21G的厚度例如为50nm以上且200nm以下。栅极电极21G能够与栅极层27形成肖特基结。

[0090] 钝化层28的第一开口28A和第二开口28B分别与栅极层27隔开距离,栅极层27位于第一开口28A与第二开口28B之间。更详细而言,栅极层27位于第一开口28A与第二开口28B之间,且位于相比第二开口28B更靠近第一开口28A的位置。钝化层28沿着电子供给层25的上表面、栅极层27的侧面以及上表面27s和栅极电极21G的侧面和上表面延伸,因此具有不平坦的表面。

[0091] 源极电极21S和漏极电极21D由1个或多个金属层构成。金属层例如由Ti层、TiN层、Al层、AlSiCu层、AlCu层等的任意组合构成。源极电极21S的至少一部分填充在第一开口28A内。漏极电极21D的至少一部分填充在第二开口28B中。源极电极21S经由第一开口28A与电子供给层25正下方的2DEG26欧姆接触。漏极电极21D经由第二开口28B与电子供给层25正下方的2DEG26欧姆接触。

[0092] 源极电极21S包括填充于第一开口28A的源极接触部21SA和覆盖钝化层28的源极场板部21SB。源极场板部21SB与源极接触部21SA一体地形成。源极场板部21SB包含俯视时位于第二开口28B与栅极层27之间的端部21SC。源极场板部21SB沿着钝化层28的表面从源极接触部21SA向漏极电极21D延伸至端部21SC,但与漏极电极21D隔开距离。源极场板部21SB沿着钝化层28的非平坦的表面延伸,所以同样具有非平坦的表面。源极场板部21SB在未对栅极电极21G施加栅极电压的零偏压的期间对漏极电极21D施加了漏极电压的情况下,起到缓和栅极电极21G的端部附近的电场集中的作用。

[0093] 漏极电极21D和源极电极21S被层间绝缘层29覆盖。在层间绝缘层29设置有配线层(省略图示)。配线层包括:将漏极电极21D与漏极焊盘PD1(参照图1)电连接的漏极配线;将源极电极21S与源极焊盘PS1(参照图1)电连接的源极配线;和将栅极电极21G与栅极焊盘PG1(参照图1)电连接的栅极配线。

[0094] 这样,第一芯片20不包含有源钳位电路40,而包含主晶体管21。在本实施方式中,在第一芯片20中,在半导体基板22上仅形成有主晶体管21。

[0095] (第二芯片的详细构成)

[0096] 如图1所示,有源钳位电路40是抑制由主晶体管21截止时的漏极-源极间电压的急剧变动引起的误导通的发生的电路。有源钳位电路40包括作为副晶体管的一例的钳位用晶体管41(参照图6)、钳位用电容器42(参照图7)和下拉电阻43(参照图8)。钳位用晶体管41、钳位用电容器42和下拉电阻43在第二芯片30内相互电连接。

[0097] 在俯视时,下拉电阻43形成在与焊盘PG2重叠的位置。在本实施方式的第二芯片30中,主要形成有钳位用晶体管41,并且在与形成钳位用晶体管41的区域不同的区域中形成有钳位用电容器42。在一个例子中,俯视时的形成有钳位用电容器42的区域和形成有下拉电阻43的区域分别是俯视时的焊盘PG2的面积1/100左右。此外,在图1中,为了方便,将电容器焊盘PCA放大示出,但实际上比焊盘PG2小。

[0098] 图6是表示作为第二芯片30的概略截面结构的例子的钳位用晶体管41的有源区域41T的一部分的截面构造的截面图。此外,从附图的易观看性的观点出发,省略一部分的阴影线来表示。此外,钳位用晶体管41的有源区域41T是形成有晶体管的区域。

[0099] 如图6所示,第二芯片30具有半导体基板44。半导体基板44形成矩形板状。半导体基板44可以由Si、SiC、GaN、蓝宝石或其他基板材料形成。在一例中,半导体基板44也可以是Si基板。半导体基板44的厚度例如为200 μm 以上且1500 μm 以下。钳位用晶体管41形成在半导体基板22上。钳位用电容器42(参照图7)和下拉电阻43(参照图8)这两者形成在半导体基板44上。

[0100] 钳位用晶体管41包含形成在半导体基板44上的n⁻型的漂移层45。因此,也可以说半导体基板44支承漂移层45。漂移层45是副漂移层的一例,由与构成主漂移层的电子传输层24(参照图5)不同的材料构成。漂移层45例如由包含Si的材料构成。作为漂移层45的n型杂质,例如使用N、P(磷)、As(砷)等。漂移层45的杂质浓度例如为 $1 \times 10^{13} \text{cm}^{-3}$ 以上且 $5 \times 10^{14} \text{cm}^{-3}$ 以下。这样,钳位用晶体管41是构成副漂移层的漂移层45由包含Si的材料形成的晶体管。在本实施方式中,钳位用晶体管41是漂移层45由Si形成的Si晶体管。另外,钳位用晶体管41也可以是漂移层45由SiC形成的SiC晶体管。

[0101] 在漂移层45的表面形成有p型的基极区域46。作为基极区域46的p型掺杂剂,例如使用B(硼)、Al等。基极区域46的杂质浓度例如为 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。

[0102] 在基极区域46的表面并排配置有多个沟槽47。各沟槽47例如沿着y方向延伸,在x方向上相互隔开距离地排列。各沟槽47在z方向上贯通基极区域46,延伸到漂移层45的中途。另外,各沟槽47也可以在俯视时形成格子状。

[0103] 在基极区域46的表面中的沟槽47的x方向的两侧,形成有n⁺型的源极区域48。也可以说源极区域48形成于漂移层45的表面。源极区域48的杂质浓度比基极区域46的杂质浓度高,例如为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $5 \times 10^{20} \text{cm}^{-3}$ 以下。

[0104] 在基极区域46的表面中的与源极区域48在x方向上相邻的位置,形成有p⁺型的基极接触区域46A。基极接触区域46A形成于在x方向上相邻的沟槽47的x方向之间设置的两个源极区域48的x方向之间。另外,各基极接触区域46A的杂质浓度比基极区域46高,例如为 $5 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。

[0105] 在各沟槽47的内表面和基极区域46的表面这两者一体地形成有绝缘膜49A。绝缘膜49A例如由包含SiO₂的材料形成。隔着绝缘膜49A在各沟槽47内埋入有例如由多晶硅等形成的电极材料。由此,形成栅极电极41G。

[0106] 在形成于基极区域46的表面的绝缘膜49A上形成有中间绝缘膜49B。中间绝缘膜49B例如由包含SiO₂的材料形成。中间绝缘膜49B的厚度比绝缘膜49A的厚度厚。在中间绝缘膜49B上形成有源极电极41S。

[0107] 在绝缘膜49A和中间绝缘膜49B这两者形成有使基极接触区域46A露出的开口49C。源极电极41S通过埋入开口49C而与基极接触区域46A相接。

[0108] 在半导体基板44中的在z方向上与漂移层45相反侧的背面形成有漏极电极41D。漏极电极41D和源极电极41S均由包含例如钛(Ti)、钨(W)、Al、Cu和AlCu合金中的至少一种的材料形成。

[0109] 图7是表示钳位用电容器42的截面结构的一例的截面图。

[0110] 如图7所示,钳位用电容器42配置于俯视时与电容器焊盘PCA重叠的位置。第二芯片30中在俯视时与电容器焊盘PCA重叠的区域,是与钳位用晶体管41的有源区域不同的区域。因此,如图7所示,俯视时与电容器焊盘PCA重叠的区域,是在半导体基板44上形成有绝

缘膜49A的结构。

[0111] 钳位用电容器42包括第一电极42P和第二电极42Q。第一电极42P和第二电极42Q隔着绝缘膜49A相互隔开距离地配置。更详细而言,在绝缘膜49A上,以相互隔开距离的方式形成有使半导体基板44露出的两个开口49D、49E。第一电极42P以埋入开口49D中并且突出到开口49D的周边缘的方式形成。第二电极42Q以埋入开口49E中并且突出到开口49E的周边缘的方式形成。第一电极42P中的从开口49D突出的部分和第二电极42Q中的从开口49E突出的部分这两者被中间绝缘膜49B覆盖。形成于第一电极42P与第二电极42Q之间的绝缘膜49A、换言之绝缘膜49A中的开口49D与开口49E之间的部分构成电介质层。第一电极42P例如经由通孔42V与电容器焊盘PCA电连接。

[0112] 图8是表示下拉电阻43的截面结构的一例的截面图。

[0113] 如图8所示,下拉电阻43配置在俯视时与焊盘PG2重叠的位置。下拉电阻43包括第一端子43P、第二端子43Q和平板状的电阻部43R。第二端子43Q例如经由通孔43V与焊盘PG2电连接。

[0114] 第一端子43P和第二端子43Q隔着绝缘膜49A相互隔开距离地配置。更详细而言,在绝缘膜49A相互隔开距离地形成有使电阻部43R露出的两个开口49F、49G。第一端子43P以埋入开口49F中并且突出到开口49F的周边缘的方式形成。第二端子43Q以埋入开口49G中并且突出到开口49G的周边缘的方式形成。第一端子43P中的从开口49F突出的部分和第二端子43Q中的从开口49G突出的部分这两者被中间绝缘膜49B覆盖。

[0115] 电阻部43R形成在半导体基板44上。电阻部43R由电阻值比第一端子43P和第二端子43Q大的材料形成。在一例中,电阻部43R例如由多晶硅形成。

[0116] 在电阻部43R上设置有第一端子43P和第二端子43Q。第一端子43P和第二端子43Q这两者与电阻部43R电连接。更详细而言,各端子43P、43Q与电阻部43R欧姆接触。第一端子43P和第二端子43Q在俯视时分散地形成于电阻部43R的y方向的两端部。这样,下拉电阻43形成于绝缘膜49A,被中间绝缘膜49B覆盖。

[0117] 如图7和图8所示,钳位用电容器42的第一电极42P和第二电极42Q、通孔42V、43V、下拉电阻43的第一端子43P和第二端子43Q的各自能够由例如包含Cu、Al、AlCu合金、W、Ti、TiN中的至少一者的任意的导电材料构成。

[0118] 像这样,第二芯片30不包含主晶体管21,而包含有源钳位电路40。更详细而言,第二芯片30包含钳位用晶体管41、钳位用电容器42和下拉电阻43。在本实施方式中,第二芯片30仅包含钳位用晶体管41、钳位用电容器42和下拉电阻43。

[0119] (半导体模块的电路结构)

[0120] 图9表示半导体模块10的电路结构。如图9所示,有源钳位电路40与主晶体管21连接。更详细而言,钳位用晶体管41的源极电极41S与主晶体管21的源极电极21S连接。钳位用晶体管41的漏极电极41D与主晶体管21的栅极电极21G连接。钳位用电容器42连接于主晶体管21的漏极电极21D与钳位用晶体管41的栅极电极41G之间。下拉电阻43连接于钳位用晶体管41的源极电极41S与栅极电极41G之间。

[0121] 主晶体管21的漏极电极21D和钳位用电容器42这两者与漏极端子81连接。主晶体管21的源极电极21S、钳位用晶体管41的源极电极41S和下拉电阻43分别连接于源极端子82。主晶体管21的栅极电极21G和钳位用晶体管41的漏极电极41D这两者连接于栅极端子

83。

[0122] (作用)

[0123] 对本实施方式的作用进行说明。此外,将不具有第二芯片30的半导体模块设为“比较半导体模块”。比较半导体模块仅具有第一芯片20。第一芯片20(主晶体管21)例如用于DC-DC转换器等。

[0124] 如图10所示,在比较半导体模块中,在主晶体管21截止的期间中的从时刻 t_1 到时刻 t_2 的期间中,有时主晶体管21的漏极-源极间电压急剧地变化。这例如由与主晶体管21连接的元件(例如DC-DC转换器的线圈)产生。此时,主晶体管21的栅极-源极间电压(栅极电压)由于主晶体管21的栅极-漏极间的寄生电容而如图10的中段的虚线所示那样上升。由于栅极-源极间电压超过主晶体管21的阈值电压,主晶体管21导通。即,在比较半导体模块中,尽管主晶体管21必须为截止状态,但却成为导通状态(误导通)。

[0125] 关于这一点,本实施方式的钳位用晶体管41以基于主晶体管21的漏极-源极间电压的上升而进行动作的方式构成。更详细而言,钳位用晶体管41构成为相对于主晶体管21的漏极-源极间电压的急剧的变化,比主晶体管21先导通。例如,钳位用电容器42的电容被设定为与主晶体管21的栅极-源极间电压相比,第二电极42Q的电压更快地上升。例如,钳位用电容器42的电容被设定为与主晶体管21的栅极-漏极间电容相比较小。另外,钳位用晶体管41的阈值电压也可以设定得比主晶体管21的阈值电压低。

[0126] 这样的钳位用电容器42连接于栅极电极41G的钳位用晶体管41,由于主晶体管21的漏极-源极间电压的急剧变化而栅极-源极间电压上升。由此,钳位用晶体管41成为导通状态,所以主晶体管21的栅极电极21G和源极电极21S经由钳位用晶体管41导通。其结果是,在主晶体管21的栅极-源极间电压上升的中途转为下降。因此,如图10的中段的实线所示,能够抑制主晶体管21的栅极-源极间电压的上升。由此,能够抑制主晶体管21误导通。

[0127] 另外,在为了对比较半导体模块应对误导通而设置有源钳位电路40的情况下,考虑在比较半导体模块的外部的电路基板设置有源钳位电路40(第二芯片30)。在该情况下,比较半导体模块的主晶体管21通过电路基板上的配线等导电路径与设置于电路基板的有源钳位电路40连接。但是,如果导电路径长,则该导电路径中的寄生阻抗大。另外,由于导电路径的寄生电感,有时有源钳位电路40的动作相对于主晶体管21的漏极-源极间电压的急剧变化延迟。因此,由于主晶体管21的漏极-源极间电压的急剧变化,还是存在栅极-源极间电压上升而主晶体管21误导通的情况。

[0128] 另一方面,本实施方式的半导体模块10具有第一芯片20和第二芯片30这两者。换言之,半导体模块10具有主晶体管21和有源钳位电路40这两者。由此,能够将主晶体管21和有源钳位电路40在半导体模块10内电连接。因此,与在比较半导体模块的外部的电路基板设置有源钳位电路40(第二芯片30)的情况相比,主晶体管21与有源钳位电路40之间的导电路径变短。因此,能够降低该导电路径中的寄生阻抗、寄生电感。由此,能够抑制主晶体管21中的误导通。

[0129] (效果)

[0130] 根据第一实施方式,能够得到以下的效果。

[0131] (1-1) 半导体模块(10)具有:第一芯片(20),其包含主晶体管(21),该主晶体管(21)包含构成主漂移层的电子传输层(24);第二芯片(30),其包含有源钳位电路(40)的至

少一部分,该有源钳位电路(40)包含基于主晶体管(21)的漏极-源极间电压的上升而进行动作的钳位用晶体管(41);连接部件(50),其将主晶体管(21)与有源钳位电路(40)电连接;和密封树脂(60),其密封第一芯片(20)、第二芯片(30)和连接部件(50)。钳位用晶体管41包含由与主漂移层(电子传输层24)不同的材料构成的作为副漂移层的漂移层45。

[0132] 根据该结构,通过钳位用晶体管41能够抑制在主晶体管21的漏极-源极间电压急剧地变化时主晶体管21的栅极-源极间电压的上升。因此,能够抑制主晶体管21误导通。

[0133] 另外,主晶体管21与有源钳位电路40在半导体模块10内电连接,因此能够缩短主晶体管21与有源钳位电路40之间的导电路径。因此,能够降低导电路径中的寄生阻抗、寄生电感,所以能够进一步抑制在主晶体管21中的误导通。

[0134] 此外,通过使作为主漂移层的电子传输层24和作为副漂移层的漂移层45为不同的材料,能够使用与各自的用途匹配的材料。例如,在主晶体管21是GaN晶体管和SiC晶体管等之类的功率晶体管的情况下,作为钳位用晶体管41能够采用不是功率晶体管的通常的晶体管。

[0135] (1-2) 主晶体管21是电子传输层24由GaN构成的GaN晶体管。钳位用晶体管41是漂移层45由Si构成的Si晶体管。根据该结构,与钳位用晶体管41为GaN晶体管的情况相比,能够实现钳位用晶体管41的成本的降低。

[0136] (1-3) 第一芯片20不包含有源钳位电路40,而包含主晶体管21。第二芯片30包含钳位用晶体管41、钳位用电容器42和下拉电阻43。钳位用晶体管41、钳位用电容器42和下拉电阻43在第二芯片30内相互电连接。

[0137] 根据该结构,与在第一芯片20中包含有源钳位电路40的一部分的情况相比,能够实现第一芯片20与第二芯片30的电连接方式的简单化。

[0138] (1-4) 第二芯片30包含焊盘PG2。焊盘PG2经由下拉电阻43连接于钳位用晶体管41的栅极电极41G。下拉电阻43形成在俯视时与焊盘PG2重叠的位置且比焊盘PG2靠近漂移层45的位置。

[0139] 根据该结构,与下拉电阻43在俯视时形成于与焊盘PG2不同的区域的情况相比,能够增大钳位用晶体管41的有源区域。另外,在不增大上述有源区域的情况下,能够减小俯视时的第二芯片30的面积。

[0140] (1-5) 第一连接部件51、第二连接部件52和第三连接部件53分别由金属板形成。

[0141] 根据该结构,与各连接部件51~53例如由通过镀层形成的配线和通孔构成的情况相比,能够实现密封树脂60的构造的简化。因此,能够减少半导体模块100的制造工时。

[0142] (1-6) 第一芯片20具有与主晶体管21的漏极电极21D电连接的漏极焊盘PD1和与主晶体管21的源极电极21S电连接的源极焊盘PS1。在俯视时,漏极焊盘PD1和源极焊盘PS1在x方向上相互隔开距离地排列。在俯视时,第一芯片20和第二芯片30在y方向上相互隔开距离地排列。

[0143] 根据该结构,能够实现将主晶体管21的漏极电极21D和源极电极21S与有源钳位电路40电连接的连接部件50的结构简化。

[0144] (1-7) 有源钳位电路40包含:下拉电阻43,其连接于钳位用晶体管41的源极电极41S与栅极电极41G之间;和钳位用电容器42,其连接于主晶体管21的漏极电极21D与钳位用晶体管41的栅极电极41G之间。

[0145] 根据该结构,在主晶体管21的漏极-源极间电压急剧变化时,由于该急剧的电压变化使钳位用晶体管41的栅极-源极间电压上升,从而钳位用晶体管41导通。由此,能够抑制主晶体管21的栅极-源极电压的上升。这样,因为不是基于来自半导体模块10的外部的电路的信号来控制钳位用晶体管41的导通截止,而是在半导体模块10内控制钳位用晶体管41的导通截止,因此不需要对半导体模块10追加信号用的焊盘。因此,能够抑制由于有源钳位电路40而对半导体模块10追加焊盘。

[0146] [第二实施方式]

[0147] 参照图11~图15,对第二实施方式的半导体模块100进行说明。本实施方式的半导体模块100与第一实施方式的半导体模块10相比,主要是第一芯片20和第二芯片30的结构不同。在以下的说明中,对与第一实施方式共通的构成要素标注相同的附图标记,并省略其说明。

[0148] (半导体模块的概略结构)

[0149] 参照图11~图13,对半导体模块100的概略结构进行说明。

[0150] 图11是主要表示半导体模块100的内部构造中的第一芯片20和第二芯片30的配置结构和连接结构的一例的俯视图。图12是半导体模块100的俯视图。图13是在图11的F13-F13线切断的半导体模块100的截面图,主要表示第一芯片20和第二芯片30的截面构造。此外,在图12中,为了方便,用双点划线表示后述的各开口113~116。

[0151] 如图11所示,半导体模块100具有第一芯片20、第二芯片30、和将这些芯片20、30密封的密封树脂110。此外,在图11中,为了便于说明,用实线表示密封树脂110内的各芯片20、30。

[0152] 半导体模块100形成为矩形平板状。密封树脂110构成半导体模块100的外表面。即,密封树脂110形成为矩形平板状。密封树脂110包括树脂正面110s、朝向与树脂正面110s相反侧的树脂背面110r(均参照图13)、以及作为与树脂正面110s和树脂背面110r这两者交叉的4个树脂侧面的第一~第四树脂侧面110a~110d。在本实施方式中,第一~第四树脂侧面110a~110d与树脂正面110s和树脂背面110r这两者正交。此外,在本实施方式中,将密封树脂110的厚度方向作为z方向。在此,“俯视”包括“从密封树脂110的厚度方向看”的意思。

[0153] 俯视时的密封树脂110的形状是具有长边方向和短边方向的矩形。在本实施方式中,密封树脂110以其长边方向与y方向一致、其短边方向与x方向一致的方式配置。在本实施方式中,第一树脂侧面110a和第二树脂侧面110b构成密封树脂110的长边方向(y方向)的两端面,第三树脂侧面110c和第四树脂侧面110d构成密封树脂110的短边方向(x方向)的两端面。密封树脂110由绝缘性的树脂材料形成。作为这样的树脂材料,例如能够使用环氧树脂、丙烯酸树脂、酚醛树脂等。

[0154] 如图13所示,密封树脂110包含第一密封部111和第二密封部112。第一密封部111是支承第一芯片20和第二芯片30的支承基板。第一密封部111包含树脂背面110r。第二密封部112形成在第一密封部111上,与第一密封部111协作而将第一芯片20和第二芯片30密封。第二密封部112包含树脂正面110s。第一芯片20通过第一接合材料AD1接合于第一密封部111。第二芯片30通过第二接合材料AD2接合于第一密封部111。各接合材料AD1、AD2可以使用导电性接合材料,也可以使用绝缘性接合材料。

[0155] 如图11所示,第一芯片20与第一实施方式的第一芯片20相比形状不同。本实施方

式的第一芯片20是具有长边方向和短边方向的矩形平板状。第一芯片20以其长边方向与密封树脂110的长边方向一致、其短边方向与密封树脂110的短边方向一致的方式配置。在俯视时,第一芯片20在俯视时遍及密封树脂110的大部分而形成。

[0156] 第一芯片20具有与主晶体管21的漏极电极21D(参照图6)电连接的漏极焊盘PD、与主晶体管21的源极电极21S(参照图6)电连接的主源极焊盘PSM以及感测源极焊盘PSS、和与主晶体管21的栅极电极21G(参照图6)电连接的栅极焊盘PG。

[0157] 在第一芯片20中,漏极焊盘PD配置在比密封树脂110的x方向的中央更靠近第三树脂侧面110c。主源极焊盘PSM、感测源极焊盘PSS和栅极焊盘PG分别配置于比密封树脂110的x方向的中央更靠近第四树脂侧面110d。栅极焊盘PG配置在比主源极焊盘PSM和感测源极焊盘PSS更靠近第一树脂侧面110a。

[0158] 主晶体管21包含有源区域21T。有源区域21T是形成有晶体管的区域。在本实施方式中,有源区域21T形成为在俯视时具有长边方向和短边方向的矩形形状。有源区域21T以其长边方向与第一芯片20的长边方向一致,其短边方向与第一芯片20的短边方向一致的方式形成。漏极焊盘PD配置在比有源区域21T更靠近第三树脂侧面110c。主源极焊盘PSM、感测源极焊盘PSS和栅极焊盘PG分别配置在比有源区域21T更靠近第四树脂侧面110d。

[0159] 第二芯片30与第一实施方式的第二芯片30相比形状不同。本实施方式的第二芯片30是具有长边方向和短边方向的矩形平板状。俯视时的第二芯片30的面积(第二面积)比俯视时的第一芯片20的面积(第一面积)小。在一例中,第二面积为第一面积的1/2以下。在一例中,第二面积为第一面积的1/5以下。在一例中,第二面积为第一面积的1/10以下。

[0160] 第二芯片30以其长边方向与密封树脂110的短边方向一致,其短边方向与密封树脂110的长边方向一致的方式配置。第二芯片30配置在比第一芯片20更靠近第一树脂侧面110a。因此,第一芯片20和第二芯片30在密封树脂110的长边方向(y方向)上相互隔开距离地配置。第一芯片20的长边方向与第一芯片20和第二芯片30的排列方向一致。第二芯片30的长边方向在俯视时与第一芯片20和第二芯片30的排列方向正交。

[0161] 在本实施方式中,第二芯片30配置在相对于密封树脂110的x方向的中央更靠近第四树脂侧面110d。即,也可以说第二芯片30配置在相比第一芯片20的漏极焊盘PD更靠近栅极焊盘PG。

[0162] 第二芯片30包含第一焊盘PA、第二焊盘PB和第三焊盘PC。这些焊盘PA~PC以在第二芯片30的短边方向(y方向)上相互对齐的状态在第二芯片30的长边方向(x方向)上相互隔开距离地排列。另外,各焊盘PA~PC配置在第二芯片30的短边方向(y方向)的中央。

[0163] 在本实施方式中,第一焊盘PA配置在第二芯片30的x方向的两端部中的靠近第三树脂侧面110c一方的端部。换言之,第一焊盘PA在x方向上配置于比第二焊盘PB和第三焊盘PC更靠近漏极焊盘PD。

[0164] 第三焊盘PC配置在第二芯片30的x方向的两端部中的靠近第四树脂侧面110d一方的端部。换言之,第三焊盘PC在x方向上配置于比第一焊盘PA和第二焊盘PB更靠近栅极焊盘PG。从y方向看,第三焊盘PC以与栅极焊盘PG重叠的方式配置。

[0165] 第二焊盘PB配置在第二芯片30的x方向的中央。第一焊盘PA和第二焊盘PB相对于感测源极焊盘PSS和栅极焊盘PG靠近第三树脂侧面110c地配置。即,第一焊盘PA和第二焊盘PB在从y方向看时相对于感测源极焊盘PSS和栅极焊盘PG偏靠第三树脂侧面110c地配置。

[0166] 半导体模块100具有将第一芯片20与第二芯片30电连接的连接部件120。连接部件120包含导电材料。作为该导电材料,例如能够使用Cu、Al、CuAl合金等。在本实施方式中,连接部件120通过由导电材料构成的金属板形成。连接部件120配置在第一芯片20和第二芯片30上。因此,连接部件120以跨第一芯片20与第二芯片30之间的方式形成。连接部件120被第二密封部112(密封树脂110)密封。在本实施方式中,连接部件120包括第一连接部件121、第二连接部件122、第三连接部件123和第四连接部件124。

[0167] 第一连接部件121将第一芯片20的漏极焊盘PD与第二芯片30的第一焊盘PA电连接。在本实施方式中,第一连接部件121遍及漏极焊盘PD的整个面地连接。第一连接部件121通过超声波接合等与漏极焊盘PD和第一焊盘PA这两者接合。

[0168] 第二连接部件122将第一芯片20的主源极焊盘PSM和第二芯片30的第二焊盘PB电连接。在俯视时,第二连接部件122以避开感测源极焊盘PSS的方式形成。第二连接部件122与主源极焊盘PSM和第二焊盘PB这两者接合。

[0169] 第三连接部件123将第一芯片20的栅极焊盘PG与第二芯片30的第三焊盘PC电连接。第三连接部件123与栅极焊盘PG和第三焊盘PC这两者接合。

[0170] 第四连接部件124与第一芯片20的感测源极焊盘PSS电连接。第四连接部件124与感测源极焊盘PSS接合。另外,第四连接部件124也可以与第二连接部件122一体化。

[0171] 如图12所示,半导体模块100具有漏极端子131、主源极端子132、感测源极端子133和栅极端子134。这些端子131~134形成于树脂正面110s。在俯视时,这些端子131~134相互隔开距离地配置。

[0172] 漏极端子131配置在俯视时与第一芯片20的漏极焊盘PD重叠的位置。换言之,漏极端子131配置于在俯视时与第一连接部件121(参照图11)重叠的位置。漏极端子131经由第一连接部件121与漏极焊盘PD电连接。在一例中,在密封树脂110中的形成漏极端子131的位置,形成有使第一连接部件121露出的第一开口113。漏极端子131以填充于第一开口113并且一部分从第一开口113突出到树脂正面110s的方式形成。

[0173] 主源极端子132配置于在俯视时与第一芯片20的主源极焊盘PSM重叠的位置。换言之,主源极端子132配置于在俯视时与第二连接部件122重叠的位置。主源极端子132经由第二连接部件122与主源极焊盘PSM电连接。在一个例子中,如图12和图13所示,在密封树脂110中的形成主源极端子132的位置,形成有使第二连接部件122露出的第二开口114。主源极端子132以填充于第二开口114并且一部分从第二开口114突出到树脂正面110s的方式形成。

[0174] 感测源极端子133配置于在俯视时与第一芯片20的感测源极焊盘PSS重叠的位置。感测源极端子133与感测源极焊盘PSS电连接。在一个例子中,如图12和图13所示,在密封树脂110中的形成感测源极端子133的位置,形成有使第四连接部件124露出的第三开口115。第三开口115与第二开口114在y方向上隔开距离地形成。感测源极端子133以填充于第三开口115并且一部分从第三开口115突出到树脂正面110s的方式形成。

[0175] 栅极端子134配置于在俯视时与第一芯片20的栅极焊盘PG重叠的位置。栅极端子134经由第三连接部件123与栅极焊盘PG电连接。在一例中,如图12和图13所示,在密封树脂110中的形成栅极端子134的位置,形成有使第三连接部件123露出的第四开口116。栅极端子134以填充于第四开口116并且一部分从第四开口116突出到树脂正面110s的方式形成。

[0176] 在树脂正面110s形成有正面绝缘层135。正面绝缘层135以覆盖各端子131~134的外周边缘的方式形成。换言之,各端子131~134包含从正面绝缘层135露出的部分。

[0177] (第二芯片的详细构成)

[0178] 参照图14和图15,对第二芯片30的详细构成进行说明。

[0179] 图14是主要表示第二芯片30的有源钳位电路40的平面结构的一例的俯视图。图15是在图14中的线F15-F15切断的第二芯片30的截面图,并且主要表示了钳位用晶体管41、钳位用电容器42和下拉电阻43的各个的概略截面结构和有源钳位电路40内的连接结构。此外,在图14中,从附图的易观看性的观点出发,用实线分别表示了钳位用晶体管41、钳位用电容器42和下拉电阻43。

[0180] 如图14所示,第二芯片30包含第一芯片侧面30a、第二芯片侧面30b、第三芯片侧面30c和第四芯片侧面30d。第一芯片侧面30a和第二芯片侧面30b构成第二芯片30的短边方向(y方向)的两端面。第三芯片侧面30c和第四芯片侧面30d构成第二芯片30的长边方向(x方向)的两端面。第一芯片侧面30a朝向与第一树脂侧面110a(参照图12)相同侧,第二芯片侧面30b朝向与第二树脂侧面110b(参照图12)相同侧。第三芯片侧面30c朝向与第三树脂侧面110c(参照图12)相同侧,第四芯片侧面30d朝向与第四树脂侧面110d(参照图12)相同侧。

[0181] 有源钳位电路40的钳位用晶体管41、钳位用电容器42和下拉电阻43在俯视时形成于相互不同的位置。在本实施方式中,钳位用电容器42和下拉电阻43配置在相对于钳位用晶体管41更靠近第三芯片侧面30c。下拉电阻43配置在相对于钳位用电容器42更靠近第一芯片侧面30a。

[0182] 钳位用晶体管41包括形成有晶体管的有源区域41T。在俯视时,有源区域41T是具有长边方向和短边方向的矩形形状的区域。在本实施方式中,有源区域41T形成为x方向为长边方向、y方向为短边方向的矩形形状。有源区域41T的长边方向与第二芯片30的长边方向一致。另外,在俯视时,第一芯片20(参照图12)的长边方向为y方向,短边方向为x方向,因此有源区域41T的长边方向与第一芯片20的长边方向正交。

[0183] 如图15所示,本实施方式的钳位用晶体管41使用横型(Lateral)构造的MOSFET。因此,钳位用晶体管41的漏极电极41D、源极电极41S和栅极电极41G分别从中间绝缘膜49B的表面露出。在本实施方式中,在基极区域46的表面,漏极区域46B相对于源极区域48隔开距离地形成。漏极电极41D与漏极区域46B相接。源极电极41S与源极区域48相接。本实施方式的钳位用晶体管41与第一实施方式的钳位用晶体管41不同,在形成于基极区域46上的绝缘膜49A上形成有栅极电极41G,而不是在栅极沟槽。栅极电极41G被中间绝缘膜49B覆盖。

[0184] 如图14所示,在本实施方式中,钳位用电容器42的第一电极42P和第二电极42Q这两者由多个配线构成。

[0185] 第一电极42P包括在y方向上延伸的多个(在本实施方式中为两个)第一配线和在x方向上延伸的第二配线。两个第一配线在x方向上相互隔开距离地排列。第二配线将2条第一配线各自的x方向的靠近第二芯片侧面30b的端部连接。

[0186] 第二电极42Q包括在y方向上延伸的多个(在本实施方式中为两个)第三配线和在x方向上延伸的第四配线。2个第三配线在x方向上相互隔开距离地排列。第三配线以在x方向上与第一电极42P的第一配线相对的方式配置。第一配线和第三配线在x方向上交替地配置。第四配线在y方向上配置在比第一电极42P的第二配线更靠近第一芯片侧面30a。第四配

线将2个第三配线各自的x方向的靠近第一芯片侧面30a的端部连接。如图15所示, 钳位用电容器42与第一实施方式同样地形成于绝缘膜49A, 并被中间绝缘膜49B覆盖。

[0187] 如图14和图15所示, 下拉电阻43与第一实施方式的下拉电阻43的结构相同。

[0188] 如图15所示, 在本实施方式中, 钳位用晶体管41、钳位用电容器42和下拉电阻43形成于在半导体基板44(参照图6)的厚度方向(z方向)上相互对齐的位置。

[0189] 如图15所示, 钳位用晶体管41、钳位用电容器42和下拉电阻43通过配线层140相互电连接。配线层140包括钳位用漏极配线141、钳位用源极配线142和钳位用栅极配线143。

[0190] 钳位用漏极配线141与钳位用晶体管41的多个漏极电极41D的各个电连接。在图14中, 为了方便, 钳位漏极配线141形成在比有源区域41T更靠近第二芯片侧表面30b。钳位用漏极配线141形成在俯视时以x方向为长边方向的带状。该钳位用漏极配线141表示将形成在有源区域41T上的多个钳位用漏极配线141(参照图15)接合的部分。

[0191] 钳位用源极配线142与钳位用晶体管41的多个源极电极41S的各个电连接。另外, 在图14中, 为了方便, 钳位用源极配线142以x方向成为长边方向的方式呈带状地形成在比有源区域41T更靠近第一芯片侧面30a。钳位用源极配线142表示将形成在有源区域41T上的多个钳位用源极配线142(参照图15)接合的部分。

[0192] 钳位用栅极配线143与钳位用晶体管41的多个栅极电极41G的各个电连接。此外, 在图14中, 为了方便, 钳位用栅极配线143在x方向上与有源区域41T相邻的位置作为小型的矩形形状表示, 但实际上遍及有源区域41T的整体地引绕。

[0193] 如图14和图15所示, 配线层140还包括第一连接配线151、第二连接配线152、第三连接配线153、第四连接配线154和第五连接配线155。

[0194] 第一连接配线151将钳位用电容器42与第一焊盘PA(参照图11)电连接。更详细而言, 第一连接配线151连接钳位用电容器42的第一电极42P中的第二配线与第一焊盘PA。由于第一焊盘PA通过图11所示的第一连接部件121与主晶体管21的漏极电极21D电连接, 因此可以说第一连接配线151与漏极电极21D电连接。由此, 钳位用电容器42的第一电极42P与漏极电极21D电连接。

[0195] 第二连接配线152将钳位用电容器42和下拉电阻43这两者与钳位用晶体管41的栅极电极41G电连接。更详细而言, 第二连接配线152将钳位用电容器42的第二电极42Q中的第四配线和下拉电阻43的第一端子43P这两者与栅极电极41G电连接。第二连接配线152可以说是与栅极电极41G连接的钳位用栅极配线143的一部分。即, 钳位用栅极配线143包括第二连接配线152。

[0196] 如图14所示, 在俯视时, 第二连接配线152形成在比有源区域41T更靠近第三芯片侧面30c。第二连接配线152形成在钳位用电容器42与下拉电阻43的y方向之间。

[0197] 第三连接配线153是将下拉电阻43与钳位用晶体管41的源极电极41S电连接的连接配线。更详细而言, 第三连接配线153将下拉电阻43的第二端子43Q与源极电极41S电连接。第三连接配线153可以说是与源极电极41S连接的钳位用源极配线142的一部分。即, 钳位用源极配线142包括第三连接配线153。在俯视时, 第三连接配线153形成在比有源区域41T更靠近第一芯片侧面30a且更靠近第三芯片侧面30c。

[0198] 第四连接配线154电连接钳位用晶体管41的源极电极41S和第二焊盘PB。更详细而言, 第四连接配线154连接钳位用源极配线142与第二焊盘PB(参照图11)。在本实施方式中,

第四连接配线154与钳位用源极配线142一体化。因此,第四连接配线154可以说是钳位用源极配线142的一部分。即,钳位用源极配线142包括第四连接配线154。第四连接配线154在俯视时形成在比有源区域41T更靠近第一芯片侧面30a。第四连接配线154形成于在俯视时与第二焊盘PB重叠的位置。此外,第四连接配线154的形成位置能够任意地变更。在一个例子中,第四连接配线154也可以形成于在俯视时与有源区域41T重叠的位置。

[0199] 第五连接配线155将钳位用晶体管41的漏极电极41D与第三焊盘PC(参照图11)电连接。由于第三焊盘PC通过第三连接部件123与主晶体管21的栅极电极21G电连接,因此漏极电极41D与栅极电极21G电连接。第五连接配线155形成在比有源区域41T更靠近第四芯片侧面30d。第五连接配线155形成于在俯视时与第三焊盘PC重叠的位置。此外,第五连接配线155的形成位置能够任意地变更。在一个例子中,第五连接配线155也可以形成于在俯视时与有源区域41T重叠的位置。

[0200] 钳位用电容器42的各配线、下拉电阻43的各端子43P、43Q、各配线141~143、各连接配线151~155的各自例如能够由包含Cu、Al、AlCu合金、W、Ti、TiN中的至少一个的任意的导电材料构成。此外,根据本实施方式,能够得到与第一实施方式的效果相同的效果。

[0201] [第三实施方式]

[0202] 参照图16~图18,对第三实施方式的半导体模块200进行说明。本实施方式的半导体模块200与第二实施方式的半导体模块100相比,主要是第一芯片20的结构和第一芯片20与第二芯片30的连接结构不同。在以下的说明中,对与第二实施方式共通的构成要素标注同一符号,并省略其说明。

[0203] 图16是半导体模块200的俯视图。图17是主要表示半导体模块200的内部构造中的第一芯片20及其周边的截面构造的一例的俯视图。图18是主要表示半导体模块200的内部构造中的第一芯片20和第二芯片30及其周边的截面构造的一例的截面图。

[0204] 如图16所示,半导体模块200具有第一芯片20、第二芯片30和将这些芯片20、30密封的密封树脂110。此外,在图16中,为了便于说明,用双点划线表示密封树脂110内的各芯片20、30。

[0205] 在本实施方式中,第一芯片20和第二芯片30以在密封树脂110的短边方向(x方向)上相互对齐的状态在密封树脂110的长边方向(y方向)上相互隔开距离地排列。

[0206] 第一芯片20与第二实施方式的第一芯片20相比,焊盘结构不同。本实施方式的第一芯片20具有多个漏极焊盘PD、栅极焊盘PG和多个源极焊盘PS。本实施方式的第一芯片20不具有第二实施方式的感测源极焊盘PSS。漏极焊盘PD和源极焊盘PS在第一芯片20的长边方向(在本实施方式中为y方向)上交替地配置。栅极焊盘PG配置在第一芯片20的长边方向的两端部中的靠近第二芯片30的一方的端部。

[0207] 在树脂正面110s(参照图17)形成有漏极端子131、主源极端子132和栅极端子134。在本实施方式中,与第二实施方式不同,感测源极端子133没有形成在树脂正面110s。

[0208] 如图16和图17所示,半导体模块200具有将第一芯片20与第二芯片30连接的连接部件210。如图17所示,连接部件210配置在比各芯片20、30更靠近树脂正面110s。连接部件210被第二密封部112(密封树脂110)密封。另一方面,如图18所示,连接部件210的一部分从第二密封部112(密封树脂110)露出,由此构成漏极端子131、主源极端子132和栅极端子134。漏极端子131、主源极端子132和栅极端子134与第二实施方式同样地被正面绝缘层135

覆盖。漏极端子131、主源极端子132和栅极端子134与第二实施方式同样地,一部分从正面绝缘层135露出。

[0209] 如图16所示,连接部件210包括第一连接部件211、第二连接部件212和第三连接部件213。各连接部件211~213包括与各芯片20、30接合的第一部分、从树脂正面110s露出的第二部分和连接第一部分与第二部分的第三部分。第二部分形成为比第一部分更靠近树脂正面110s,因此第三部分以在z方向上弯曲的方式形成。

[0210] 第一连接部件211连接第一芯片20的各漏极焊盘PD与第二芯片30的第一焊盘PA。第一连接部件211中的从密封树脂110露出的部分构成漏极端子131。在俯视时,第一连接部件211包括与各漏极焊盘PD接合的梳齿状的部分、和从该梳齿状的部分中的靠近第二芯片30的端部向第二芯片30延伸的延长部。延长部接合于第一焊盘PA。

[0211] 第二连接部件212连接第一芯片20的各源极焊盘PS与第二芯片30的第二焊盘PB。第二连接部件212中的从密封树脂110露出的部分构成主源极端子132。在俯视时,第二连接部件212包括与各源极焊盘PS接合的梳齿状的部分、和从该梳齿状的部分中的在y方向上靠近第二芯片30的端部向第二芯片30延伸的延长部。延长部接合于第二焊盘PB。

[0212] 第三连接部件213连接第一芯片20的栅极焊盘PG与第二芯片30的第三焊盘PC。第三连接部件213中的从密封树脂110露出的部分与栅极端子134电连接。俯视时的第三连接部件213的形状是以避开第一连接部件211的方式形成的曲柄状。

[0213] 如图18所示,在第一密封部111设置有搭载第一芯片20的第一裸片焊盘220和搭载第二芯片30的第二裸片焊盘230。各裸片焊盘220、230例如由Cu、Al、CuAl合金等金属材料形成。在本实施方式中,各裸片焊盘220、230使用Cu框架。第一密封部111以覆盖各裸片焊盘220、230的侧面的方式形成。换言之,各裸片焊盘220、230从第一密封部111(树脂背面110r)露出。

[0214] 在第一密封部111设置有使第一裸片焊盘220的热向第一密封部111的外部散热的第一散热构造221。第一散热构造221包括多个通孔和形成于树脂背面110r的散热焊盘。多个通孔连接散热垫与第一芯片垫220。

[0215] 在第一密封部111设置有使第二裸片焊盘230的热向第一密封部111的外部散热的第二散热构造231。第二散热构造231的结构与第一散热构造221的结构相同,因此省略其详细说明。

[0216] 第一芯片20通过第一接合材料AD1与第一裸片焊盘220接合。第二芯片30通过第二接合材料AD2与第二裸片焊盘230接合。各接合材料AD1、AD2使用焊膏或Ag膏等导电性接合材料。

[0217] 在树脂背面110r形成有背面绝缘层136。背面绝缘层136由包含SiO₂和SiN中的至少一方的材料形成。背面绝缘层136以覆盖各散热构造221、231的外周边缘的方式形成。换言之,各散热构造221、231包含从背面绝缘层136露出的部分。

[0218] (效果)

[0219] 根据本实施方式,除了第一实施方式的效果之外,还能够得到以下的效果。

[0220] (3-1) 第一芯片20搭载于从密封树脂110的树脂背面110r露出的第一裸片焊盘220。第一裸片焊盘220由金属材料形成。

[0221] 根据该结构,与半导体模块200不具有第一裸片焊盘220的结构相比,容易从第一

芯片20经由第一裸片焊盘220向半导体模块200的外部散热。因此,能够抑制第一芯片20的温度过度上升。

[0222] [第四实施方式]

[0223] 参照图19~图24,对第四实施方式的半导体模块300和半导体组件400进行说明。本实施方式与第三实施方式相比,主要不同点在于第一芯片20和第二芯片30的个数、以及追加了第三芯片310。在以下的说明中,对与第三实施方式共通的构成要素标注相同的附图标记,并省略其说明。

[0224] (半导体组件的结构)

[0225] 参照图19~图23,对半导体组件400的结构进行说明。

[0226] 图19是主要表示半导体模块300的内部构造中的第一芯片20、第二芯片30和后述的第三芯片310的配置结构的一例的俯视图。图20是主要表示半导体模块300的内部结构中的配线层的结构的一例的俯视图。图21是半导体模块300的俯视图。图22是在图21的F22-F22线切断的半导体模块200的截面构造的一例,是主要表示第一芯片20及其周边的截面图。图23是在图22的F23-F23线切断的半导体模块200的截面构造的一个例子,是主要表示第三芯片310和第一芯片20的截面图。

[0227] 如图19所示,半导体组件400具有半导体模块300和第三芯片310。第三芯片310与第一芯片20和第二芯片30分开设置。第三芯片310被半导体模块300的密封树脂350密封。

[0228] 在本实施方式中,半导体模块300的结构与第二实施方式不同。更详细而言,半导体模块300具有多个(本实施方式中为2个)第一芯片20、多个(本实施方式中为2个)第二芯片30、以及密封各第一芯片20和各第二芯片30的密封树脂350。此外,在图19中,为了便于说明,用实线表示密封树脂350内的各芯片20、30、310。在以后的说明中,为了方便,将2个第一芯片20分别区分称为“第一芯片20A”和“第一芯片20B”。另外,将2个第二芯片30分别区分称为“第二芯片30A”和“第二芯片30B”。

[0229] 半导体模块300形成为矩形平板状。密封树脂350构成半导体模块300的外表面。即,密封树脂350形成为矩形平板状。密封树脂350包括树脂正面350s、朝向与树脂正面350s相反侧的树脂背面350r(均参照图22)和作为与树脂正面350s和树脂背面350r这两者交叉的四个树脂侧面的第一~第四树脂侧面350a~350d。在本实施方式中,第一~第四树脂侧面350a~350d与树脂正面350s和树脂背面350r这两者正交。此外,在本实施方式中,将密封树脂350的厚度方向作为z方向。在此,“俯视”包括“从密封树脂350的厚度方向看”的意思。

[0230] 俯视时的密封树脂350的形状是具有长边方向和短边方向的矩形形状。在本实施方式中,将密封树脂350的长边方向作为y方向,将密封树脂350的短边方向作为x方向。在本实施方式中,第一树脂侧面350a和第二树脂侧面350b构成y方向的两端面,第三树脂侧面350c和第四树脂侧面350d构成x方向的两端面。密封树脂350由绝缘性的树脂材料形成。作为这样的树脂材料,例如能够使用环氧树脂、丙烯酸树脂、酚醛树脂等。

[0231] 第一芯片20A、20B以在密封树脂350的长边方向(y方向)上相互对齐的状态在密封树脂110的短边方向(x方向)上相互隔开距离地排列。在俯视时,第一芯片20A、20B相对于密封树脂350在y方向上偏倚地配置。在本实施方式中,在俯视时,第一芯片20A、20B配置在相比密封树脂350的第一树脂侧面350a更靠近第二树脂侧面350b。第一芯片20A、20B以其长边方向为y方向,其短边方向为x方向的方式配置。换言之,第一芯片20A、20B各自的长边方向

与密封树脂350的长边方向一致,第一芯片20A、20B各自的短边方向与密封树脂350的短边方向一致。

[0232] 第三芯片310在俯视时在与第一芯片20A、20B的排列方向正交的方向上与第一芯片20A、20B分别隔开距离地配置。更详细而言,第三芯片310以在y方向上比第一芯片20A、20B更靠近第一树脂侧面350a的方式配置。第三芯片310形成为矩形平板状。俯视时的第三芯片310的形状是具有长边方向和短边方向的矩形。在本实施方式中,第三芯片310以其长边方向为x方向、其短边方向为y方向的方式配置。因此,在俯视时,第三芯片310的长边方向与密封树脂350的长边方向和第一芯片20A、20B的长边方向这两者正交,第三芯片310的短边方向与密封树脂350的短边方向和第一芯片20A、20B的短边方向正交。从y方向看,第三芯片310配置在与第一芯片20A、20B的各自局部地重叠的位置。在本实施方式中,第三芯片310配置在密封树脂350的x方向的中央。

[0233] 第三芯片310包含在z方向上相互朝向相反侧的芯片正面310s和芯片背面310r(参照图23)。芯片正面310s朝向与树脂正面350s相同侧,芯片背面310r朝向与树脂背面350r相同侧。

[0234] 第三芯片310包含:半导体基板;形成在半导体基板上,且使第一芯片20A、20B分别独立地驱动的驱动电路311;和与驱动电路311电连接的多个电极垫312。各电极焊盘312从芯片正面310s露出。

[0235] 第二芯片30A、30B配置在比第一芯片20A、20B更靠近第一树脂侧面350a。第二芯片30A配置在第三芯片310与第一芯片20A的y方向之间。第二芯片30B配置在第三芯片310与第一芯片20B的y方向之间。第二芯片30A配置于在y方向上与第一芯片20A相邻的位置。第二芯片30B配置于在y方向上与第一芯片20B相邻的位置。

[0236] 如图20所示,半导体模块300具有配线层320。配线层320至少具有包含在z方向上延伸的通孔和在与z方向正交的方向上延伸的配线的配线层、以及仅包含在z方向上延伸的通孔而构成的配线层这两种结构的配线层。配线层320是连接第一芯片20A、20B、第二芯片30A、30B和第三芯片310的配线层。

[0237] 配线层320包括第一连接配线321、第二连接配线322、第三连接配线323、第四连接配线324和第五连接配线325。此外,配线层320包括连接于第三芯片310的多个驱动用配线326。各连接配线321~325和各驱动器用配线326在与z方向正交的方向上延伸,不包含在z方向上弯曲的部分。各连接配线321~325和各驱动用配线326通过金属镀覆形成。

[0238] 第一连接配线321将第一芯片20A的源极焊盘PS以及第一芯片20B的漏极焊盘PD与第二芯片30A的第二焊盘PB以及第二芯片30B的第一焊盘PA连接。在俯视时,第一连接配线321包括梳齿状的部分、第一延长部和第二延长部。梳齿状的部分例如通过多个通孔与第一芯片20A的源极焊盘PS和第一芯片20B的漏极焊盘PD电连接。第一延长部从梳齿状的部分中的靠近第二芯片30A的端部向第二芯片30A延伸。第一延长部例如通过通孔与第二芯片30A的第二焊盘PB电连接。第二延长部从梳齿状的部分中的靠近第二芯片30B的端部向第二芯片30B延伸。第二延长部例如通过通孔与第二芯片30B的第一焊盘PA电连接。

[0239] 第二连接配线322连接第一芯片20A的漏极焊盘PD与第二芯片30A的第一焊盘PA。第二连接配线322具有相对于第一连接配线321靠近第三树脂侧面350c的部分。在俯视时,第二连接配线322包括与各漏极焊盘PD电连接的梳齿状的部分、和从该梳齿状的部分中的

靠近第二芯片30A的端部向第二芯片30A延伸的延长部。梳齿状的部分例如通过多个通孔与各漏极焊盘PD电连接。延长部例如通过通孔与第一焊盘PA电连接。

[0240] 第三连接配线323连接第一芯片20B的源极焊盘PS与第二芯片30B的第二焊盘PB。第三连接配线323具有相对于第一连接配线321靠近第四树脂侧面350d的部分。第三连接配线323包括梳齿状的部分和延长部。梳齿状的部分例如通过多个通孔与源极焊盘PS电连接。延长部例如通过通孔与第二焊盘PB电连接。

[0241] 第四连接配线324连接第一芯片20A的栅极焊盘PG、第二芯片30A的第三焊盘PC和第三芯片310的电极焊盘312。第四连接配线324例如通过通孔与栅极焊盘PG和电极焊盘312电连接。

[0242] 第五连接配线325连接第一芯片20B的栅极焊盘PG、第二芯片30B的第三焊盘PC和第三芯片310的电极焊盘312。第五连接配线325例如通过通孔与栅极焊盘PG和电极焊盘312电连接。在此,第四连接配线324和第五连接配线325这两者与“控制用连接部件”对应。

[0243] 多个驱动用配线326与第三芯片310的多个电极焊盘312独立地连接。各驱动用配线326在俯视时朝向第一树脂侧面350a、第三树脂侧面350c和第四树脂侧面350d中的任一个树脂侧面延伸到比第三芯片310更靠外方。

[0244] 如图21所示,半导体模块200具有漏极端子331、源极端子332、输出端子333和多个驱动用端子334。各端子331~334形成在树脂正面350s上。在图21中,漏极端子331、源极端子332和输出端子333中的没有从密封树脂350露出的部分用虚线表示。

[0245] 漏极端子331、源极端子332和输出端子333以在y方向上相互对齐的状态在x方向上相互隔开距离地排列。漏极端子331、源极端子332和输出端子333在y方向上配置在相比第一树脂侧面350a更靠近第二树脂侧面350b。在俯视时,漏极端子331配置于与第二连接配线322(参照图20)重叠的位置,源极端子332配置于与第三连接配线323(参照图20)重叠的位置,输出端子333配置于与第一连接配线321(参照图20)重叠的位置。

[0246] 多个驱动器用端子334在y方向上配置在比第二树脂侧面350b更偏向第一树脂侧面350a。多个驱动器用端子334在俯视时沿着第一树脂侧面350a、第三树脂侧面350c和第四树脂侧面350d排列成一排。

[0247] 漏极端子331是与第一芯片20A的主晶体管21的漏极电极21D(参照图20)电连接的端子。俯视时的漏极端子331的形状与俯视时的第二连接配线322的梳齿状的部分的形状相同。漏极端子331与第二连接配线322电连接。

[0248] 源极端子332是与第一芯片20B的主晶体管21的源极电极21S(参照图20)电连接的端子。俯视时的源极端子332的形状与俯视时的第三连接配线323的梳齿状的部分的形状相同。源极端子332与第三连接配线323电连接。

[0249] 输出端子333是与第一芯片20A的主晶体管21的源极电极21S(参照图20)和第一芯片20B的主晶体管21的漏极电极21D(参照图20)这两者电连接的端子。输出端子333与第一连接配线321电连接。

[0250] 漏极端子331、源极端子332和输出端子333分别形成于树脂正面350s(参照图22),以一部分露出的状态被正面绝缘层370覆盖。漏极端子331、源极端子332和输出端子333中的从正面绝缘层370露出的部分的俯视时的形状是y方向为长边方向、x方向为短边方向的矩形形状。正面绝缘层370例如由包含SiO₂或SiN的材料形成。

[0251] 多个驱动用端子334是与驱动电路311电连接的端子。多个驱动用端子334与多个驱动用配线326独立地电连接。更详细而言,各驱动用端子334连接于各驱动用配线326的第二通孔。

[0252] 如图22和图23所示,密封树脂350包含第一密封部351、第二密封部352和第三密封部353。各密封部351~353例如由彼此相同的材料形成。

[0253] 第一密封部351是支承各芯片20A、20B、30A、30B、310的支承部件。各芯片20A、20B、30A、30B、310例如通过各接合材料AD1~3接合于第一密封部351。第一密封部351构成树脂背面350r。

[0254] 在第一密封部351中,形成有搭载有第一芯片20A的第一裸片焊盘361、搭载有第一芯片20B的第二裸片焊盘362、搭载有第二芯片30A的第三裸片焊盘363、和搭载有第二芯片30B的第四裸片焊盘364。另外,虽然未图示,但也可以形成与第三芯片310对应的第五裸片焊盘。

[0255] 在第一密封部351形成有将第一裸片焊盘361的热向密封树脂350的外部散热的的第一散热构造365、和将第二裸片焊盘362的热向密封树脂350的外部散热的第二散热构造366。另外,在第一密封部351形成有将第三裸片焊盘363的热向密封树脂350的外部散热的第三散热构造(省略图示)和将第四裸片焊盘364的热向密封树脂350的外部散热的第四散热构造367。

[0256] 第一散热构造365包括在俯视时形成于与第一裸片焊盘361重叠的部分的多个通孔、和形成于树脂背面350r的散热焊盘。多个通孔连接第一裸片焊盘361与散热焊盘。第二散热构造366和第四散热构造367这两者均为与第一散热构造365相同的结构,因此省略其详细说明。各裸片焊盘361、362和各散热构造365、366、367分别由例如与配线层320相同的材料形成。

[0257] 各散热构造365、366、367的散热垫的外周边缘被覆盖树脂背面350r的背面绝缘层380覆盖。换言之,散热垫从背面绝缘层380露出。

[0258] 第三芯片310安装在第一密封部分351上。更详细而言,第三芯片310通过第三接合材料AD3接合于第一密封部351。第三接合材料AD3可以是导电性接合材料,也可以是绝缘性接合材料。像这样,第三芯片310不搭载于裸片焊盘,而直接搭载于第一密封部351。

[0259] 第二密封部352与第一密封部351相协作密封各芯片20A、20B、30A、30B和310。

[0260] 第三密封部353设置在第二密封部352上。第三密封部353构成树脂正面350s。漏极端子331、源极端子332、输出端子333和多个驱动用端子334形成在第三密封部353上。

[0261] 配线层320遍及第二密封部352和第三密封部353而形成。

[0262] 如图22所示,配线层320中的第二连接配线322和第三连接配线323(均参照图20)按如下方式形成。即,配线层320的第一通孔在z方向上贯通第二密封部352中的覆盖第一芯片20A、20B的部分。配线层320的配线形成在第二密封部352上。配线被第三密封部353覆盖。配线层320的第二通孔在z方向上贯通第三密封部353。配线层320中的第二连接配线322和第三连接配线323包含在z方向上贯通第二密封部352中的覆盖第一芯片20A、20B的部分的多个通孔、和在z方向上贯通第三密封部353的多个通孔。

[0263] 如图23所示,配线层320中的第四连接配线324和第五连接配线325(均参照图20)按如下方式形成。即,配线层320的第一通孔在z方向上贯通第二密封部352中覆盖第一芯片

20A、20B的部分。配线层320的配线形成在第二密封部352上。配线被第三密封部353覆盖。配线层320的第二通孔在z方向上贯通第二密封部352中覆盖第三芯片310的部分。

[0264] (半导体组件的电路结构)

[0265] 参照图24,对半导体组件400的概略电路结构进行说明。此外,为了便于说明,省略表示驱动电路311的详细的电路结构。在以下的说明中,将第一芯片20A的主晶体管21作为“主晶体管21A”,将第一芯片20B的主晶体管21作为“主晶体管21B”。另外,将第一芯片20A的有源钳位电路40作为“有源钳位电路40A”,将第一芯片20B的有源钳位电路40作为“有源钳位电路40B”。

[0266] 如图24所示,与第一实施方式同样地,主晶体管21A与有源钳位电路40A电连接,主晶体管21B与有源钳位电路40B电连接。

[0267] 主晶体管21A的漏极电极21D连接于漏极端子331,主晶体管21B的源极电极21S连接于源极端子332。

[0268] 主晶体管21A的源极电极21S连接于主晶体管21B的漏极电极21D。输出端子333连接于主晶体管21A的源极电极21S与主晶体管21B的漏极电极21D之间的节点N。

[0269] 主晶体管21A、21B的栅极电极21G分别连接于驱动电路311。驱动电路311与多个驱动用端子334连接。此外,主晶体管21A、21B的源极电极21S也可以分别与驱动电路311连接。

[0270] 在半导体组件400中,当从外部装置向驱动用端子334输入用于驱动主晶体管21A、21B的控制信号时,驱动电路311根据通过驱动用端子334输入到驱动电路311的控制信号,生成用于驱动主晶体管21A、21B的驱动信号。并且,驱动电路311将驱动信号输出至主晶体管21A和21B的栅极电极21G。主晶体管21A、21B基于输入到其栅极电极21G的驱动信号,互补地进行导通截止驱动。

[0271] (效果)

[0272] 根据第四实施方式,除了第一实施方式的效果之外,还能够得到以下的效果。

[0273] (4-1) 半导体组件400具有第一芯片20A、20B、第二芯片30A、30B和第三芯片310、以及密封第一芯片20A、20B、第二芯片30A、30B和第三芯片310的密封树脂350。

[0274] 根据该结构,能够将第一芯片20A、20B的主晶体管21与第三芯片310的驱动电路311在半导体组件400内电连接。因此,与第一芯片20A、20B的主晶体管21和驱动电路311通过半导体组件400外部的电路板电连接的情况相比,可以缩短第一芯片20A、20B的主晶体管21与驱动电路311之间的导电路径。因此,能够降低由导电路径的长度引起的寄生阻抗、寄生电感。

[0275] (4-2) 第三芯片310在俯视时在与第一芯片20A、20B的排列方向正交的方向上相对于第一芯片20A、20B隔开距离地配置。

[0276] 根据该结构,与第三芯片310以在第一芯片20A、20B的排列方向上与第一芯片20A、20B中的任一个相邻的方式配置的情况相比,能够减小第一芯片20A中的主晶体管21的栅极电极21G与驱动电路311之间的导电路径的长度、和第一芯片20B中的主晶体管21的栅极电极21G与驱动电路311之间的导电路径的长度的偏差。

[0277] [变形例]

[0278] 上述各实施方式能够按以下所示方式进行变更来实施。另外,上述各实施方式和以下的变形例能够在技术上不矛盾的范围内相互组合来实施。

[0279] (第一芯片的变形例)

[0280] • 在第一实施方式中,也可以将主晶体管21的漏极焊盘PD1、源极焊盘PS1和栅极焊盘PG1的结构变更为第三和第四实施方式的主晶体管21的漏极焊盘PD、源极焊盘PS和栅极焊盘PG的结构。第二实施方式的主晶体管21的焊盘结构也同样地可以变更为第三和第四实施方式的主晶体管21的焊盘结构。

[0281] • 在各实施方式中,也可以在第一芯片20形成有源钳位电路40的一部分。在一个例子中,有源钳位电路40的钳位用晶体管41形成在第一芯片20中。在一个例子中,有源钳位电路40的钳位用电容器42形成在第一芯片20中。在一个例子中,在第一芯片20形成有有源钳位电路40的下拉电阻43。在一个例子中,在第一芯片20中形成钳位用晶体管41和钳位用电容器42。在一个例子中,在第一芯片20中形成钳位用晶体管41和下拉电阻43。在一个例子中,在第一芯片20形成有钳位用电容器42和下拉电阻43。

[0282] • 在各实施方式中,只要构成第一芯片20的主漂移层(电子传输层24)的材料与构成第二芯片30的副漂移层(漂移层45)的材料不同,构成主漂移层的材料能够任意地变更。在一例中,主漂移层也可以作为由包含Si的材料形成的漂移层而形成。在这种情况下,副漂移层由与包含Si的材料不同的材料(例如,含GaN材料)形成。

[0283] (第二芯片的变形例)

[0284] • 在各实施方式中,下拉电阻43的结构能够任意地变更。

[0285] 在一个例子中,在第二芯片30的主漂移层包含由GaN形成的电子传输层24的情况下,下拉电阻43能够如图25所示的第一变形例或者图26所示的第二变形例那样进行变更。

[0286] 如图25所示,第一变形例的下拉电阻43包括波纹管状的连接路径43A。在本实施方式中,连接路径43A由2DEG26构成。换言之,下拉电阻43的2DEG26在俯视时形成为波纹管形状。因此,连接路径43A包括形成为波纹管状的蜿蜒部。像这样,下拉电阻43包含蜿蜒部的电阻成分。蜿蜒部的电阻成分根据蜿蜒部的长度和宽度来设定。蜿蜒部的长度和宽度分别根据例如下拉电阻43的期望的电阻值来设定。

[0287] 下拉电阻43的第一端子43P和第二端子43Q构成波纹管状的部分的两端部。第一端子43P与连接路径43A中的靠近钳位用电容器42的端部电连接。第二端子43Q与连接路径43A中的靠近钳位用晶体管41的端部电连接。第一端子43P和第二端子43Q经由连接路径43A而相互电连接。

[0288] 如图25所示,第一端子43P和第二端子43Q设置在电子供给层25上。更具体地,第一端子43P和第二端子43Q形成在电子供给层25上并且与电子供给层25欧姆接触。

[0289] 如图26所示,第二变形例的下拉电阻43由常通型晶体管构成,且以包含常通型晶体管的导通电阻的方式构成。更详细而言,下拉电阻43与各实施方式的主晶体管21同样地包含电子移动层24、电子供给层25、钝化层28。另一方面,下拉电阻43与各实施方式的主晶体管21不同,不包含栅极层27。下拉电阻43具有与漏极电极对应的第一端子43P、与源极电极对应的第二端子43Q、与栅极电极对应的第三端子43S、和将第一端子43P与第二端子43Q电连接的连接路径(省略图示)。连接路径由2DEG26构成,在俯视时形成为波纹管状。第三端子43S形成在钝化层28上。第三端子43S靠近第二端子43Q地配置。

[0290] 下拉电阻43具有连接第一端子43P和第三端子43S的配线43C。配线43C例如能够由包含Cu、Al、AlCu合金、W、Ti、TiN中的至少一种的任意的导电材料构成。

[0291] • 在第一实施方式中, 钳位用电容器42也可以代替下拉电阻43而形成于在俯视时与第二芯片30的焊盘PG2重叠的位置。在该情况下, 钳位用电容器42位于比焊盘PG2更靠近漂移层45的位置。

[0292] • 在第一实施方式中, 钳位用电容器42和下拉电阻43这两者也可以形成于在俯视时与第二芯片30的焊盘PG2重叠的位置。在该情况下, 钳位用电容器42和下拉电阻43这两者位于比焊盘PG2更靠近漂移层45。

[0293] • 在第一实施方式中, 钳位用电容器42和下拉电阻43这两者也可以形成于在俯视时与第二芯片30的焊盘PG2不同的位置。

[0294] (有源钳位电路的电路结构的变形例)

[0295] • 在各实施方式中, 有源钳位电路40的电路结构能够任意地变更。在一例中, 有源钳位电路40也可以如以下的第一~第三变形例那样变更。

[0296] 图27表示第一变形例的有源钳位电路40的电路结构。

[0297] 如图27所示, 在第一变形例中, 有源钳位电路40还具有连接于钳位用晶体管41的源极电极41S与栅极电极41G之间的保护二极管500。保护二极管500例如使用齐纳二极管。保护二极管500的阳极电极501与源极电极41S电连接, 保护二极管500的阴极电极502与栅极电极41G电连接。保护二极管500以抑制对钳位用晶体管41的栅极电极41G施加比栅极-源极间额定电压大的电压的方式构成。因此, 能够抑制钳位用晶体管41的栅极-源极间电压变得过大。

[0298] 图28表示第一变形例的保护二极管500的概略截面构造。

[0299] 如图28所示, 保护二极管500例如形成在第二芯片30中的在俯视时与焊盘PG2重叠的位置。

[0300] 保护二极管500包括阳极电极501和阴极电极502、将阳极电极501和阴极电极502的各个电连接的漂移层45、以及导电型与漂移层45不同的阱区域503。在图示的例子中, 阱区域503是p型的半导体区域。阳极电极501例如经由通孔504与焊盘PG2电连接。阳极电极501和阴极电极502这两者均可以由例如包括Cu、Al、AlCu合金、W、Ti和TiN的任意的导电材料构成。

[0301] 阳极电极501和阴极电极502在绝缘膜49A中相互隔开距离地配置。更具体地, 在绝缘膜49A中, 暴露漂移层45的两个开口49H和49J彼此隔开距离地形成。阳极电极501以埋入于开口49H中并且突出到开口49H的周边缘的方式形成。阴极电极502以埋入于开口49J中并且突出到开口49J的周边缘的方式形成。阳极电极501中的从开口49H突出的部分和阴极电极502中的从开口49J突出的部分这两者被中间绝缘膜49B覆盖。

[0302] 另外, 也可以代替保护二极管500而使用分流电阻。分流电阻以抑制对钳位用晶体管41的栅极电极41G(参照图27)施加比栅极-源极间额定电压大的电压的方式构成。根据该结构, 可抑制钳位用晶体管41的栅极-源极间电压变得过大。

[0303] 图29表示第二变形例的有源钳位电路40的电路结构。

[0304] 如图29所示, 在第二变形例中, 有源钳位电路40还具有连接于钳位用晶体管41的源极电极41S与栅极电极41G之间的电容器510。电容器510包括第一电极511和第二电极512。第一电极511与钳位用晶体管41的栅极电极41G和下拉电阻43的第一端子43P电连接。第二电极512与钳位用晶体管41的源极电极41S和下拉电阻43的第二端子43Q电连接。

[0305] 电容器510以抑制对钳位用晶体管41的栅极电极41G施加比栅极-源极间额定电压大的电压的方式构成。因此,能够抑制钳位用晶体管41的栅极-源极间电压变得过大。

[0306] 另外,电容器510也可以与钳位用电容器42同样地形成。在第一实施方式中,电容器510例如也可以设置在第二芯片30中的与栅极焊盘PG1重叠的位置。在第二~第四实施方式中,电容器510也可以形成于在俯视时与钳位用晶体管41、钳位用电容器42和下拉电阻43不同的位置。

[0307] 图30表示第三变形例的有源钳位电路40的电路结构。

[0308] 如图30所示,在第三变形例中,有源钳位电路40还具有用于抑制钳位用晶体管41的误动作的保护用晶体管520。保护用晶体管520包括漏极电极521、源极电极522和栅极电极523。保护用晶体管520连接于钳位用晶体管41的源极电极41S与栅极电极41G之间。更具体地,保护用晶体管520的漏极电极521连接于钳位用晶体管41的栅极电极41G,并且保护用晶体管520的源极电极522连接于钳位用晶体管41的源极电极41S。保护用晶体管520的栅极电极523连接于栅极端子83。与主晶体管21同样地,保护用晶体管520是常截止型晶体管。

[0309] 当主晶体管21处于导通状态时,保护用晶体管520处于导通状态。该保护用晶体管520连接钳位用晶体管41的栅极电极41G与钳位用晶体管41的源极电极41S。因此,当主晶体管21处于导通状态时,保护用晶体管520可靠地使钳位用晶体管41截止。由此,即使对连接有钳位用晶体管41的栅极电极41G的配线施加噪声等,也能够抑制主晶体管21在非意图的时刻成为截止状态。

[0310] 并且,保护用晶体管520在主晶体管21处于截止状态时成为截止状态。因此,钳位用晶体管41能够根据主晶体管21的漏极-源极间电压进行动作。由此,如在第一实施方式中所说明的那样,能够通过钳位用晶体管41抑制主晶体管21的栅极-源极间电压的上升。

[0311] 第一变形例和第二变形例的有源钳位电路40中的至少一方也可以包括第三变形例的保护用晶体管520。由此,能够进行在主晶体管21的截止时的钳位用晶体管41的保护、和在主晶体管21的导通时的钳位用晶体管41的误动作的抑制。

[0312] • 在第四实施方式中,有源钳位电路40的至少一部分也可以形成于第三芯片310。更详细而言,也可以是有源钳位电路40的一部分形成于第二芯片30,有源钳位电路40中没有形成于第二芯片30的要素形成于第三芯片310。

[0313] 另外,有源钳位电路40A、40B也可以全部形成于第三芯片310。在这种情况下,如图31所示,有源钳位电路40可以形成在例如第三芯片310的驱动电路311的输出侧。在一例中,驱动电路311包括推挽电路(省略图示),该推挽电路以对主晶体管21的栅极输出栅极信号的方式构成。有源钳位电路40形成在推挽电路与驱动电路311的输出端子(电极焊盘312)之间。另外,在有源钳位电路40全部形成于第三芯片310的情况下,也可以从半导体组件400省略第二芯片30。

[0314] (半导体模块的变形例)

[0315] • 在第一~第三实施方式中,第一芯片20和第二芯片30各自的个数能够任意地变更。半导体模块10、100、200也可以具有多个第一芯片20。半导体模块10、100、200也可以具有多个第二芯片30。半导体模块10、100、200也可以具有多个第一芯片20和多个第二芯片30。在半导体模块10、100、200具有多个第一芯片20与多个第二芯片30的情况下,例如第一芯片20的个数与第二芯片30的个数彼此相等。

[0316] • 在第二和第三实施方式中,第二芯片30相对于第一芯片20的配置位置能够任意地变更。在一例中,第二芯片30也可以相对于第一芯片20在x方向上隔开距离地配置。在该情况下,从x方向看,第二芯片30配置在与第一芯片20重叠的位置。

[0317] • 在各实施方式中,第一芯片20和第二芯片30通过由金属板或镀层形成的配线层相互电连接,但第一芯片20和第二芯片30的电连接构造不限于此。例如,第一芯片20和第二芯片30也可以通过导线相互电连接。

[0318] (半导体组件的变形例)

[0319] • 在第四实施方式中,第三芯片310的个数能够任意地变更。在一例中,第三芯片310的个数也可以根据第一芯片20的个数而变更。例如,在第四实施方式中,由于是两个第一芯片20A、20B,所以第三芯片310也可以是两个。

[0320] • 在第四实施方式中,第二芯片30A、30B的配置位置能够任意变更。在一例中,第二芯片30A、30B也可以配置在第一芯片20A与第一芯片20B的x方向之间。在该情况下,第二芯片30A、30B也可以以在x方向上相互对齐的状态在y方向上相互隔开距离地排列。另外,在一例中,第二芯片30A、30B也可以分散地配置在第三芯片310的x方向的两侧。

[0321] • 在第四实施方式中,第三芯片310、第一芯片20A、20B和第二芯片30A、30B通过由镀覆层形成的配线层相互电连接,但第三芯片310、第一芯片20A、20B和第二芯片30A、30B的电连接结构不限于此。例如,第三芯片310、第一芯片20A、20B和第二芯片30A、30B也可以通过导线相互电连接。

[0322] • 在第四实施方式中,第二芯片30的个数能够任意变更。在一例中,第二芯片30也可以是1个。在这种情况下,第二芯片30包括电连接于第一芯片20A的主晶体管21的有源钳位电路40和电连接于第一芯片20B的主晶体管21的有源钳位电路40。即,第二芯片30可以包括多个有源钳位电路40。

[0323] • 半导体组件也可以是具有第一~第三实施方式的半导体模块10、100、200中的任一者和第三芯片310的结构。第三芯片310由半导体模块10、100、200的密封树脂60、110密封。

[0324] 本发明中使用的术语“在~上”,除非上下文清楚地表明“在~上”,表示包括“在~上”和“在~上方”两者的含义。因此,“第一部件形成于第二部件上”这一表述在某一实施方式中可以是第一部件与第二部件接触地直接配置于第二部件上,但在其他实施方式中可以是指第一部件不与第二部件接触地配置于第二部件的上方。即,“在~上”这样的用语不排除在第一部件与第二部件之间形成其他部件的构造。

[0325] 在本发明中使用的z方向不一定需要是铅垂方向,也不需要与铅垂方向完全一致。因此,本发明的各种构造不限于本说明书中说明的z方向的“上”和“下”是铅垂方向的“上”和“下”。例如,x方向也可以是铅垂方向,或者y方向也可以是铅垂方向。

[0326] 本说明书中的描述“A和B中的至少一个”应理解为意思是“仅A、或仅B、或A和B这两者”。

[0327] [附记]

[0328] 以下记载有能够从上述实施方式和变形例掌握的技术思想。另外,因为并非意图进行限定而是辅助理解,对于附记中记载的结构,用括号表示实施方式中的对应的附图标记。附图标记是为了辅助理解而作为例子表示的,各附注所记载的构成要素不应限定于附

图标记所示的构成要素。

[0329] (附记1)

[0330] 一种半导体模块(10),其具有:

[0331] 第一芯片(20),其包含主晶体管(21),所述主晶体管(21)包含主漂移层(24);

[0332] 第二芯片(30),其包含有源钳位电路(40)的至少一部分,该有源钳位电路(40)包含基于所述主晶体管(21)的漏极-源极间电压的上升而进行动作的副晶体管(41);

[0333] 连接部件(50),其将所述主晶体管(21)与所述有源钳位电路(40)电连接;和

[0334] 密封树脂(60),其密封所述第一芯片(20)、所述第二芯片(30)和所述连接部件(50),

[0335] 所述副晶体管(41)包含由与所述主漂移层(24)不同的材料构成的副漂移层(45)。

[0336] (附记2)

[0337] 附记1记载的半导体模块,其中,

[0338] 所述主晶体管(21)是所述主漂移层(24)由GaN构成的GaN晶体管,

[0339] 所述副晶体管(41)是所述副漂移层(45)由Si构成的Si晶体管。

[0340] (附记3)

[0341] 根据附记1或2记载的半导体模块,其中,

[0342] 所述主晶体管(21)包含漏极电极(21D)、源极电极(21S)和栅极电极(21G),并且具有:与所述漏极电极(21D)电连接的漏极端子(81);

[0343] 与所述源极电极(21S)电连接的源极端子(82);和

[0344] 与所述栅极电极(21G)电连接的栅极端子(83)。

[0345] (附记4)

[0346] 根据附记1~3中任一项记载的半导体模块,其中,

[0347] 所述副晶体管(41)包含漏极电极(41D)、源极电极(41S)和栅极电极(41G),

[0348] 所述副晶体管(41)的源极电极(41S)连接于所述主晶体管(21)的源极电极(21S),

[0349] 所述副晶体管(41)的漏极电极(41D)连接于所述主晶体管(21)的栅极电极(21G),

[0350] 所述有源钳位电路(40)包含:

[0351] 连接于所述副晶体管(41)的源极电极(41S)与栅极电极(41G)之间的下拉电阻(43);和

[0352] 连接于所述主晶体管(21)的漏极电极(21D)与所述副晶体管(41)的栅极电极(41G)之间的钳位用电容器(42)。

[0353] (附记5)

[0354] 附记4记载的半导体模块,其中,

[0355] 所述第一芯片(20)不包含所述有源钳位电路(40),而包含所述主晶体管(21),

[0356] 所述第二芯片(30)包含所述副晶体管(41)、所述下拉电阻(43)和所述钳位用电容器(42)。

[0357] (附记6)

[0358] 附记5记载的半导体模块,其中,

[0359] 所述副晶体管(41)、所述下拉电阻(43)和所述钳位用电容器(42)在所述第二芯片(30)内相互电连接。

[0360] (附记7)

[0361] 根据附记4~6中任一项记载的半导体模块,其中,

[0362] 所述第一芯片(20)具有:

[0363] 与所述主晶体管(21)的漏极电极(21D)电连接的漏极焊盘(PD1);和

[0364] 与所述主晶体管(21)的源极电极(21S)电连接的源极焊盘(PS1),

[0365] 从所述主漂移层(24)的厚度方向(z方向)看,所述漏极焊盘(PD1)和所述源极焊盘(PS1)在第一方向上相互隔开距离地排列,

[0366] 从所述主漂移层(24)的厚度方向(z方向)看,所述第一芯片(20)和所述第二芯片(30)在与所述第一方向正交的第二方向上相互隔开距离地排列。

[0367] (附记8)

[0368] 根据附记4~7中任一项记载的半导体模块,其中,

[0369] 所述第二芯片(30)具有支承所述副漂移层(45)的半导体基板(44),

[0370] 在所述副漂移层(45)的表面形成有与所述副晶体管(41)的源极电极(41S)电连接的源极区域(48),

[0371] 在所述半导体基板(44)中的与所述副漂移层(45)相反侧的背面形成有所述副晶体管(41)的漏极电极(41D)。

[0372] (附记9)

[0373] 根据附记4~7中任一项记载的半导体模块,其中,

[0374] 在所述副漂移层(45)的表面,与所述副晶体管(41)的漏极电极(41D)电连接的漏极区域(46B)和与所述副晶体管(41)的源极电极(41S)电连接的源极区域(48)相互隔开距离地形成。

[0375] (附记10)

[0376] 根据附记4~9中任一项记载的半导体模块,其中,

[0377] 所述第二芯片(30)包含经由所述下拉电阻(43)与所述副晶体管(41)的栅极电极(41G)连接的焊盘(PG2),

[0378] 从所述副漂移层(45)的厚度方向(z方向)看,所述下拉电阻(43)和所述钳位用电容器(42)的至少一者形成在与所述焊盘(PG2)重叠的位置且比所述焊盘(PG2)更靠所述副漂移层(45)的位置。

[0379] (附记11)

[0380] 根据附记4~9中任一项记载的半导体模块,其中,

[0381] 所述连接部件(50)包括:

[0382] 第一连接部件(51),其将所述副晶体管(41)的源极电极(41S)和栅极电极(41G)与所述主晶体管(21)的源极电极(21S)电连接;

[0383] 第二连接部件(52),其将所述钳位用电容器(42)与所述主晶体管(21)的漏极电极(21D)电连接;和

[0384] 第三连接部件(53),其将所述主晶体管(21)的栅极电极(21G)与所述副晶体管(41)的漏极电极(41D)连接。

[0385] (附记12)

[0386] 附记11记载的半导体模块,其中,

[0387] 所述第一连接部件(51)、所述第二连接部件(52)和所述第三连接部件(53)分别由金属板形成。

[0388] (附记13)

[0389] 附记11记载的半导体模块,其中,

[0390] 所述第一连接部件(51)、所述第二连接部件(52)和所述第三连接部件(53)分别通过金属镀覆形成。

[0391] (附记14)

[0392] 根据附记11~13中任一项记载的半导体模块,其中,

[0393] 所述第二芯片(30)具有与所述钳位用电容器(42)电连接的电容器焊盘(PCA),

[0394] 所述第二连接部件(52)接合于所述电容器焊盘(PCA)。

[0395] (附记15)

[0396] 根据附记1~14中任一项记载的半导体模块,其中,

[0397] 所述第一芯片(20A、20B)设置有多个,且相互隔开距离地排列,

[0398] 从所述密封树脂(350)的厚度方向(z方向)看,所述第二芯片(30A、30B)在与所述多个第一芯片(20A、20B)的排列方向正交的方向上相对于所述多个第一芯片(20A、20B)隔开距离地配置。

[0399] (附记16)

[0400] 附记15记载的半导体模块,其中,

[0401] 所述第二芯片(30A、30B)设置有多个,且在所述多个第一芯片(20A、20B)的排列方向上相互隔开距离地排列。

[0402] (附记17)

[0403] 一种半导体组件(400),其具有:

[0404] 附记1~16中任一项记载的半导体模块(300);

[0405] 第三芯片(310),其在所述密封树脂(350)内与所述第一芯片(20)和所述第二芯片(30)分开设置,并且包含驱动所述主晶体管(21)的驱动电路(311);和

[0406] 控制用连接部件(324、325),其将所述第三芯片(310)与所述第一芯片(20)和所述第二芯片(30)电连接。

[0407] (附记18)

[0408] 附记17记载的半导体组件,其中,

[0409] 所述主晶体管(21)和所述副晶体管(41)这两者具有漏极电极(21D、41D)、源极电极(21S、41S)和栅极电极(21G、41G),

[0410] 所述控制用连接部件(324、325)将所述驱动电路(311)、所述副晶体管(41)的漏极电极(41D)和所述主晶体管(21)的栅极电极(21G)电连接。

[0411] (附记19)

[0412] 根据附记2~14中任一项记载的半导体模块,其中,

[0413] 还具有连接于所述副晶体管(41)的源极电极(41S)与栅极电极(41G)之间的电容器(510)。

[0414] (附记20)

[0415] 根据附记2~14中任一项记载的半导体模块,其中,

[0416] 还具有保护二极管(500),其包含与所述副晶体管(41)的源极电极(41S)电连接的阳极电极(501)、和与所述副晶体管(41)的栅极电极(41G)电连接的阴极电极(502)。

[0417] (附记21)

[0418] 根据附记2~14、20和21中任一项记载的半导体模块,其中,

[0419] 具有保护用晶体管(520),其连接于所述副晶体管(41)的源极电极(41S)与栅极电极(41G)之间,包含与所述主晶体管(21)的栅极电极(21G)电连接的栅极电极(523)。

[0420] (附记22)

[0421] 根据附记4~14中任一项记载的半导体模块,其中,

[0422] 所述第二芯片(30)包含半导体基板(44),

[0423] 所述钳位用电容器(42)包含:

[0424] 设置在所述半导体基板(44)上且相互隔开距离的第一电极(42P)和第二电极(42Q);以及

[0425] 设置在所述半导体基板(44)上且隔设于所述第一电极(42P)与所述第二电极(42Q)之间的电介质层(49A)。

[0426] (附记23)

[0427] 根据附记4~14中任一项记载的半导体模块,其中,

[0428] 具有将所述副晶体管(41)的漏极电极(41D)与所述副晶体管(41)的源极电极(41S)电连接的连接路径(43A),

[0429] 所述连接路径(43A)包含蜿蜒部,

[0430] 所述下拉电阻(43)包含所述蜿蜒部的电阻成分。

[0431] (附记24)

[0432] 根据附记4~14中任一项记载的半导体模块,其中,

[0433] 所述第二芯片(30)包含半导体基板(44),

[0434] 所述下拉电阻(43)包含第一端子(43P)、第二端子(43Q)和形成在所述半导体基板(44)上且电阻值比所述第一端子(43P)和所述第二端子(43Q)大的平板状的电阻部(43R),

[0435] 所述第一端子(43P)和所述第二端子(43Q)这两者设置在所述电阻部(43R)上,且与所述电阻部(43R)电连接。

[0436] (附记25)

[0437] 根据附记4~14中任一项记载的半导体模块,其中,

[0438] 所述下拉电阻43由常通型晶体管构成,包含所述常通型晶体管的导通电阻。

[0439] (附记26)

[0440] 根据附记1~16和19~24中任一项记载的半导体模块,其中,

[0441] 所述副晶体管(41)构成为相对于所述主晶体管(21)的漏极-源极间电压的上升,比所述主晶体管(21)先导通。

[0442] 以上的说明仅为例示。本领域技术人员能够认识到,除了为了说明本发明的技术的目的而列举的构成要素和方法(制造工艺)以外,还能够进行更多的可考虑的组合和置换。本发明旨在包括技术方案和附记的本发明的范围内所包含的所有替代、修改和改变。

[0443] 附图标记的说明

[0444] 10、100、200、300...半导体模块

- [0445] 20、20A、20B…第一芯片
- [0446] 20s…芯片正面
- [0447] 20r…芯片背面
- [0448] 21、21A、21B…主晶体管
- [0449] 21D…漏极电极
- [0450] 21S…源极电极
- [0451] 21SA…源极接触部
- [0452] 21SB…源极场板部
- [0453] 21SC…端部
- [0454] 21G…栅极电极
- [0455] 21T…有源区域
- [0456] 22…半导体基板
- [0457] 23…缓冲层
- [0458] 24…电子传输层
- [0459] 25…电子供给层
- [0460] 26…2DEG
- [0461] 27…栅极层
- [0462] 27s…上表面
- [0463] 27r…底面
- [0464] 27A…第一延伸部
- [0465] 27B…第二延伸部
- [0466] 27C…脊部
- [0467] 28…钝化层
- [0468] 28A…第一开口
- [0469] 28B…第二开口
- [0470] 29…层间绝缘层
- [0471] 30、30A、30B…第二芯片
- [0472] 30a…第一芯片侧面
- [0473] 30b…第二芯片侧面
- [0474] 30c…第三芯片侧面
- [0475] 30d…第四芯片侧面
- [0476] 30s…芯片正面
- [0477] 30r…芯片背面
- [0478] 40、40A、40B…有源钳位电路
- [0479] 41…钳位用晶体管
- [0480] 41D…漏极电极
- [0481] 41S…源极电极
- [0482] 41G…栅极电极
- [0483] 41T…有源区域

- [0484] 42…钳位用电容器
- [0485] 42P…第一电极
- [0486] 42Q…第二电极
- [0487] 42V…通孔
- [0488] 43…下拉电阻
- [0489] 43A…连接路径
- [0490] 43C…配线
- [0491] 43P…第一端子
- [0492] 43Q…第二端子
- [0493] 43R…电阻部
- [0494] 43V…通孔
- [0495] 44…半导体基板
- [0496] 45…漂移层
- [0497] 46…基极区域
- [0498] 46A…基极接触区域
- [0499] 46B…漏极区域
- [0500] 47…沟槽
- [0501] 48…源极区域
- [0502] 49A…绝缘膜
- [0503] 49B…中间绝缘膜
- [0504] 49C、49D、49E、49F、49G、49H、49J…开口
- [0505] 50…连接部件
- [0506] 51…第一连接部件
- [0507] 52…第二连接部件
- [0508] 53…第三连接部件
- [0509] 60…密封树脂
- [0510] 61…树脂正面
- [0511] 62…树脂背面
- [0512] 63…第一树脂侧面
- [0513] 64…第二树脂侧面
- [0514] 65…第三树脂侧面
- [0515] 66…第四树脂侧面
- [0516] 71…第一裸片焊盘
- [0517] 72…第二裸片焊盘
- [0518] 81…漏极端子
- [0519] 82…源极端子
- [0520] 83…栅极端子
- [0521] 110…密封树脂
- [0522] 110s…树脂正面

- [0523] 110r…树脂背面
- [0524] 110a…第一树脂侧面
- [0525] 110b…第二树脂侧面
- [0526] 110c…第三树脂侧面
- [0527] 110d…第四树脂侧面
- [0528] 111…第一密封部
- [0529] 112…第二密封部
- [0530] 113…第一开口
- [0531] 114…第二开口
- [0532] 115…第三开口
- [0533] 116…第四开口
- [0534] 120…连接部件
- [0535] 121…第一连接部件
- [0536] 122…第二连接部件
- [0537] 123…第三连接部件
- [0538] 124…第四连接部件
- [0539] 131…漏极端子
- [0540] 132…主源极端子
- [0541] 133…感测源极端子
- [0542] 134…栅极端子
- [0543] 135…正面绝缘层
- [0544] 136…背面绝缘层
- [0545] 140…配线层
- [0546] 141…钳位用漏极配线
- [0547] 142…钳位用源极配线
- [0548] 143…钳位用栅极配线
- [0549] 151…第一连接配线
- [0550] 152…第二连接配线
- [0551] 153…第三连接配线
- [0552] 154…第四连接配线
- [0553] 155…第五连接配线
- [0554] 210…连接部件
- [0555] 211…第一连接部件
- [0556] 212…第二连接部件
- [0557] 213…第三连接部件
- [0558] 220…第一裸片焊盘
- [0559] 221…第一散热构造
- [0560] 230…第二裸片焊盘
- [0561] 231…第二散热构造

- [0562] 310…第三芯片
- [0563] 310s…芯片正面
- [0564] 310r…芯片背面
- [0565] 311…驱动电路
- [0566] 312…电极焊盘
- [0567] 320…配线层
- [0568] 321…第一连接配线
- [0569] 322…第二连接配线
- [0570] 323…第三连接配线
- [0571] 324…第四连接配线
- [0572] 325…第五连接配线
- [0573] 326…驱动用配线
- [0574] 331…漏极端子
- [0575] 332…源极端子
- [0576] 333…输出端子
- [0577] 334…驱动用端子
- [0578] 350…密封树脂
- [0579] 350s…树脂正面
- [0580] 350r…树脂背面
- [0581] 350a…第一树脂侧面
- [0582] 350b…第二树脂侧面
- [0583] 350c…第三树脂侧面
- [0584] 350d…第四树脂侧面
- [0585] 351…第一密封部
- [0586] 352…第二密封部
- [0587] 353…第三密封部
- [0588] 361…第一裸片焊盘
- [0589] 362…第二裸片焊盘
- [0590] 363…第三裸片焊盘
- [0591] 364…第四裸片焊盘
- [0592] 365…第一散热构造
- [0593] 366…第二散热构造
- [0594] 367…第四散热构造
- [0595] 370…正面绝缘层
- [0596] 380…背面绝缘层
- [0597] 400…半导体组件
- [0598] 500…保护二极管
- [0599] 501…阳极电极
- [0600] 502…阴极电极

- [0601] 503…阱区域
- [0602] 504…通孔
- [0603] 510…电容器
- [0604] 520…保护用晶体管
- [0605] 521…漏极电极
- [0606] 522…源极电极
- [0607] 523…栅极电极
- [0608] AD1…第一接合材料
- [0609] AD2…第二接合材料
- [0610] AD3…第三接合材料
- [0611] PA…第一焊盘
- [0612] PB…第二焊盘
- [0613] PC…第三焊盘
- [0614] PD、PD1…漏极焊盘
- [0615] PS、PS1、PS2…源极焊盘
- [0616] PSM…主源极焊盘
- [0617] PSS…感测源极焊盘
- [0618] PG、PG1…栅极焊盘
- [0619] PG2…焊盘
- [0620] PCA…电容器焊盘。

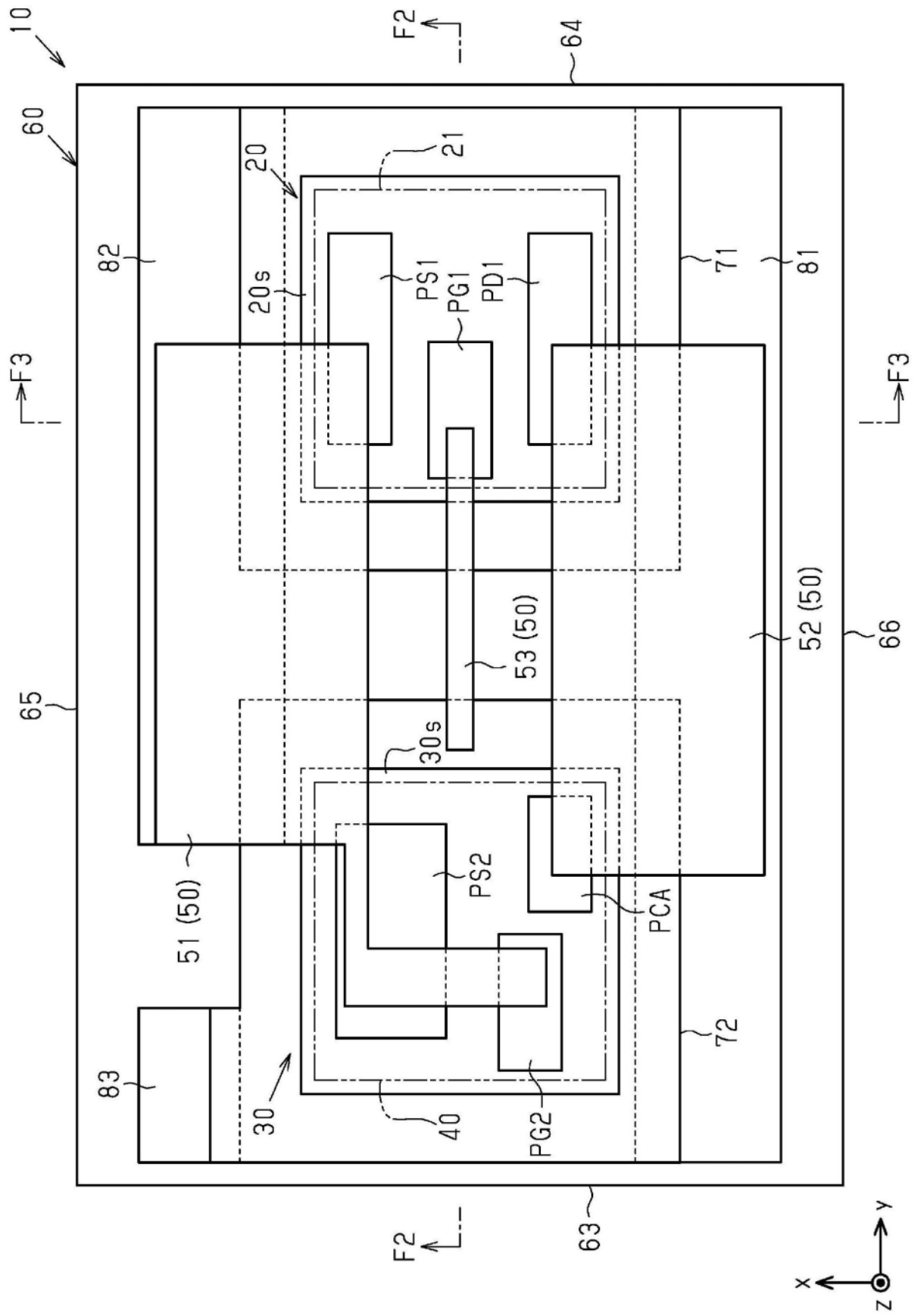


图1

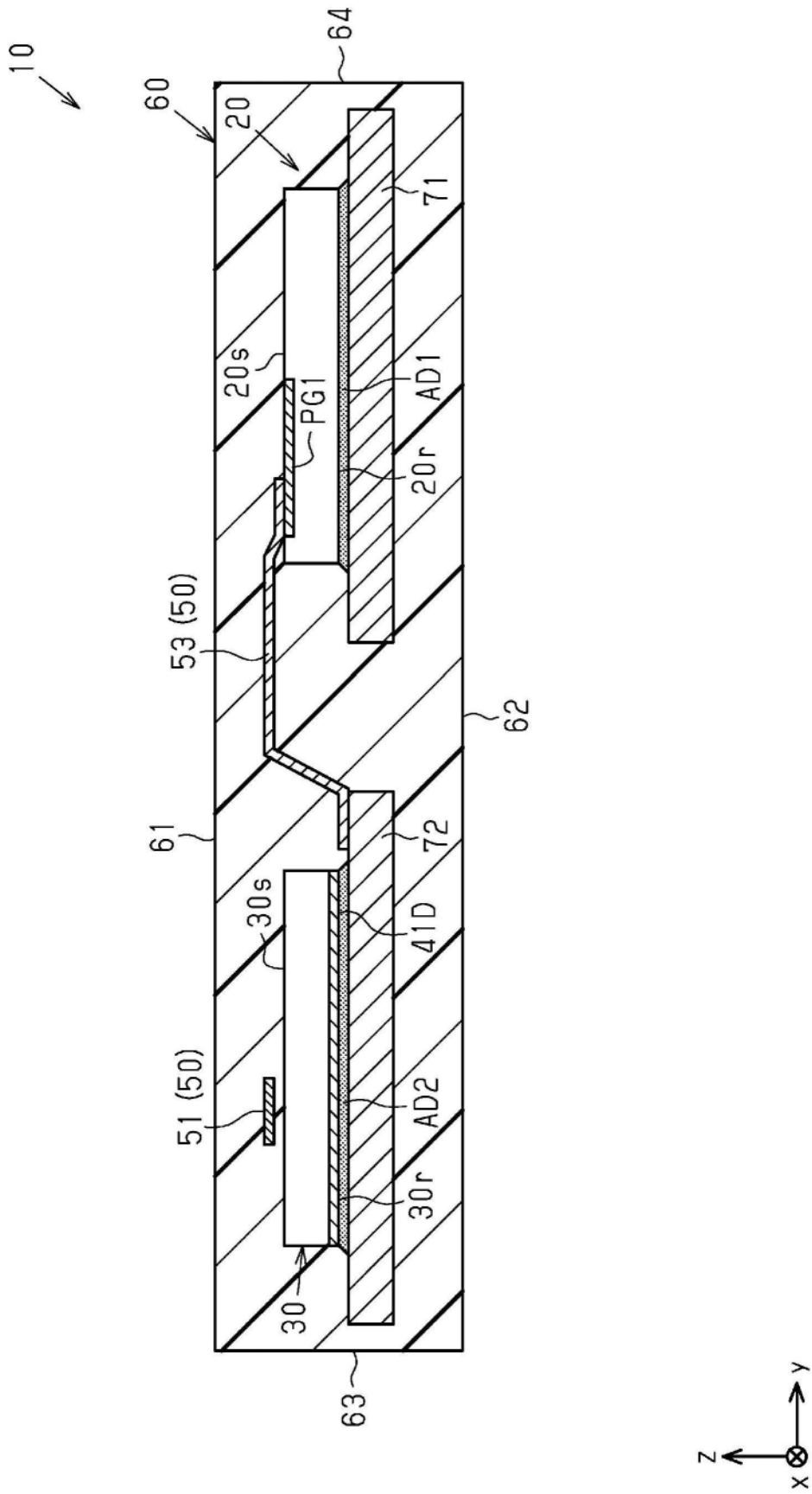


图2

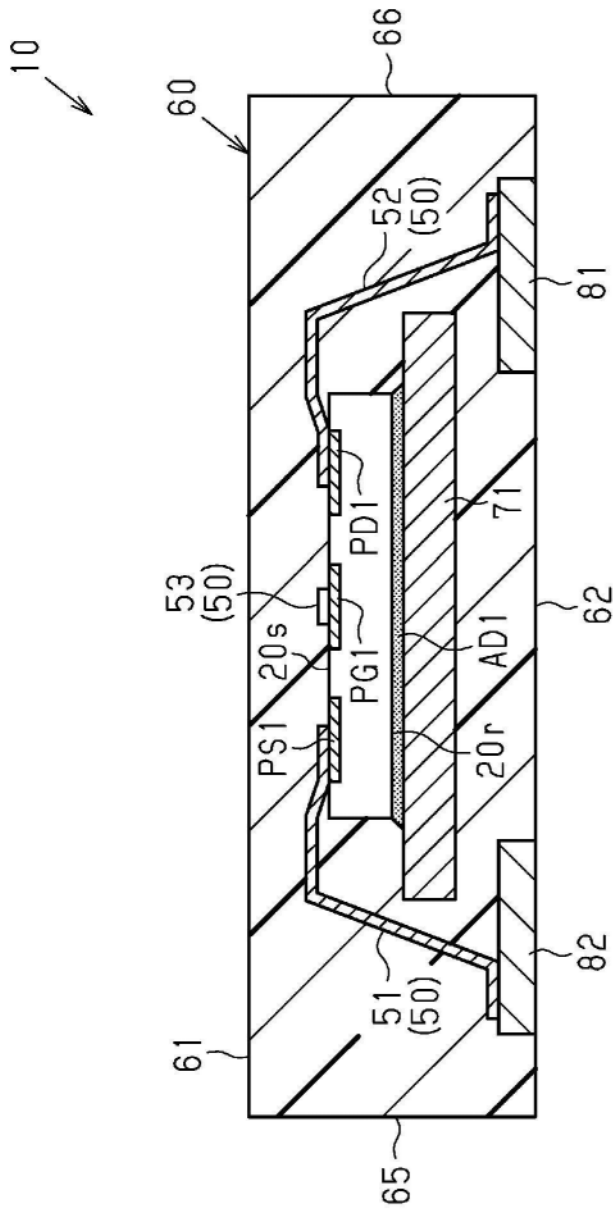


图3

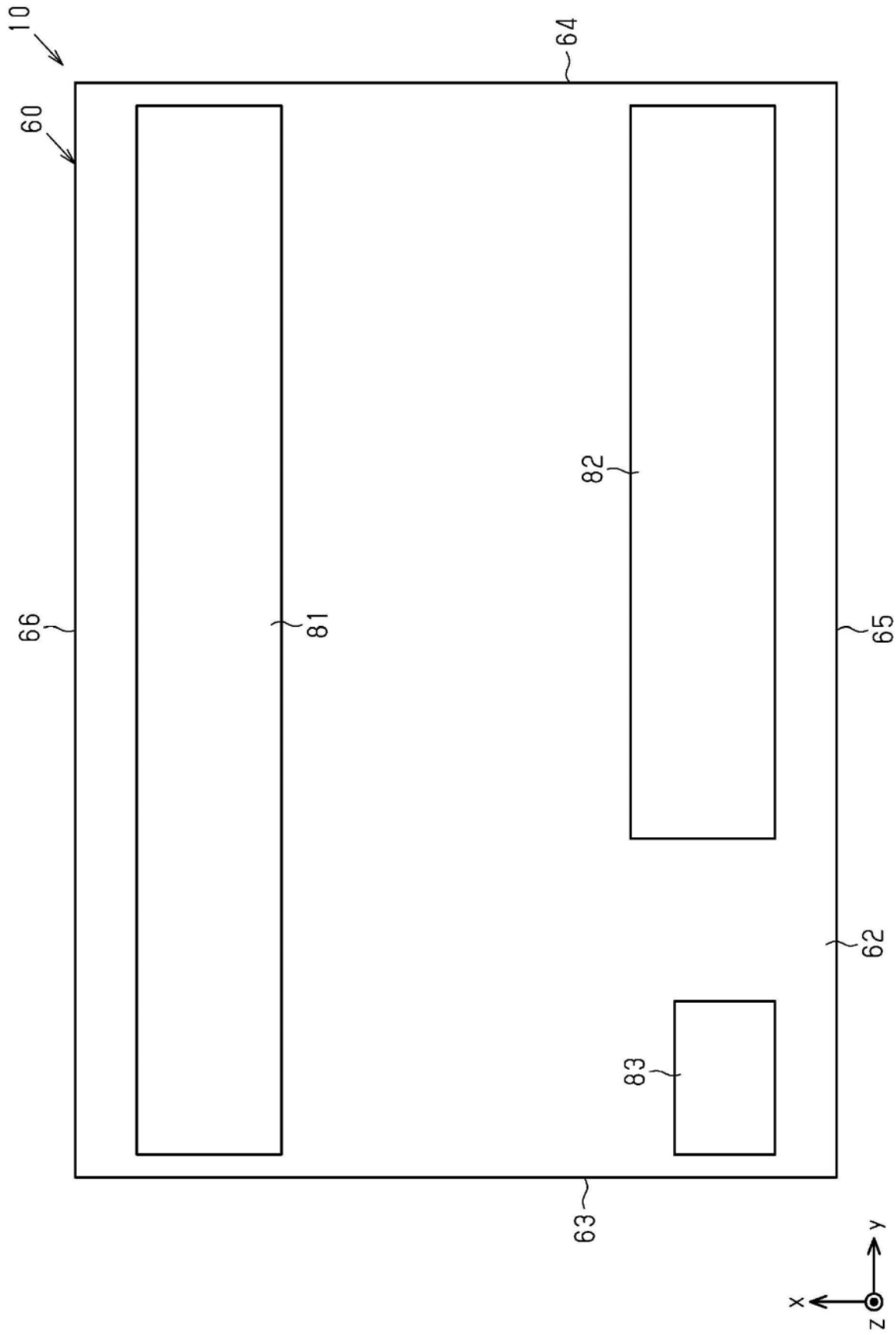


图4

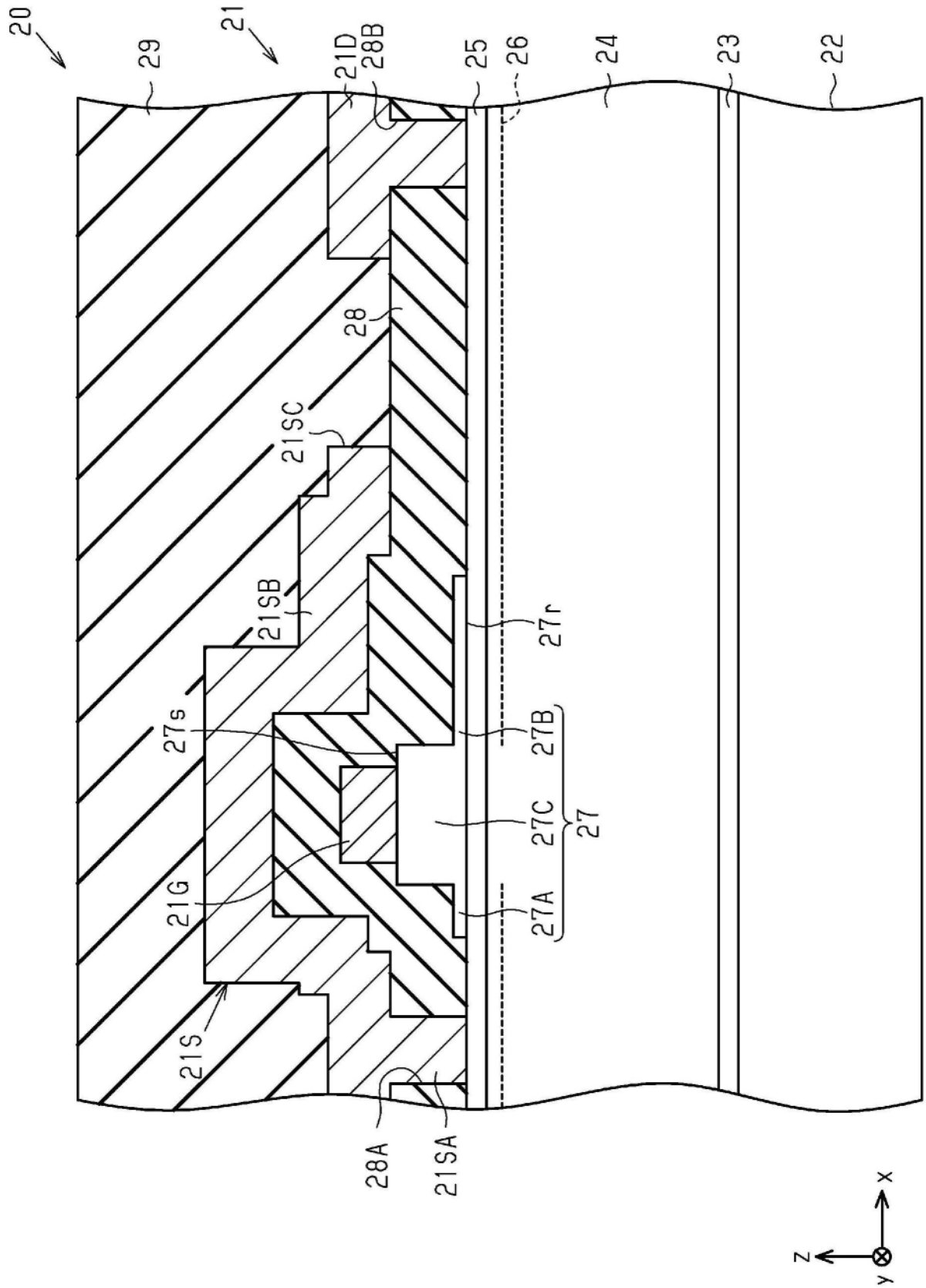


图5

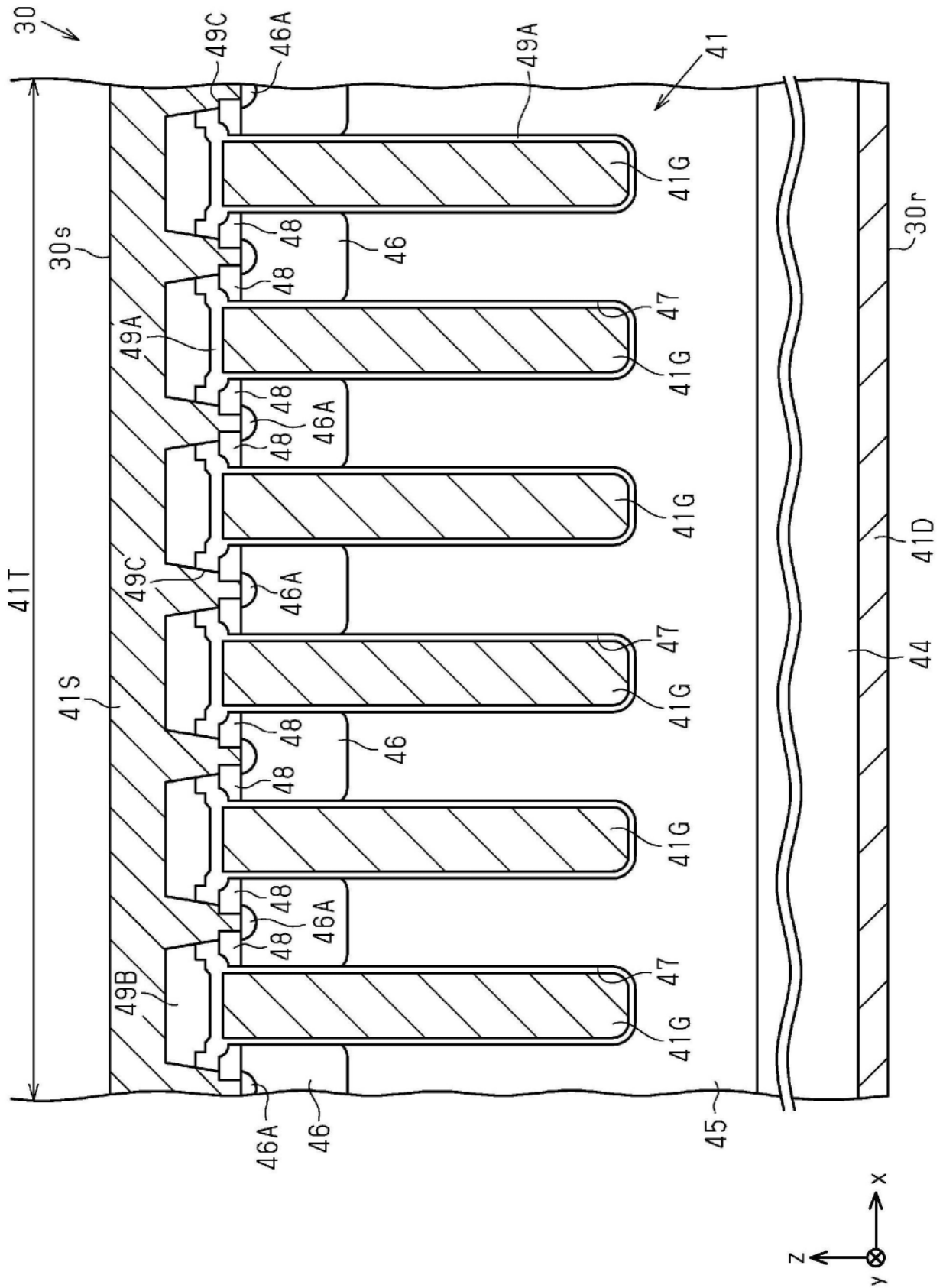


图6

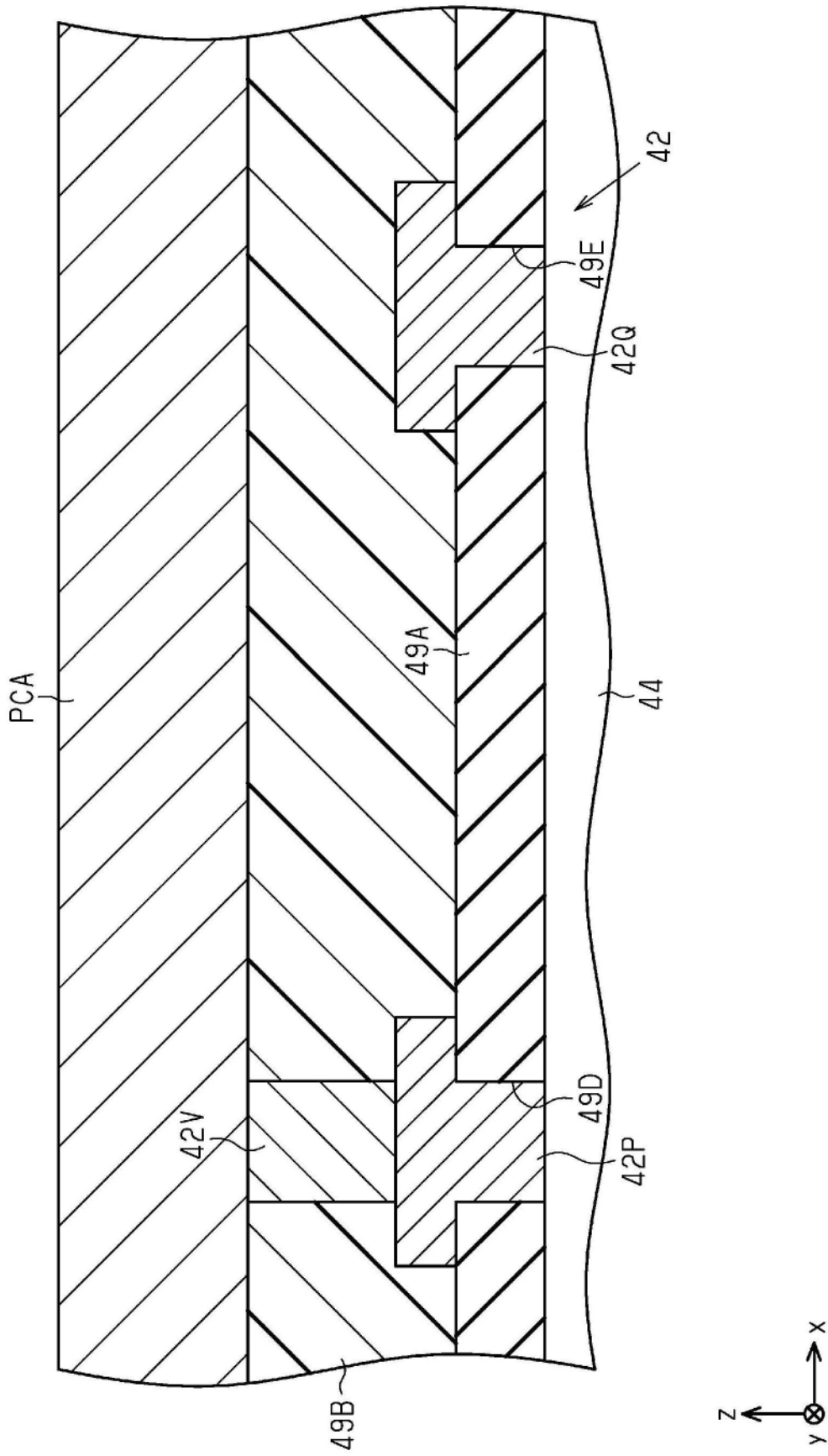


图7

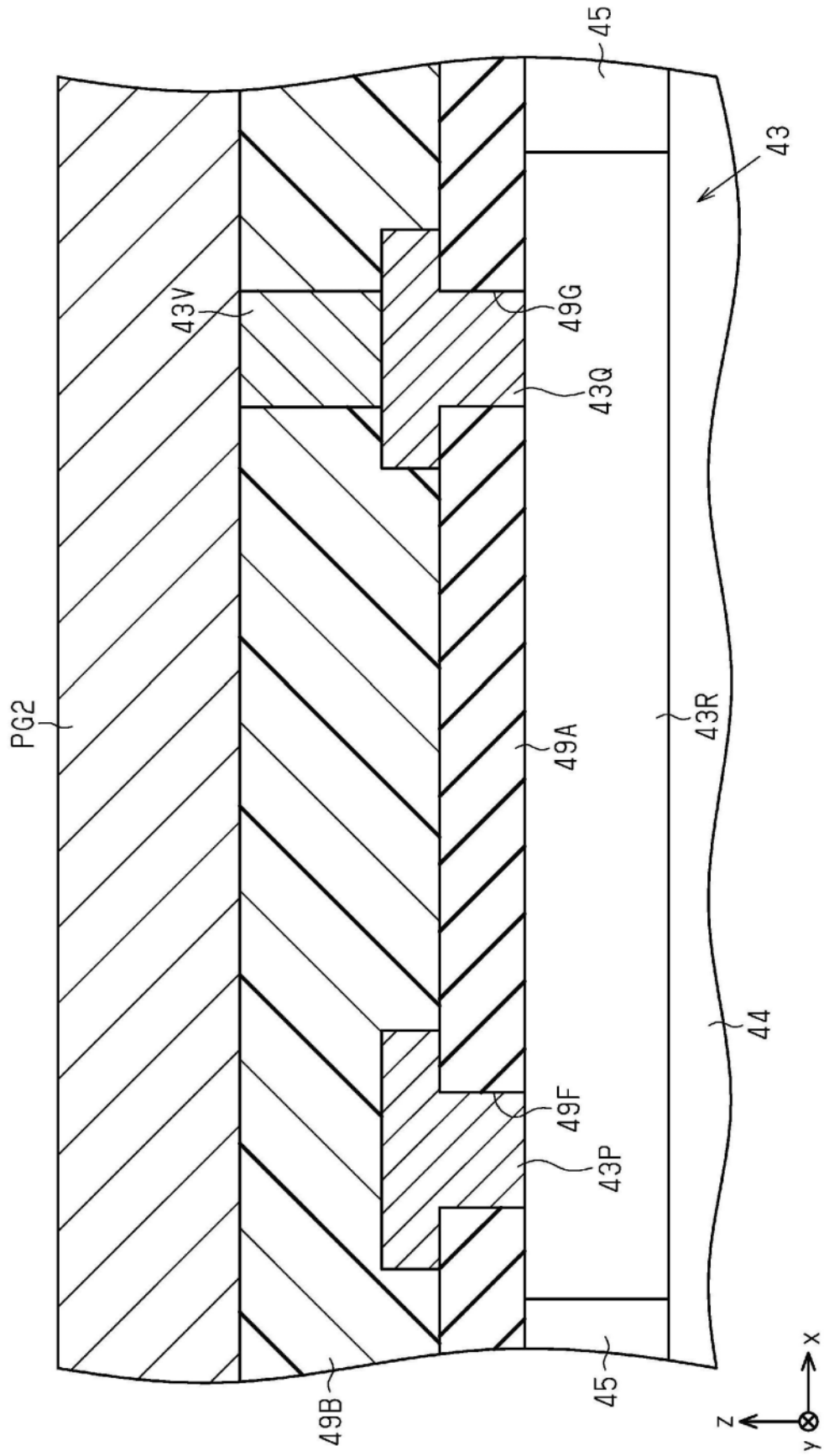


图8

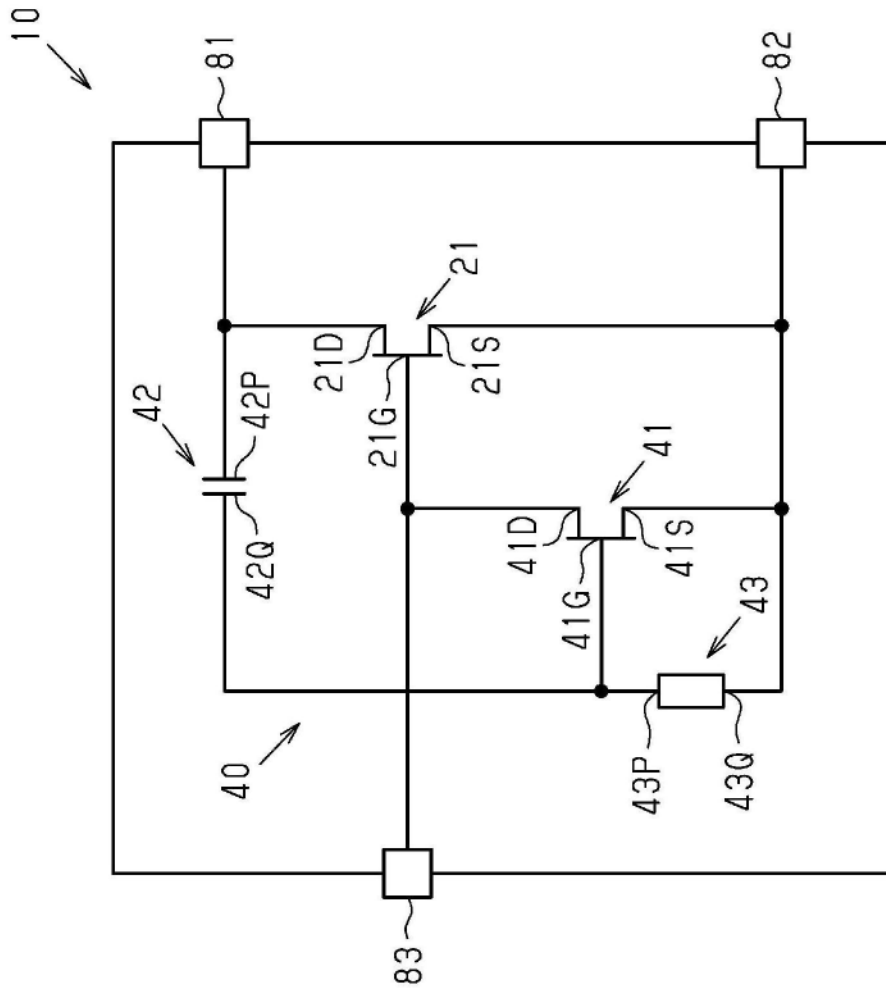


图9

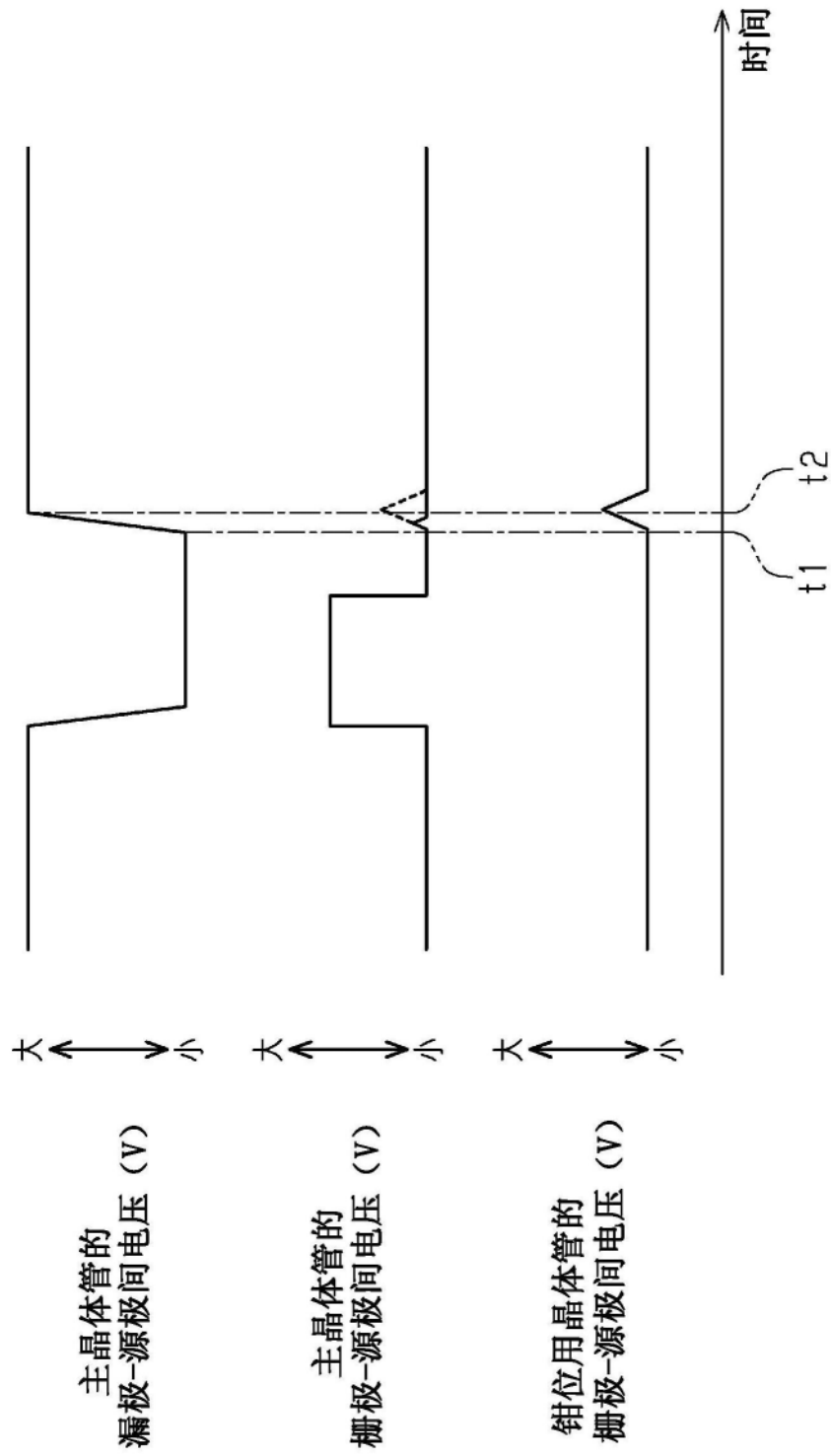


图10

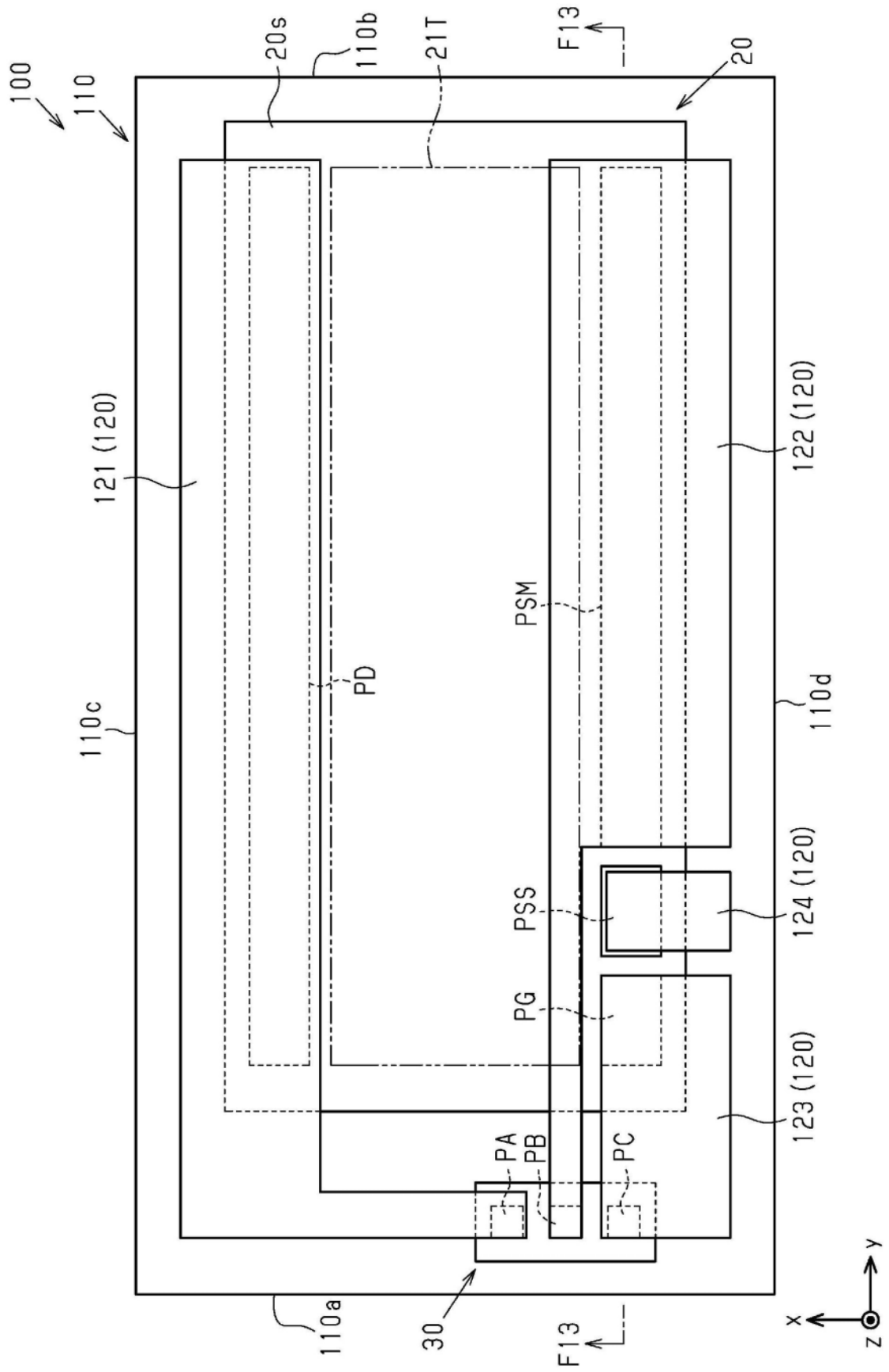


图11

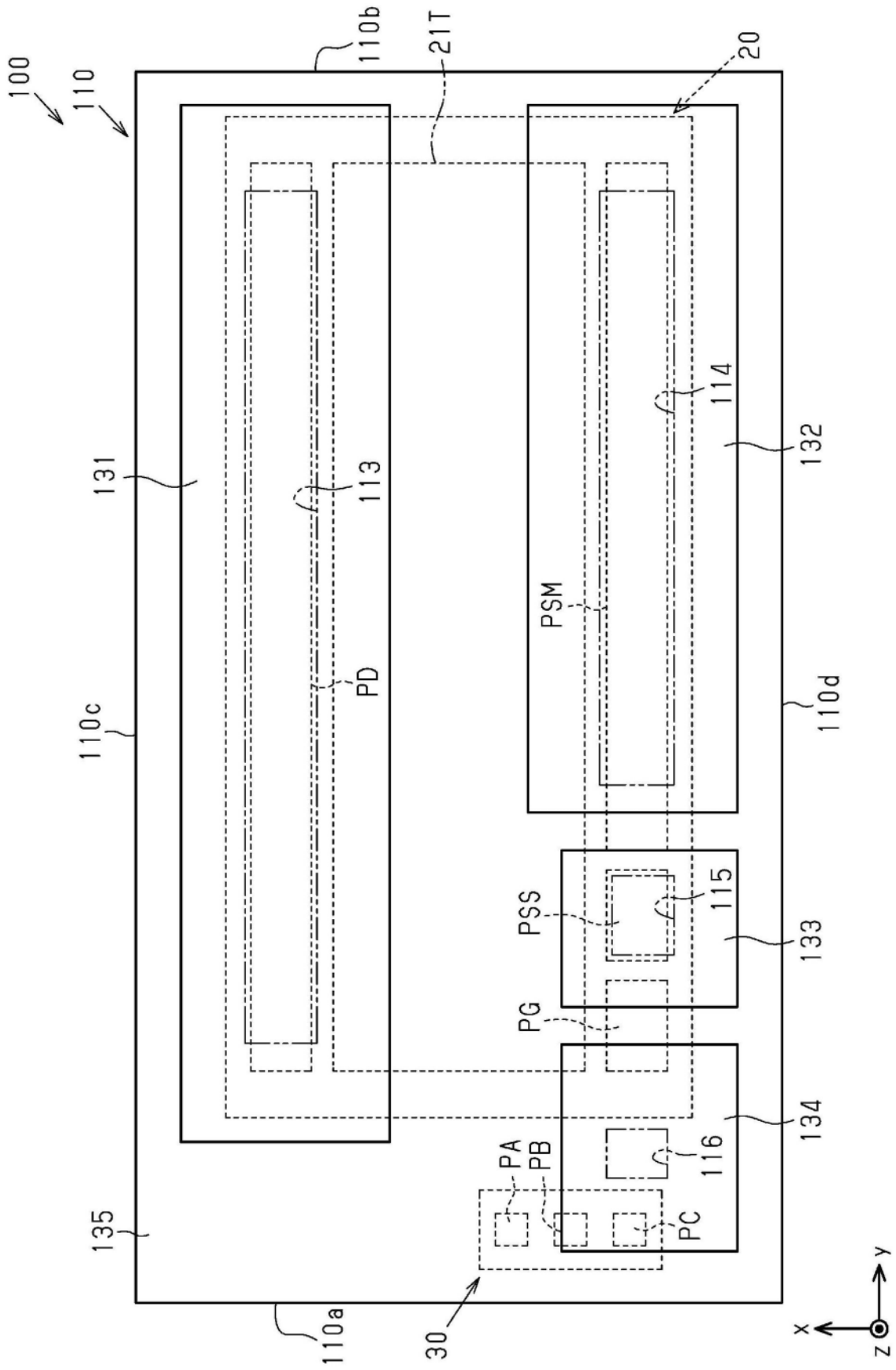


图12

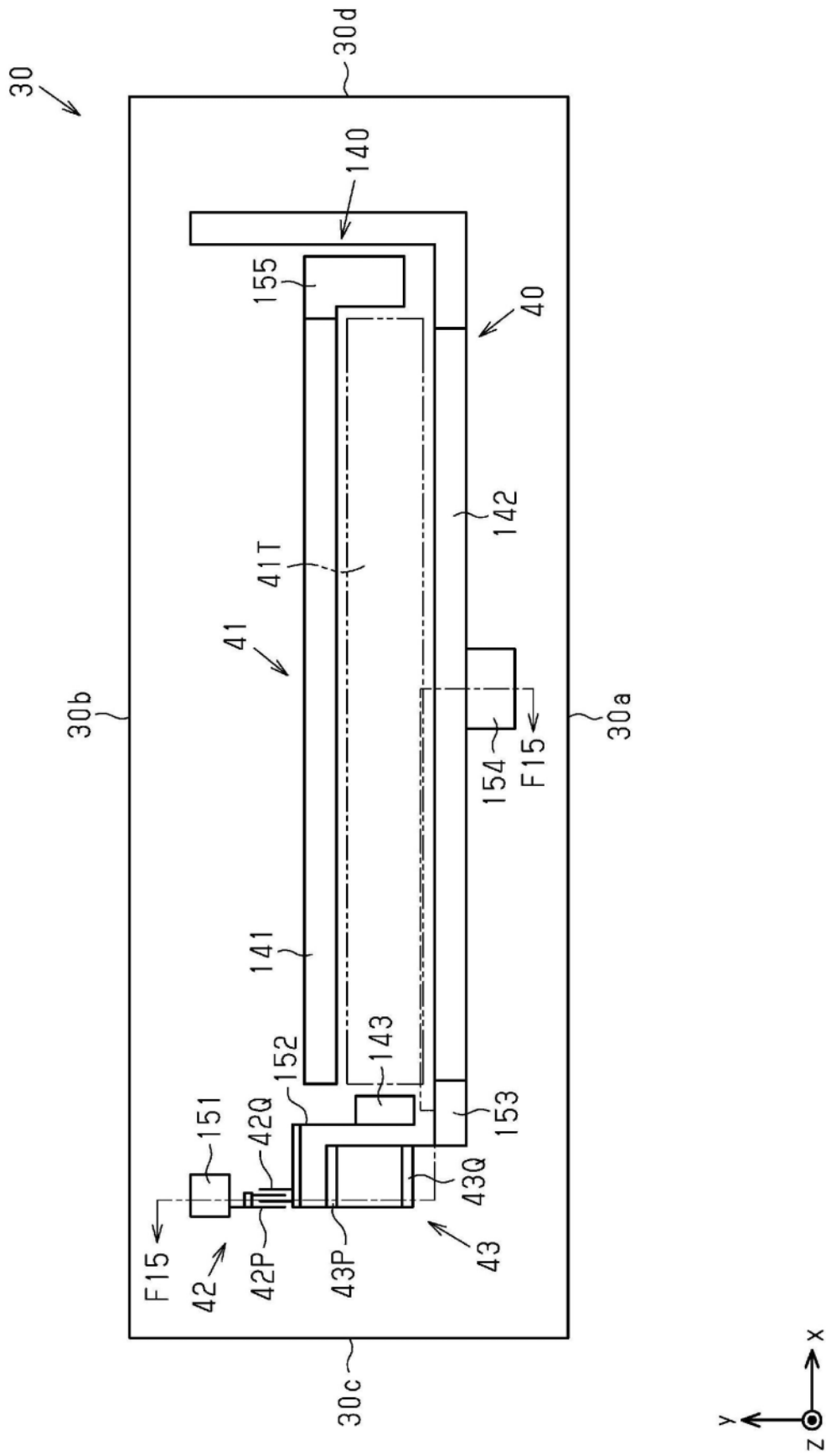


图14

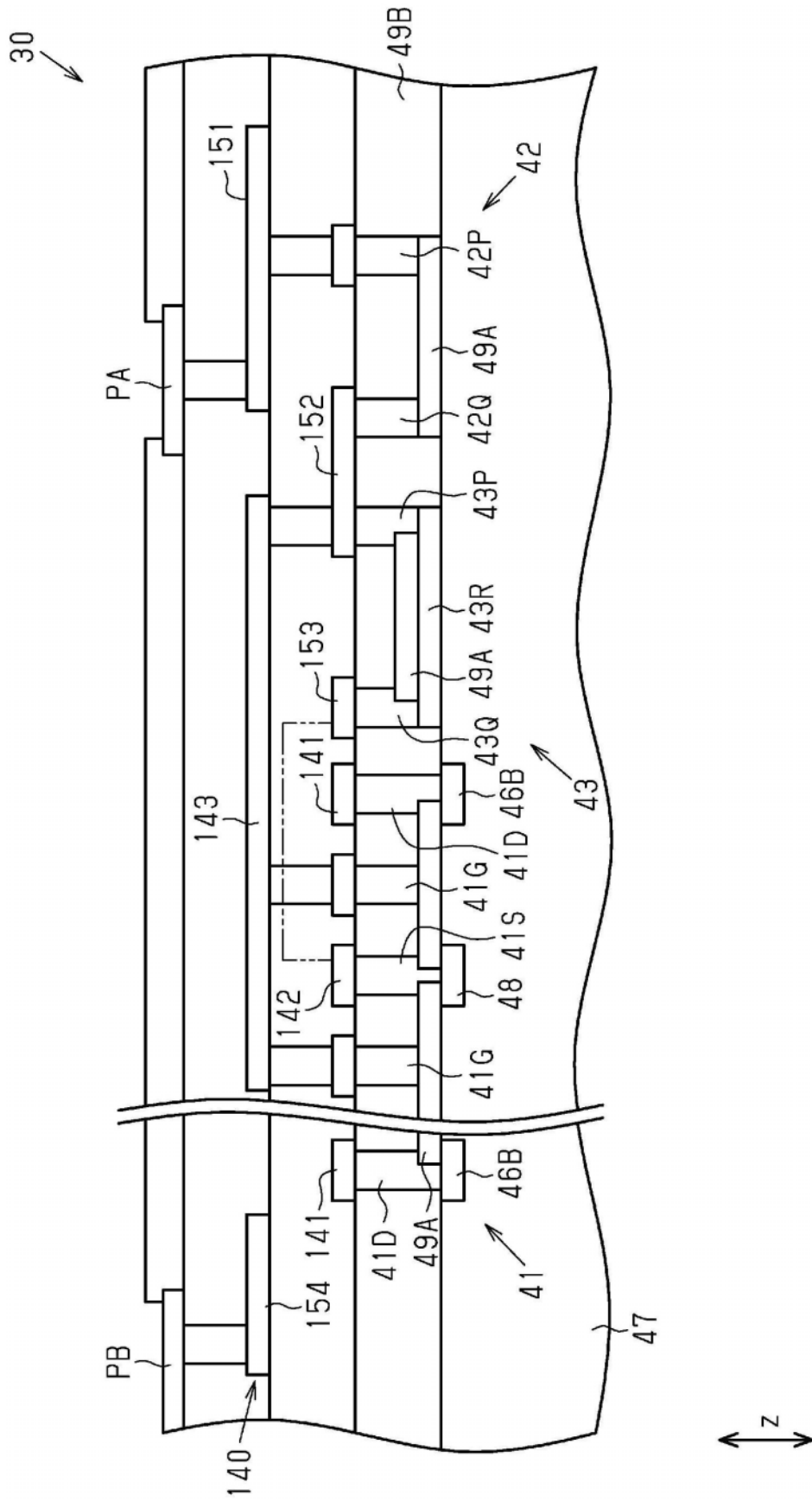


图15

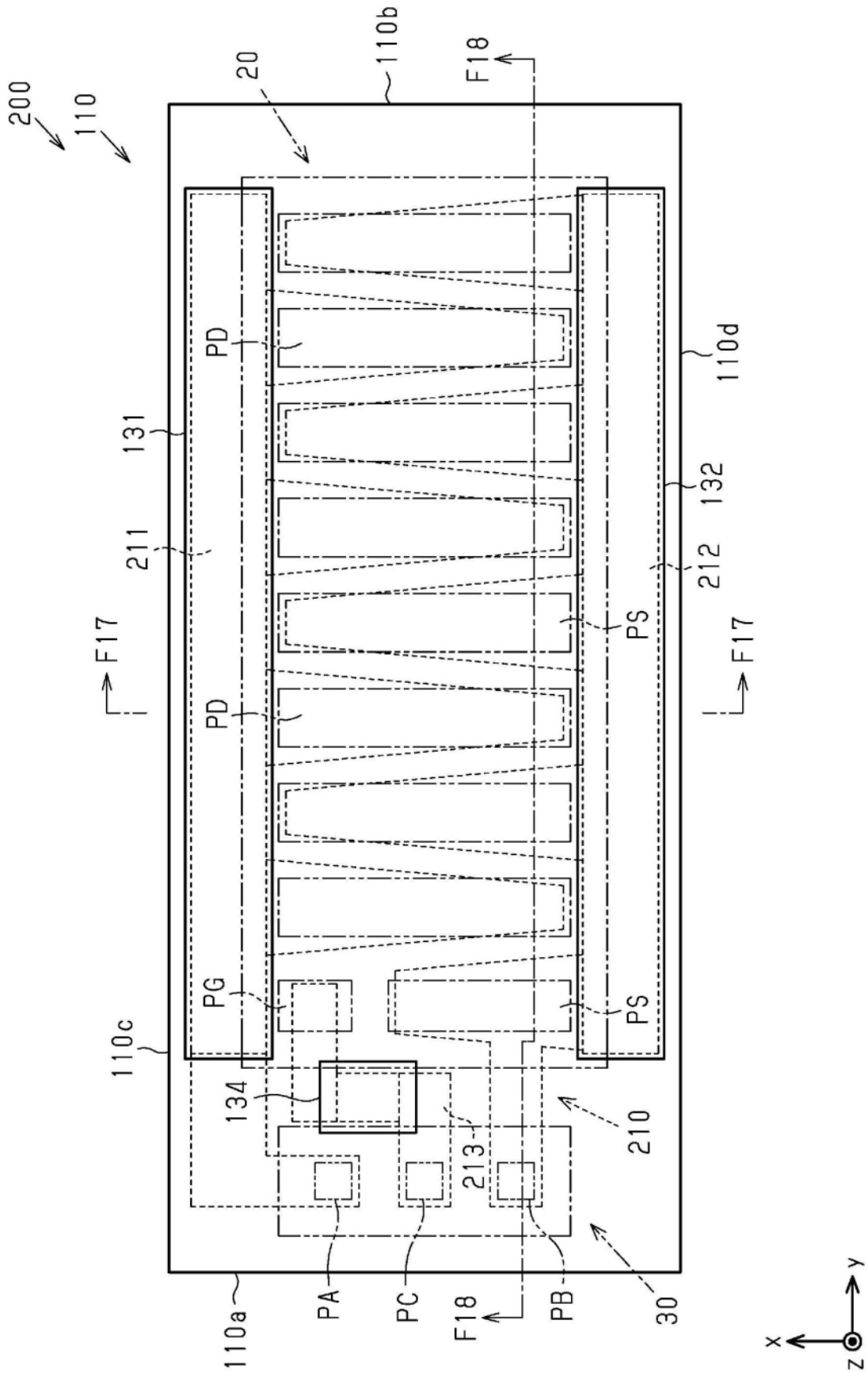


图16

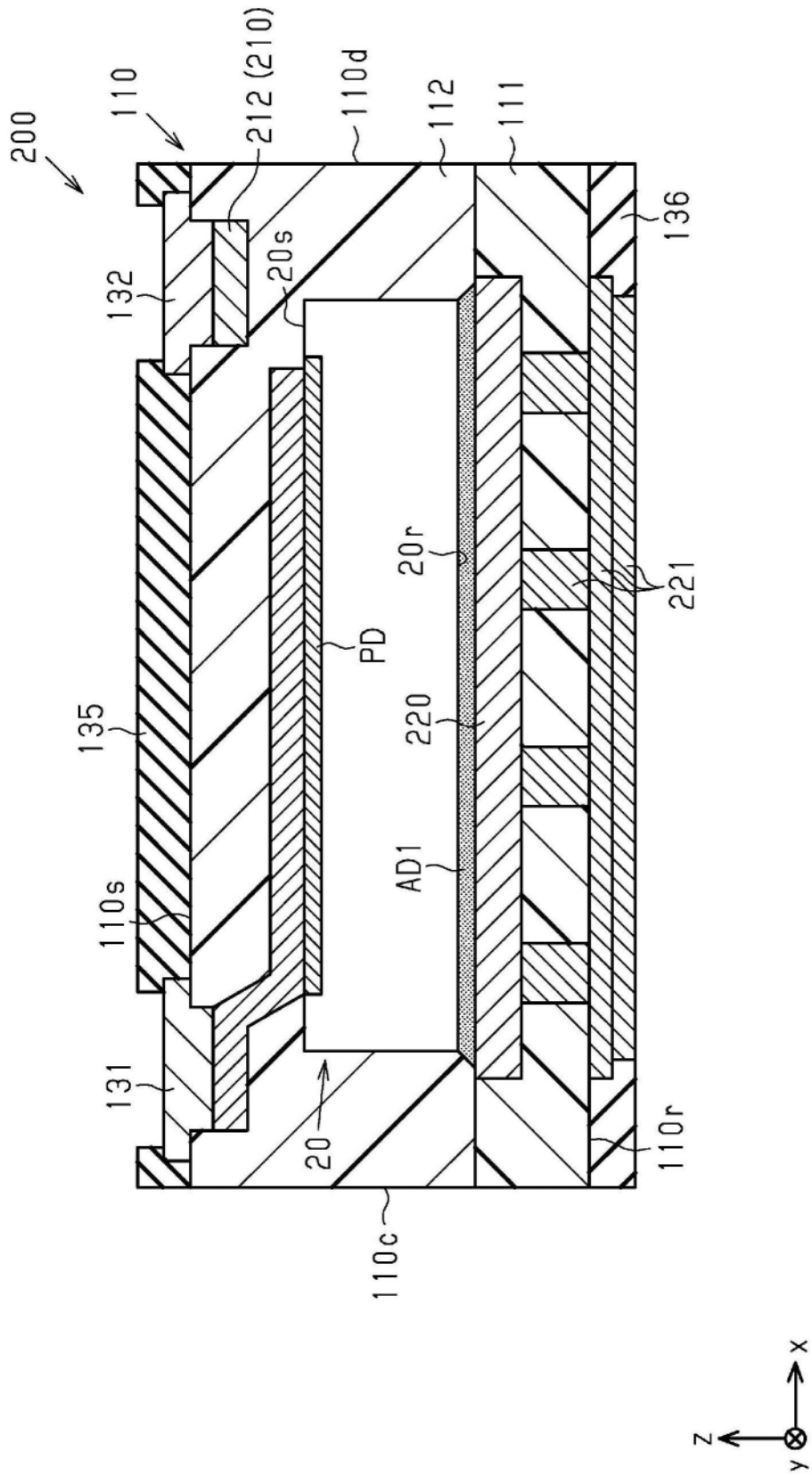


图17

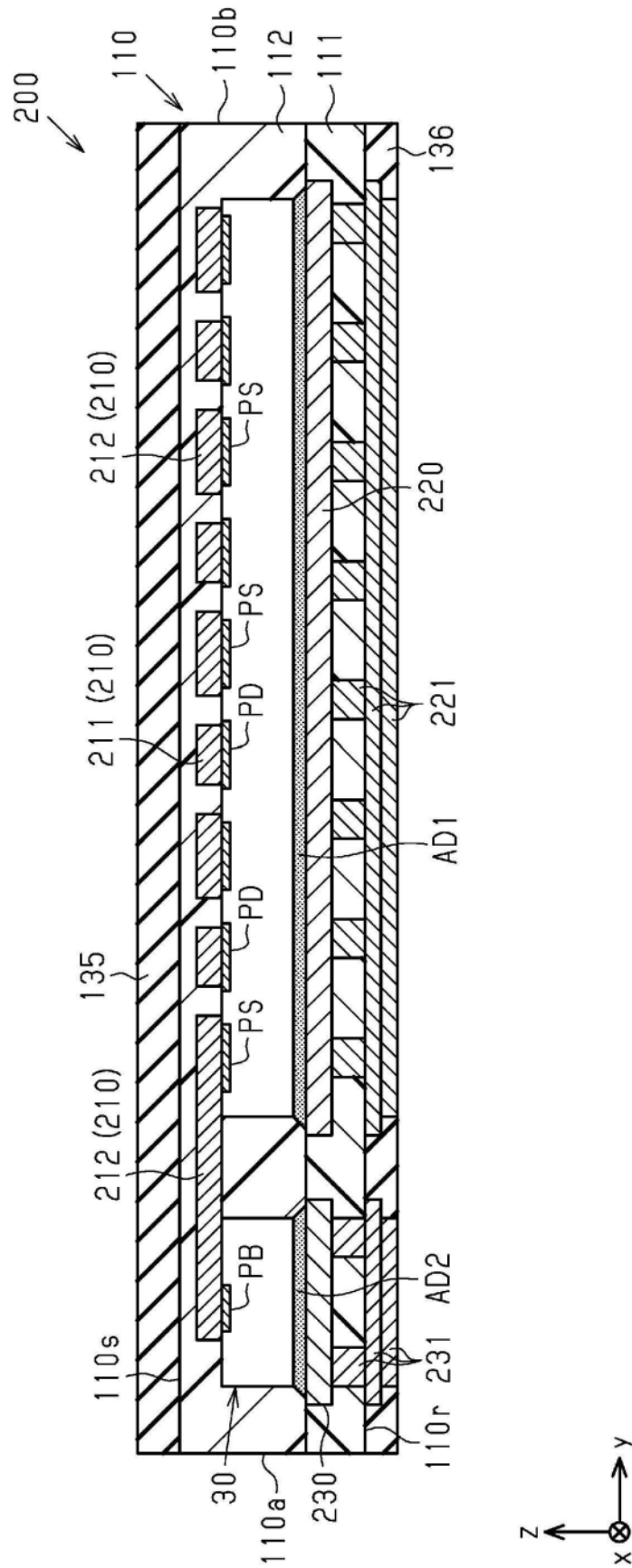


图18

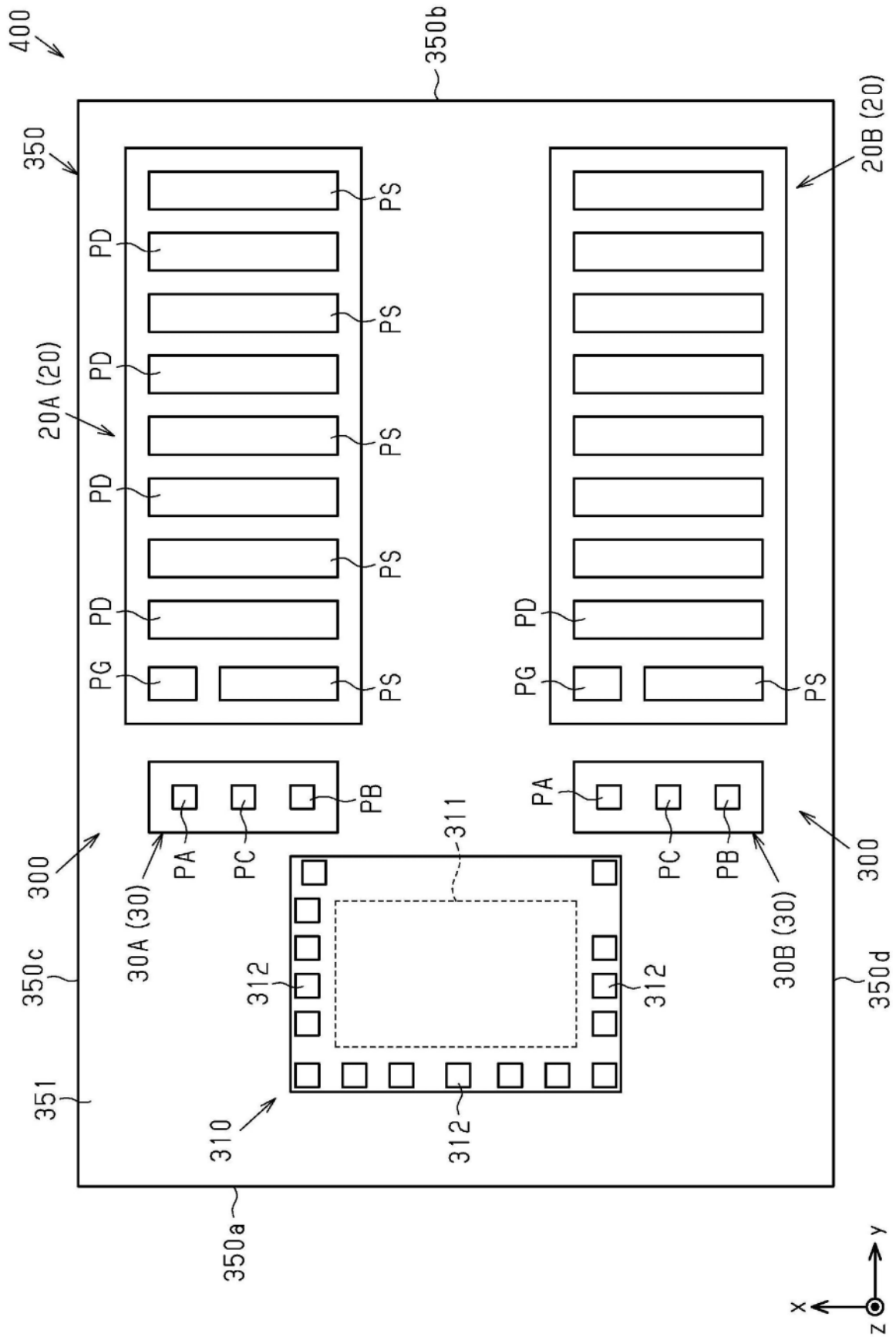


图19

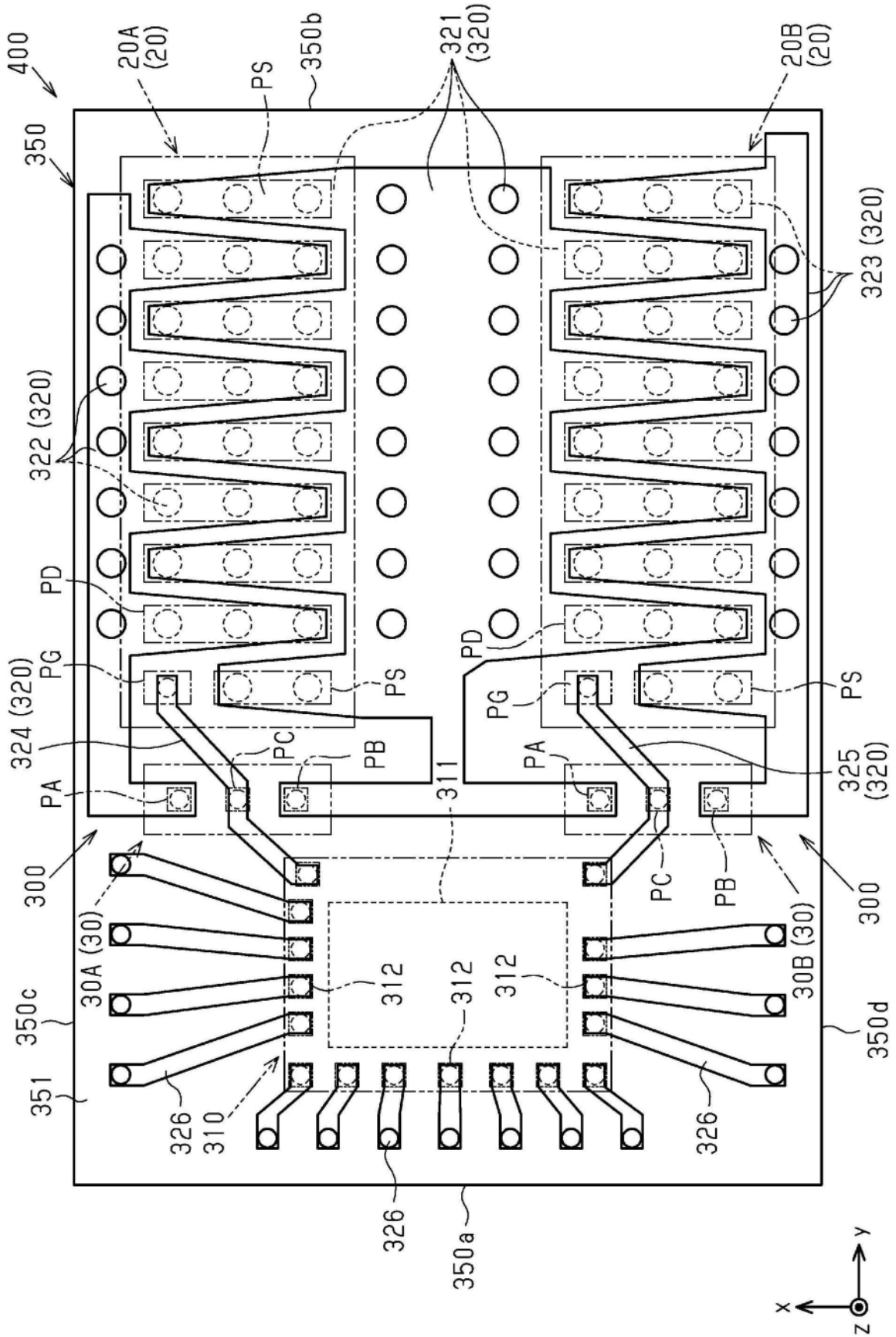


图20

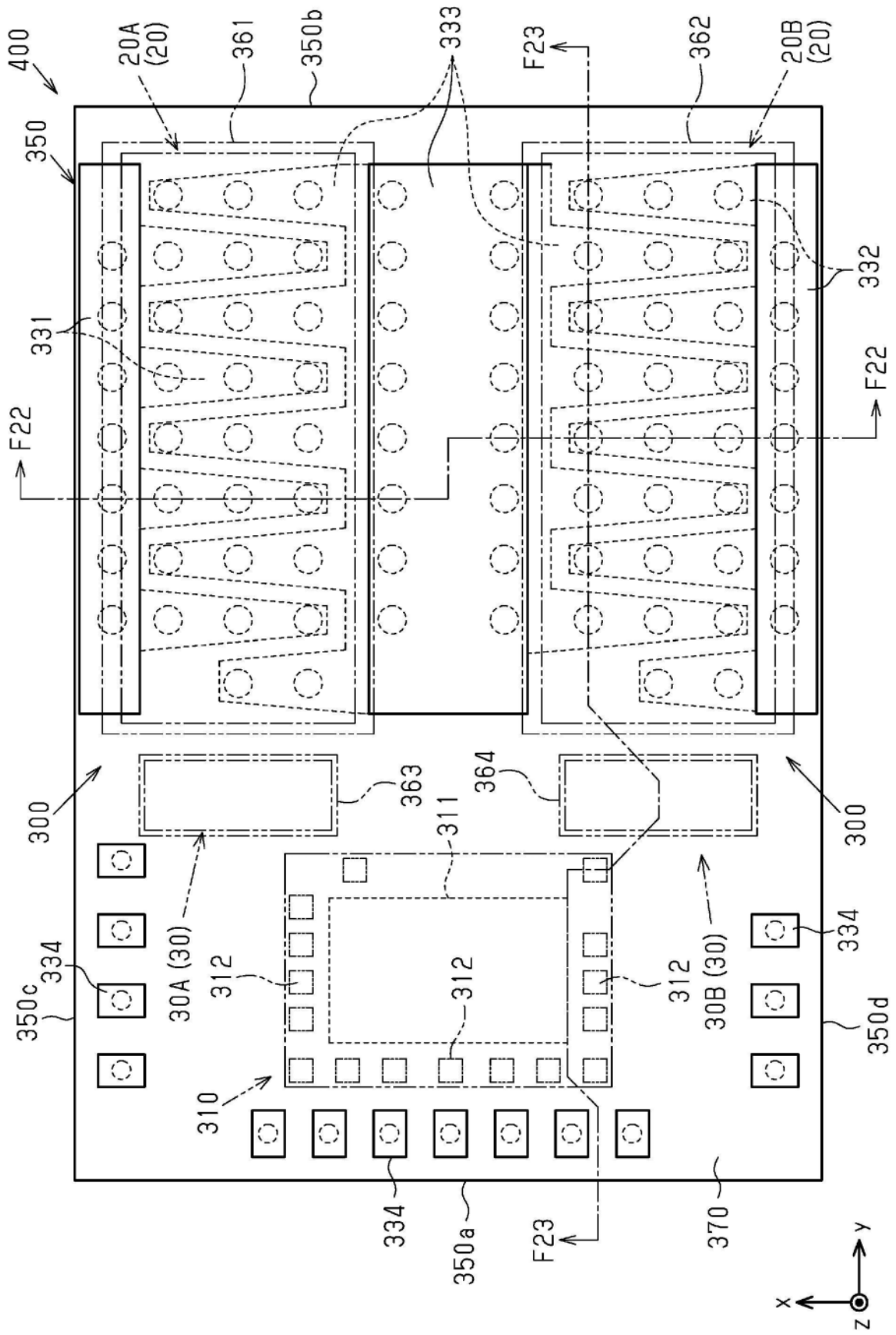


图21

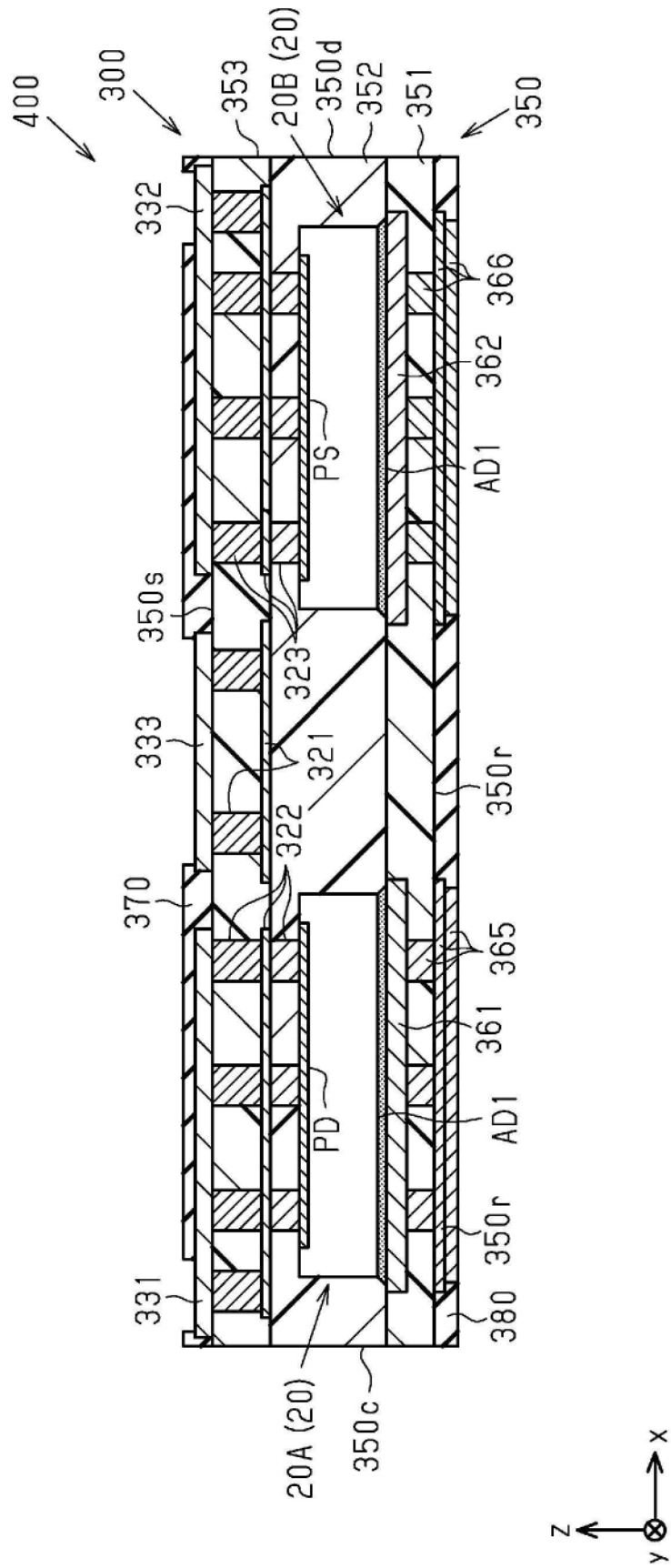


图22

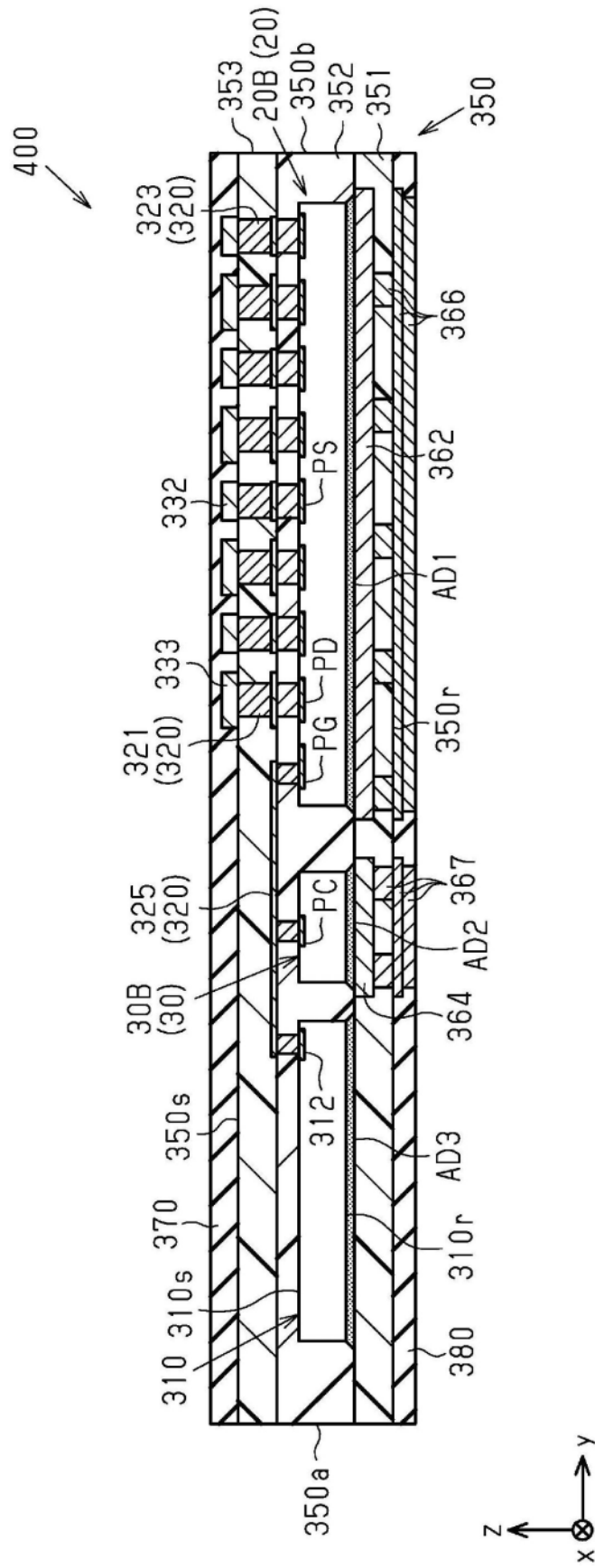


图23

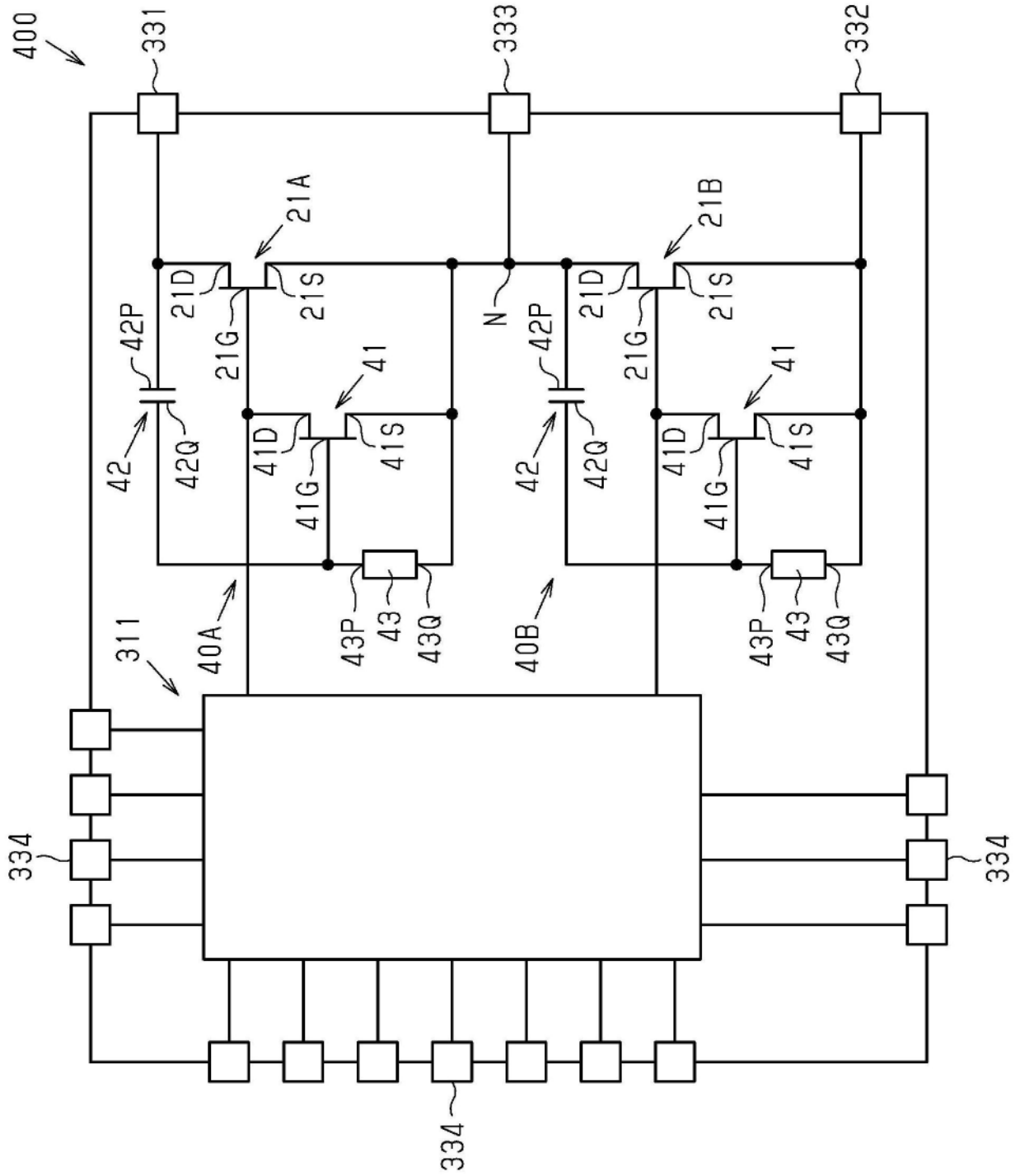


图24

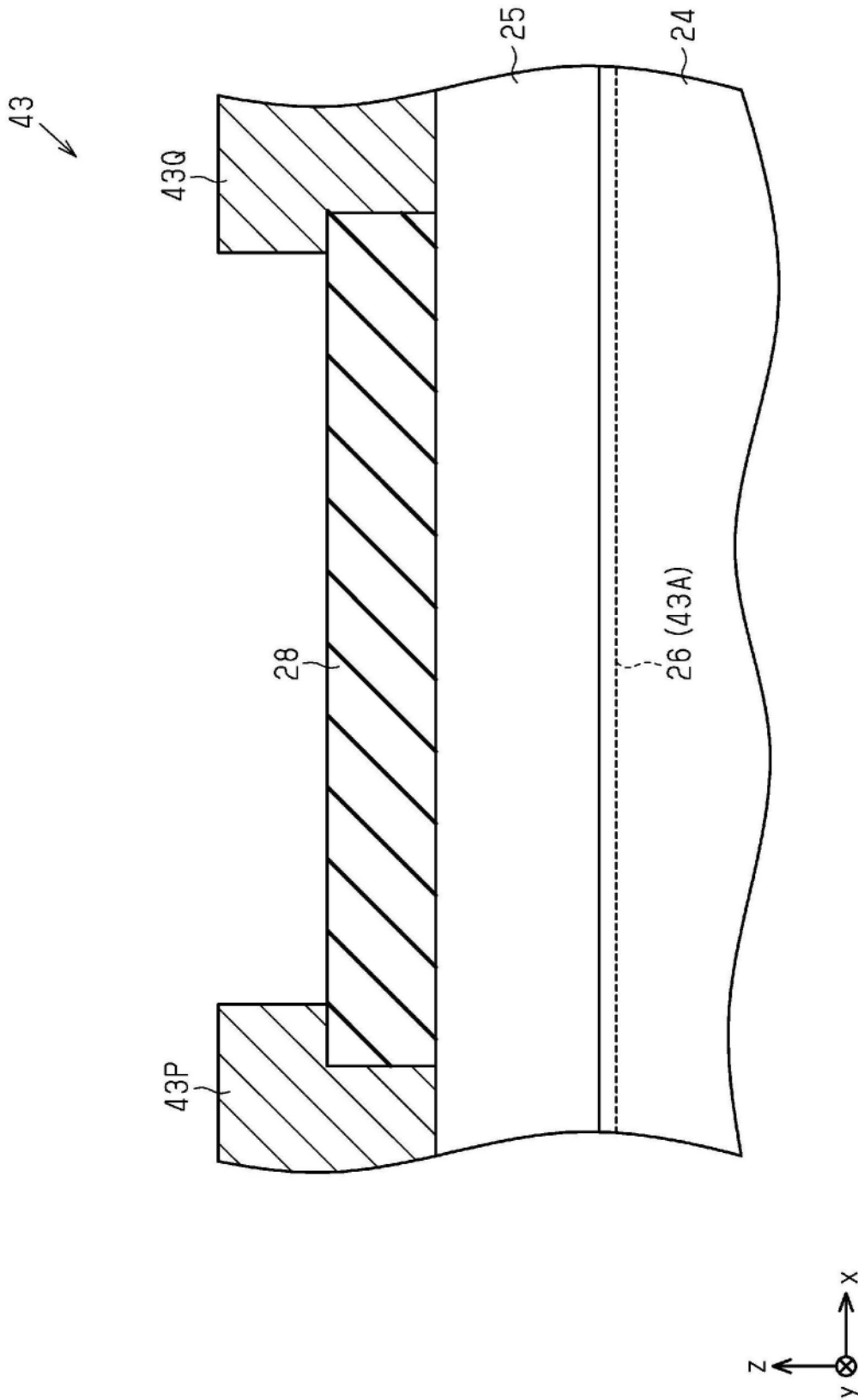


图25

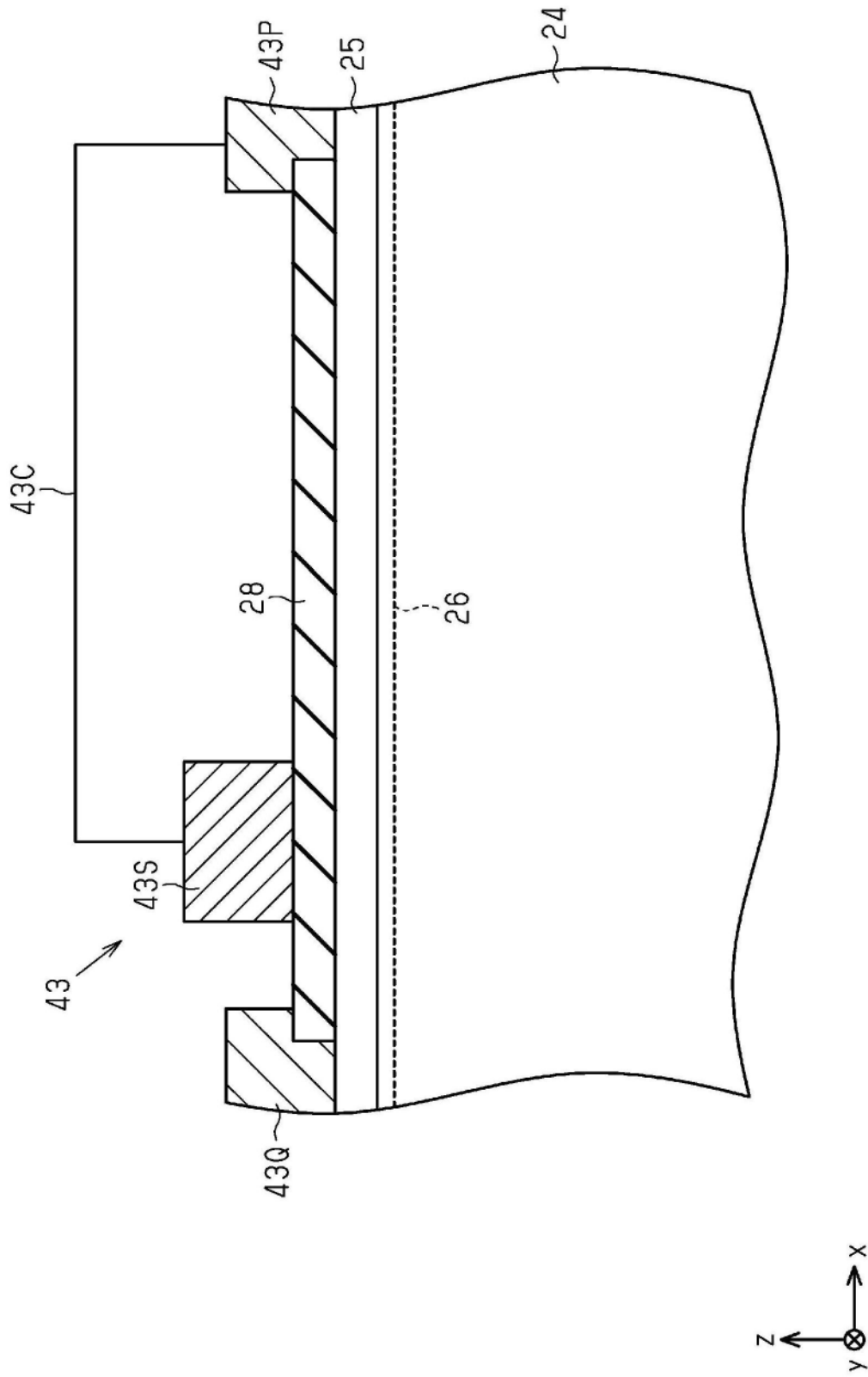


图26

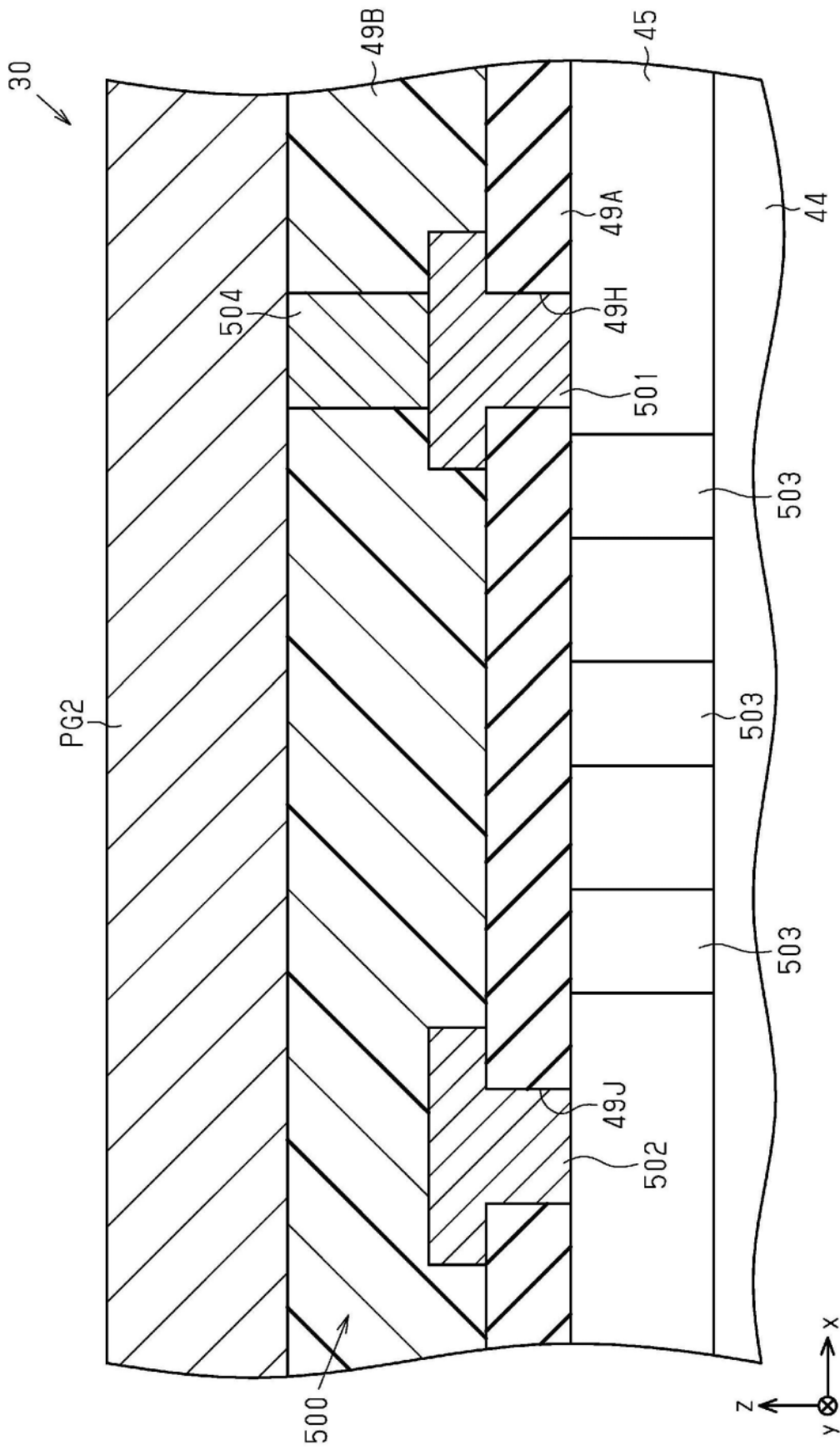


图28

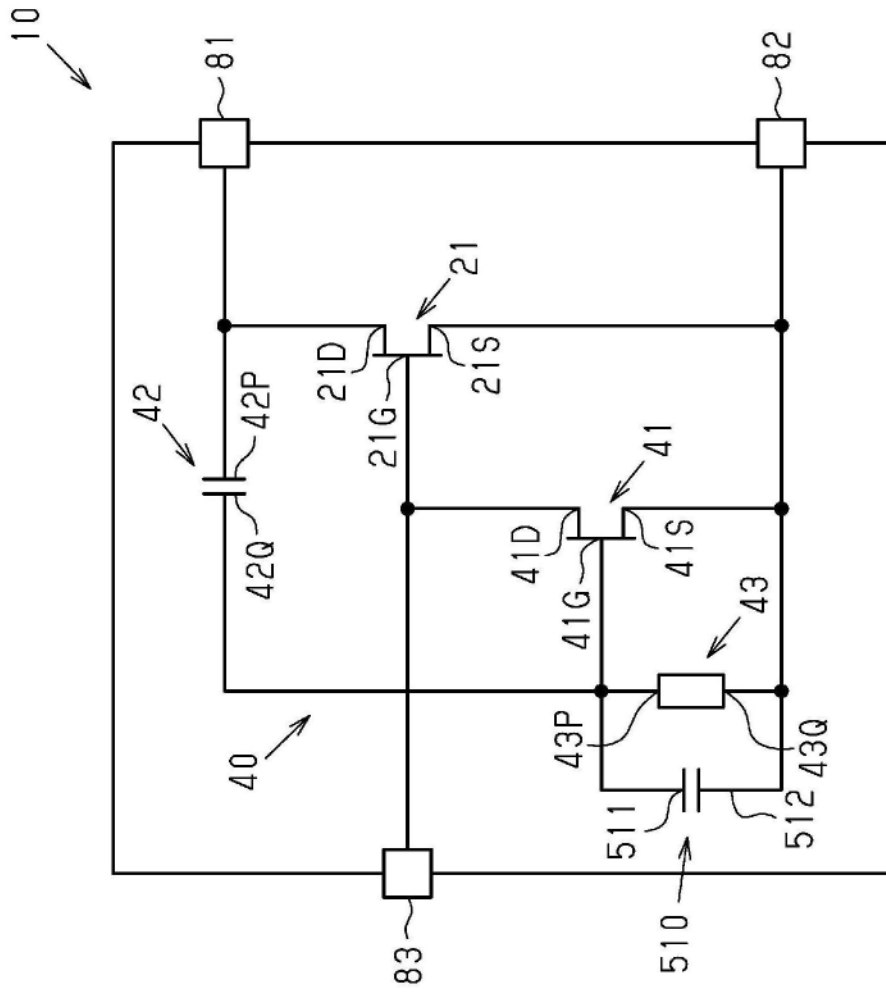


图29

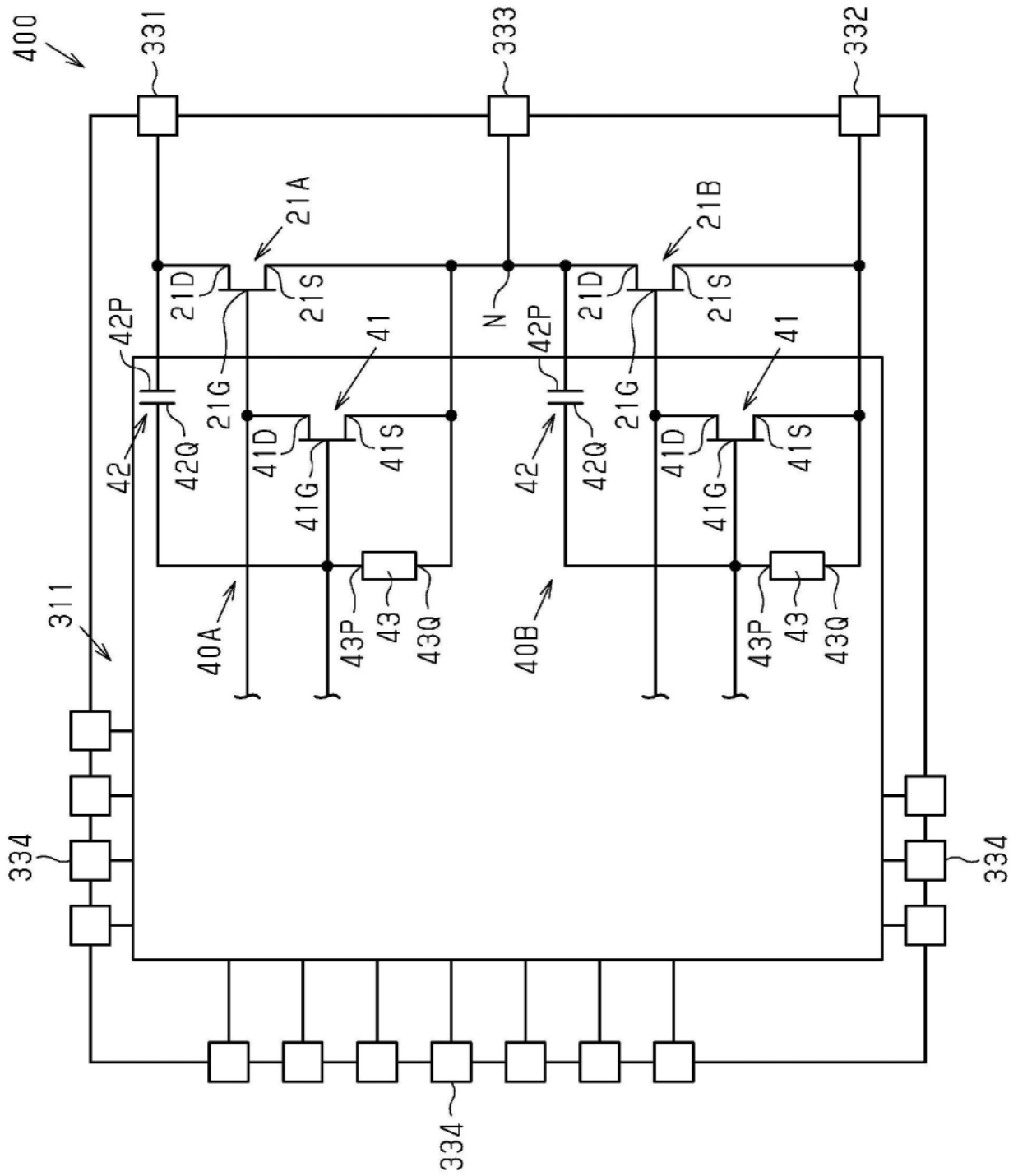


图31