

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 00816039.2

[51] Int. Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

G11C 11/401 (2006.01)

[45] 授权公告日 2006 年 6 月 21 日

[11] 授权公告号 CN 1260810C

[22] 申请日 2000.11.29 [21] 申请号 00816039.2

[30] 优先权

[32] 1999.12.3 [33] JP [31] 344241/99

[86] 国际申请 PCT/JP2000/008424 2000.11.29

[87] 国际公布 WO2001/041211 日 2001.6.7

[85] 进入国家阶段日期 2002.5.22

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 竹村理一郎 関口知纪 木村胜高
梶谷一彦 高桥继雄

审查员 聂少岩

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王永刚

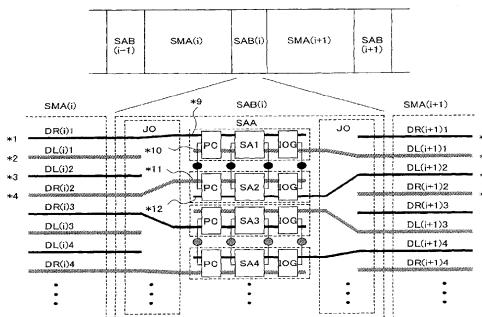
权利要求书 9 页 说明书 19 页 附图 23 页

[54] 发明名称

半导体器件

[57] 摘要

在进行读出放大器交互配置的情况下，作为从子存储器阵列(SMA)向读出放大器(SA)引出数据线的方式，把在子存储器阵列内连续的2条或者交错地把2条数据线夹在中间的2条数据线，连接到相邻的读出放大器上。说得更详细点，采用使被夹持在连接到2个相邻的读出放大器上的每一条数据线之间的数据线的条数变成为偶数(0、2、4...)的办法，就可以避免在读出放大器块与子存储器阵列的连接部分处的断线、短路，因而使布局变得容易起来。



1. 一种半导体器件，具备：

第1存储器阵列，具有设置在第1数据线群和多个第1字线的交点上的多个第1存储单元，所述第1数据线群含有第1数据线、与第1数据线相邻的第2数据线、第3数据线和与第3数据线相邻的第4数据线；

第2存储器阵列，具有设置在第2数据线群和多个第2字线的交点上的多个第2存储单元，含有第5数据线、与第5数据线相邻的第6数据线、与第6数据线相邻的第7数据线和与第7数据线相邻的第8数据线；以及

设置在上述第1存储器阵列和第2存储器阵列之间、并包括彼此相邻的第1读出放大器和第2读出放大器的第1读出放大器块，

其特征在于：

上述第1读出放大器与上述第1数据线和上述第2数据线群中的一条数据线相连，以取得开放式数据线配置，

上述第2读出放大器与上述第4数据线和上述第2数据线群中的另一条数据线相连，以取得开放式数据线配置，以及

上述第2和第3数据线被配置在上述第1数据线与上述第4数据线之间。

2. 根据权利要求1所述的半导体器件，其特征在于：

上述第2数据线群中连接到上述第1读出放大器上的一条数据线是上述第6数据线，

上述第2数据线群中连接到上述第2读出放大器上的另一条数据线是上述第7数据线，以及

上述第6和第7数据线配置在上述第5数据线与上述第8数据线之间。

3. 根据权利要求2所述的半导体器件，其特征在于，上述半导体器件还具有：

第 2 读出放大器块，设置在相对于上述第 1 读出放大器块来说夹持上述第 1 存储器阵列的位置上，并具有彼此相邻的第 3 读出放大器和第 4 读出放大器；以及

第 3 读出放大器块，设置在相对于上述第 1 读出放大器块来说夹持上述第 2 存储器阵列的位置上，并具有彼此相邻的第 5 读出放大器和第 6 读出放大器；

其中，上述第 3 读出放大器耦合到上述第 2 数据线上，上述第 4 读出放大器耦合到上述第 3 数据线上，上述第 5 读出放大器耦合到上述第 5 数据线上，上述第 6 读出放大器耦合到上述第 8 数据线上。

4. 根据权利要求 2 所述的半导体器件，其特征在于：

上述第 1 读出放大器块还具有耦合到上述第 1 读出放大器上的第 9 数据线和第 10 数据线，以及耦合到上述第 2 读出放大器上的第 11 数据线和第 12 数据线，

上述第 10 和第 11 数据线配置在上述第 9 数据线与上述第 12 数据线之间，

上述第 1 读出放大器通过上述第 9 数据线耦合到上述第 1 数据线上，并通过上述第 10 数据线耦合到上述第 6 数据线上，以及

上述第 2 读出放大器通过上述第 11 数据线耦合到上述第 7 数据线上并通过上述第 12 数据线耦合到上述第 4 数据线上。

5. 根据权利要求 4 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块还具有配置在上述第 9 数据线和上述第 10 数据线之间且在上述第 1 布线层上形成的第 1 接触焊盘，以及配置在上述第 11 数据线和上述第 12 数据线之间且在上述第 1 布线层上形成的第 2 接触焊盘。

6. 根据权利要求 1 所述的半导体器件，其特征在于：

上述第 1 读出放大器块还具有耦合到上述第 1 读出放大器上的第 9 数据线和第 10 数据线，以及耦合到上述第 2 读出放大器上的第 11 数据线和第 12 数据线，

在上述第 9 数据线与上述第 12 数据线之间配置上述第 10 和第 11 数据线，

上述第 1 读出放大器通过上述第 9 数据线耦合到上述第 1 数据线上，并通过上述第 10 数据线耦合到上述第 6 数据线上，以及

上述第 2 读出放大器通过上述第 11 数据线耦合到上述第 4 数据线上，并通过上述第 12 数据线耦合到上述第 7 数据线上。

7. 根据权利要求 6 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块配置在上述第 10 数据线和上述第 11 数据线之间，且包括在上述第 1 布线层上形成的接触焊盘。

8. 根据权利要求 6 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块还具有配置在上述第 10 数据线和上述第 11 数据线之间且在上述第 1 布线层上形成的第 1 接触焊盘，和配置在相对于上述第 12 数据线的与上述第 11 数据线相对一侧、且在上述第 1 布线层上形成的第 2 接触焊盘。

9. 根据权利要求 1 所述的半导体器件，其特征在于：

连接到上述第 1 读出放大器上的上述第 2 数据线群中的一条数据线是上述第 5 数据线，

连接到上述第 2 读出放大器上的上述第 2 数据线群中的另一条数据线是上述第 8 数据线，以及

在上述第 5 数据线与上述第 8 数据线之间配置上述第 6 和第 7 数据线。

10. 根据权利要求 9 所述的半导体器件，其特征在于：

上述第 1 读出放大器块还具有耦合到上述第 1 读出放大器上的第 9 数据线和第 10 数据线，以及耦合到上述第 1 读出放大器上的第 11 数据线和第 12 数据线，

上述第 10 和第 11 数据线配置在上述第 9 数据线与上述第 12 数据线之间，

上述第 1 读出放大器通过上述第 9 数据线耦合到上述第 1 数据线上且通过上述第 10 数据线耦合到上述第 5 数据线上，以及

上述第 2 读出放大器通过上述第 11 数据线耦合到上述第 8 数据线上且通过上述第 12 数据线耦合到上述第 4 数据线上。

11. 根据权利要求 10 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块还具有配置在上述第 9 数据线和上述第 10 数据线之间且在上述第 1 布线层上形成的第 1 接触焊盘，和配置在上述第 11 数据线和上述第 12 数据线之间且在上述第 1 布线层上形成的第 2 接触焊盘。

12. 根据权利要求 1 所述的半导体器件，其特征在于：

上述第 1 和第 5 数据线配置在第 1 假想直线上，

上述第 2 和第 6 数据线配置在第 2 假想直线上，

上述第 3 和第 7 数据线配置在第 3 假想直线上，

上述第 4 和第 8 数据线配置在第 4 假想直线上，以及

上述第 1 到第 4 假想直线以预定的间隔平行地配置。

13. 根据权利要求 1 所述的半导体器件，其特征在于：

上述第 1 到第 4 数据线分别以大于、等于 2 倍于最小加工尺寸 F 的间隔排列，而上述第 5 到第 8 数据线分别以大于、等于 2 倍于最小加工尺寸 F 的间隔排列。

14. 根据权利要求 1 所述的半导体器件，其特征在于：

上述第 1 和第 2 存储器阵列分别具有一个交点式的存储器矩阵构造，

上述多个第 1 和第 2 存储单元中的每一个都包括开关用 MISFET 和电容器，以及

上述第 1 到第 4 读出放大器中分别包括漏极和栅极交叉连接、且源极共通连接的 P 型 MISFET 对以及漏极栅极交叉连接、且源极共通连接的 N 型 MISFET 对。

15. 根据权利要求 1 所述的半导体器件，其特征在于：

上述多个第 1 和第 2 存储单元中的每一个都包括开关用 MISFET 和电容器，且上述多个第 1 和第 2 存储单元各自的面积都相对于最小加工尺寸 F 为 F 的 2 次方的约 6 倍。

16. 根据权利要求 1 所述的半导体器件，其特征在于：

上述第 1 到第 8 数据线用使用相移掩模的光刻技术形成。

17. 一种半导体器件，具备：

第 1 存储器阵列，包括多个配置在第 1 数据线、与第 1 数据线相邻的第 2 数据线、与第 2 数据线相邻的第 3 数据线以及与第 3 数据线相邻的第 4 数据线和多个第 1 字线相交的交叉点上的第 1 存储单元；

第 2 存储器阵列，包括多个配置在第 5 数据线、与第 5 数据线相邻的第 6 数据线、与第 6 数据线相邻的第 7 数据线以及与第 7 数据线相邻的第 8 数据线和多个第 2 字线相交的交叉点上的第 2 存储单元；以及

设置在所述第 1 存储器阵列和第 2 存储器阵列之间的第 1 读出放大器块，并包括彼此相邻的第 1 读出放大器和第 2 读出放大器、与所述第 1 读出放大器相连的第 9 数据线和第 10 数据线以及与所述第 2 读出放大器相连的第 11 数据线和第 12 数据线，

其特征在于：

上述第 1 读出放大器通过上述第 9 数据线与上述第 1 数据线相连，以及通过上述第 10 数据线与上述第 6 数据线相连，以构成开放式数据线配置，

上述第 2 读出放大器通过上述第 11 数据线与上述第 8 数据线相连，以及通过上述第 12 数据线与上述第 3 数据线相连，以构成开放式数据线配置，以及

在上述第 1 和第 3 数据线之间配置上述第 2 数据线，在上述第 2 和第 4 数据线之间配置上述第 3 数据线，在上述第 5 和第 7 数据线之间配置上述第 6 数据线，在上述第 6 和第 8 数据线之间配置上述第 7 数据线，在上述第 9 和第 12 数据线之间配置上述第 10 和第 11 数据线。

18. 根据权利要求 17 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块配置在上述第 10 数据线和上述第 11 数据线之间，且具有在上述第 1 布线层上形成的接触焊盘。

19. 根据权利要求 17 所述的半导体器件，其特征在于：

上述第 1 到第 12 数据线在第 1 布线层上形成，以及

上述第 1 读出放大器块还具有配置在上述第 10 数据线和上述第 11 数据线之间、且在上述第 1 布线层上形成的第 1 接触焊盘，和相对于上述第 12 数据线来说配置在上述第 11 数据线的相反一侧且在上述第 1 布线层上形成的第 2 接触焊盘。

20. 根据权利要求 17 所述的半导体器件，其特征在于，上述半导体器件还具备：

第 2 读出放大器块，设置在相对于上述第 1 读出放大器块来说夹持上述第 1 存储器阵列的一个位置上，且具有彼此相邻的第 3 读出放大器和第 4 读出放大器；以及

第 3 读出放大器块，设置在相对于上述第 1 读出放大器块来说夹持上述第 2 存储器阵列的第 2 位置上，且具有彼此相邻的第 5 读出放大器和第 6 读出放大器；

其中，上述第 3 读出放大器耦合在上述第 2 数据线上，上述第 4 读出放大器耦合在上述第 4 数据线上，上述第 5 读出放大器耦合在上述第 5 数据线上，上述第 6 读出放大器耦合在上述第 7 数据线上。

21. 根据权利要求 17 所述的半导体器件，其特征在于：

上述多个第 1 和第 2 存储单元中的每一个都包括开关用 MISFET 和电容器，而上述多个第 1 和第 2 存储单元中的每一个的面积，相对于最小加工尺寸 F 为 F 的 2 次方的约 6 倍。

22. 根据权利要求 17 所述的半导体器件，其特征在于：上述半导体器件具有以上述第 1 读出放大器和上述第 2 读出放大器之间的镜像轴进行镜像反转后的结构。

23. 一种半导体器件，包括：

第 1 存储器阵列，包括多个配置在第 1 数据线、与第 1 数据线相

邻的第 2 数据线、与第 2 数据线相邻的第 3 数据线以及与第 3 数据线相邻的第 4 数据线和多个第 1 字线相交的交叉点上的第 1 存储单元；

第 2 存储器阵列，包括多个配置在第 5 数据线、与第 5 数据线相邻的第 6 数据线、与第 6 数据线相邻的第 7 数据线以及与第 7 数据线相邻的第 8 数据线和多个第 2 字线相交的交叉点上的第 2 存储单元；以及

设置在所述第 1 存储器阵列和第 2 存储器阵列之间的第 1 读出放大器块，并包括彼此相邻的第 1 读出放大器和第 2 读出放大器，

其特征在于：

上述第 1 读出放大器耦合到上述第 1 数据线和上述第 6 数据线，以构成开放式数据线配置，

上述第 2 读出放大器，耦合到上述第 3 数据线和上述第 8 数据线，以构成开放式数据线配置，

在上述第 1 和第 3 数据线之间配置上述第 2 数据线，在上述第 2 和第 4 数据线之间配置上述第 3 数据线，在上述第 5 和第 7 数据线之间配置上述第 6 数据线，在上述第 6 和第 8 数据线之间配置上述第 7 数据线，以及

上述第 1 到第 4 数据线分别以大于、等于最小加工尺寸 F 约 3 倍的间隔进行配置，且上述第 5 到第 8 数据线分别以大于、等于最小加工尺寸 F 约 3 倍的间隔进行配置。

24. 根据权利要求 23 所述的半导体器件，其特征在于：

上述第 1 读出放大器块还具有耦合到上述第 1 读出放大器上的第 9 数据线和第 10 数据线、耦合到上述第 2 读出放大器上的第 11 数据线和第 12 数据线、第 1 驱动线和第 2 驱动线，

上述第 1 和第 2 读出放大器分别包括 P 型 MISFET 对和 N 型 MISFET 对，所述 P 型 MISFET 对在 N 型半导体区上形成，其漏极和栅极交叉连接，而源极共通连接；所述 N 型 MISFET 对在 P 型半导体区上形成，其漏极和栅极交叉连接，而源极共通连接，

上述第 1 到第 12 数据线形成在第 1 布线层中，所述第 1 布线层

形成在上述 N 型和 P 型半导体区之上，

上述第 1 和第 2 驱动线形成在第 2 布线层中，所述第 2 布线层形成在上述第 1 布线层之上，

在上述第 9 数据线与上述第 12 数据线之间配置上述第 10 和第 11 数据线，

上述第 1 和第 2 读出放大器的上述 P 型 MISFET 对的源极，通过在上述第 10 和第 11 数据线之间设置的第 1 贯通孔连接到上述第 1 驱动线上，以及

上述第 1 和第 2 读出放大器的上述 N 型 MISFET 对的源极，通过在上述第 10 和第 11 数据线之间设置的第 2 贯通孔连接到上述第 2 驱动线上。

25. 根据权利要求 23 所述的半导体器件，其特征在于：

在形成上述第 1 到第 8 数据线时，使用分配给上述第 1、第 3、第 5 和第 7 数据线的图形的相位与分配给上述第 2、第 4、第 6 和第 8 数据线的图形的相位差 180 度的相移掩模。

26. 根据权利要求 23 所述的半导体器件，其特征在于：上述最小加工尺寸 F 小于、等于 0.15 微米。

27. 一种半导体器件，具备：

第 1 存储器阵列，含有各自设置在第 1、第 2、第 3 和第 4 数据线与第 1 字线相交的点上的第 1、第 2、第 3 和第 4 存储单元；

第 2 存储器阵列，含有各自设置在第 5、第 6、第 7 和第 8 数据线与第 2 字线相交的点上的第 5、第 6、第 7 和第 8 存储单元；以及

读出放大器块，设置在上述第 1 和第 2 存储器阵列之间的区域上，并具有彼此相邻的第 1 和第 2 读出放大器；

其特征在于：

上述第 1、第 2、第 3 和第 4 数据线依次彼此相邻，上述第 5、第 6、第 7 和第 8 数据线依次彼此相邻，

上述第 1 读出放大器耦合到上述第 1 数据线群中的一条数据线和上述第 2 数据线群中的一条数据线上，以构成开放式数据线配置，

上述第 2 读出放大器耦合到上述第 1 数据线群中的另一条数据线和上述第 2 数据线群中的另一条数据线上，以构成开放式数据线配置，以及

上述第 1~第 8 存储单元中的每一个的面积都约等于最小加工尺寸 F 的 2 次方的 6F²。

28. 根据权利要求 27 所述的半导体器件，其特征在于：

上述第 1 数据线群用相移法形成，将曝光光束提供给所述第 1 和第 3 数据线，该曝光光束与提供给所述第 2 和第 4 数据线的曝光光束之间具有 180 度的相位差；以及

上述第 2 数据线群用相移法形成，将曝光光束提供给所述第 5 和第 7 数据线，该曝光光束与提供给所述第 6 和第 8 数据线的曝光光束之间具有 180 度的相位差。

29. 根据权利要求 27 所述的半导体器件，其特征在于：

上述第 1、第 2、第 3 和第 4 数据线以大于最小加工尺寸 F 约 3 倍的间隔配置，以及

上述第 5、第 6、第 7 和第 8 数据线以大于最小加工尺寸 F 约 3 倍的间隔配置。

30. 根据权利要求 27 所述的半导体器件，其特征在于：

连接到上述第 1 读出放大器上的上述第 1 数据线群中的一条数据线和连接到上述第 2 读出放大器上的上述第 1 数据线群中的另一条数据线用相移掩模形成，各自具备在之间具有 180 度相位差的开口图形，以及

连接到上述第 1 读出放大器上的上述第 2 数据线群中的一条数据线和连接到上述第 2 读出放大器上的上述第 2 数据线群中的另一条数据线用相移掩模形成，具备在各自之间具有 180 度相位差的开口图形。

半导体器件

技术领域

本发明涉及半导体器件，特别是涉及在半导体器件中含有的存储器阵列部分和读出放大器部分的构成。

背景技术

在本说明书中要参照的文献清单如下，用文献序号进行文献的参照。[文献1]：特开平5-41081号公报；[文献2]：超微细加工技术 pp.7-41；应用物理学会编/德山巍著、才-ム社、1997年2月25日第1版发行；[文献3]：特开平9-135004号公报。

[文献1]报道了在分割后的多个存储器底板中，采用开放式数据线配置的情况下读出放大器和数据线的配置。特别是其图3，画出了对于相邻的2条数据线配置1个读出放大器，1条与右侧的读出放大器块的读出放大器连接，剩下的1条连接到左侧的读出放大器块的读出放大器上的所谓交互配置式的存储器阵列中的掩模图形的例子。

[文献2]讲述了作为用来在半导体晶片上边形成微细图形的光刻技术之一的相移法。[文献3]讲述在所谓的1个交点存储单元方式的存储器阵列中的掩模图形的例子。

在动态随机存取存储器(DRAM)中，人们熟知(1)1个交点存储单元方式(或开放式数据线配置)和(2)2个交点存储单元方式(或折返式数据线配置)这么2种代表性的存储器阵列的构成法。虽然产品化历来是从1个交点存储单元方式的DRAM开始的，但是以64K位DRAM为界线开始进行向2个交点存储单元方式转换。即便是在现在已产品化的256M位DRAM中，采用的也是2个交点存储单元方式。但是，人们知道：DRAM中逻辑上的最小存储单元面积，相对于在2个交点存储单元方式中最小加工尺寸F的2次方的8倍($8F^2$)来说，在1个交点存

储单元方式中为比之小 25% 的 $6F^2$ 。

这里, 所谓最小加工尺寸 F , 是为了进行由光刻等的半导体集成电路的加工技术决定的图形间的分离所必须的最小间隔, 是设计上的单位。就是说, 在半导体集成电路中, 可以以 F 为单位进行所有掩模图形的设计, 与现实的加工技术相吻合地应用 F 的具体的尺寸。如果今后仍继续采用 2 个交点存储单元方式, 就只好仅仅依赖于最小加工尺寸 F 的减小, 否则存储单元面积的急剧减小是不可期待的。为此, 本申请发明人等, 在设计手法中, 对把可以期待存储单元面积减小的 1 个交点存储单元方式应用于大容量存储器的阵列构成的应用进行了探讨。

在图 23 中示出了采用在[文献 1]的图 3 中画出来的 1 个交点存储单元方式且采用位线多分割和读出放大器交互配置的存储器阵列。在该存储器阵列中, 读出放大器与数据线的连接, 用单纯的一种规则进行。隔一条地把一个存储器阵列(例如(SMA(i)))的数据线(例如, DR(i)1、DR(i)2)连接到相邻的 2 个读出放大器(例如 SA1 和 SA2)上。如该图所示, 在字线与数据线的所有的交点上, 在存储单元的某一交点阵列上, 即便是进行读出放大器的交互配置, 在 2 条数据线上也必须布局上 1 个读出放大器。为实现该图 23 的布局的布线节距受限于光刻技术。

近些年来, 作为用来形成微细图形的光刻技术已开始可以使用相移法了。传统的光掩模具有仅仅控制单纯光透过的开口部分。对此, 在相移法中使用的光掩模的情况下, 具有透过光的第 1 开口部分和对于第 1 开口部分透过光的相位具有 180 度差地进行透过(相移 180 度相位后透过)的第 2 开口部分。采用使光在第 1 开口部分和第 2 开口部分相邻的区域中彼此抵消的办法, 即便是用同一光的波长, 也可以进行更微细的光刻。至于相移法本身, 在[文献 2]中讲述了其详细情况。在采用相移法时, 相位对图形的分配(相位配置)是重要的。就是说, 取决于相位分配方法, 如果不得不加宽布线间的节距, 不能进行最佳的相位布局设计, 则就不可能降低布局面积。

本申请发明人等注意到在 1 个交点存储单元方式中, 在用相移法制作采用位线多分割和读出放大器交互配置的存储器阵列时, 必须特

别考虑读出放大器和存储单元阵列的数据线的连接方法。就是说，在存储器阵列和读出放大器的图形不同的区域的边界处，如果不考虑相位布局设计、布线节距和图形，就易于产生布线的断线、短路之类的不合格。

于是，本发明的目的在于提供为了实现作为可以减小芯片面积的存储器阵列构成的1个交点方式所必须的读出放大器的布局方式。

说得更具体点，目的在于实现对于使用相移方式的光刻合适的存储器阵列和读出放大器间的数据布线图形方式。

发明内容

本发明的代表性的例子如下。一种半导体器件，具备：具有设置在含有第1到第4数据的第1数据线群和多个第1字线的交点上的多个第1存储单元的第1存储器阵列，具有设置在含有第5个到第8数据的第2数据线群和多个第2字线的交点上的多个第2存储单元的第2存储器阵列，含有在上述第1和第2存储器阵列之间的区域上设置且彼此相邻的第1和第2读出放大器的第1读出放大器块，使得上述第1读出放大器，采用耦合到在上述第1数据线和第2数据线群中含有的第一条数据线上的办法变成为开放式数据线配置，上述第2读出放大器，采用耦合到在上述第4数据线和第2数据线群中含有的另一条数据线上的办法变成为开放式数据线配置，在上述第1数据线与上述第4数据线之间配置上述第2和第3数据线。

附图说明

图1是本发明的实施例1的数据线的连接布局图(‘4:5配置(其1)’)，图2是图1的电路图，图3A和图3B是图1的掩模图形图，图4是图3的读出放大器部分的剖面图，图5A和图5B是1个交点存储器阵列的掩模图形图，图6是本发明的实施例1的数据线的连接布局图(‘4:5配置(其2)’)，图7是图6的电路图，图8的框图示出了同步DRAM的全体，图9的框图示出了存储器区域的细节，图10是

本发明的实施例 1 的数据线的连接布局图(‘4: 4 配置(其 1)’), 图 11 是本发明的实施例 2 的数据线的连接布局图(‘4: 4 配置(其 2)’), 图 12A 和图 12B 是图 10 的掩模图形图, 图 13 是图 12 的读出放大器部分的剖面图, 图 14 是本发明的实施例 3 的数据线的连接布局图(‘4: 6 配置(其 1)’), 图 15 是本发明的实施例 3 的数据线的连接布局图(‘4: 6 配置(其 2)’), 图 16A 和图 16B 是图 14 的掩模图形图, 图 17 是图 16 的读出放大器部分的剖面图, 图 18 是本发明的实施例 3 的数据线的连接布局图(‘4: 6 配置(其 3)’), 图 19 是本发明的实施例 3 的数据线的连接布局图(‘4: 6 配置(其 4)’), 图 20 是本发明的实施例 4 的数据线的连接布局图(‘4: 5 配置’), 图 21 是本发明的实施例 4 的数据线的连接布局图(‘4: 4 配置’), 图 22 是本发明的实施例 4 的数据线的连接布局图(‘4: 6 配置’), 图 23 是 1 个交点存储器阵列的构成图.

具体实施方式

以下,用附图详细地说明本发明的实施例。构成实施例的各块的电路元件,虽然没有什么特别限制,但是,应可以用众所周知的 CMOS(互补型 MOS 晶体管)等的集成电路技术在单晶硅之类的一个半导体衬底上边形成。MOSFET(金属氧化物半导体场效应晶体管)的电路符号,不带箭头的表示 N 型 MOSFET(NMOS),以与带箭头的 P 型 MOSFET(PMOS)相区别。以下,为了说起来方便,决定把 MOSFET 简化为 MOS。但是,本申请发明,也可以适用于使用 MISFET(金属绝缘物半导体场效应晶体管)等的一般的 FET 电路,而并不仅仅限定于含有设置在金属栅极与半导体层之间的氧化膜绝缘膜的场效应晶体管。

<实施例 1>

图 1 模式性地示出了本申请的实施例 1 的数据线和读出放大器的连接区域的特征部分。决定在说明图 1 的详细内容之前, 使用图 8 和图 9 从本申请的可以使用的半导体器件的整体开始进行说明。

[1-1. SDRAM 的整体构成] 在图 8 中示出了作为可以使用本发明的典型例子的同步 DRAM(SDRAM)的所有的块。各个电路块用在输入控制信号的定时信号产生电路 TG 中形成的内部控制信号的定时进行动作。在向 TG 输入的控制信号中有在时钟信号 CLK 的定时处输入的芯片选择信号/CS, 行地址选通信号/RAS, 列地址选通信号, 写入允许信号/WE。这些控制信号和地址信号之间的组合叫做指令。时钟允许信号 CKE 决定时钟信号的有效无效。此外, 输入输出屏蔽信号 DQM 是为了屏蔽从输入输出端子(DQ0, … DQn)输入输出的数据, 用来控制数据输入输出缓冲器 I/OB 的信号。VG 是 SDRAM 的电压产生电路, 供给字线用升压电压(VPP)、衬底电压(VBB)、阵列电压(VDL)、外围电路电压(VCL)等。

在 SDRAM 中, 可以采用从地址输入端子(A0、A1、…An)以时分输入方式输入行地址或列地址的地址多路方式。已输入到行地址缓冲器 XAB 中的行地址, 用行译码器 X-DEC 进行译码, 选中一个存储器阵列 MA 中的特定字线, 与之相对应地一条字线容量的存储单元就变成为被选中状态。接着, 当向列地址缓冲器 YAB 中输入列地址后, 借助于列地址译码器 Y-DEC, 就可以进而选择要进行读出或写入的存储单元。另外, SDRAM 虽然具有通常可以用存储区地址指定的多个存储器阵列(或者存储器区域),但是, 在该图中仅仅代表性地示出了一个存储器阵列 MA(BANK0)。

图 9 示出了存储器阵列 MA 附近的扩大图。存储器阵列 MA 含有矩阵状配置的多个子存储器阵列 SMA。虽然没有什么特别限定, 但是该存储器阵列可以采用叠层字线方式, 在 MA 的一个边上配置主字线驱动器列 MWD。连接到 MWD 上的主字线 MWL, 在上层的金属布线层(M2 布线层)上被设置为跨接多个 SMA。子存储器阵列 SMA 内的构成, 是在多条字线(WL1、WL2、WL3、WL4、…)和多条数据线(D1、D2、D3、D4、…)的所有的交点上都配置有存储单元的 1 个交点存储器阵列构成。

在 SMA 的上下, 设置有对于每一条字线都设置的子字驱动器

SWD。子字驱动器，也可以用来自主字线 **MWL** 和 **FX** 驱动器 **FXD** 控制信号激活化，选择对应的一条字线。**FXD** 虽然可以设置在作为用 **SWD** 和 **SAB** 围起来的区域的交叉区域 **XA** 内，但是，在图 9 中仅仅画出了一个空白的盒子。在采用字分流方式而不是叠层字线方式的情况下，在 **SWD** 内取代字驱动器要设置把用在上层上设置的 **AI** 等的金属形成的保证用字线和下层多晶硅层的栅极共用的字线连接起来的贯通孔和接触。在该情况下，**SWD** 就可以叫做字分流区域。此外，列方向的选择，可以采用把从列译码器 **Y-DEC** 的列选择线驱动器 **YSD** 输出的列选择线 **YSL** 设置为使得跨接多个子存储器阵列(**SMA**)的共用 **Y** 数据方式。列选择线 **YSL**，典型地说在比 **M2** 还往上的上层的 **M3** 布线层上形成。对于以上所说的存储器阵列的全体来说，本发明涉及可以重复配置的子存储器阵列 **SMA** 和读出放大器 **SAB** 的内部构成。它们的详细构造示于图 1。

[1-2. 4: 5 配置(其 1)] 图 1 示出了一个读出放大器块 **SAB(j)** 和在其两侧配置上子存储器阵列(**SMA(i)**、**SMA(i+1)**)的部分的布局。在以下的说明中例如 **SAB(i)** 的附注(**i**)，决定在对应关系明确的情况下就适时予以省略地进行说明。该图的特征是在 **SMA** 内在规定的宽度 **W** 中配置 4 条数据线，在 **SAB** 内同样地在规定的宽度中实质上配置 5 条(4 条数据线和 1 条接触焊盘列)数据线。为此，决定把图 1 的实施例叫做‘4: 5 配置’。

该布局对于 **SAA** 来说在 **X** 方向(以下，把字线的延长方向定义为 **X** 方向)上具有把 4 个读出放大器 **SA1** 到 **SA4** 当作一个群的重复图形。但是，**SA3** 和 **SA4** 的连接图形可以看作是借助于使 **SA1** 和 **SA2** 的图形进行镜像反转而制成的图形。对于 **SA1** 来说，读出放大器内部的数据线(*9 和 *10)和子存储器阵列的数据线(*1 和 *6)简单地进行连接。对此，在 **SA2** 中，读出放大器内部的数据线(*11 和 *12)和子存储器阵列的数据线(*4 和 *7)的特征是具有扭歪地进行连接。此外，图 1 的布局，对于 **Y** 方向(以下，把数据线的延伸方向定义为 **Y** 方向)来说，具有简单的重复图形，采用使同一图形在 **Y** 方向上重复配置的办法就可以扩

张存储器阵列。就是说，采用在 SMA(i+1) 的右侧把与图 1 完全一样的图形连接起来的办法，SMA 与 SAB 的重复配置就可以实现。为此，存储器阵列的扩张是容易的。

在子存储器阵列 SMA 内， $DL(i)0, DL(i)1, \dots, DR(i)0, DR(i)1, \dots, DL(i+1)0, DL(i+1)1, \dots, DR(i+1)0, DR(i+1)1, \dots$ 表示数据线。在 SMA(i) 和 SMA(i+1) 中左右对应的数据线（例如 $DR(i)1$ 和 $DR(i+1)1$ ），定为因被配置在完全相同的假想线上边而在 X 方向没有偏移的数据线。对此，读出放大器块内的数据线则被配置为从要配置 SMA 的数据线的假想线向 X 方向稍微偏移开来。此外，在一个子存储器阵列内，各个数据线可以具有恒定的间隔被平行地配置。在该图内，存储单元已被省略。本申请发明，就如将在图 5A 中要讲述的那样，其特征在于：在数据线间的间隔具有最小加工尺寸 F 的 2 倍那样的高密度配置的存储器阵列中也可以进行连接的点。虽然没有特别限制，但是，本申请发明，在以比用 KrF(波长 248nm) 气体使准分子激光器产生振荡的情况更往前的世代的光源为前提，F 为 0.16 微米以下的情况下，可以期待特别显著的效果。

在本发明中，在数据线的图形形成中，为了形成高密度的图形，使用作为利用光的干涉的光刻技术的相移法。在图 1 中，数据线虽然画出的是具有实线和虚线的 2 种数据线，但是，这却表明了相移法中的相位配置。就是说，作为一个例子，对实线分配相位 0 度，对虚线则分配相位 180 度。另外，在实线与虚线的每一者之间使相位差都变成为 180 度是重要的，相位的值本身却并不重要。如该图所示，采用使彼此相邻的数据线的相位配置变成为 180 度那样地进行逆相的办法，理论上说，可以使布线节距一直缩小到曝光束的波长。

读出放大器块 SAB 内的配置，由于不仅是数据线也需要进行电源线等的连接，故必须特别予以关照。读出放大器块 SAB(j) 由多个读出放大器区 SAA 和 SAA 与数据线的连接区 J0 构成。首先，在读出放大器区 SAA 的布局中，在与数据线同层上，除去数据线之外，对于 2 个 SAA 还设置有一列用做驱动控制线、IO 线和电源线等的接触的图形

(接触焊盘)。在图 1 中，接触焊盘用黑圆点和用画上斜线的圆点表示。在相移掩模上边黑圆点被规定为与实线的数据线相位相同。为了配置该接触焊盘列，在 SAB 内就必须形成规定的宽度实质上与 5 条数据线相当的图形。为此，在 SMA 和 SAA 之间相位配置就不可能简单地与数据线匹配。于是，在本申请发明中，对于 SMA 和 SAA 之间的数据线的连接来说，就要明确地提供目的为形成相位配置匹配的连接方法(连接区 J0 的图形)。

数据线，在 SMA 内连续地相邻的 4 条数据线(例如*1 ~ *4)之内，2 条数据线(例如*1 和*4)，在 J0 中被连接到相邻的 SAA(SA1 和 SA2)上。剩下的 2 条(例如*2 和*3)则被连接到相反一侧的读出放大器块(SAB(j-1)或 SAB(j+1))的相邻的 SAA 上。例如，在图 1 中连续的数据线 DR(i)1、DL(i)1、DL(i)2、DR(i)2、DR(i)3、DL(i)3、DL(i)4、DR(i)4 之内，被连接到 SAB(j)的相邻的 SAA 上的数据线，就变成为从 DR(i)1 开始把 2 条数据线夹持起来的 DR(i)2 及其相邻的 DR(i)3，以及把 2 条数据线夹持起来的 DR(i)4，彼此分别相邻的数据线，在 SAA 中，即便是在连接区 J0 中，由于也会变成为区域逆相的图形，故可以使布局变得容易起来。借助于此，数据线的相移图形，由于将变成为逆相，故变成为可以把布线宽度和间隔做成为最小加工尺寸。

可以从图 1 的实施例推导出来的本发明的一般结构如下。

就是说，要把被夹持在分别要连接到 2 个相邻的读出放大器上的数据线之间的数据线的条数作成为偶数。在这里所谓偶数，虽然指的是 0、2、4...这样的也含有 0 的数据列，但是在现实上 0 条或 2 条会产生最为良好的结果。再次用具体例子说明以上的情况。在连接到 SA1 和 SA2 的左侧上的数据线(*1 和*4)之间，夹持有 2 条(偶数条)的数据线(*2 和*3)。另一方面。在连接到 SA1 和 SA2 的右侧的数据线(DR(i)2 和 DR(i)3)之间，没有数据线。这种情况也能够说是夹持有 0 条(偶数条)数据线。此外，在连接到 SA2 和 SA3 左侧的数据线(DR(i)2 和 DR(i)3)之间夹持有 0 条(偶数条)的数据线。就是说，在图 1 的任意相邻的 2 个读出放大器中，上述的一般化的结构成立。

倘采用以上的一般性的构成，则在使用相移掩模制作数据线时，

在子存储器阵列 SAM、连接部分 J0、读出放大器区 SAA 的各个区域内，就可以无矛盾地进行使布线图形具有 180 度的相位差的分配。作为结果，将提高数据线的加工精度，因而会推进微细化。以上的一般性的构成的概念，不仅是本实施例 1，对于后边要讲述的实施例 2 和实施例 3 也可以适用。

图 2 示出了与图 1 对应的电路图。在 2 个 SAA 之间，进行了一个接触列的布局。SAA 由读出放大器 SA 和用来使数据线预充电为 VDL/2 的预充电电路 PC 和向 IO 线(IO0t、IO0b、IO1t、IO1b)输出数据线的数据的 IO 门控电路 IOG 构成。SA 虽然没什么特别限制，但是，可以作成为含有漏极和栅极交叉连接，源极共通连接的 N 型 MISFET 对，和漏极与栅极交叉连接，源极共通连接的 N 型 MISFET 对的锁存式读出放大器。CSP、CSN 分别表示耦合到 SA 的 P 型 MISFET、N 型 MISFET 的源极上的共源极线(读出放大器驱动线)。此外，FPC 是用来借助于 PC 使数据线预充电的控制信号，VPLT 是存储单元电容器的板极电位，VDL/2 是数据线预充电电平，是阵列电压的 1/2。存储单元是含有一个 MISFET(在图中是 NMOS)和电容器的 DRAM 存储单元。

图 3A 和图 3B 是对于使图 1 的模式性的布局图进一步具体化的 SA1 和 SA2 的掩模图形。图 3A 是同时示出了扩散层(L 和 NWEL)、栅极层(FG)以及第 1 金属布线层(M1)的布局图。SAP 表示交叉耦合式放大电路 SA 的 PMOS 晶体管部分，SAN 表示 SA 的 NMOS 部分。数据线在比栅极层 FG 还往上的上层的第 1 金属布线层(M1)上形成。另外栅极层(FG)是用可以形成 MISFET 的栅极的多晶硅等构成的层。在子存储器阵列中，MISFET 的栅极，同时起着作为字线的作用。

另一方面，图 3B 的布局图仅仅示出了图 3A 之内可以形成数据线的第 1 金属布线层。CP1 ~ CP5 分别是接触焊盘，起着在半导体衬底上形成的扩散层和在比 M1 还往上的上层的布线层上用来进行连接的中继的作用。由该图可以很好地了解在宽度 W 中，在 SMA 中配置有 4 条数据线，在 SAA 中则含有接触焊盘列在内地配置有 5 条数据线的

图形的情况。由图 3B，则可以很好地了解到：不论是使用 SMA、J0、SAA 中的哪一个区域，彼此相邻的图形的相位配置也都会变成为彼此逆相。此外，采用从存储器阵列中用逆相引出彼此相邻的数据线，然后使分别成对的数据线变成为逆相的办法，SAA 的布局就会变得容易起来。此外，作为读出放大器电路的控制线和电源线的 CSP、CSN、VDL/2、YS 的接触，一列地配置在 2 个 SAA 之间，在 2 个 SAA 中共享这些接触。借助于此，具有如下的优点：在读出放大器区内可以配置数据线、控制和电源线而无须切换数据线的相位分配。另外，CSP、CSN、VDL/2，与字线在同一方向上延伸，在比 M1 还往上的上层的第 2 金属布线层 M2 上形成。此外，YS 则与数据线在同一方向上延伸，在比 M2 更往上的上层的第 3 金属布线层 M3 上形成。

图 4 示出了图 3A 中读出放大器的 N 型 MISFET 的 A-A' 区域上的剖面图。在图中 L 表示将成为晶体管的漏极、源极的扩散层，FG 表示晶体管的栅极布线层，M1 表示第 1 金属布线层，M2 表示第 2 金属布线层。CNT 表示用来连接 M1 和 L 或 FG 的接触孔，TH1 表示从 M2 通向 M1 的接触孔。如图所示，在本实施例中，在与数据线同层的 M1 上，对于每一个读出放大器都布线有一条控制线或电源线，其相位配置变成为 0 度、180 度、0 度。借助于此，就可以防止在 SAA 内的 M1 布线和图形彼此间的短路。

图 5A 和图 5B 示出了子存储器阵列 SMA 的掩模图形图。该图示出了作成为 1 个晶体管 1 个电容器构成的动态存储单元的 1 个交点式的子存储器阵列。在 1 个交点式子存储器阵列中，由于从理论上说，1 个存储单元可以用 F 的 2 次方的 6 倍，就是说，可以用 $6F^2$ 形成，故可以实现存储器阵列的高密度化，就成了一个大特征。在该图中，D 是数据线，WL 是字线，L 是存储单元的开关 MISFET 的扩散层，DLCT 是连接数据线和 L 的接触，SNCT 是 L 和存储单元的电容器的电极之间的接触。开关 MISFET 的源极和漏极路径，在 DLCT 与 SNCT 之间形成。

另外 DLCT 在数据线的延伸方向上为相邻的 2 个存储单元所共

享。在图 5A 中，数据线节距变成为 $2F$ 。在这里，由于把相邻的数据线的间隔作成为 F 以上，故数据线的宽度就必须在 F 以下。此外，数据线并不是完全的直线，而是成蛇行状。

另外，图 5A 的 1 个交点的存储单元阵列的图形本身，已在[文献 3]的图 1 中进行了讲述。另一方面，图 5B 缓和了数据线节距，大约为 $3F$ 。在该情况下相邻的数据线的间隔也必须作成为 F 以上。

另外，图 5B 的 1 个交点的存储单元阵列的图形本身，已在[文献 3]的图 10 中进行了讲述。在图 1 的实施例中，由于在光刻中采用了数据线间的隔离良好的图形，故虽然没有什么特别限制，但却变成为使得图 5A 的数据线的节距将变成为可以应对 $2.5F$ 以上的存储器阵列或图 5B 那样的存储器阵列。

以上的 4: 5 配置中的本申请发明的作用效果如下。

(1) 在采取开放式数据线配置的存储单元阵列和读出放大器中，使考虑到微细加工的存储器阵列和读出放大器的连接形状明确起来。该连接形状具有如下特征：在 1 个存储器阵列中使把 2 条相邻的数据线(例如，图 1 的 *2 和 *3)夹在中间的 2 条数据线(例如 *1 和 *4)耦合到每一个相邻的读出放大器(例如 SA1 和 SA2)上。通过采用该连接图形的办法，由于在存储器阵列、读出放大器和存储单元与读出放大器的连接部分中，可以无矛盾地分别把正相和逆相分配给相邻的图形，故使用相移法的高分辨率的数据线的形成成为可能。借助于此，结果就变成为可以推进半导体集成电路的微细化，因而会对存储器的大规模化和降低造价作出贡献。

(2) 归因于采用开放式数据线配置，可以把 1 个存储单元的面积最小减小到 $6F^2$ ，可以实现存储器阵列的面积的减小。

(3) 归因于在 2 个读出放大器之间设置 1 个接触焊盘列的构成，结果变成为可以用标准的制作工艺来形成读出放大器等的电源布线。

(4) 由于具有完全的自我复制型的重复构造，故多个子存储器阵列和读出放大器块并列排列的存储器阵列的扩张，得以容易化。

[1-3. 4: 5 配置(其 2)] 图 6 示出了对于图 1 的变形例。此外，

图 7 示出了与图 6 对应的电路图。掩模图形虽然省略了，但是借助于使图 3A 和图 3B 变形，可以容易地形成。图 6 的布局，虽然在采取[4: 5 配置]这一点上与图 1 是一样的，但是，在相邻的子存储器阵列(SMA(i)、SMA(i+1))中，数据线的相位布局设计却反转了过来。也就是说，与图 1 比较，示出的是 DR(i)1 和 DL(I+1)1 变成为逆相的关系的情况。为此，与把 SAB(j)夹在中间的仅仅是右侧的图 1 的布局不一样。

在图 6 的布局中，重复构造不再是简单的。第 1 重复配置，是把使得在 SMA(i+1)右侧与图 6 完全相同的重复构造偏移小于 1 条数据线量的重复构造连接起来。此外，第 2 重复配置则变成为图 6 与图 1 的组合图形。首先，图 6 的左侧可以简单地连接到图 1 的右侧。连接到图 6 的右侧的图形，在图 1 中把实线和虚线颠倒过来的图形连接起来。该图 6 的布局，除去子阵列的重复构造变得比图 1 稍微复杂这一点之外，具有与上边所说的图 1 的布局相同的作用效果。此外，图 6 的数据线的连接形状，如果着眼于 SAB(j)的右侧，则与图 1 是完全相同的，因而可以与图 1 同样地描述其特征。

<实施例 2>

[2-1. 4: 4 配置(其 1)] 图 10 示出了本发明的实施例 2 的子存储器阵列(SMA)和读出放大器块(SAB)的布局中的相位分配。本实施例的特征在于：在 SMA 内和 SAB 内的两方，把 4 条数据线配置在规定的宽度 W 之内。为此，决定把图 10 的布局叫做‘4: 4 配置’。就是说，与图 1 比较，变成为在要形成数据线的层上不设置接触焊盘列的构成，至于除此之外的部分，具有与实施例 1 同样的构成。

该布局，在 X 方向上具有把 2 个读出放大器 SA1 和 SA2 作成为一个群的重复图形。在这一点上，比起图 1 来，具有图形简单化的优点。对于 SA1 来说，读出放大器内的数据线和子存储器阵列内部的数据线简单地连接起来。在 SA2 中，读出放大器内部的数据线和子存储器阵列内部的数据线虽然可以简单地连接起来，但是其方向却变成为与 SA1 相反，这是其特征。此外，图 10 的布局，对于 Y 方向来说，与图 1 同样，具有完全自我复制构造。

在本实施例中，在 SAA 内除数据线之外未使用与数据线同层(M1)的图形。这样的布局，在可以用比数据线(M1)更往上的上部的层(M2,M3)，直接或没有 M1 的图形地，在栅极布线层(FG)或在扩散层(L)上形成除掉接触的构造的情况下，或除数据线以外不需要 M1 的图形的情况下，是可能的。图 12A 和图 12B 示出了与图 10 对应的现实的布局图形。由图 12B 可知，在第 1 金属布线层 M1 上，未设置使相位配置混乱不齐那样的接触焊盘。

图 13 示出了图 12A 和图 12B 中的读出放大器的 N 型 MISFET 的局部剖面 A-A'。在图 4 中，采用了从 M2 开始先通过 M1 的接触焊盘 CP 在扩散层 L 上形成接触的构造。对此，在本实施例的情况下，则从比 M1 还往上的上层的 M2 开始，借助于贯穿孔 TH1' 在扩散层 L 上直接形成接触。

在图 10 的布局中，由于从 M2 开始没有 M1 的图形地在 L 上形成了接触，故 M1 的相位配置，即便是在 SAA 内，在数据线中也变成为 0 度、180 度的简单的重复。与实施例 1 同样，数据线，在 SMA 内连续的 4 条数据线之内，2 条数据线被引出至 SAB，并被连接到相邻的 SAA 上。剩下的 2 条，把 SMA(i) 或 SMA(i+1) 夹在中间地被连接到相反一侧的读出放大器块(SAB(j-1) 或 SAB(j+1)) 的相邻的 SAA 上。在本实施例中，由于与数据线同一层(M1)的每一个 SAA 的条数仅仅是 2 条数据线，故除了具有 SAA 的布局会变得容易起来的优点之外，还可以缩小数据线间的间隔。

该图 10 的布局，如图 13 所示，取决于制作一次把 2 层连接起来的贯穿孔 TH' 的技术的有无。就是说，一般地说，为了其它的电路部分，也需要把 M2 和 M1 连接起来的贯穿孔 TH1。为此，就需要从 M2 到 L 的贯穿孔和从 M2 到 M1 的贯穿孔这么 2 个深度不同的 2 种贯穿孔。此外，还需要形成埋入到深度不同的贯穿孔内来进行连接的插针。因此，图 10 的布局，在可以使用这样的贯穿孔形成技术的情况下是有效的。

反之，如果有不能采用把 2 层一次连接起来的贯穿孔形成技术的

事情，就可以采用例如作为最普通的手段的图 1 的布局。

以上所述的图 10 的布局，虽然在使用一次把 2 层连接起来的贯通孔这一点上与图 1 的布局是不同的，但是基本上作用效果与图 1 的作用效果是一样的。此外，图 10 的数据线的连接形状，如果着眼于 SAB(j) 的右侧，则可以与图 1 同样地定义特征性的连接图形。图 10 和图 1 的不同，是 SA2 内的数据线的连接颠倒了过来这一点。

此外，在图 10 的实施例中，由于在 SMA 和 SAB 内的两方，在规定的宽度 W 内配置 4 条数据线，故虽然没有什么特别限制，但是，却变成为可以应对图 5A 的数据线的节距变成为 2F 以上的存储器阵列或图 5B 那样的存储器阵列。

[2-2. 4: 4 配置(其 2)] 图 11 示出了图 10 的布局的变形例。图 11，经在图 6 中进行变形的方法同样的处理，就可以从图 10 推导出图 1。就是说，示出了在相邻的子存储器阵列 (SMA(i) 和 SMA(i+1)) 中，数据线的相位布局设计反转过来的情况(DR(i) 和 DL(i+1) 为逆相)。图 10 和图 11 的不同，是仅在右侧把 SAA 夹在中间。

图 11 的布局也与图 6 的布局同样，在子存储器阵列 SMA 和读出放大器块 SAB 的连续性的重复构造中，被认为有 2 种。就是说，具有使图 11 的图形本身降低一条数据线的量地连接到 SMA(i+1) 的右侧的第 1 重复配置，和把图 10 和图 11 组合起来的第 2 重复配置。因此，该图 11 的布局，除去子阵列的重复构造变得比图 10 稍微复杂这一点之外，具有与图 10 的布局相同的作用效果。

<实施例 3>

[3-1. 4: 6 配置(其 1)] 图 14 示出了本发明的实施例 3 的子存储器阵列(SMA)和读出放大器块 (SAB) 的布局及其相位配置。该图的特征在于：在 SMA 内，在规定的宽度 W 中配置 4 条数据线，在 SAB 内同样地在规定的宽度 W 中配置 6 条(4 条数据线和 2 列的接触焊盘)的数据线。为此，决定把图 14 的布局叫做 ‘4: 6 配置’。至于其它的部分，具有与实施例 1 同样的构成。该布局在 X 方向上具有把 2 个读出放大器 SA1 和 SA2 作成为 1 个群的重复图形。SA1 和 SA2 中的

每一个，读出放大器内部的数据线和子存储器阵列的数据线，左侧都简单地连接，右侧都具有扭歪地连接起来，此外，图 10 的布局，对于 Y 方向来说，与图 1 同样具有完全自我复制构造。

图 16A 和图 16B 示出了图 14 的掩模图形。在第 1 布线层 M1 上，在数据线与数据线对之间，形成有电源线和控制线等的接触。

图 17 示出了图 16A 的 A-A' 间的剖面构成。与实施例 1 同样，数据线，在 SMA 内连续的 4 条数据线之内，2 条数据线被引出到 SAB 上并连接到相邻的 SAA 上。剩下的 2 条，把 SMA(i) 或 SMA(i+1) 夹在中间地被连接到相反一侧的读出放大器块(SAB(j-1) 或 SAB(j+1)) 的相邻的 SAA 上。在本实施例中，由于每一个 SAA 的电源线和控制线的接触都处于数据线间，故数据线的相位布局设计变成为同相，具有可以减小归因于光刻中的相位 0 度和 180 度的差别而产生的曝光后的波动的优点。此外，与实施例 1、2 同样，在子存储器阵列(SMA)和读出放大器块(SAB)之间的连接区 J0 中，由于相邻的数据线将变成为逆相，故具有布局变得容易起来的优点。SAA 内的电路构成与图 2 是一样的。变成为使得相邻的 M1 层的相位配置变成为逆相那样的布线。SMA 的构成，与图 6 是一样的。

[3-2. 4: 6 配置(其 2)] 图 15 示出了在图 14 的布局中，在相邻的子存储器阵列中，数据线的相位布局设计反转过来的情况的变形例。如果假定 SAA 内的布局与图 14 是同样的，则由于在 SMA(i) 和 SMA(i+1) 中使连接到 SAB(j) 上的数据线的相位关系变成为相同，故从 SMA(i+1) 引出的数据线的配置图形与图 14 的布局变成为逆相。

该图 15 的布局，子阵列的重复构造与图 1 是一样的，具有与图 14 的布局同样的作用效果。

[3-3. 4: 6 配置(其 3)] 图 18 示出了作为 ‘4: 6 配置’ 的基本图形的图 14 的布局的变形例。在图 14 中，接触焊盘列，被设置在一个读出放大器之内的相邻的数据线之间。对此，在图 18 中，在作成为使得把接触焊盘列设置在 2 个相邻的读出放大器之间(SA1 与 SA2 之间，SA2 与 SA3 之间等)这一点上是不同的。在图 18 中，由于该接触

图形被配置在 SAA 之间，故具有可以减小读出放大器间的耦合的优点。另外，图 18，除去把接触焊盘列配置在相邻的 2 个读出放大器间这一点之外，SMA 和 SAB 中的数据线的连接图形和相位配置，与图 1 是相同的。因此 其作用效果在除去设置 2 列接触焊盘以外的点上，与图 1 是同样的。

[3-4. 4: 6 配置(其 4)] 图 19 示出了在图 18 的布局中，在相邻的子存储器阵列中数据线相位布局设计反转过来的情况的变形例。在本实施例中，示出了在一个读出放大器区(SAA)中，在与数据线同层上具有一个接触等的图形的情况下，在相邻的子存储器阵列中，数据线的相位布局设计反转过来的情况。与图 18 同样，由于在 SAB 内，在 SAA 之间配置接触列，故具有可以减小读出放大器间的耦合的优点。若把 SAA 内的布局假定为与图 18 是同样的，则由于在 SMA(i) 和 SMA(i+1) 中使连接到 SAB(j) 上的数据线的相位关系变成为相同，故从 SMA (i+1) 引出的数据线的配置图形与图 14 的布局变成为逆相。

<实施例 4>

在从实施例 1 到 3 中，讲述的是作为特征部分，具有在一个存储器阵列中把将 2 条相邻的数据线(例如图 1 的*2 和*3)夹在中间的 2 条数据线(例如*1 和*4)连接到相邻的 2 个读出放大器(例如 SA1 和 SA2)上的布局。在本实施例 4 中，要讲述的是对于相邻的 2 个读出放大器 SA 可以跳过 1 条地选择数据线(例如，*1 和*3)进行连接的布局。

[4-1. 跳过 1 条地把数据线连接起来的 4: 5 配置] 图 20 示出了本发明的实施例 4 的布局。与实施例 1 的图 1 比较，该布局虽然在采取 [4: 5 配置] 这一点上是一致的，但是，在连接部分 J1 中，来自存储器阵列的数据线每隔 1 条地连接到读出放大器上这一点是不同的。该布局，在 X 方向上具有把 4 个读出放大器 SA1 到 SA4 作成为 1 个群的重复图形。对于 SA1 和 SA4 来说，读出放大器内部的数据线和子存储器阵列的数据线简单地连接起来。对此，在 SA2 和 SA3 中，其特征是：读出放大器内部的数据线和子存储器阵列的数据线具有扭歪地连接起来。此外，图 20 的布局，对于 Y 方向来说，由于与图 1 同样，具有

完全自我复制构造，故阵列的扩张是容易的。

在图 20 中虽然用实线和虚线画出了在使用相移光刻的情况下相位配置，但是，在连接部分 J1 中，相邻的数据线(例如 DR(i)1 和 DR(i)2)却变成为彼此同相。因此，理想的是在连接部分 J1 处相邻的数据线之间的间隔内具有余裕。于是，图 20 的布局的发明，在与图 5B 所示的数据线间的节距变成为最小加工尺寸 F 的 3 倍(3F)的存储器阵列组合起来的情况下，就可以形成更为良好的数据线。

倘采用图 20 的布局，则在将成为参考一侧的数据线的存储器阵列中，具有可以构成为使得数据线可以交互地进行充放电，可以减小放大时的数据线耦合的优点。将在 SMA(i)被激活化时的 SMA(i+1)中说明该优点。当 SMA(i)被激活化后，在 SMA(i)和 SMA(i+1)之内，已连接到 SAB(i)和 SAB(i+1)上的半数的数据线就可以进行充放电。即，虽然数据线 DL(i+1)1、DL(i+1)2、DL(i+1)3、DL(i+1)4…可以进行充放电，但是在这些数据线间，由于每个 1 条地夹持有 DR(i+1)1、DR(i+1)2、DR(i+1)3、DR(i+1)4…，故可以得到屏蔽效果，正在进行放大的数据线 DL(i+1)1、DL(i+1)2、DL(i+1)3、DL(i+1)4…间的耦合减小，因而可以减小噪声。

[4-2. 每一条都连接数据线的 4: 4 配置] 图 21 是把与图 20 同样的想法应用于图 10 的‘4: 4 配置’布局的例子。该布局，在 X 方向上具有使 2 个读出放大器 SA1 和 SA2 变成为一个群的重复图形。在这一点上，比起图 1 来，具有图形简单化的优点。对于 SA1 和 SA2 来说，读出放大器内部的数据线和子存储器阵列内部的数据线简单地连接起来。此外，对于 Y 方向来说，与图 1 同样，具有完全自我复制构造。

该布局，由于在连接部分 J1 处相邻的数据线也变成为同相，故与图 5B 的数据线间将变成为 3F 的存储单元阵列之间的组合的匹配性好。

此外，在图 21 中，也具有可以构成为使得数据线可以交互地进行充放电，可以减小放大时的数据线耦合的优点。本实施例，是在 SAA

中在与数据线同一个层上不需要数据线以外的图形的情况。这可以用与实施例 2 同样的工艺实现。借助于该工艺，与在 SAA 中的数据线同一个层(M1)的布局就变得容易起来。

[4-3. 每 1 条都连接数据线的 4: 6 配置] 图 22 是把与图 20 同样的想法应用于图 18 的‘4: 6 配置’布局的例子。该布局，在 X 方向上具有使 2 个读出放大器 SA1 和 SA2 变成为一个群的重复图形。对于 SA1 来说，读出放大器内部的数据线和子存储器阵列的数据线简单地连接起来。对此，在 SA2 中，其特征是：读出放大器内部的数据线和子存储器阵列的数据线具有扭歪地连接起来。此外，对于 Y 方向来说，与图 1 同样，具有完全自我复制构造。

该布局，由于在连接部分 J1 处相邻的数据线也将变成为同相，故与图 5B 的数据线间变成为 3F 的存储单元阵列之间的组合的匹配性好。此外，在图 22 中，也具有可以构成为使得数据线可以交互地进行充放电，可以减小放大时的数据线耦合的优点。在本实施例中，示出的是在 SAA 中在与数据线同一层上，在数据线对内，对于一对数据线有一列读出放大器控制线和电源线的接触焊盘列的情况。虽然数据线的层的布局变得更难了，但是数据线对却可以借助于控制线和电源线的图形来减小与相邻的读出放大器区的数据线之间的耦合噪声。

以上，对图 1、6、10、11、14、15、18、19、20、21、22 这 11 种代表性的布局图形进行了说明。但是，各个布局图示出的是最具代表性的布局，借助于典型的几何学上的对称操作(镜像或旋转)可以构成各种各样的变形例，这些变形例都属于本申请的范畴。

例如，图 1 的布局，由于以 SAB 为中心，具有在 X 方向上延伸的镜像轴(X 镜像轴)，故在图 1 中也包括对于该 X 镜像轴进行折返的布局。此外，在 SA1 和 SA2 之间存在着在 Y 方向上延伸的第 1Y 镜像轴。另外，在 SA3 和 SA4 之间也存在着第 2Y 镜像轴。首先，对于第 1Y 镜像轴制作使 SA1 和 SA2 进行镜像反转的图形，然后，对于第 1Y 镜像轴制作使 SA3 和 SA4 进行镜像反转的图形，然后把它们排列起来(镜像反转后的 SA1、SA2、SA3、SA4 的排列)，在图 1 中也包括这样的

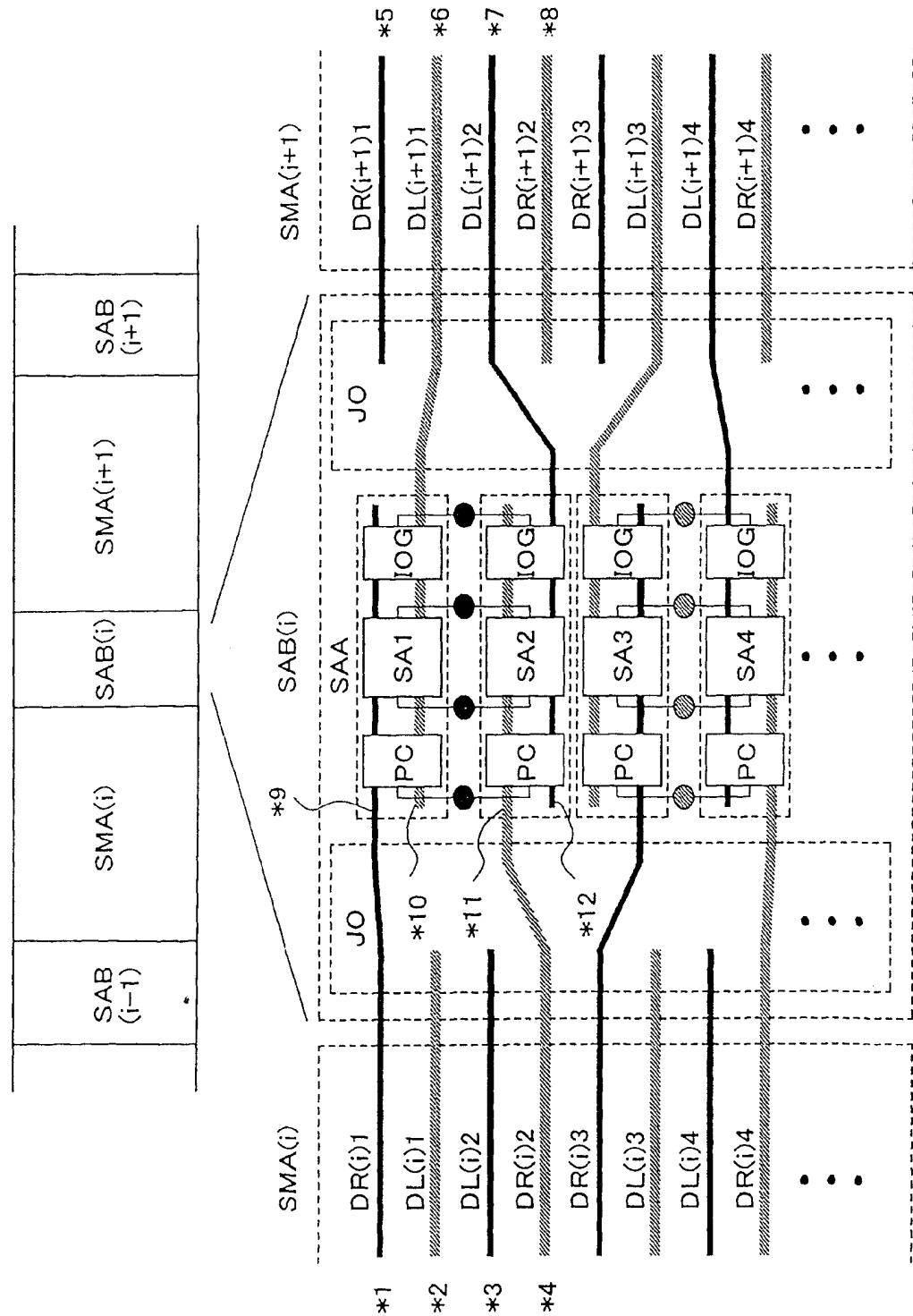
布局。

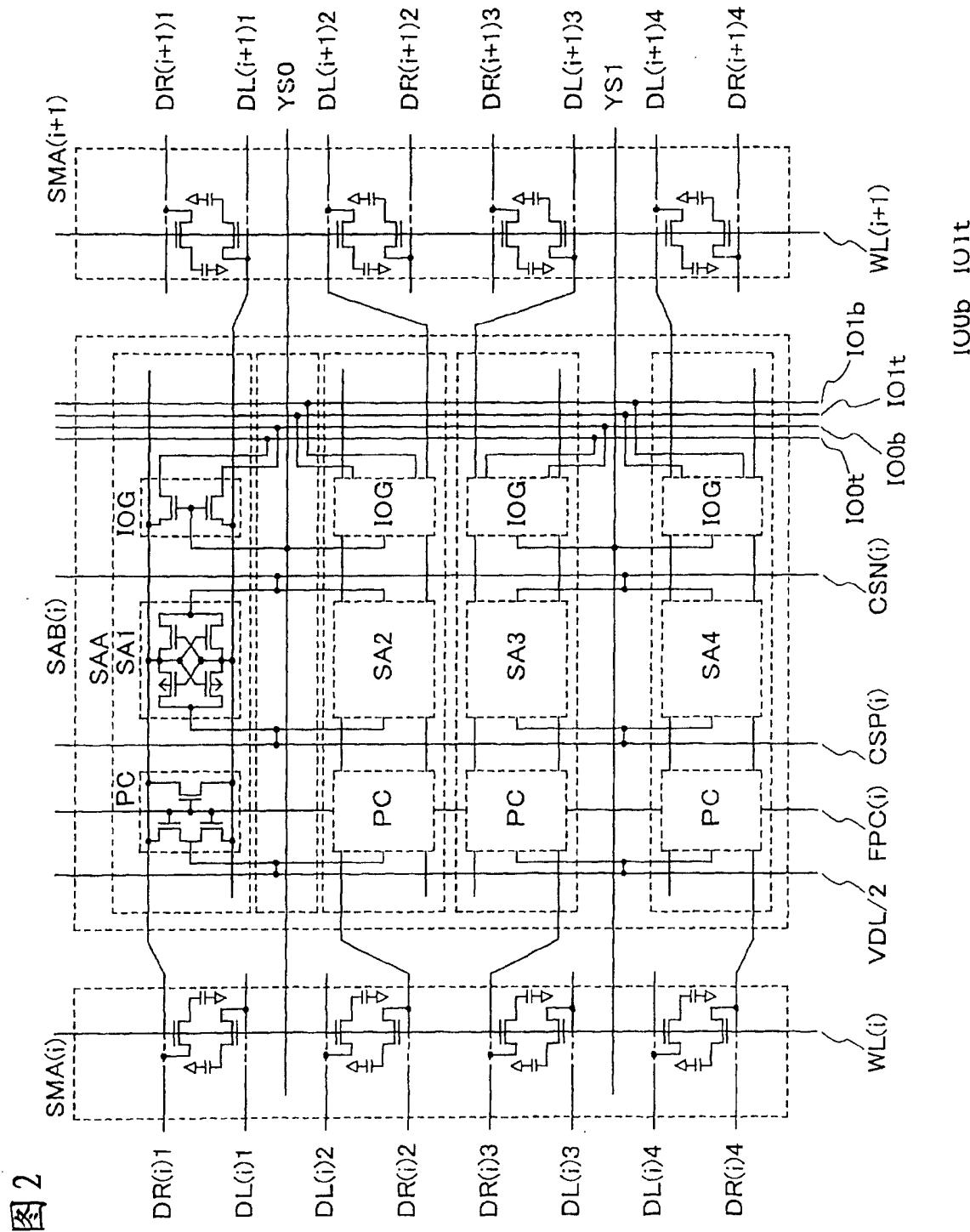
如以上所说明的那样，倘采用本发明的第1布局，就可以防止图形象在1个交点存储单元阵列中在进行读出放大器交互配置时的读出放大器和子存储器阵列之间那样，极端地进行变化的部分处的布线的断线和短路。此外，倘采用本发明的第2布局，则在1个交点存储器阵列中，就可以减小数据线耦合噪声。

以下，对在本申请中使用的标号进行整理。

MA是存储器阵列块。MWD是主字驱动器。X-DEC是X地址译码器。Y-DEC是Y地址译码器。A0、A1、…An是外部输入地址。VG是电压产生电路。VCC是外部电压。VSS是接地电位。DQ0、DQ1、DQ2、…是数据输入输出引脚。SAB、SAB(j)(j=1、2、3、…)是读出放大器块。SWD是子字驱动器。SMA、SMA(i)(i=1、2、3、…)是子存储器阵列。J0、J1是子存储器阵列与读出放大器之间的连接部分。SAA是读出放大器区。DR(i)j、DL(i)j(i,j=1、2、3、4、…)是数据线。DR0、DR1、DR2、DR3、…是数据线。DL0、DL1、DR2、DL3、…是数据线。D1、D2、D3、D4是数据线。PC是预充电电路。SA是读出放大器电路。SAN是SA的NMOS构成部分。SAP是SA的PMOS构成部分。YS是Y(列)选择线。YS1、YS2、…是Y(列)选择线。CP、CP1、…CP5是接触焊盘。FG是晶体管栅极。L是晶体管扩散层。M1是金属第1层。M2是金属第2层。M3是金属第3层。TH1是从M2和M3通向M1的接触孔。TH1'是从M2和M3不通过M1的通向L、FG的接触孔。P-sub是P型半导体衬底。CNT是接触孔。NWEL是p-sub中的N型半导体区。SNCT是存储单元内储存节点扩散层。DLCT是存储单元内数据线扩散层接触。IOG是数据输入输出电路。WL(i)、WL1、WL2、WL3、WL4是字线。VDL/2是数据线预充电电位。FPC(j)是预充电控制信号。CSP(j)、CSN(j)是SA公共源极线。IO0t、IO0b、IO1t、IO1B是IO线。

图1





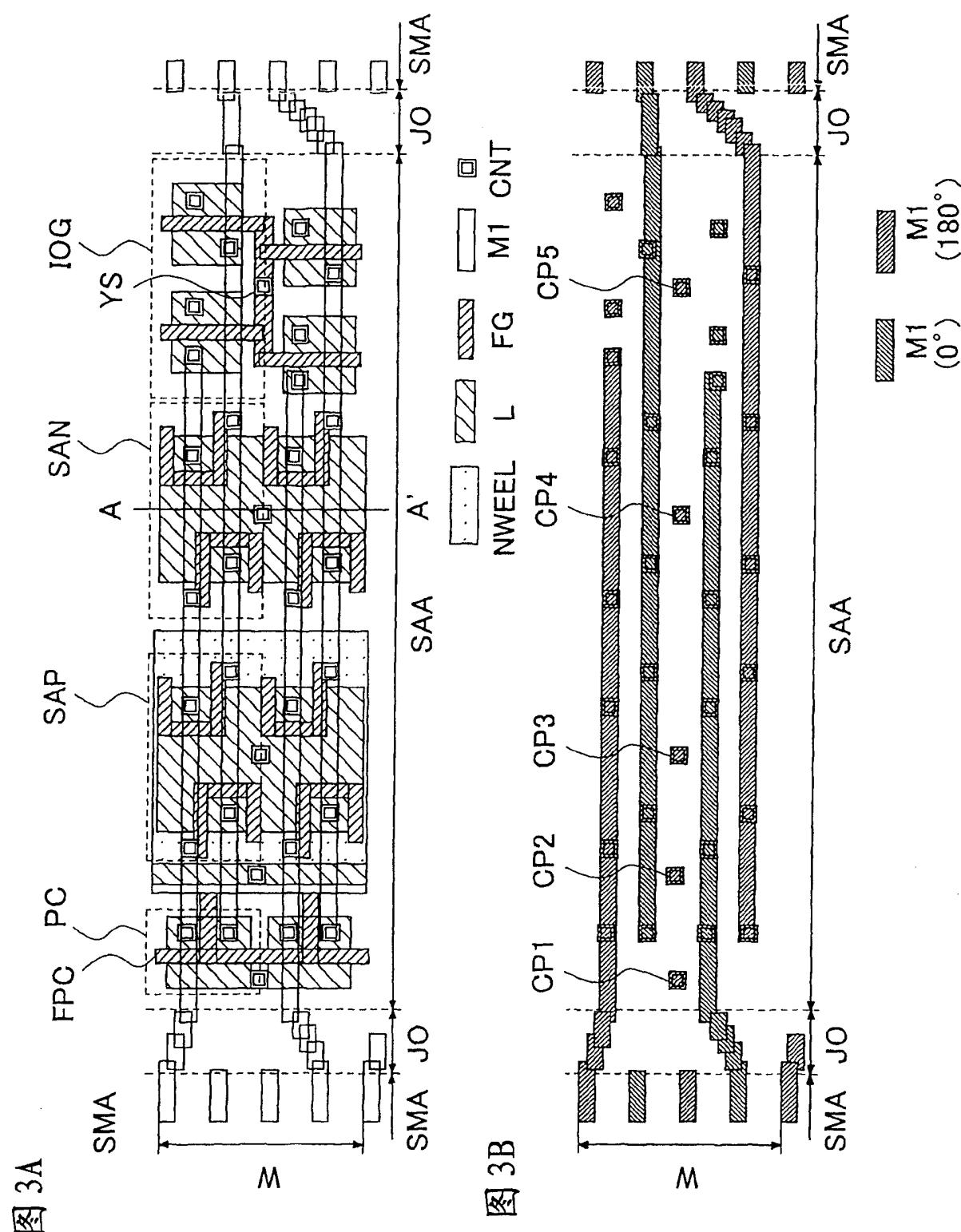


图 4

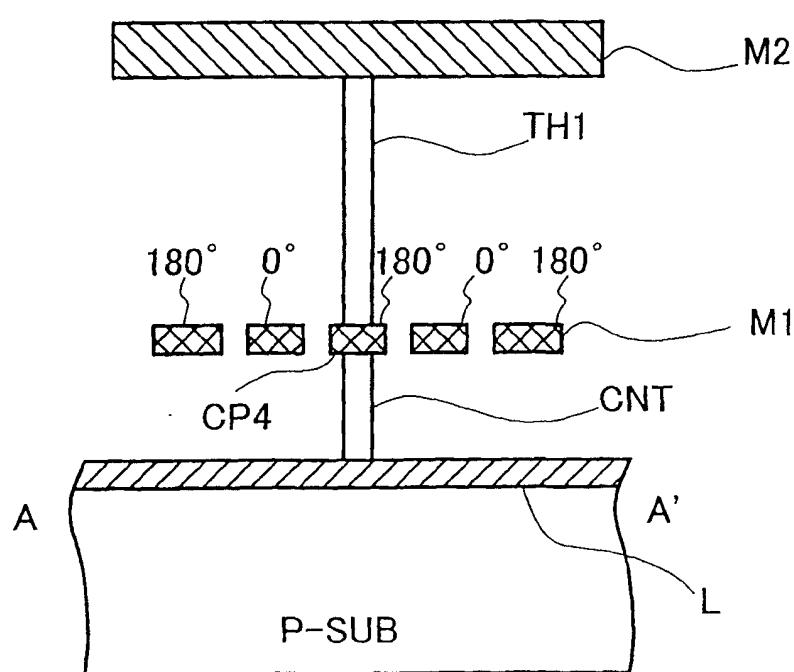


图 5A

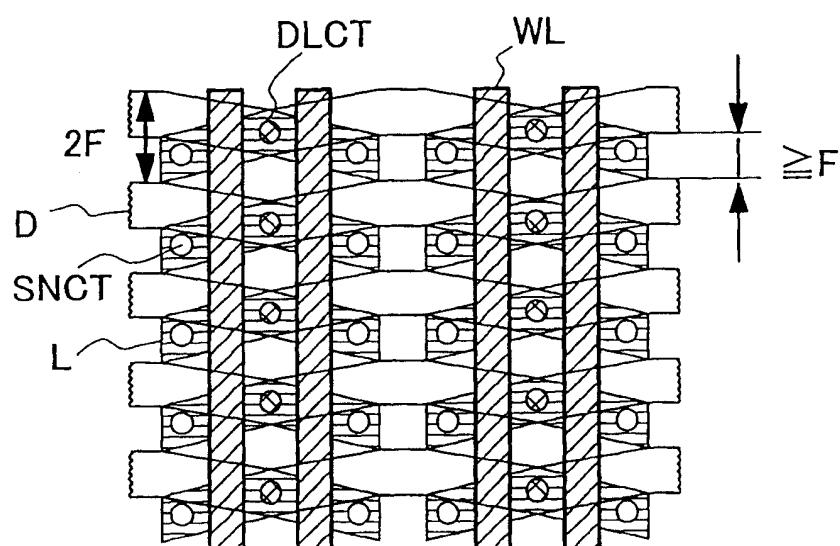


图 5B

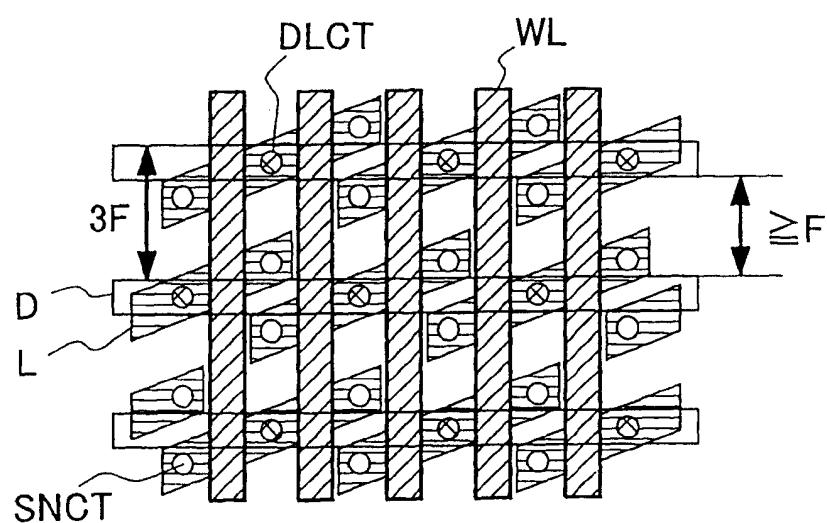


图 6

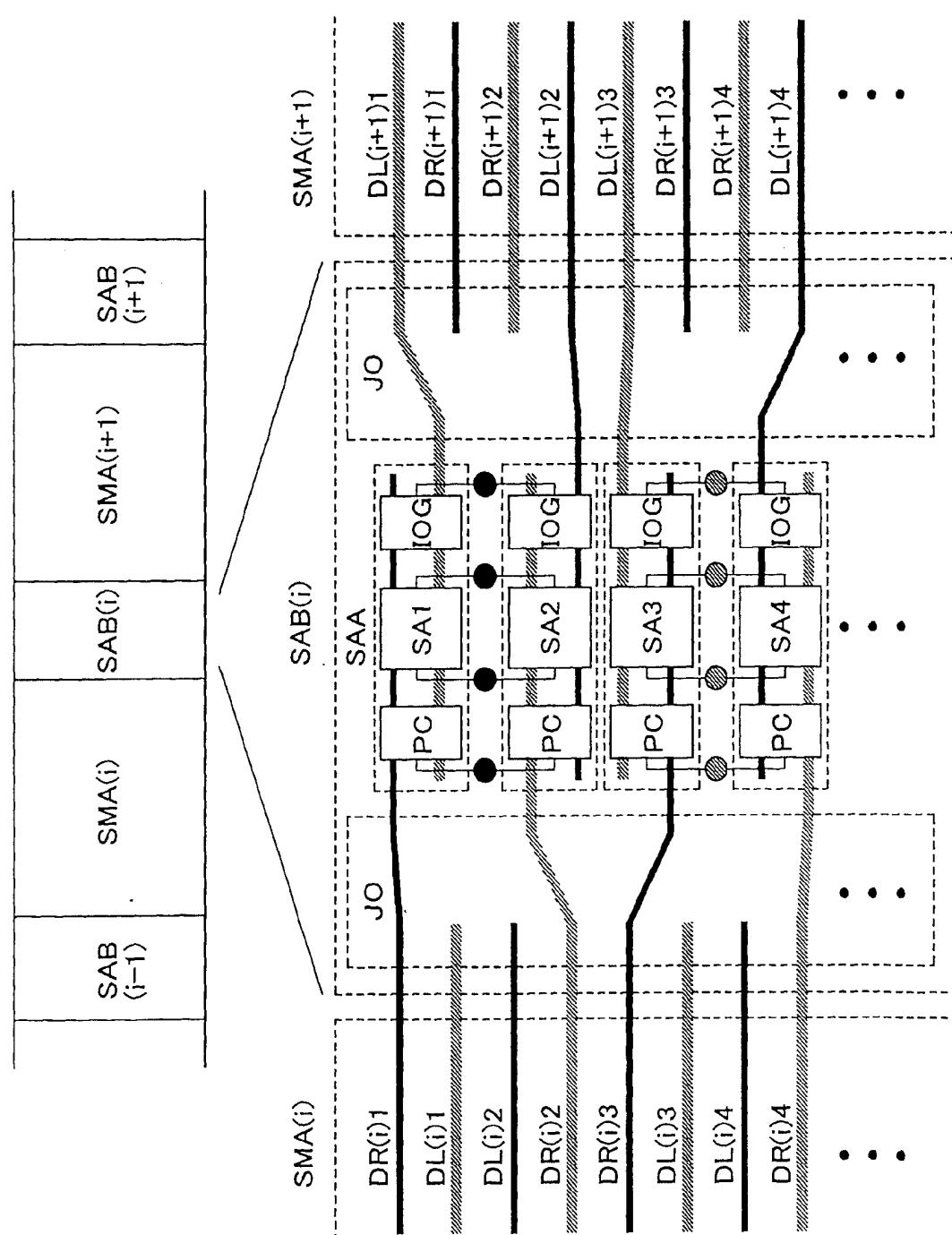


图 7

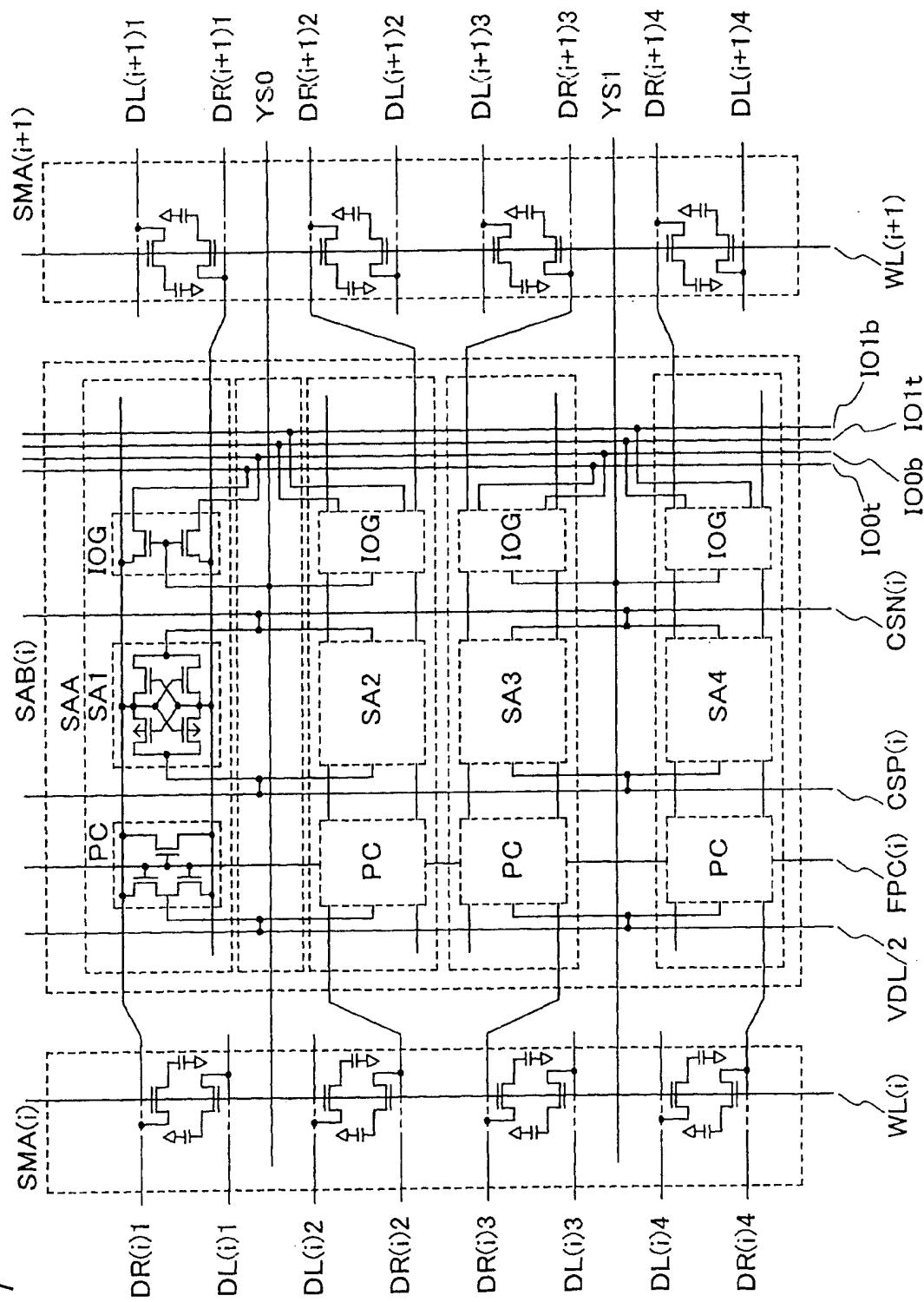


图 8

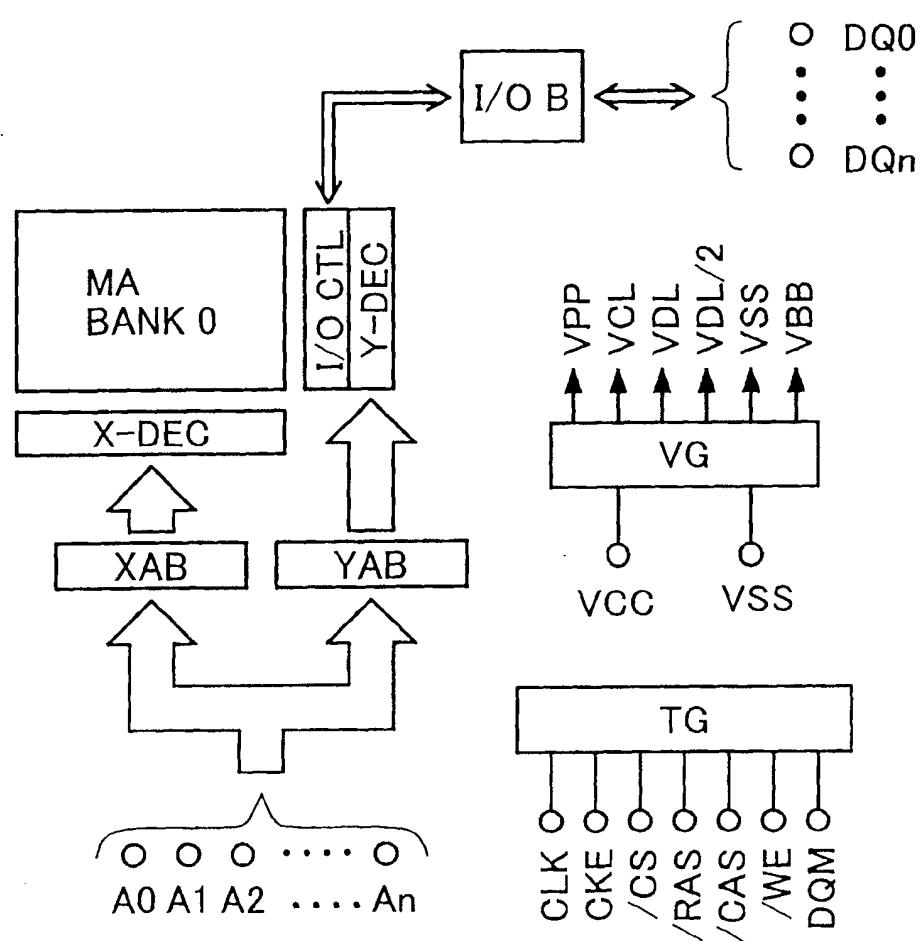


图 9

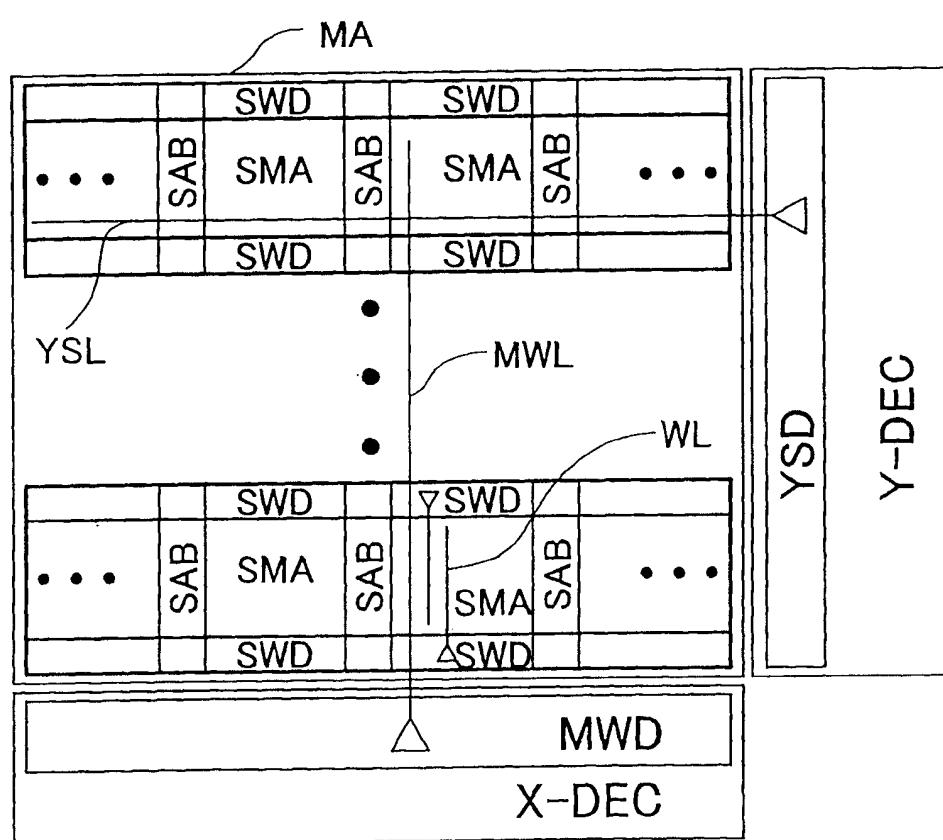


图10

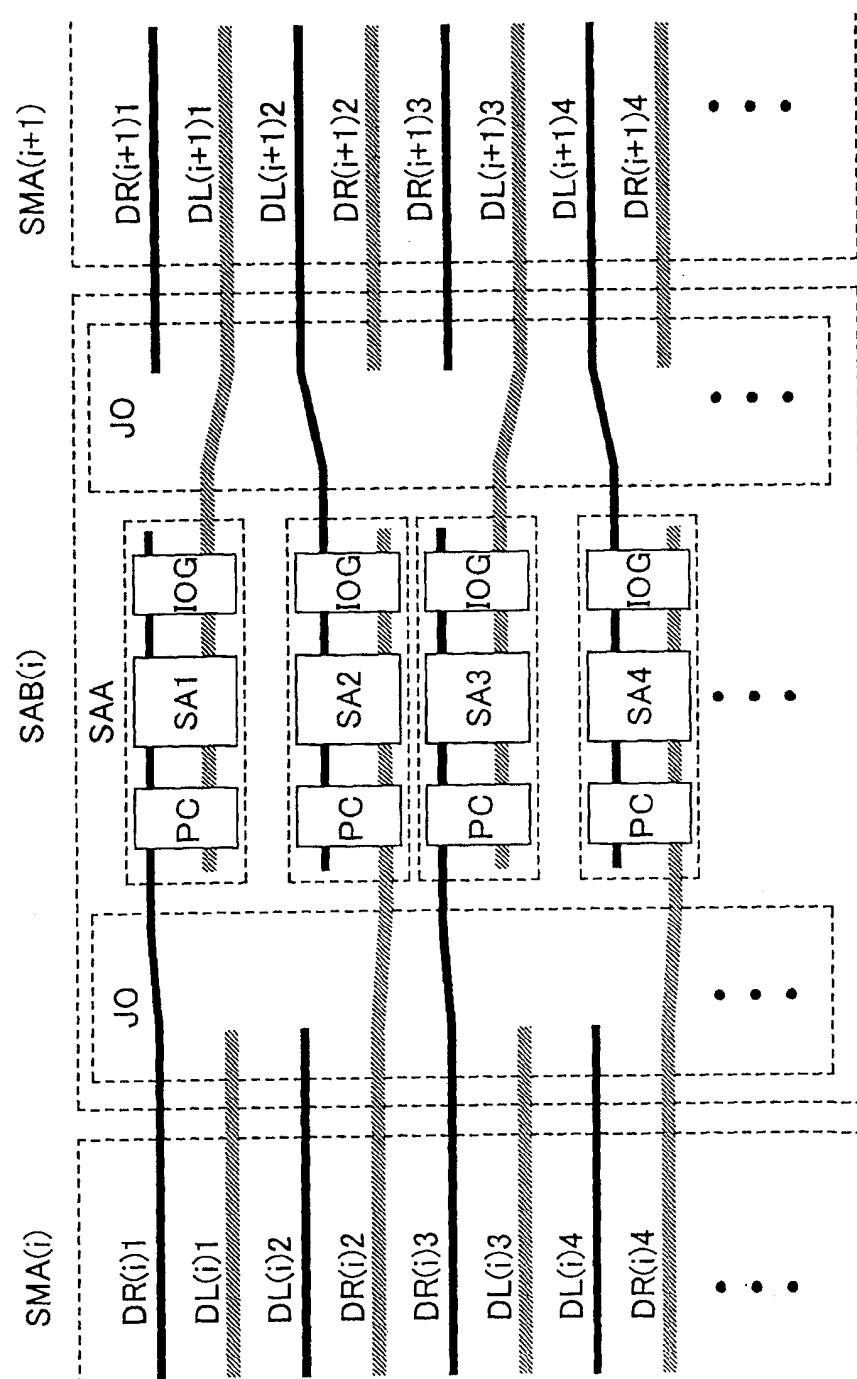


图 11

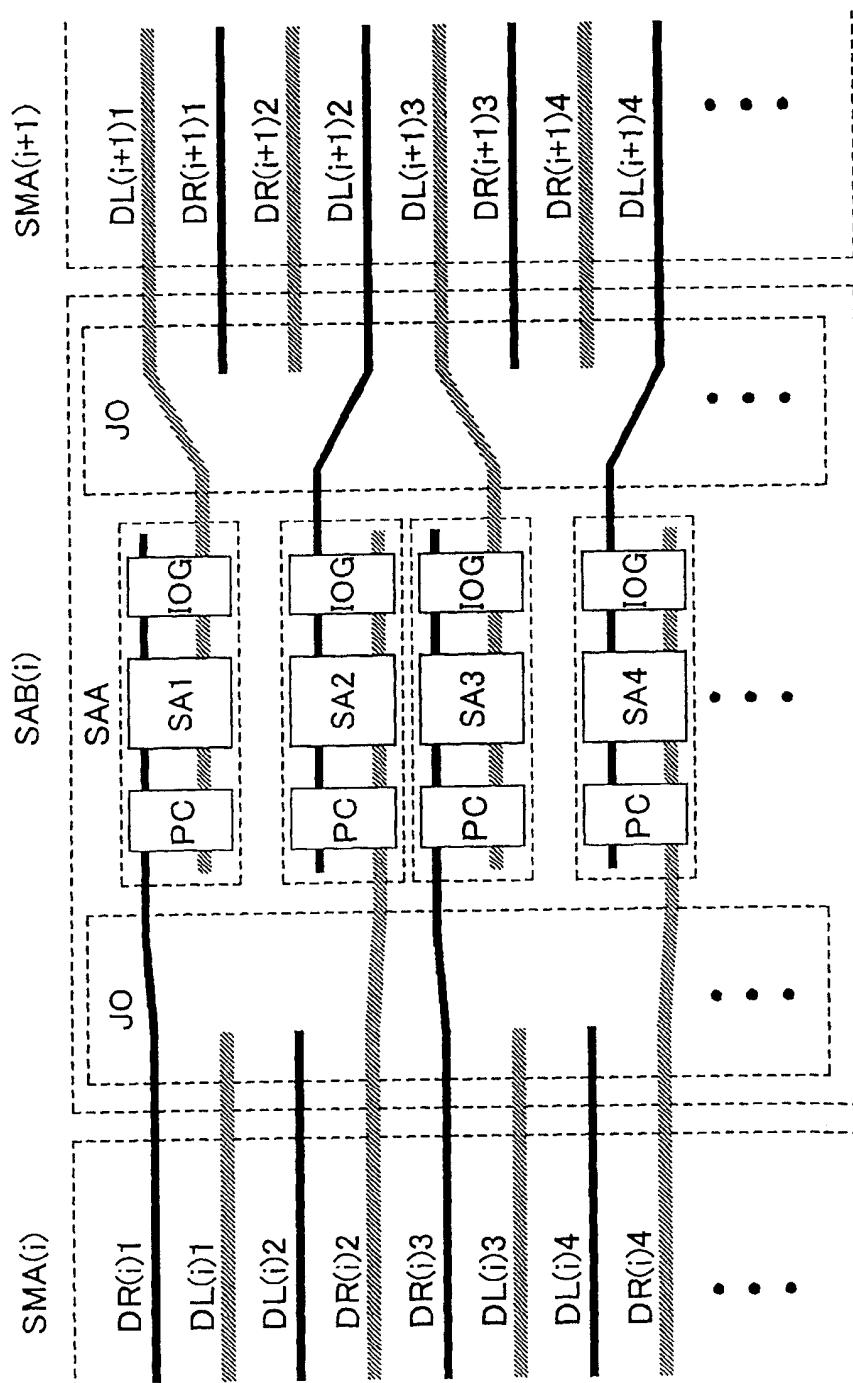


图 12A

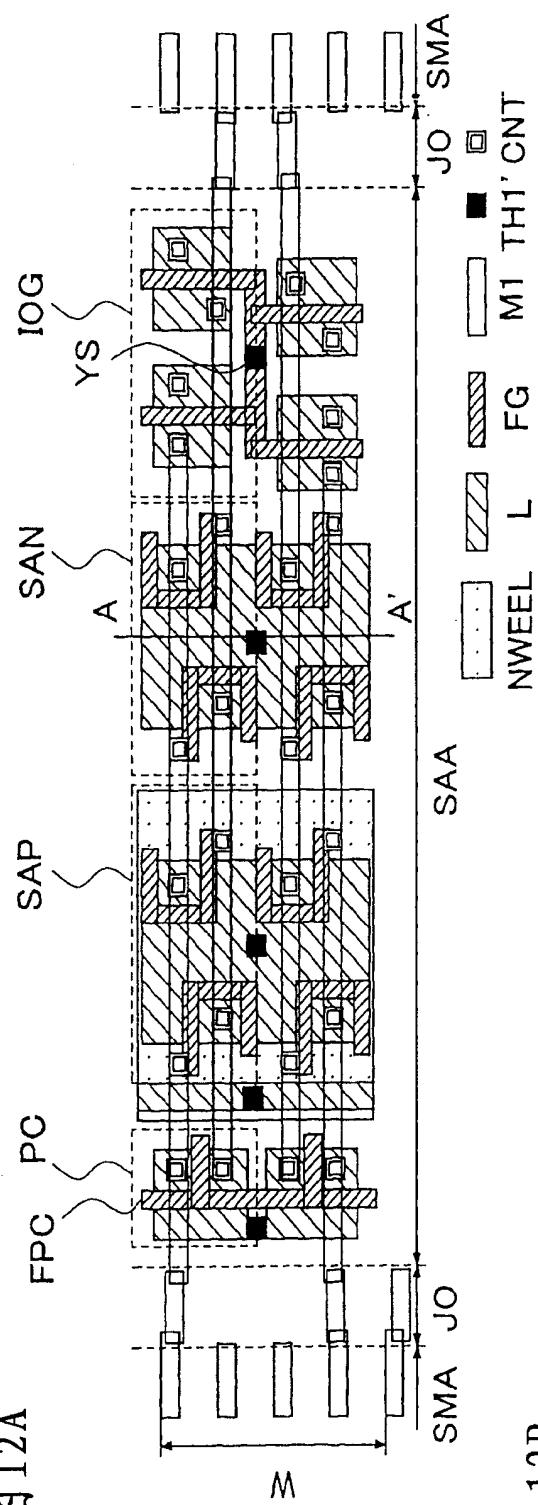


图 12B

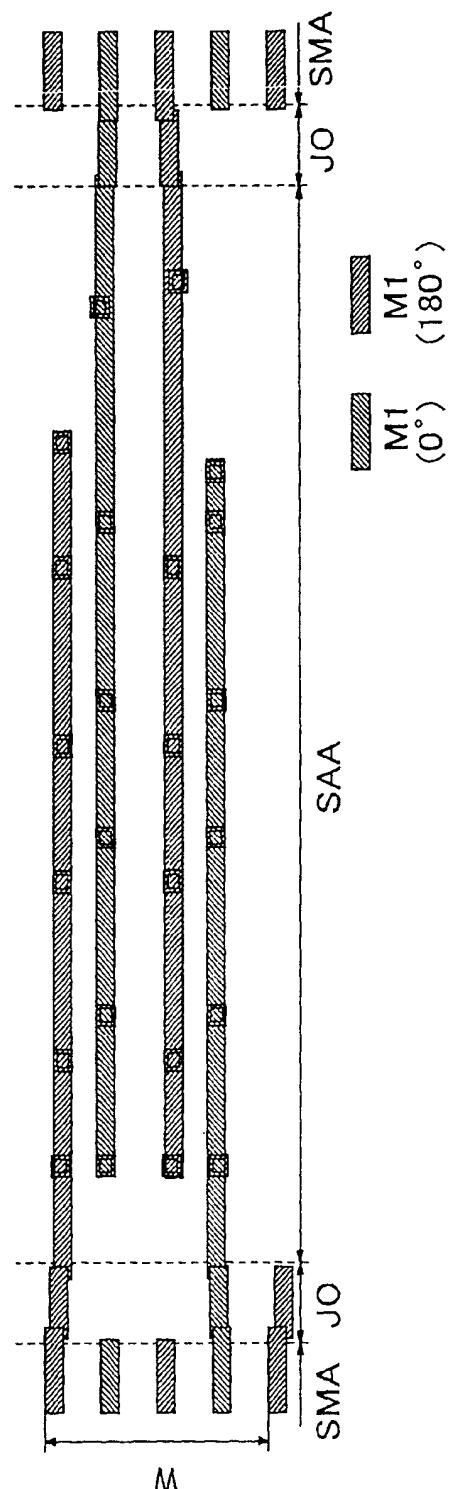


图 13

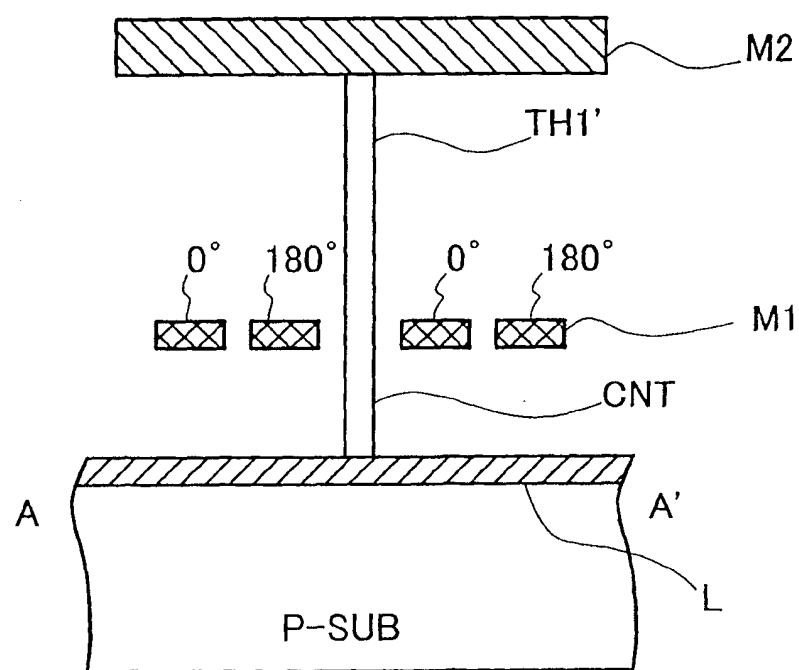


图 14

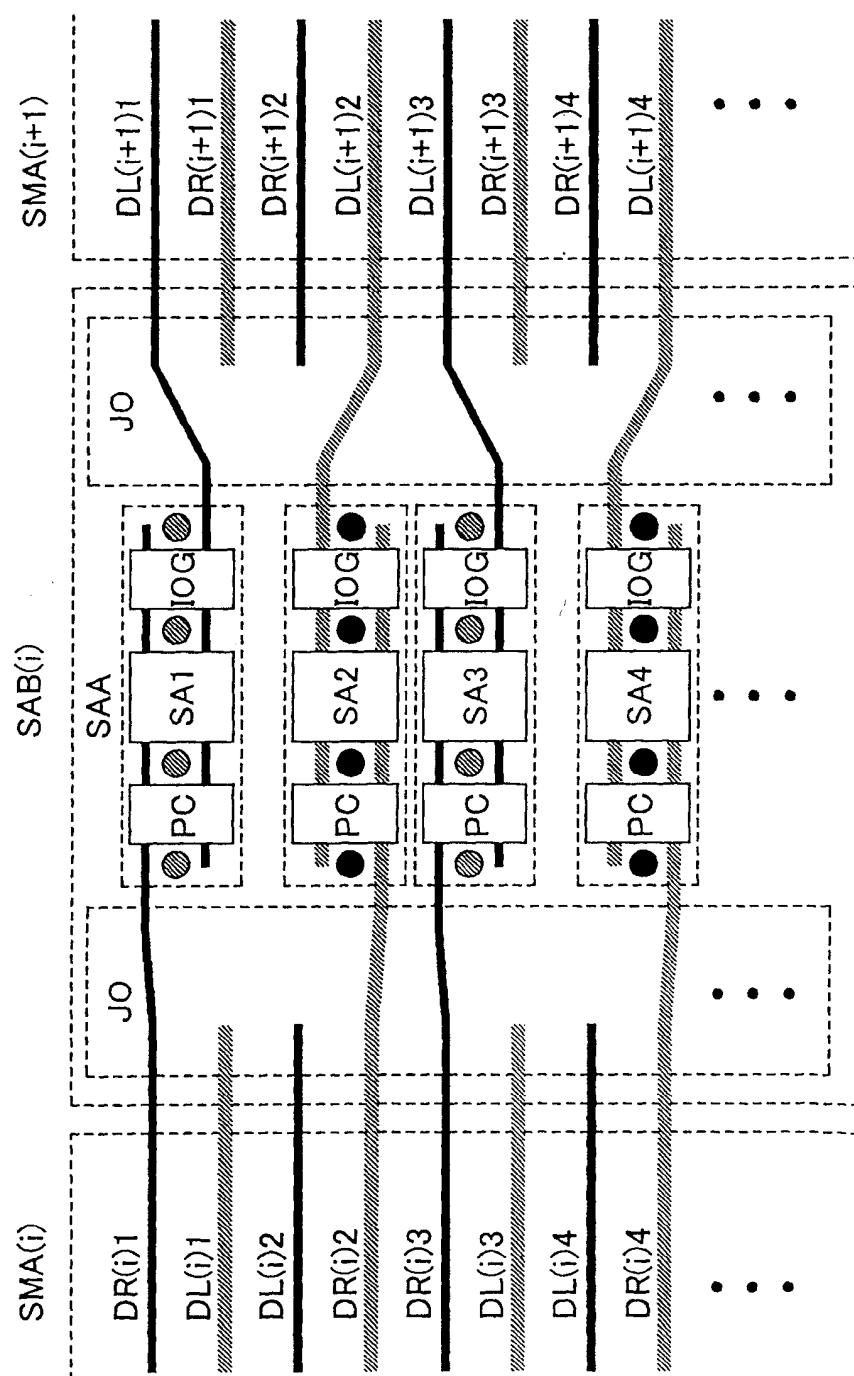


图15

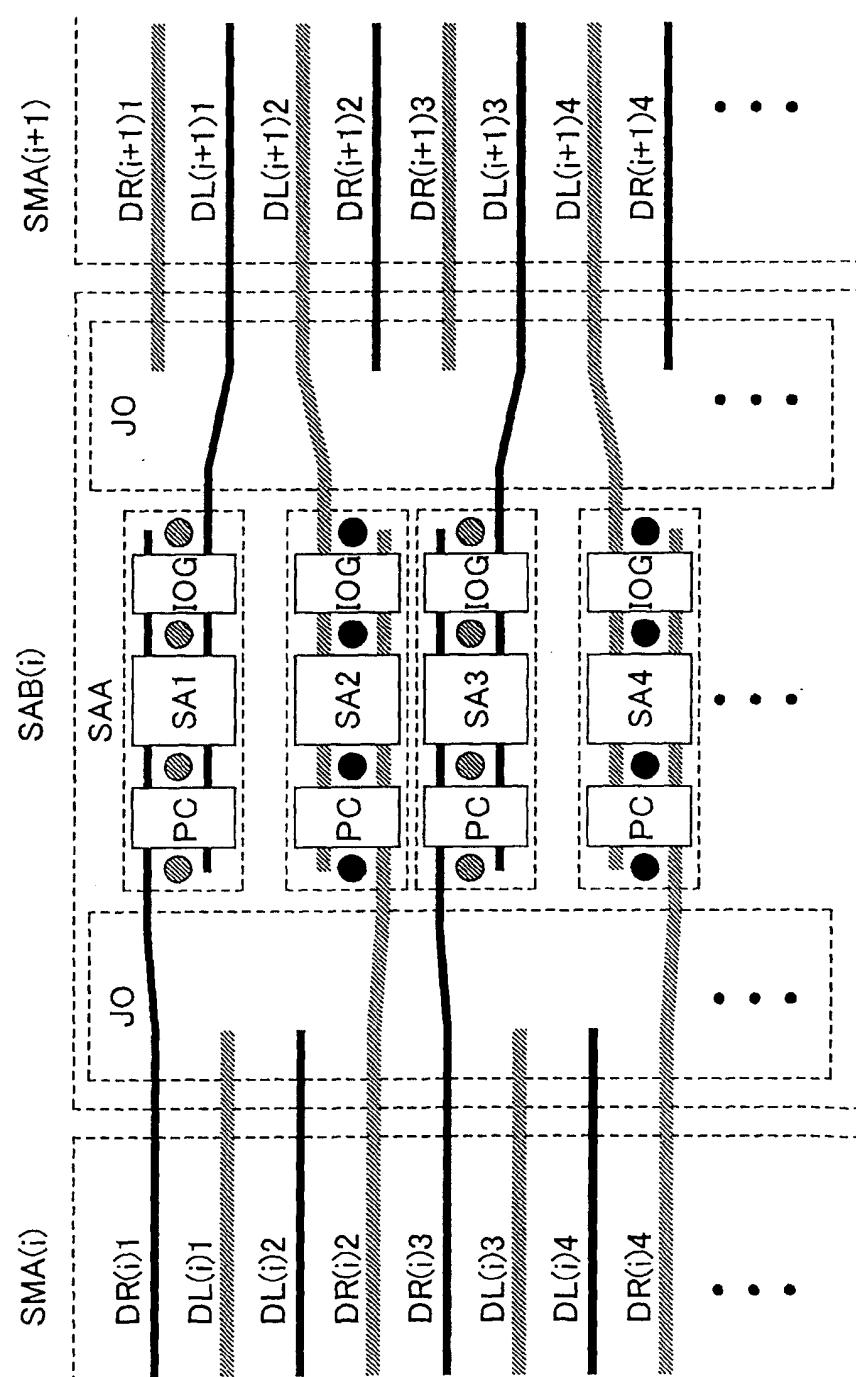


图 16A

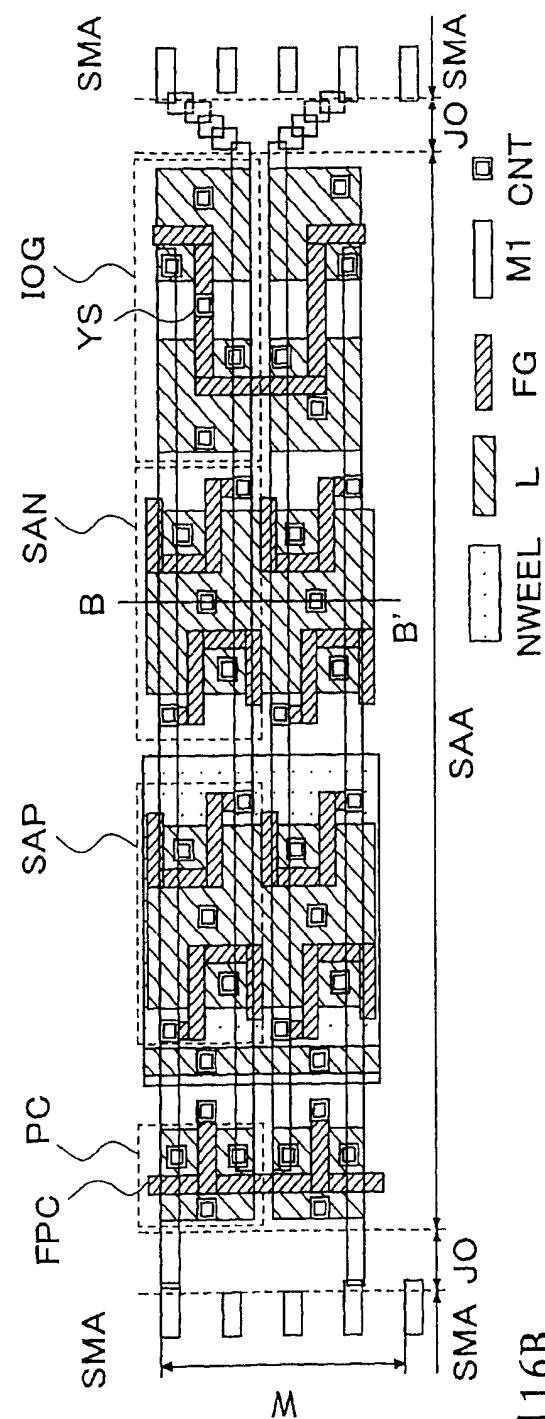


图 16B

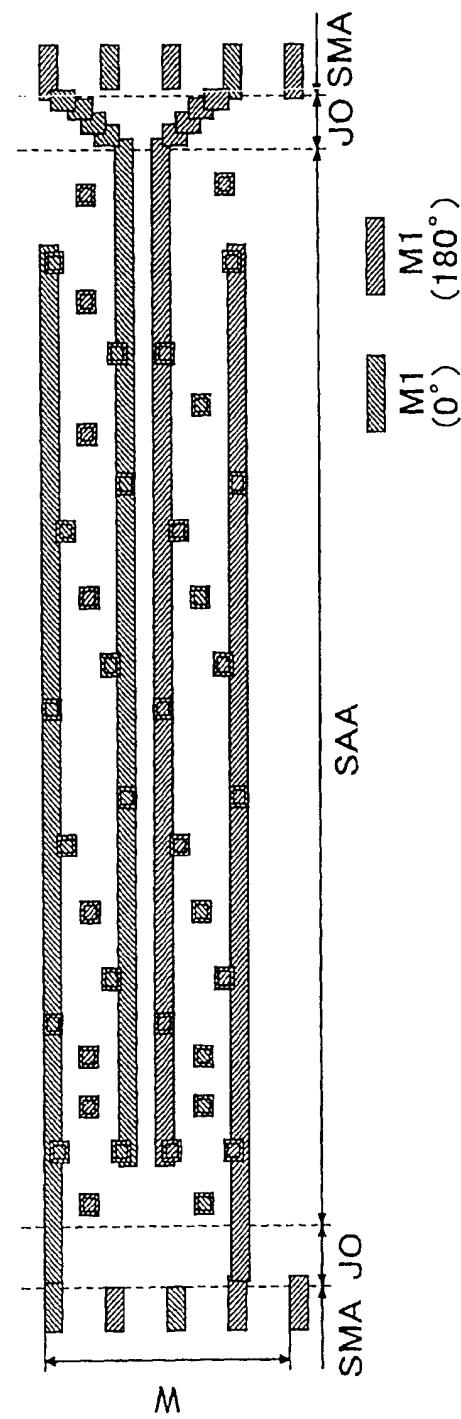


图 17

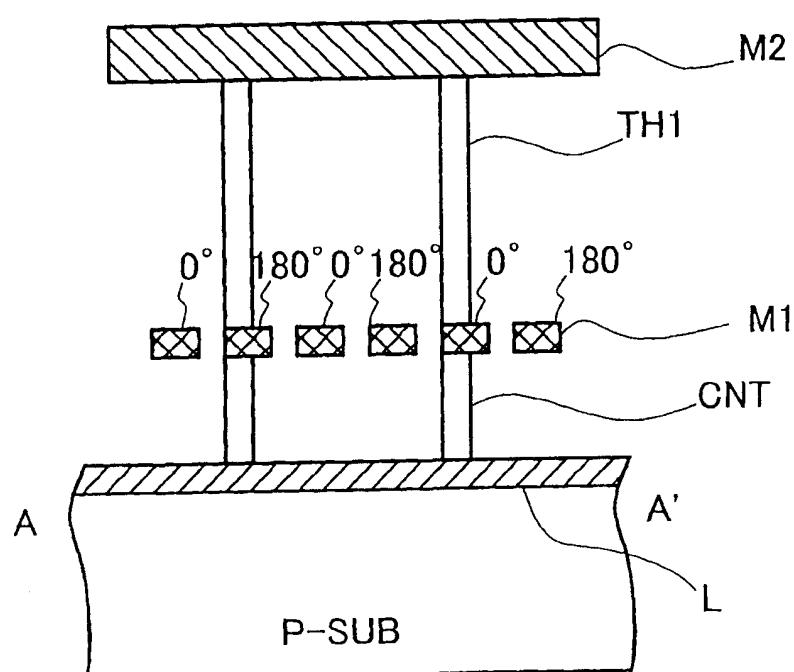


图 18

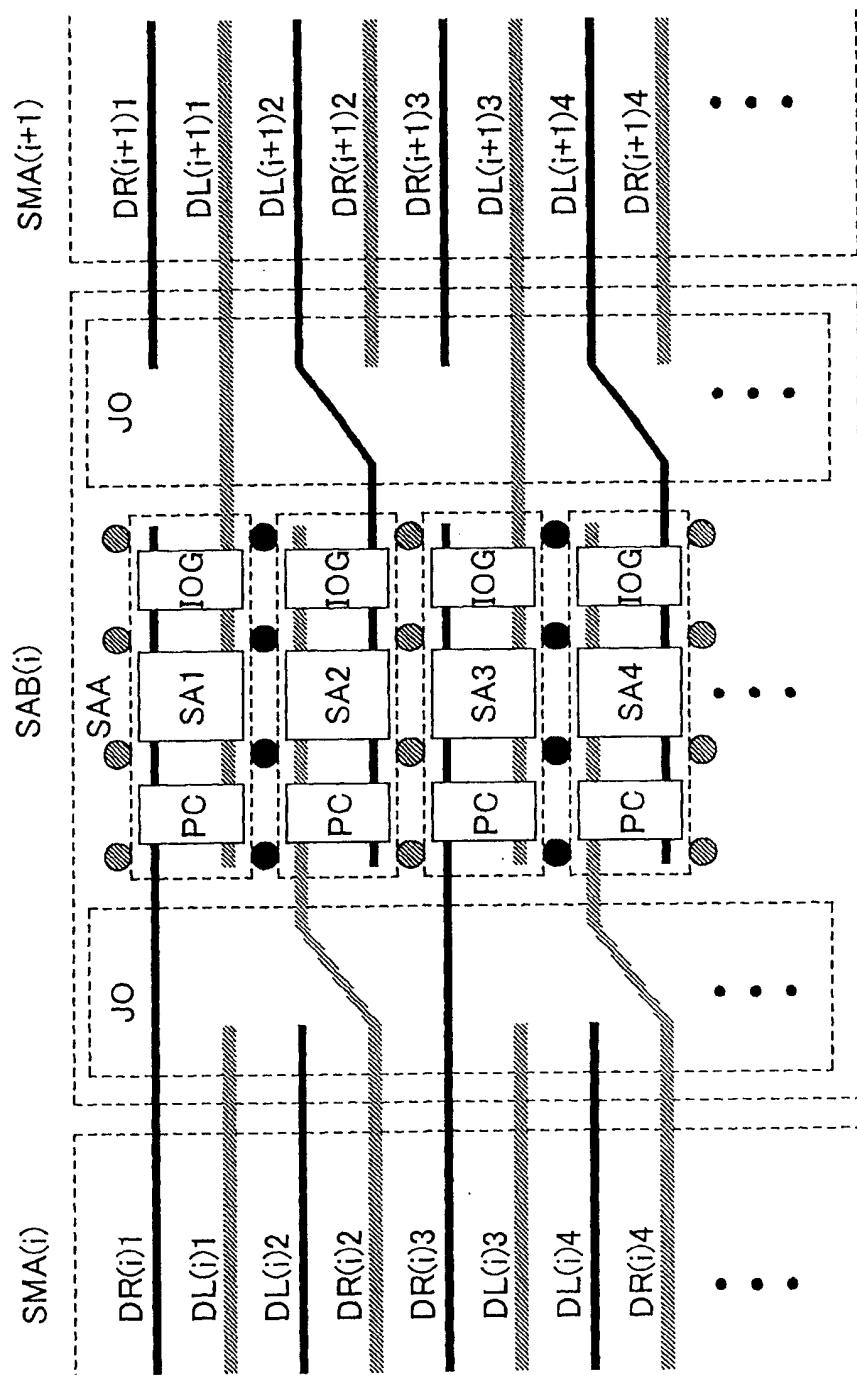


图 19

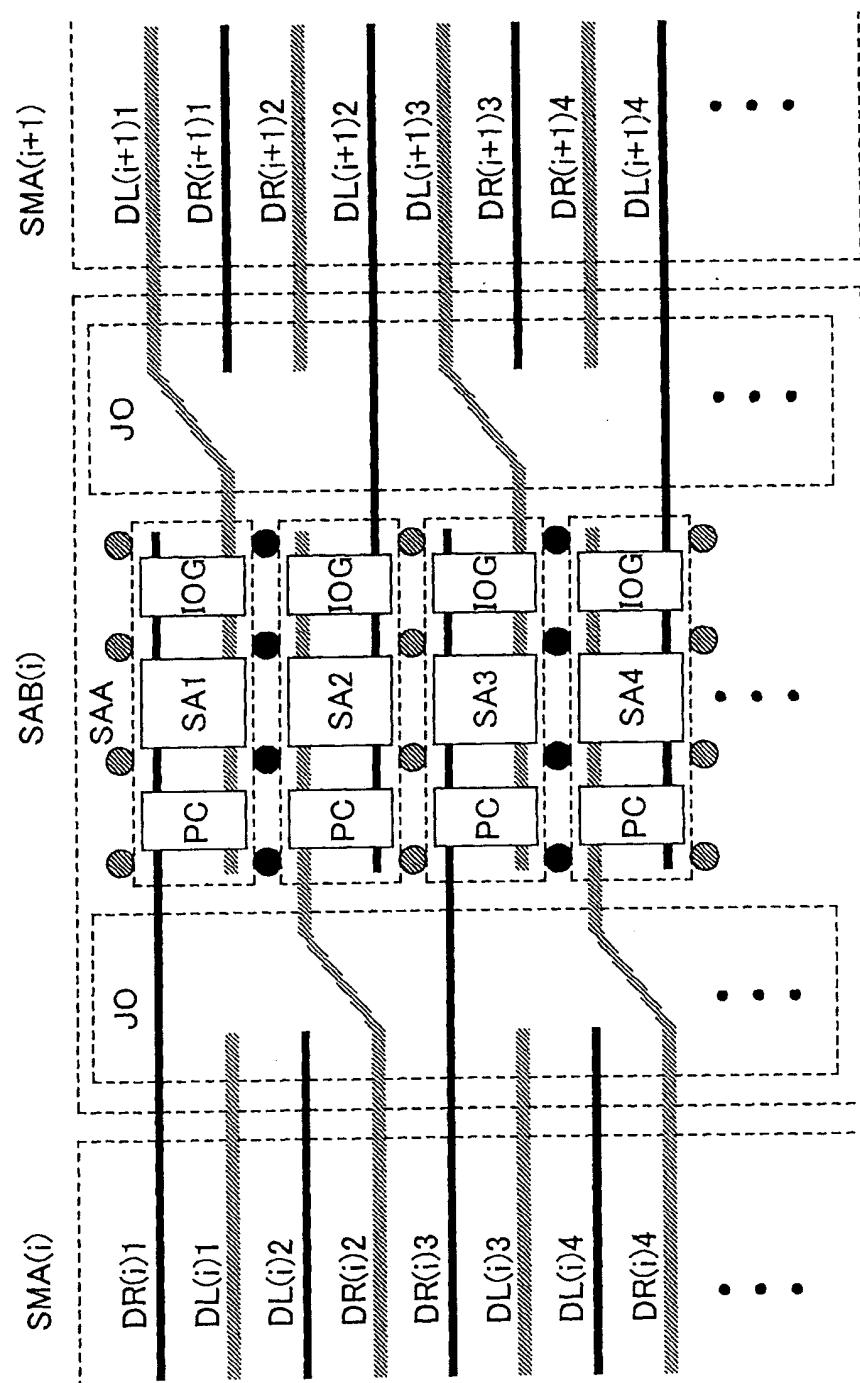


图 20

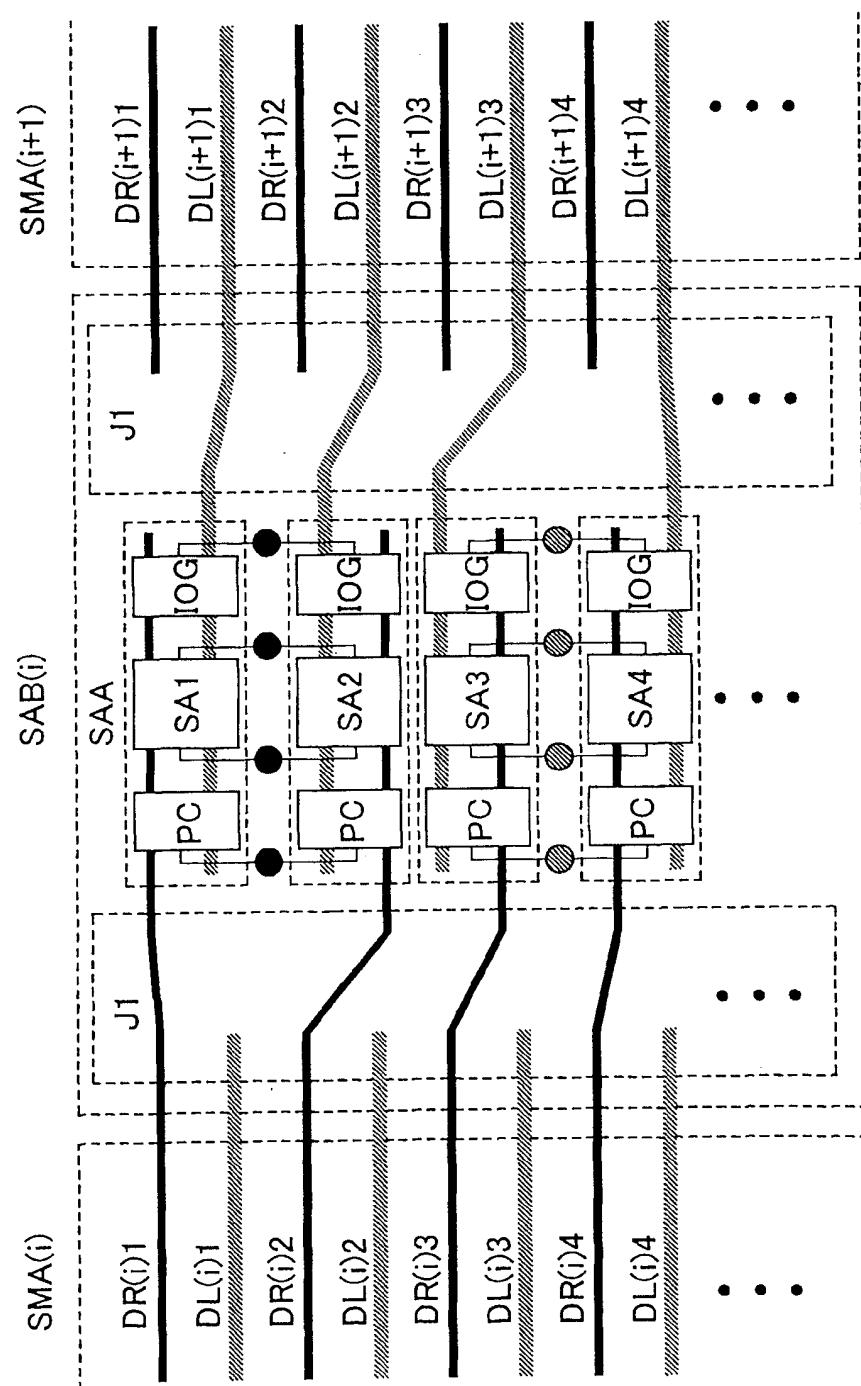


图 21

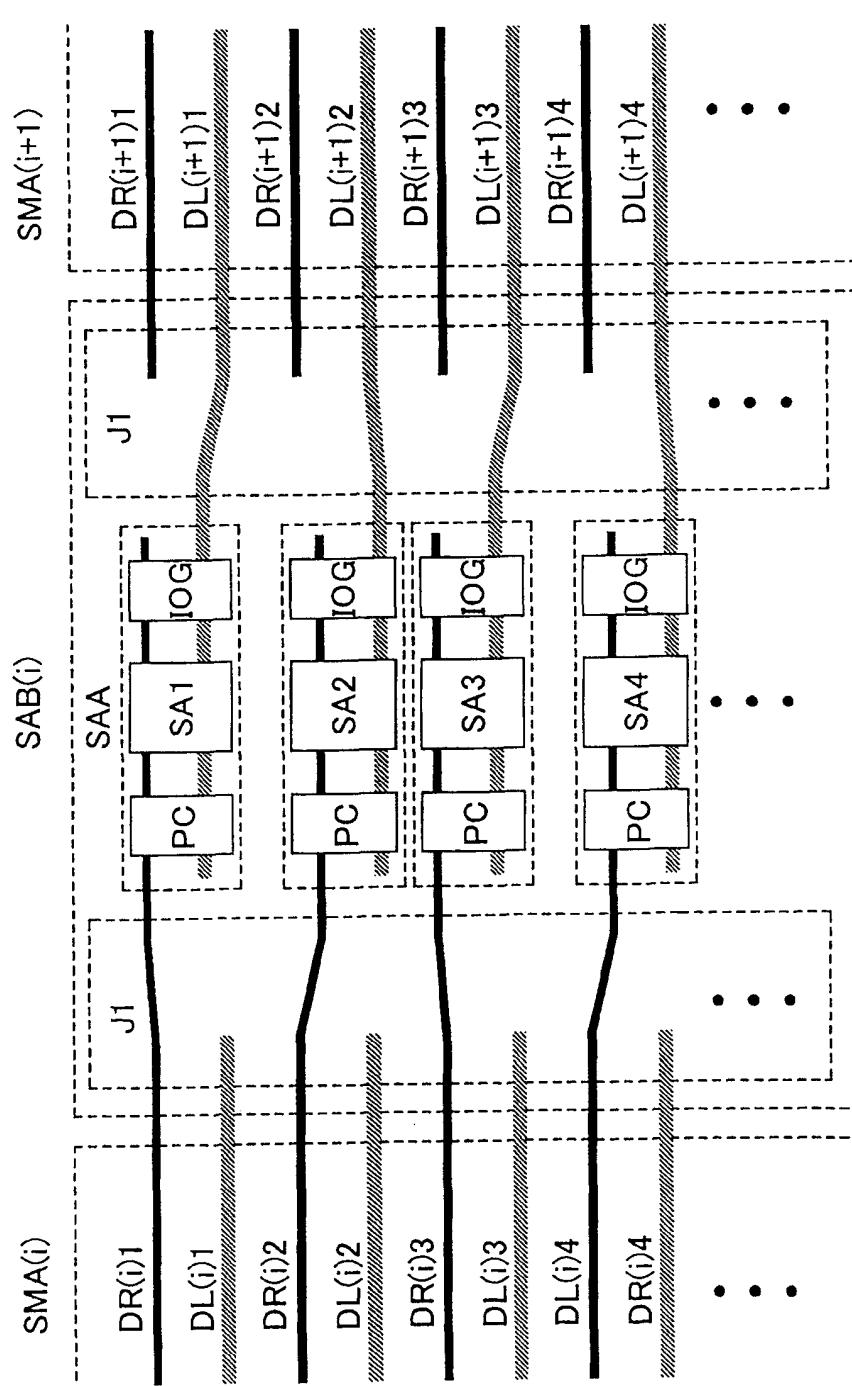


图 22

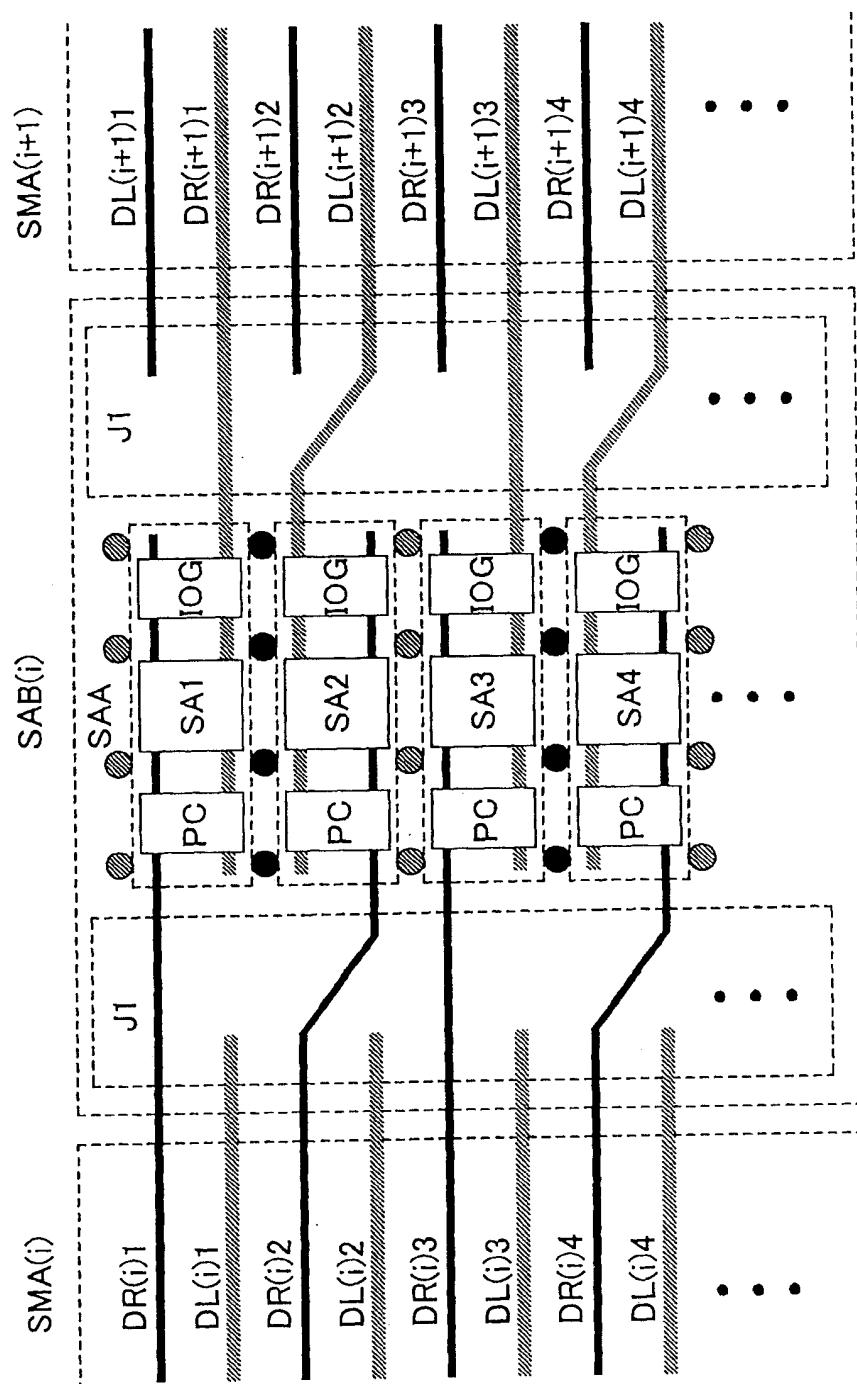


图 23

