

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6289618号
(P6289618)

(45) 発行日 平成30年3月7日(2018.3.7)

(24) 登録日 平成30年2月16日(2018.2.16)

(51) Int.Cl.

F I

H02M 3/28 (2006.01)

H02M 3/28

P

請求項の数 9 (全 18 頁)

(21) 出願番号 特願2016-519137 (P2016-519137)
 (86) (22) 出願日 平成27年3月6日(2015.3.6)
 (86) 国際出願番号 PCT/JP2015/056612
 (87) 国際公開番号 W02015/174123
 (87) 国際公開日 平成27年11月19日(2015.11.19)
 審査請求日 平成28年4月27日(2016.4.27)
 (31) 優先権主張番号 特願2014-101080 (P2014-101080)
 (32) 優先日 平成26年5月15日(2014.5.15)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100094916
 弁理士 村上 啓吾
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (74) 代理人 100127672
 弁理士 吉澤 憲治
 (74) 代理人 100088199
 弁理士 竹中 孝生
 (72) 発明者 近藤 亮太
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

複数のダイオードがフルブリッジ構成され、交流電源からの入力を整流する整流回路と、
 上記整流回路の直流端子に接続されるリアクトルと、
 第1スイッチング素子および第2スイッチング素子が直列接続され、その接続点を第1交
 流端とする第1レグと、第3スイッチング素子および第4スイッチング素子が直列接続さ
 れ、その接続点を第2交流端とする第2レグと、直流コンデンサとが直流母線間に並列接
 続されて構成され、上記第1交流端が上記整流回路の正極側直流端子に接続され、負極側
 直流母線が上記整流回路の負極側直流端子に接続されるインバータ回路と、
 一次巻線、二次巻線を有し、該一次巻線の両端に上記インバータ回路の上記第1交流端、
 上記第2交流端が接続される絶縁トランスと、
 上記インバータ回路を出力制御する制御回路とを備え、
 上記制御回路は、上記第1レグのPWM制御により、上記交流電源から上記整流回路を介
 して流れる回路電流の高力率制御を行い、上記第1レグのduty比以下のduty比を
 用いた上記第2レグのPWM制御により、上記直流コンデンサの電圧を制御して上記絶縁
 トランスの二次側に出力する電力を制御する
 電力変換装置。

【請求項2】

上記絶縁トランスの上記二次巻線に接続される第2整流回路と、該第2整流回路の直流端
 子に接続される第2リアクトルとを備え、

10

20

上記制御回路は、上記第 2 レグを P W M 制御することにより上記第 2 整流回路に接続される直流回路への出力電力を制御する

請求項 1 に記載の電力変換装置。

【請求項 3】

上記制御回路は、

上記第 1 レグおよび上記第 2 レグを、同期する等しい駆動周期で P W M 制御し、

上記回路電流が目標正弦波電流になるように上記第 1 レグを制御し、

上記直流コンデンサの電圧が、上記交流電源のピーク電圧よりも高い目標電圧になるように上記第 2 レグを制御する

請求項 1 または請求項 2 に記載の電力変換装置。

10

【請求項 4】

上記制御回路は、上記第 3 スイッチング素子および上記第 4 スイッチング素子の d u t y 比を等しくし、該 d u t y 比を、上記第 1、第 2 スイッチング素子の 2 つの d u t y 比内の小さい方を上限として制限する

請求項 3 に記載の電力変換装置。

【請求項 5】

上記制御回路は、

上記第 1 スイッチング素子とオンオフが反転するように上記第 2 スイッチング素子を制御し、

上記第 1 スイッチング素子と対角の関係にある上記第 4 スイッチング素子を、上記第 1 スイッチング素子のオン期間内のみにオン期間を有するように制御し、

20

上記第 2 スイッチング素子と対角の関係にある上記第 3 スイッチング素子を、上記第 2 スイッチング素子のオン期間内のみにオン期間を有するように制御する

請求項 3 または請求項 4 に記載の電力変換装置。

【請求項 6】

上記制御回路は、

上記第 1 レグ、上記第 2 レグの P W M 制御のキャリア波に鋸波を用い、

上記第 1 スイッチング素子へのゲート信号パルスの立ち上がりと、上記第 4 スイッチング素子へのゲート信号パルスの立ち上がりとを同期させ、

上記第 2 スイッチング素子へのゲート信号パルスの立ち上がりと、上記第 3 スイッチング素子へのゲート信号パルスの立ち上がりとを同期させる

30

請求項 5 に記載の電力変換装置。

【請求項 7】

上記制御回路は、

上記第 1 レグ、上記第 2 レグの P W M 制御のキャリア波に三角波を用い、

上記第 1 スイッチング素子へのゲート信号パルスの中心と、上記第 4 スイッチング素子へのゲート信号パルスの中心とを同期させ、

上記第 2 スイッチング素子へのゲート信号パルスの中心と、上記第 3 スイッチング素子へのゲート信号パルスの中心とを同期させる

請求項 5 に記載の電力変換装置。

40

【請求項 8】

上記制御回路は、

上記第 3、第 4 スイッチング素子の一方の素子への d u t y 比の指令値を生成し、該 d u t y 比の指令値と上記三角波との比較により上記一方の素子への上記ゲート信号パルスを生成し、

上記 d u t y 比の指令値を 1 から差し引いた値と上記三角波との比較により、上記第 3、第 4 スイッチング素子の他方の素子への上記ゲート信号パルスを生成する

請求項 7 に記載の電力変換装置。

【請求項 9】

複数のダイオードがフルブリッジ構成され、交流電源からの入力を整流する整流回路と、

50

上記整流回路の直流端子に接続されるリアクトルと、
第1スイッチング素子および第2スイッチング素子が直列接続され、その接続点を第1交流端とする第1レグと、第3スイッチング素子および第4スイッチング素子が直列接続され、その接続点を第2交流端とする第2レグと、直流コンデンサとが直流母線間に並列接続されて構成され、上記第1交流端が上記整流回路の正極側直流端子に接続され、負極側直流母線が上記整流回路の負極側直流端子に接続されるインバータ回路と、
一次巻線、二次巻線を有し、該一次巻線の両端に上記インバータ回路の上記第1交流端、上記第2交流端が接続される絶縁トランスと、
上記インバータ回路を出力制御する制御回路とを備え、
上記制御回路は、上記第1レグにより入力電流の高力率制御を行い、上記第2レグにより出力電力制御を行う
電力変換装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

交流電源からの入力を電力変換して絶縁トランスの二次側に所望の電力を供給する電力変換装置に関するものである。

【背景技術】

【0002】

近年、1つの電力変換装置で入力交流電流の力率制御と、出力電力制御を同時に実現するワンステージ変換方式が提案されている。従来のワンステージ変換方式の電力変換装置として、充電器用のコンバータ回路を以下に示す。

20

充電器用のコンバータ回路は、2つのダイオードより成るハーフブリッジ整流回路と、前記ハーフブリッジ整流回路の両端に並列接続したコンデンサと、夫々2つのスイッチ素子(1)と(2)より成る第1のハーフブリッジ回路および2つのスイッチ素子(3)と(4)より成る第2のハーフブリッジ回路の両端を前記コンデンサの両端に並列接続して構成した4つのスイッチ素子より成るフルブリッジ回路と、上記第1のハーフブリッジ回路におけるスイッチ素子同士の接続点に一端を接続した交流電源の他端とハーフブリッジ整流回路におけるダイオード同士の接続点との間に設けたリアクタと、前記第1と第2のハーフブリッジ回路におけるスイッチ素子同士の接続点との間を接続した高周波トランスの1次コイルと、前記4つのスイッチ素子に接続した4つの駆動回路と制御回路とによってコンバータの1次回路を構成する。制御回路は、4つのスイッチ素子より成るフルブリッジ回路におけるスイッチ素子(1)と(4)より成るグループ、およびスイッチ素子(2)と(3)より成るグループを交互にオン・オフ制御する。

30

そして、前記高周波トランスの2次コイルに並列接続したフルブリッジ整流回路と、前記フルブリッジ整流回路の両端に並列接続したコンデンサとによってコンバータの2次回路を構成し、前記1次回路において生成された高周波電力を整流してバッテリーを充電させる(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献1】特開平11-243646号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

このような従来の電力変換装置では、フルブリッジ回路の2つのハーフブリッジ回路を同じ duty 比で同期して制御している。このため、入力電流の高力率制御を行うと、フルブリッジ回路の直流コンデンサ電圧が動作範囲から外れることがあり、電力変換装置に過電圧が印加されたり、出力電流のリプル成分がより拡大するという問題点があった。

【0005】

50

この発明は、上記のような問題点を解決するためになされたものであり、入力電流の高力率制御と、出力電力制御とを高い信頼性で同時に実現できる電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明に係る第1の電力変換装置は、複数のダイオードがフルブリッジ構成され、交流電源からの入力を整流する整流回路と、上記整流回路の直流端子に接続されるリアクトルと、インバータ回路と、絶縁トランスと、上記インバータ回路を出力制御する制御回路とを備える。上記インバータ回路は、第1スイッチング素子および第2スイッチング素子が直列接続され、その接続点を第1交流端とする第1レグと、第3スイッチング素子および第4スイッチング素子が直列接続され、その接続点を第2交流端とする第2レグと、直流コンデンサとが直流母線間に並列接続されて構成され、上記第1交流端が上記整流回路の正極側直流端子に接続され、負極側直流母線が上記整流回路の負極側直流端子に接続される。上記絶縁トランスは、一次巻線、二次巻線を有し、該一次巻線の両端に上記インバータ回路の上記第1交流端、上記第2交流端が接続される。

10

そして上記制御回路は、上記第1レグのPWM制御により、上記交流電源から上記整流回路を介して流れる回路電流の高力率制御を行い、上記第1レグのduty比以下のduty比を用いた上記第2レグのPWM制御により、上記直流コンデンサの電圧を制御して上記絶縁トランスの二次側に出力する電力を制御する。

【0007】

20

また、この発明に係る第2の電力変換装置は、複数のダイオードがフルブリッジ構成され、交流電源からの入力を整流する整流回路と、上記整流回路の直流端子に接続されるリアクトルと、第1スイッチング素子および第2スイッチング素子が直列接続され、その接続点を第1交流端とする第1レグと、第3スイッチング素子および第4スイッチング素子が直列接続され、その接続点を第2交流端とする第2レグと、直流コンデンサとが直流母線間に並列接続されて構成され、上記第1交流端が上記整流回路の正極側直流端子に接続され、負極側直流母線が上記整流回路の負極側直流端子に接続されるインバータ回路と、一次巻線、二次巻線を有し、該一次巻線の両端に上記インバータ回路の上記第1交流端、上記第2交流端が接続される絶縁トランスと、上記インバータ回路を出力制御する制御回路とを備え、上記制御回路は、上記第1レグにより入力電流の高力率制御を行い、上記第2レグにより出力電力制御を行う。

30

【発明の効果】

【0008】

この発明の第1の電力変換装置によれば、入力電流の高力率制御と、出力電力制御とを高い信頼性で同時に実現できる。

【0009】

またこの発明の第2の電力変換装置によれば、入力電流の高力率制御と、出力電力制御とを高い信頼性で同時に実現できる。

【図面の簡単な説明】

【0010】

40

【図1】この発明の実施の形態1による電力変換装置の構成を示す図である。

【図2】この発明の実施の形態1による電力変換装置の動作を説明するゲート信号および各部の波形図である。

【図3】この発明の実施の形態1による電力変換装置の第1モードにおける動作を説明する電流経路図である。

【図4】この発明の実施の形態1による電力変換装置の第2モードにおける動作を説明する電流経路図である。

【図5】この発明の実施の形態1による電力変換装置の第3モードにおける動作を説明する電流経路図である。

【図6】この発明の実施の形態1による電力変換装置の第4モードにおける動作を説明す

50

る電流経路図である。

【図 7】この発明の実施の形態 1 による第 1 レグの d u t y 比を示す図である。

【図 8】この発明の実施の形態 1 による第 2 レグの d u t y 比を示す図である。

【図 9】この発明の実施の形態 1 による第 1 レグの d u t y 指令の生成を示す制御ブロック図である。

【図 10】この発明の実施の形態 1 による第 2 レグの d u t y 指令上限の生成を示す制御ブロック図である。

【図 11】この発明の実施の形態 1 による第 2 レグの基本 d u t y 指令の生成を示す制御ブロック図である。

【図 12】この発明の実施の形態 1 による第 2 レグの d u t y 指令の生成を示す制御ブロック図である。

10

【図 13】この発明の実施の形態 1 による電力変換装置における鋸波を用いたゲート信号の生成を説明する波形図である。

【図 14】この発明の実施の形態 1 による第 1 レグのゲート信号の生成を示す制御ブロック図である。

【図 15】この発明の実施の形態 1 による第 2 レグのゲート信号の生成を示す制御ブロック図である。

【図 16】この発明の実施の形態 2 による電力変換装置における三角波を用いたゲート信号の生成を説明する波形図である。

【図 17】この発明の実施の形態 2 による第 1 レグのゲート信号の生成を示す制御ブロック図である。

20

【図 18】この発明の実施の形態 2 による第 2 レグのゲート信号の生成を示す制御ブロック図である。

【発明を実施するための形態】

【0011】

実施の形態 1 .

以下、この発明の実施の形態 1 による電力変換装置について説明する。図 1 はこの発明の実施の形態 1 による電力変換装置の概略構成図である。

図 1 に示すように、電力変換装置は、交流電源 1 の交流電力を直流電力に変換して直流回路であるバッテリー 10 に出力するための主回路と制御回路 11 とを備える。

30

主回路は、交流電源 1 からの入力を整流する整流回路 2 と、限流回路としてのリアクトル 3 と、インバータ回路 4 と、絶縁トランス 6 と、第 2 整流回路 7 と、第 2 リアクトルとしての平滑リアクトル 8 と、平滑コンデンサ 9 とを備える。

【0012】

整流回路 2 は 4 つのダイオード 201 ~ 204 をフルブリッジ構成したダイオード整流回路である。インバータ回路 4 は、第 1 スイッチング素子 401 および第 2 スイッチング素子 402 が直列接続され、その接続点を第 1 交流端 4a とする第 1 レグ A と、第 3 スイッチング素子 403 および第 4 スイッチング素子 404 が直列接続され、その接続点を第 2 交流端 4b とする第 2 レグ B と、直流コンデンサ 5 とが直流母線間 (P N 母線間) に並列接続されたフルブリッジインバータ回路である。

40

第 2 整流回路 7 は、この場合、 4 つのダイオード 701 ~ 704 をフルブリッジ構成したダイオード整流回路であるが、その他のダイオードを用いた整流方式や能動素子を用いた整流方式でも良い。

【0013】

絶縁トランス 6 は、一次巻線 6a および二次巻線 6b を有し、一次巻線 6a の両端にインバータ回路 4 の第 1 交流端 4a、第 2 交流端 4b が接続され、二次巻線 6b の両端に第 2 整流回路 7 の交流端子が接続される。

また絶縁トランス 6 の一次側では、交流電源 1 の出力は整流回路 2 の交流端子に接続され、整流回路 2 の正極側直流端子 2a はリアクトル 3 を介してインバータ回路 4 の第 1 交流端 4a に接続される。整流回路 2 の負極側直流端子 2b は、インバータ回路 4 の負極側

50

直流母線（以下、N母線）に接続される。

絶縁トランス6の二次側では、平滑コンデンサ9がバッテリー10に並列接続され、第2整流回路7の第1直流出力端子が平滑リアクトル8を介して平滑コンデンサ9の第1端子に接続され、第2整流回路7の第2直流出力端子が平滑コンデンサ9の第2端子に接続される。

【0014】

第1～第4スイッチング素子401～404は、それぞれダイオード401a～404aを逆並列に接続したIGBT（Insulated Gate Bipolar Transistor）で構成される。

なお、第1～第4スイッチング素子401～404は、IGBT以外にも、ソース・ドレイン間にダイオードが内蔵されたMOSFET（Metal Oxide Semiconductor Field Effect Transistor）等の半導体スイッチング素子でもよい。またMOSFETを用いる場合は、内蔵ダイオードをダイオード401a～404aに用いても良い。

【0015】

また、リアクトル3は、整流回路2の正極側直流端子2aに接続しているが、負極側直流端子2bに接続するものでも良く、また、整流回路2の正極側直流端子2a、負極側直流端子2bの双方に分散して接続しても良い。

さらに、直流回路は、バッテリー10の他、交流電源1からの入力と絶縁を必要とする直流負荷であれば良く、例えば電気2重層キャパシタなどで構成してもよい。

【0016】

また、交流電源1の電圧 V_{ac} 、直流コンデンサ5の電圧 V_{dc} 、平滑コンデンサ9の電圧 V_{bat} をそれぞれ検出する電圧センサと、交流電源1から整流回路2を介して流れる回路電流としての電流 i_{ac} 、バッテリー10への充電電流（直流電流） i_{bat} をそれぞれ検出する電流センサとが備えられる。この場合、電流 i_{ac} としてリアクトル3を流れる電流を検出する。

【0017】

制御回路11には、検出された直流コンデンサ電圧 V_{dc} 、平滑コンデンサ電圧 V_{bat} 、交流電源電圧（交流電圧） V_{ac} 、電流 i_{ac} および充電電流 i_{bat} が入力され、制御回路11は、これらの値に基づいて高周波PWM制御により、第1～第4スイッチング素子401～404へのゲート信号 $G_1 \sim G_4$ を生成して、インバータ回路4を出力制御する。その際、制御回路11は、交流電源1からの入力力率が概1になるように、即ち、電流 i_{ac} を高力率制御するように第1レグAへのゲート信号 G_A （ G_1 、 G_2 ）を生成し、かつ直流コンデンサ5の電圧 V_{dc} が目標電圧 V_{dc}^* になるように第2レグBへのゲート信号 G_B （ G_3 、 G_4 ）を生成して、第1～第4スイッチング素子401～404をオンオフさせてインバータ回路4を出力制御する。

【0018】

このように構成される電力変換装置の動作、即ちバッテリー10に直流電力を出力する動作について、以下に説明する。

図2は、第1～第4スイッチング素子401～404へのゲート信号 $G_1 \sim G_4$ と、電流 i_{ac} と、直流コンデンサ5の電圧 V_{dc} とを示す図である。なお、直流コンデンサ5の電圧 V_{dc} は、目標電圧 V_{dc}^* を、交流電源1の電圧 V_{ac} のピーク電圧 V_p より高く設定し、ピーク電圧 V_p より高く制御されている。

交流電源1からの電圧 V_{ac} は整流回路2で全波整流されるため、交流周期の2倍周期で動作する。ゲート信号 G_1 、 G_2 により動作する第1レグAの第1、第2スイッチング素子401、402は、交流電源1からの入力電流量を一定に、かつ入力力率が概1になるようにPWM制御により電流 i_{ac} を制御する。またゲート信号 G_3 、 G_4 により動作する第2レグBの第3、第4スイッチング素子403、404は、バッテリー10に供給する電力量と直流コンデンサ5の充放電量を調整して直流コンデンサ5の電圧 V_{dc} が一定の目標電圧 V_{dc}^* になるように制御する。以下、交流電源1からの入力力率が概1になるように電流 i_{ac} を制御することを、単に電流制御と称す。

10

20

30

40

50

【 0 0 1 9 】

図 2 に示すように、第 1 ～ 第 4 スイッチング素子 4 0 1 ～ 4 0 4 の駆動周期を T とすると、駆動周期 T は、 $t_0 \sim t_1$ 、 $t_1 \sim t_2$ 、 $t_2 \sim t_3$ 、 $t_3 \sim t_4$ (t_0) の 4 期間に分割でき、各期間の動作モードを第 1 ～ 第 4 モードとする。

t_0 ($= t_4$) の時、ゲート信号 G_1 で動作する第 1 スイッチング素子 4 0 1 がオンしてゲート信号 G_2 で動作する第 2 スイッチング素子 4 0 2 がオフする。この時、ゲート信号 G_4 で動作する第 4 スイッチング素子 4 0 4 も同時にオンする。

t_1 の時、第 4 スイッチング素子 4 0 4 がオフする。

t_2 の時、第 1 スイッチング素子 4 0 1 がオフして第 2 スイッチング素子 4 0 2 がオンする。この時、ゲート信号 G_3 で動作する第 3 スイッチング素子 4 0 3 も同時にオンする

10

。
 t_3 の時、第 3 スイッチング素子 4 0 3 がオフする。

【 0 0 2 0 】

各期間の動作モード毎の動作を説明するための電流経路図を図 3 ～ 図 6 に示す。なお、電流経路図はインバータ回路 4 での電流経路を示す。この場合、リアクトル 3 に流れる電流 i_{ac} は、交流電源 1 から整流回路 2 を介してリアクトル 3 に流れてインバータ回路 4 の第 1 交流端 4 a に入力される。

$t_0 \sim t_1$ における第 1 モードでは、第 1、第 4 スイッチング素子 4 0 1、4 0 4 が共にオン状態で、図 3 に示す電流経路で電流が流れる。即ち、リアクトル 3 に流れる電流 i_{ac} は、絶縁トランス 6 の一次巻線 6 a に流れ、第 4 スイッチング素子 4 0 4 を介して入力側へ戻る。また直流コンデンサ 5 から第 1 スイッチング素子 4 0 1 を介して一次巻線 6 a へ電流が流れ、第 4 スイッチング素子 4 0 4 を介して直流コンデンサ 5 へと電流が戻る

20

。
この第 1 モードでは、第 1 スイッチング素子 4 0 1 がオン状態であるため、リアクトル 3 のインバータ回路 4 側の電位は電圧 V_{dc} に固定される。直流コンデンサ 5 の電圧 V_{dc} は、交流電源 1 の電圧 V_{ac} のピーク電圧 V_p より高く制御され、リアクトル 3 に流れる電流 i_{ac} は減少する。また直流コンデンサ 5 では電流を放電しているため電圧 V_{dc} は減少する。

【 0 0 2 1 】

$t_1 \sim t_2$ における第 2 モードでは、第 1 スイッチング素子 4 0 1 のみがオン状態で、図 4 に示す電流経路で電流が流れる。即ち、リアクトル 3 に流れる電流 i_{ac} は、第 1 スイッチング素子 4 0 1 を介して直流コンデンサ 5 へと流入する。第 2 ～ 第 4 スイッチング素子 4 0 2 ～ 4 0 4 はオフ状態であるため、上記以外の電流経路は存在しない。

30

この第 2 モードでは、第 1 スイッチング素子 4 0 1 がオン状態であるため、リアクトル 3 のインバータ回路 4 側の電位は電圧 V_{dc} に固定される。直流コンデンサ 5 の電圧 V_{dc} は、交流電源 1 の電圧 V_{ac} のピーク電圧 V_p より高く制御され、リアクトル 3 に流れる電流 i_{ac} は減少する。また直流コンデンサ 5 では電流を充電しているため電圧 V_{dc} は増加する。

【 0 0 2 2 】

$t_2 \sim t_3$ における第 3 モードでは、第 2、第 3 スイッチング素子 4 0 2、4 0 3 が共にオン状態で、図 5 に示す電流経路で電流が流れる。即ち、リアクトル 3 に流れる電流 i_{ac} は、第 2 スイッチング素子 4 0 2 を介して入力側へと還流する。また直流コンデンサ 5 から第 3 スイッチング素子 4 0 3 を介して一次巻線 6 a へ電流が流れ、第 2 スイッチング素子 4 0 2 を介して直流コンデンサ 5 へと電流が戻る。

40

この第 3 モードでは、第 2 スイッチング素子 4 0 2 がオン状態であるため、リアクトル 3 のインバータ回路 4 側の電位は N 母線の電位 0 に固定され、リアクトル 3 に流れる電流 i_{ac} は増加する。また直流コンデンサ 5 では電流を放電しているため電圧 V_{dc} は減少する。

【 0 0 2 3 】

$t_3 \sim t_4$ ($= t_0$) における第 4 モードでは、第 2 スイッチング素子 4 0 2 のみがオ

50

ン状態で、図 6 に示す電流経路で電流が流れる。即ち、リアクトル 3 に流れる電流 i_{ac} は、第 2 スイッチング素子 402 を介して入力側へと還流する。第 1、第 3、第 4 スイッチング素子 401、403、404 はオフ状態であるため、上記以外の電流経路は存在しない。

この第 4 モードでは、第 2 スイッチング素子 402 がオン状態であるため、リアクトル 3 のインバータ回路 4 側の電位は N 母線の電位 0 に固定され、リアクトル 3 に流れる電流 i_{ac} は増加する。また直流コンデンサ 5 では電流の充放電がなく電圧 V_{dc} は変化しない。

【0024】

第 1 モードおよび第 3 モードでは、絶縁トランス 6 に電流が流れ、第 1 モードと第 3 モードとで一次巻線 6a に流れる電流極性は反転している。即ち、絶縁トランス 6 に交流電流が入力され、二次巻線 6b に接続される第 2 整流回路にて交流電力を直流電力に変換し、平滑リアクトル 8 および平滑コンデンサ 9 にて直流電力を平滑してバッテリー 10 に電力供給する。このように、第 1 モードおよび第 3 モードにてバッテリー 10 に直流電力を供給する。

なお、第 1 モードと第 3 モードとで絶縁トランス 6 に逆極性に電流が流れるため、絶縁トランス 6 の偏磁を抑制するために、第 1 モードと第 3 モードとの期間は等しく設定する。即ち、第 4 スイッチング素子 404 のオン期間と第 3 スイッチング素子 403 のオン期間とは等しく、 $duty$ 比は等しく制御される。

【0025】

図 2 に示すように、第 1 スイッチング素子 401 と第 2 スイッチング素子 402 とはオンオフが反転する制御であり、第 1 スイッチング素子 401 のオン期間に電流 i_{ac} が減少し、第 2 スイッチング素子 402 のオン期間に電流 i_{ac} が増加する。図 2 における t_2 を調整する、即ち、第 1、第 2 スイッチング素子 401、402 の $duty$ 比を調整することで、電流 i_{ac} の増減を調整して電流制御を実現できる。

【0026】

また、第 4 スイッチング素子 404 は、第 1 スイッチング素子 401 のオン期間内のみオン期間を有し、第 3 スイッチング素子 403 は、第 2 スイッチング素子 402 のオン期間内のみオン期間を有する。そして、第 3、第 4 スイッチング素子 403、404 のオン期間に電圧 V_{dc} が減少し、第 1 スイッチング素子 401 のみがオンする期間で電圧 V_{dc} が増加する。図 2 における t_3 、 t_1 を調整する、即ち、第 3、第 4 スイッチング素子 403、404 の $duty$ 比を調整することで、直流コンデンサ 5 の電圧 V_{dc} の増減を調整して目標電圧 V_{dc}^* に維持する。

【0027】

このように、第 1 レグ A の第 1、第 2 スイッチング素子 401、402 を用いた電流 i_{ac} の電流制御と、第 2 レグ B の第 3、第 4 スイッチング素子 403、404 を用いた電圧 V_{dc} の電圧制御とを、それぞれ個別の $duty$ 比を用いて行うことで、電流制御と電圧制御とを同時に実現しながらバッテリー 10 に直流電力を供給する。この電流制御と電圧制御の詳細について、以下に詳述する。

【0028】

まず、 t_2 は電流制御によって定まるタイミングであり、第 1 スイッチング素子 401 における駆動周期 T あたりのオン期間 ($t_0 - t_2$) である $duty$ 比 D_1 は、(式 1) で表される。また、第 2 スイッチング素子 402 における駆動周期 T あたりのオン期間 ($t_2 - t_4$) である $duty$ 比 D_2 は (式 2) で表される。但し、 v_{ac} は交流電源 1 の電圧波形、 V_{dc} は直流コンデンサ 5 の電圧である。

【0029】

$$D_1 = v_{ac} / V_{dc} \quad \dots (式 1)$$

$$D_2 = (V_{dc} - v_{ac}) / V_{dc} \quad \dots (式 2)$$

【0030】

第 1、第 2 スイッチング素子 401、402 は、上記 (式 1)、(式 2) に基づく $duty$

10

20

30

40

50

t y 比で駆動される。

【 0 0 3 1 】

また、第 4 スイッチング素子 4 0 4 は第 1 スイッチング素子 4 0 1 と同時にオンし、第 3 スイッチング素子 4 0 3 は第 2 スイッチング素子 4 0 2 と同時にオンし、第 4 スイッチング素子 4 0 4 のオン期間 (t 0 - t 1) と第 3 スイッチング素子 4 0 3 のオン期間 (t 2 - t 3) とは等しい。第 3、第 4 スイッチング素子 4 0 3、4 0 4 における駆動周期 T あたりのオン期間である d u t y 比 D 3、D 4 は、(式 3) で表される。但し、V b a t は平滑コンデンサ 9 の電圧、N 1 は絶縁トランス 6 の一次巻線 6 a の巻き数、N 2 は絶縁トランス 6 の二次巻線 6 b の巻き数である。

【 0 0 3 2 】

$$D 3 = D 4 = (1 / 2) \cdot (V b a t / V d c) \cdot (N 2 / N 1) \quad \cdots (式 3)$$

【 0 0 3 3 】

また、第 4 スイッチング素子 4 0 4 は、第 1 スイッチング素子 4 0 1 のオン期間内のみ
にオン期間を有し、第 3 スイッチング素子 4 0 3 は、第 2 スイッチング素子 4 0 2 のオン
期間内のみ
にオン期間を有する。このため、d u t y 比 D 3、D 4 は、常に d u t y 比 D 1、D 2 より小さく、t 0 ~ t 4 の関係は、

$$t 0 \quad t 1 \quad t 2、t 2 \quad t 3 \quad t 4$$

となる。

【 0 0 3 4 】

第 1 レグ A の d u t y 比 D 1、D 2 の概略 d u t y 軌跡図と、第 2 レグ B の d u t y 比 D 3 (D 4) の上限となる D l i m とを図 7 に示す。D l i m の各点は、その位相における、min (D 1 , D 2) であり、即ち、D l i m は、D 1、D 2 の小さい方の d u t y 比である。

図 7 に示すように、D 1 は交流電圧のゼロクロス位相 0、で 0 となり、位相 / 2 ではピーク値となる。このため、位相 0、の付近では D l i m = D 1 となる。この場合、位相 / 2 付近では、D 2 < D 1 であり、D l i m = D 2 となる。

また、位相 / 2 の時の D l i m の値 D は、(式 4) で表される。但し、V p は交流電圧 V a c のピーク電圧である。

【 0 0 3 5 】

$$D = \min (V p / V d c , (V d c - V p) / V d c) \quad \cdots (式 4)$$

【 0 0 3 6 】

d u t y 比 D 3 (D 4) を D l i m より小さくすることで、絶縁トランス 6 への電流通流期間である第 1 モードおよび第 3 モードの期間を調整して電圧 V d c の制御を実現できる。ここでは、電圧 V d c の制御が可能となる条件、即ち可制御条件を以下の式で示す。

$$D 3 (D 4) < D$$

即ち、

$$(1 / 2) \cdot (V b a t / V d c) \cdot (N 2 / N 1) < \min (V p / V d c , (V d c - V p) / V d c) \quad \cdots (式 5)$$

【 0 0 3 7 】

図 8 は、第 2 レグ B の d u t y 比 D 3 (D 4) を示す図である。上記 (式 5) で示す可制御条件を満たすとき、(式 3) で演算される D 3 (D 4) の値を基本 d u t y 比 D 3 a とし、

$$D 3 a < D l i m \text{ のとき、} D 3 (D 4) = D 3 a$$

$$D 3 a \geq D l i m \text{ のとき、} D 3 (D 4) = D l i m$$

とする。

交流電圧のゼロクロス位相 0、の付近では D l i m が原理上限りなく 0 に近い。このため、D 3 (D 4) の演算値が D l i m 以上となる位相範囲で D 3 (D 4) を D l i m の値に設定する。それ以外の位相範囲では、上記可制御条件から、D 3 (D 4) は D l i m より小さい。これにより、全位相において d u t y 比 D 3 (D 4) を D l i m より小さくでき、電圧 V d c を制御できる。

10

20

30

40

50

【 0 0 3 8 】

このように、第2レグBの第3、第4スイッチング素子403、404のduty比D3(D4)を、位相に拘わらず、第1レグAの第1、第2スイッチング素子401、402のduty比D1、D2より小さくすることができ、電圧Vdcを一定の目標電圧Vdc*に制御できる。この電圧制御は、出力電力量を制御して電圧Vdcを制御する出力電力制御である。

これにより、第1レグAのduty制御により電流制御を行い、第2レグBのduty制御により出力電力制御を行い、即ち、電流制御と出力電力制御とをフルブリッジ構成の1つのインバータ回路4で実現することができる。

【 0 0 3 9 】

10

一般に単相系統に接続される単相インバータでは直流部に交流周波数の2倍の周波数の電圧脈動が発生する。この実施の形態では、直流コンデンサ5の充電と放電とをインバータ回路4の駆動周期T内で行うため、発生する電圧脈動は駆動周期Tに基づき、特に、第2モードにおける充電期間で規定される。このためインバータ回路4では、交流周波数の2倍の周波数の電圧脈動は発生せず、直流コンデンサ5の容量を大幅に低減することができる。直流コンデンサ5を小型化することができる。

【 0 0 4 0 】

交流電源1にて、力率1の電圧vacと電流iacは、(式6)、(式7)で定義される。交流電源1の電力Pacは(式8)となる。この実施の形態では、(式8)で示す電力Pacがすべてバッテリー10へと伝送される。バッテリー10が一定の電圧Vbatであると、バッテリー10に供給される電流ibatは(式9)となり、交流周波数の2倍の周波数の脈動成分を有するものとなる。但し、Vac、Iacは交流電源1の電圧実効値、電流実効値である。

20

【 0 0 4 1 】

$$\begin{aligned} vac &= (\quad) Vac \cdot \sin(\quad t) & \cdots (式6) \\ iac &= (\quad) Iac \cdot \sin(\quad t) & \cdots (式7) \\ Pac &= Vac \cdot Iac (1 - \cos(2 \quad t)) & \cdots (式8) \\ ibat &= (Vac / Vbat) \cdot Iac (1 - \cos(2 \quad t)) & \cdots (式9) \end{aligned}$$

【 0 0 4 2 】

次に、電流制御と電圧制御とを行うためのduty比D1~D4の指令値の生成について説明する。以下、duty比の指令値をduty指令と称す。

30

図9は、制御回路11による第1レグAのduty指令の生成を示す制御ブロック図である。D1*、D2*は、第1、第2スイッチング素子401、402をPWM制御する為のduty指令である。このduty指令D1*、D2*により、交流電源1からの電流量を制御し、交流電源1からの入力力率が概1になるように電流iacを制御する。

【 0 0 4 3 】

図9に示すように、交流電源1の電圧Vacに同期した正弦波の電流指令(目標正弦波電流)iac*と検出された電流iacとの差20をフィードバック量として、PI制御した出力21を電圧Vdcで割ることで、第2スイッチング素子402の基準duty指令22を求める。そして基準duty指令22にフィードフォワード項23を加算して第2スイッチング素子402のduty指令D2*とする。フィードフォワード項23は、上記(式2)で示す(Vdc - vac)/Vdcであり、交流電源1の位相に従ってインバータ回路4の駆動周期毎に決定する。また、1からduty指令D2*を減算した値を、第1スイッチング素子401のduty指令D1*とする。

40

【 0 0 4 4 】

図10は、第2レグBのduty指令上限となるDlimの生成を示す制御ブロック図である。図10に示すように、D1*、D2*は、選択器24に入力されると共に、比較器25にも入力される。選択器24は、比較器25からの比較信号25aに基づいてD1*、D2*のいずれか一方をDlimとして出力する。

D2*がD1*の値以上である時、比較器25からの比較信号25aはHとなり、選択

50

器 2 4 は $D1^*$ を $Dlim$ として出力する。 $D2^*$ が $D1^*$ の値未満である時、比較器 2 5 からの比較信号 2 5 a は L となり、選択器 2 4 は $D2^*$ を $Dlim$ として出力する。

【0045】

図 1 1 は、第 2 レグ B の基本 $duty$ 指令の生成を示す制御ブロック図である。 $D3a^*$ は、図 8 で示す基本 $duty$ 比 $D3a$ の指令値、即ち、基本 $duty$ 指令である。この基本 $duty$ 指令 $D3a^*$ は、出力電力量を制御して電圧 Vdc を目標電圧 Vdc^* に維持するように演算される。

図 1 1 に示すように、直流コンデンサ 5 の目標電圧 Vdc^* と検出された電圧 Vdc との差 3 0 をフィードバック量として、PI 制御した出力をバッテリー 1 0 への出力電流指令値 3 1 とする。この出力電流指令値 3 1 と検出された電流 $ibat$ との差分 3 2 をフィードバック量として PI 制御した出力 3 3 を、ゲイン調整器 3 4 にて調整して、基本 $duty$ 指令 $D3a^*$ を生成する。

【0046】

図 1 2 は、第 2 レグ B の $duty$ 指令の生成を示す制御ブロック図である。 $D3^*$ ($=D4^*$) は、第 3、第 4 スイッチング素子 4 0 3、4 0 4 を PWM 制御する為の $duty$ 指令である。

図 1 2 に示すように、基本 $duty$ 指令 $D3a^*$ と $Dlim$ とは、選択器 3 5 に入力されると共に、比較器 3 6 にも入力される。選択器 3 5 は、比較器 3 6 からの比較信号 3 6 a に基づいて $D3a^*$ 、 $Dlim$ のいずれか一方を $D3^*$ として出力する。

$D3a^*$ が $Dlim$ の値以上である時、比較器 3 6 からの比較信号 3 6 a は H となり、選択器 3 5 は $Dlim$ を $D3^*$ として出力する。 $D3a^*$ が $Dlim$ の値未満である時、比較器 3 6 からの比較信号 3 6 a は L となり、選択器 3 5 は $D3a^*$ を $D3^*$ として出力する。

【0047】

次に、インバータ回路 4 の第 1 ~ 第 4 スイッチング素子 4 0 1 ~ 4 0 4 を制御するゲート信号 $G1 \sim G4$ の生成について、図 1 3 ~ 図 1 5 に基づいて以下に説明する。図 1 3 は、ゲート信号 $G1 \sim G4$ の生成を説明する波形図であり、図 1 4 は、第 1 レグ A のゲート信号 $G1$ 、 $G2$ の生成を示す制御ブロック図、図 1 5 は、第 2 レグ B のゲート信号 $G3$ 、 $G4$ の生成を示す制御ブロック図である。

図 1 3 に示すように、ゲート信号 $G1 \sim G4$ は、第 1 レグ A、第 2 レグ B の $duty$ 指令とキャリア波とを用いた PWM 制御により生成され、この場合、キャリア波に鋸波 3 8 を用いる。第 1 レグ A の $duty$ 指令として $D2^*$ を用い、第 2 レグ B の $duty$ 指令は $D3^*$ ($=D4^*$) を用いる。なお、各ゲート信号 $G1 \sim G4$ の生成に用いる鋸波 3 8 は、同位相、同じ値の波形である。

【0048】

図 1 4 に示すように、第 1 レグ A のゲート信号生成器 3 9 は、2 つの比較器 3 9 a、3 9 b を備え、それぞれ $D2^*$ と鋸波 3 8 とを比較してゲート信号 $G2$ 、 $G1$ を生成する。

$D2^*$ が鋸波 3 8 の値以上の期間 ($tt0 \sim tt2$) で、ゲート信号 $G2$ は H となり、第 2 スイッチング素子 4 0 2 をオン状態にする。また、鋸波 3 8 の値が $D2^*$ 以上の期間 ($tt2 \sim tt4 (=tt0)$) で、ゲート信号 $G1$ は H となり、第 1 スイッチング素子 4 0 1 をオン状態にする。

【0049】

図 1 5 に示すように、第 2 レグ B のゲート信号 $G3$ を生成するゲート信号生成器 4 0 は 1 つの比較器 4 0 a を備える。また、ゲート信号 $G4$ は、2 つの比較器 4 1 a、4 1 b を備えるゲート信号生成器 4 1 と AND 回路 4 3 とを用いて生成する。

ゲート信号 $G3$ を生成するゲート信号生成器 4 0 では、比較器 4 0 a が $D3^*$ と鋸波 3 8 とを比較してゲート信号 $G3$ を生成する。 $D3^*$ が鋸波 3 8 の値以上の期間 ($tt0 \sim tt1$) で、ゲート信号 $G3$ は H となり、第 3 スイッチング素子 4 0 3 をオン状態にする。また、ゲート信号 $G2$ 、 $G3$ は共に $tt0$ で立ち上がり、即ち、ゲート信号パルスの立ち上がりが同期する。

10

20

30

40

50

【 0 0 5 0 】

ゲート信号生成器 4 1 では、比較器 4 1 a は、 $D 2^*$ と $D 3^*$ とを加算した和 4 2 と、鋸波 3 8 とを比較し、比較器 4 1 b は、鋸波 3 8 と $D 2^*$ とを比較する。2 つの比較器 4 1 a、4 1 b からの比較信号は A N D 回路 4 3 に入力され、A N D 回路 4 3 は論理積を生成してゲート信号 G 4 を出力する。ゲート信号 G 4 は、鋸波 3 8 が $D 2^*$ の値以上となるタイミング ($t t 2$) から、 $D 3^*$ に基づくゲート信号 G 3 のパルス幅 W 1 だけ H となり、期間 ($t t 2 \sim t t 3$) で第 4 スイッチング素子 4 0 4 をオン状態にする。また、ゲート信号 G 1、G 4 は共に $t t 2$ で立ち上がり、即ち、ゲート信号パルスの立ち上がりが同期する。

【 0 0 5 1 】

なお、図 1 3 における $t t 0$ 、 $t t 1$ 、 $t t 2$ 、 $t t 3$ は、図 2 における $t 2$ 、 $t 3$ 、 $t 4$ ($t 0$)、 $t 1$ に対応するものである。即ち、 $t t 0 \sim t t 1$ 、 $t t 1 \sim t t 2$ 、 $t t 2 \sim t t 3$ 、 $t t 3 \sim t t 4$ ($t 0$) の各期間の動作モードは、順に第 3 モード、第 4 モード、第 1 モード、第 2 モードとなる。

【 0 0 5 2 】

以上のように、この実施の形態では、第 1 レグ A を $d u t y$ 比 $D 1$ 、 $D 2$ を調整して P W M 制御することにより、交流電源 1 から整流回路 2 を介して流れる電流 $i a c$ の高力率制御を行い、第 2 レグ B を $d u t y$ 比 $D 3$ ($D 4$) を $d u t y$ 比 $D 1$ 、 $D 2$ 以下の値で調整して P W M 制御することにより、直流コンデンサ 5 の電圧 $V d c$ を制御して絶縁トランス 6 の二次側に出力する電力を制御する。これにより、電流制御と出力電力制御とをフルブリッジ構成の 1 つのインバータ回路 4 で実現することができ、電力変換装置の簡略化、小型化を実現することができる。

【 0 0 5 3 】

また、制御回路 1 1 は、第 1 レグ A および第 2 レグ B を、同期する等しい駆動周期 T で P W M 制御し、電流 $i a c$ が目標正弦波電流である電流指令 $i a c^*$ になるように第 1 レグ A を制御する $d u t y$ 指令 $D 1^*$ 、 $D 2^*$ を生成し、直流コンデンサ 5 の電圧 $V d c$ が、交流電源 1 のピーク電圧 $V p$ よりも高い目標電圧 $V d c^*$ になるように第 2 レグ B を制御する $d u t y$ 指令 $D 3^*$ ($D 4^*$) を生成する。これにより、電流 $i a c$ の高力率制御と電圧 $V d c$ を目標電圧 $V d c^*$ に維持する出力電力制御とを、信頼性良く実現できる。

【 0 0 5 4 】

また、第 2 レグ B の第 3、第 4 スイッチング素子 4 0 3、4 0 4 を制御する $d u t y$ 比 $D 3$ 、 $D 4$ が等しくなるよう制御するため、絶縁トランス 6 の偏磁を抑制する。さらに、 $d u t y$ 比 $D 3$ 、 $D 4$ を、第 1、第 2 スイッチング素子 4 0 1、4 0 2 の $d u t y$ 比 $D 1$ 、 $D 2$ 内の小さい方を上限 $D l i m$ として制限するようにした。このため、第 4 スイッチング素子 4 0 4 を、第 1 スイッチング素子 4 0 1 のオン期間内のみオン期間を有するように、また第 3 スイッチング素子 4 0 3 を、第 2 スイッチング素子 4 0 2 のオン期間内のみオン期間を有するように制御することができる。このため、直流コンデンサ 5 の充電と放電との期間を確実に制御でき、電圧 $V d c$ を目標電圧 $V d c^*$ に信頼性良く制御できる。

【 0 0 5 5 】

また、第 1 レグ A、第 2 レグ B の P W M 制御のキャリア波に鋸波 3 8 を用い、第 1 スイッチング素子 4 0 1 へのゲート信号パルスの立ち上がりと、第 4 スイッチング素子 4 0 4 へのゲート信号パルスの立ち上がりとを同期させ、第 2 スイッチング素子 4 0 2 へのゲート信号パルスの立ち上がりと、第 3 スイッチング素子 4 0 3 へのゲート信号パルスの立ち上がりとを同期させるようにゲート信号 G 1 ~ G 4 を生成する。このため、高力率制御による制約条件内で、第 2 レグ B の $d u t y$ 比 $D 3$ ($D 4$) を自由に調整することが可能となり、高力率制御と出力電力制御とを信頼性良く独立して実現でき、伝送電力の品質をより高め、より信頼性の高い電力変換装置の出力制御を実現することができる。

【 0 0 5 6 】

また、この実施の形態では、直流コンデンサ 5 の充電と放電とをインバータ回路 4 の駆

10

20

30

40

50

動周期 T 内で行うため、発生する電圧脈動は駆動周期 T に基づく。このため、交流電源 1 にて生じる交流電源周期の 2 倍の周波数で脈動する電力脈動はすべて絶縁トランス 6 の二次側のバッテリー 10 に伝達され、交流電源周期の 2 倍の周波数の電力脈動を直流コンデンサ 5 で担保する必要がある。直流コンデンサ 5 は、インバータ回路 4 の駆動周期 T に起因した充放電だけを担保すればよく、大幅な容量低減により小型化が図れる。

【0057】

なお、上記実施の形態では、第 1、第 4 スイッチング素子 401、404 へのゲート信号パルスの立ち上がりを同期させ、第 2、第 3 スイッチング素子 402、403 へのゲート信号パルスの立ち上がりを同期させたものを示したが、双方ともゲート信号パルスの立ち下がり同期させる様にしても良い。

10

【0058】

また、第 1 レグ A の第 1、第 2 スイッチング素子 401、402 のスイッチングに短絡防止用のデッドタイムを設けても良い。同様に、第 2 レグ B の第 3、第 4 スイッチング素子 403、404 のスイッチングに短絡防止用のデッドタイムを設けても良い。

【0059】

また、リアクトル 3 を、負極側直流端子 2b に接続する場合、あるいは整流回路 2 の正極側直流端子 2a、負極側直流端子 2b の双方に分散して接続する場合も、上記実施の形態と同様に、第 1 レグ A を PWM 制御することにより電流制御を行い、第 2 レグ B を PWM 制御することにより、直流コンデンサ 5 の電圧 V_{dc} を制御することにより、上記実施の形態と同様の効果が得られる。

20

【0060】

なお上記実施の形態では、電力変換装置は、絶縁トランス 6 の二次側構成、即ち、第 2 整流回路 7、平滑リアクトル 8 および平滑コンデンサ 9 を有して構成するものとしたが、それら二次側回路はこれに限るものではなく、また電力変換装置内では省略し、他装置で構成されたものを接続して用いても良い。

【0061】

実施の形態 2 .

以下、この発明の実施の形態 2 による電力変換装置について説明する。上記実施の形態 1 では、インバータ回路 4 の PWM 制御のキャリア波に鋸波 38 を用いたが、この実施の形態 2 では、キャリア波に三角波を用いる。この実施の形態 2 による電力変換装置は、主回路構成および各 $duty$ 指令 $D1^* \sim D4^*$ の生成については、上記実施の形態 1 と同様である。

30

この実施の形態 2 におけるインバータ回路 4 の第 1 ～ 第 4 スイッチング素子 401 ～ 404 を制御するゲート信号 $G1 \sim G4$ の生成について、図 16 ～ 図 18 に基づいて以下に説明する。図 16 は、ゲート信号 $G1 \sim G4$ の生成を説明する波形図であり、図 17 は、第 1 レグ A のゲート信号 $G1$ 、 $G2$ の生成を示す制御ブロック図、図 18 は、第 2 レグ B のゲート信号 $G3$ 、 $G4$ の生成を示す制御ブロック図である。

【0062】

図 16 に示すように、ゲート信号 $G1 \sim G4$ は、第 1 レグ A、第 2 レグ B の $duty$ 指令とキャリア波とを用いた PWM 制御により生成され、この場合、キャリア波に三角波 50 を用いる。第 1 レグ A の $duty$ 指令として $D2^*$ を用い、第 2 レグ B の $duty$ 指令は $D3^* (= D4^*)$ を用いる。なお、各ゲート信号 $G1 \sim G4$ の生成に用いる三角波 50 は同一である。

40

【0063】

図 17 に示すように、第 1 レグ A のゲート信号生成器 51 は、2 つの比較器 51a、51b を備え、それぞれ $D2^*$ と三角波 50 とを比較してゲート信号 $G2$ 、 $G1$ を生成する。

$D2^*$ が三角波 50 の値以上の期間 ($t0 \sim t2$ 、 $t5 \sim t7$ ($t0$)) で、ゲート信号 $G2$ は H となり、第 2 スイッチング素子 402 をオン状態にする。また、三角波 50 の値が $D2^*$ 以上の期間 ($t2 \sim t5$) で、ゲート信号 $G1$ は H となり、第 1 スイッチング

50

素子 401 をオン状態にする。

【0064】

図 18 に示すように、第 2 レグ B のゲート信号生成器 52 は、2 つの比較器 52a、52b を備える。比較器 52a は、 $D3^*$ と三角波 50 とを比較してゲート信号 G3 を生成する。 $D3^*$ が三角波 50 の値以上の期間 ($t6 \sim t0(t7) \sim t1$) で、ゲート信号 G3 は H となり、第 3 スwitchング素子 403 をオン状態にする。また、ゲート信号 G2、G3 によるゲート信号パルスの中心は、三角波 50 の下のピーク位相で同期する。

比較器 52b は、三角波 50 と、1 から $D3^*$ を減算した値である duty 指令 ($1 - D3^*$) とを比較してゲート信号 G4 を生成する。三角波 50 が ($1 - D3^*$) 以上の期間 ($t3 \sim t4$) で、ゲート信号 G4 は H となり、第 4 スwitchング素子 404 をオン状態にする。ゲート信号 G3、G4 によるゲート信号パルスのパルス幅 W2 は等しく、第 3、第 4 スwitchング素子 403、404 のオン期間の長さは同じである。また、ゲート信号 G1、G4 によるゲート信号パルスの中心は、三角波 50 の上のピーク位相で同期する。

10

【0065】

この実施の形態による電力変換装置においても、上記実施の形態 1 で示した 4 種の動作モードにより動作する。 $t0 \sim t1$ は第 3 モード、 $t1 \sim t2$ は第 4 モード、 $t2 \sim t3$ は第 2 モード、 $t3 \sim t4$ は第 1 モード、 $t4 \sim t5$ は第 2 モード、 $t5 \sim t6$ は第 4 モード、 $t6 \sim t7(t0)$ は第 3 モードにて動作する。

【0066】

20

以上のように、この実施の形態 2 においても、第 1 レグ A を duty 比 $D1$ 、 $D2$ を調整して PWM 制御することにより、交流電源 1 から整流回路 2 を介して流れる電流 i_{ac} の高力率制御を行い、第 2 レグ B を duty 比 $D3(D4)$ を duty 比 $D1$ 、 $D2$ 以下の値で調整して PWM 制御することにより、直流コンデンサ 5 の電圧 V_{dc} を制御して絶縁トランス 6 の二次側に出る電力を制御する。これにより、上記実施の形態 1 と同様に電流制御と出力電力制御とをフルブリッジ構成の 1 つのインバータ回路 4 で実現することができ、電力変換装置の簡略化、小型化を実現することができる。

【0067】

また、第 1 レグ A、第 2 レグ B の PWM 制御のキャリア波に三角波 50 を用い、第 1 スwitchング素子 401 へのゲート信号パルスの中心と、第 4 スwitchング素子 404 へのゲート信号パルスの中心とを三角波 50 の上のピーク位相で同期させ、第 2 スwitchング素子 402 へのゲート信号パルスの中心と、第 3 スwitchング素子 403 へのゲート信号パルスの中心とを三角波 50 の下のピーク位相で同期させるようにゲート信号 G1 ~ G4 を生成する。このため、高力率制御による制約条件内で、第 2 レグ B の duty 比 $D3(D4)$ を自由に調整することが可能となり、高力率制御と出力電力制御とを信頼性良く独立して実現でき、伝送電力の品質をより高め、より信頼性の高い電力変換装置の出力制御を実現することができる。

30

【0068】

また、キャリア波に三角波 50 を用いることで、第 2 モードと第 4 モードとの合計期間、即ち絶縁トランス 6 に電力を伝送しない期間が、駆動周期 T の中で三角波 50 のピーク位相を中心に対称となる。このため、第 1 モードにて絶縁トランス 6 に電流を通流した後に第 2 モードにてトランス電流が減少する際、第 4 スwitchング素子 404 を流れる電流量と、第 3 モードにて絶縁トランス 6 に電流を通流した後に第 4 モードにてトランス電流が減少する際、第 3 スwitchング素子 403 を流れる電流量とが等しくなる。これにより第 3、第 4 スwitchング素子 403、404 の損失が均一となり、放熱構成が簡略化でき、電力変換装置の小型化が促進できる。

40

【0069】

なお、この発明は、発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【図1】

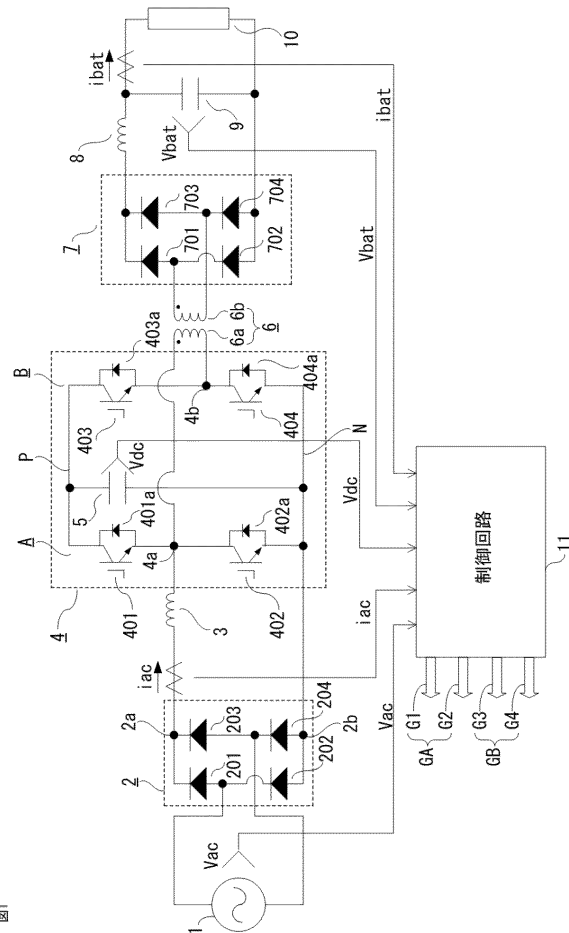
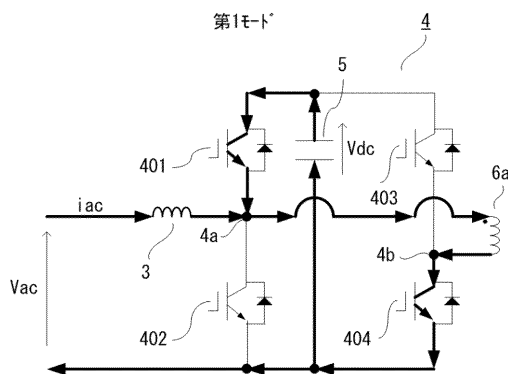


図1

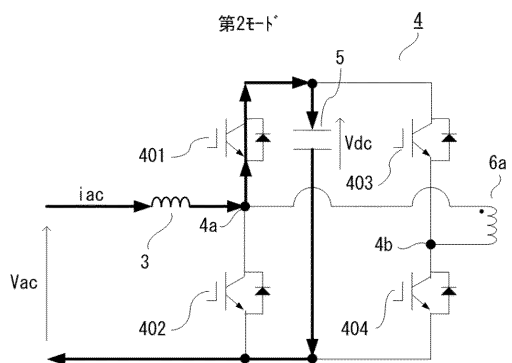
【図3】

図3



【図4】

図4



【図2】

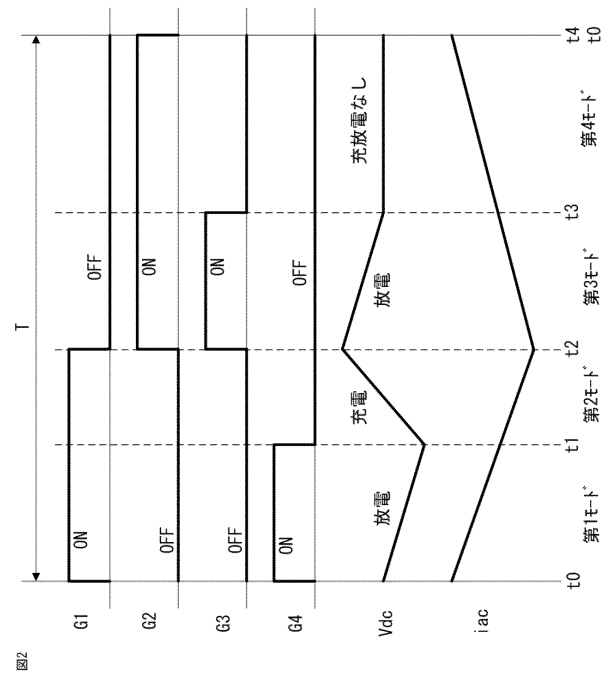
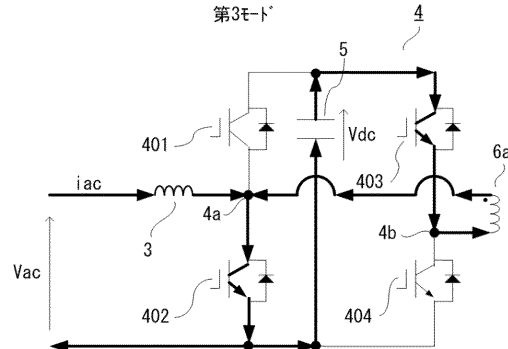


図2

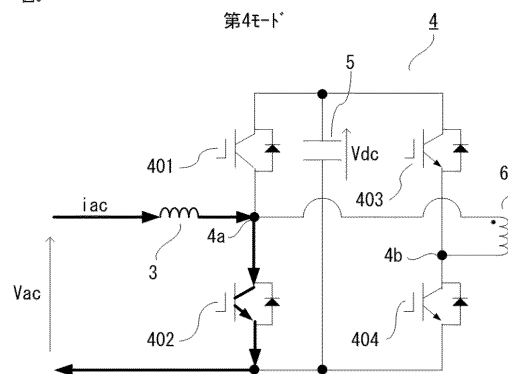
【図5】

図5



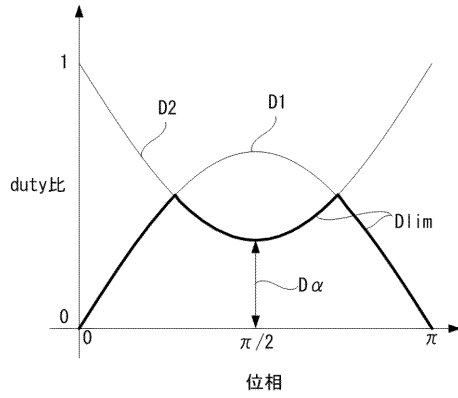
【図6】

図6



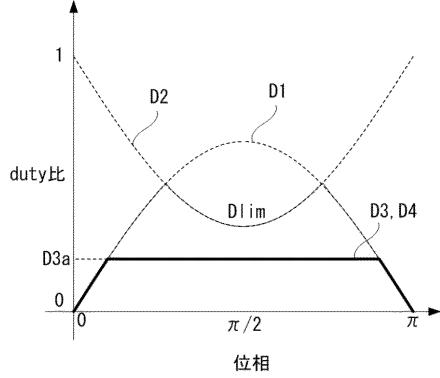
【図 7】

図7



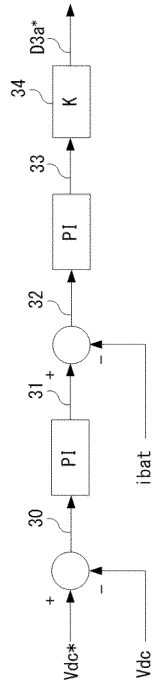
【図 8】

図8



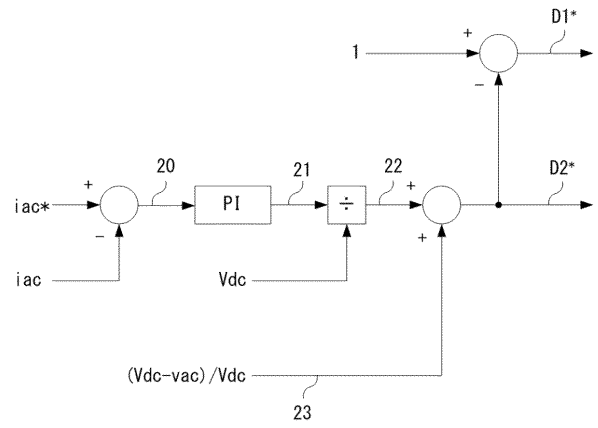
【図 11】

図11



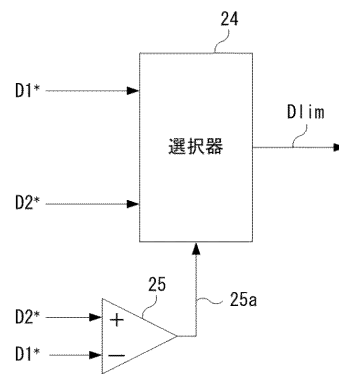
【図 9】

図9



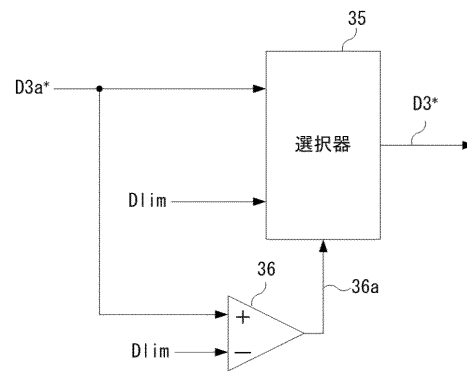
【図 10】

図10



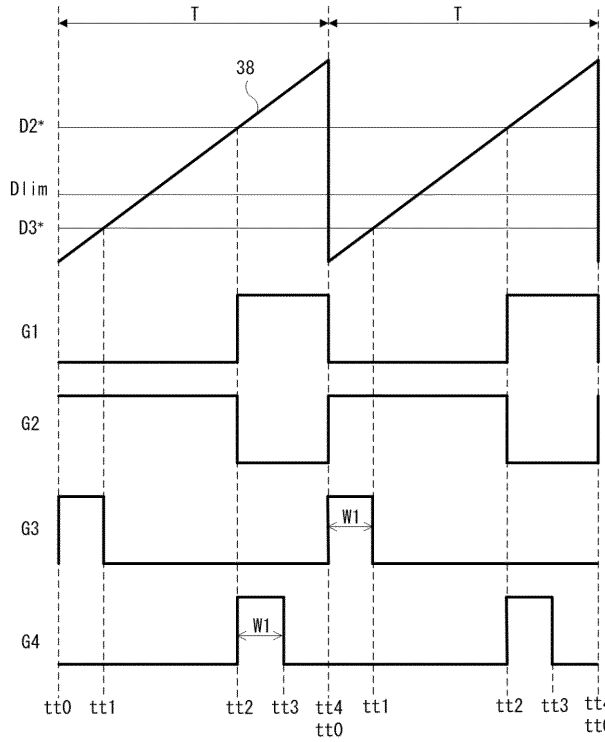
【図 12】

図12



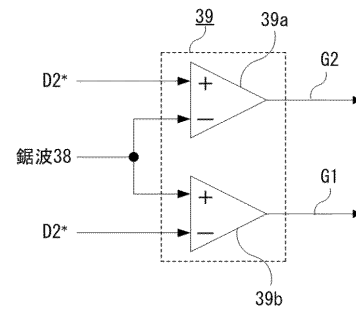
【図 13】

図13



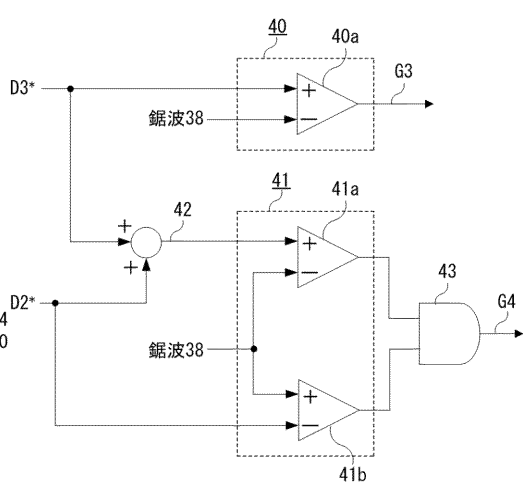
【図 14】

図14



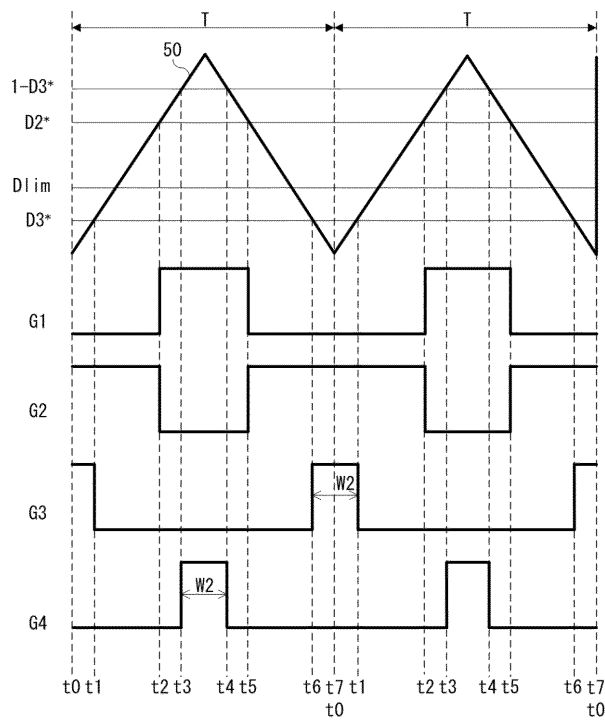
【図 15】

図15



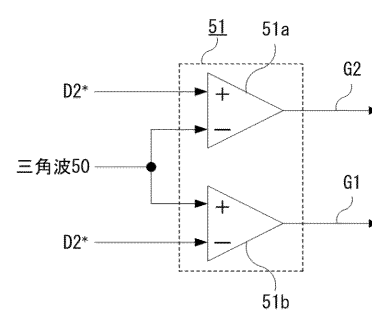
【図 16】

図16



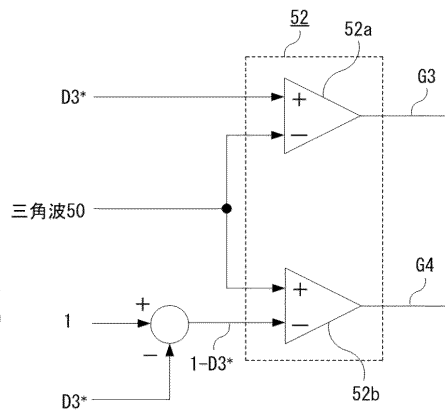
【図 17】

図17



【図 18】

図18



フロントページの続き

- (72)発明者 高 原 貴昭
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 村上 哲
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山田 正樹
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 上原 直久
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 木下 英彦
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 戸次 一夫

- (56)参考文献 特開2012-249454(JP,A)
特開2007-068396(JP,A)
特開平11-055950(JP,A)
特開2012-050264(JP,A)
特開2012-249375(JP,A)
米国特許出願公開第2011/0149609(US,A1)
特開平11-243646(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M3/00-3/44
7/00-7/40