(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0122235
(43) 공개일자 2018년11월12일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H03M 1/00* (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/002 (2013.01)
(21) 출원번호 10-2017-0056498
(22) 출원일자 2017년05월02일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)
신희욱
서울특별시 서초구 잠원로12길 4, 101동 1302호(잠원동, 잠원현대아파트)
이은창
경기도 안양시 동안구 경수대로 492, 1동 912호(호계동, 삼호우주아파트)
(74) 대리인
이철희

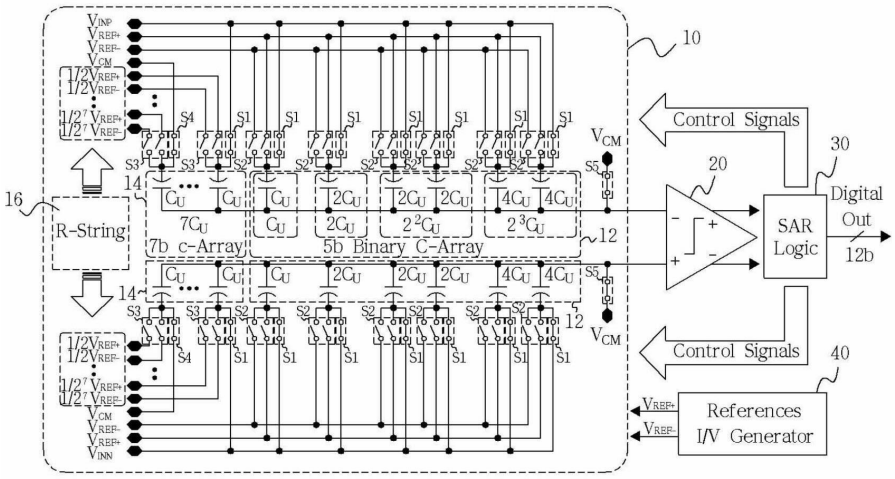
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **연속적인 근사 레지스터 아날로그 디지털 변환 장치**

(57) 요 약

본 발명은 연속적인 근사 레지스터 아날로그 디지털 변환 장치를 개시한다. 상기 연속적인 근사 레지스터 아날로그 디지털 변환 장치는, 커패시터-저항 하이브리드 디지털 아날로그 컨버터를 포함하며, 상기 디지털 아날로그 컨버터에 저전력 복합 스위칭 방법 및 입력신호 레인지 스케일링 방법을 적용함으로써 면적 및 전력소모를 크게 줄일 수 있다.

대 표 도



(52) CPC특허분류
H03M 2201/62 (2013.01)
H03M 2201/847 (2013.01)

명 세 서

청구범위

청구항 1

다수의 제1 커패시터들을 포함하는 제1 커패시터 어레이;

다수의 제2 커패시터들을 포함하는 제2 커패시터 어레이; 및

차동 기준 전압들을 제공하는 저항 스트링;을 포함하는 디지털 아날로그 컨버터를 포함하고,

상위 비트들의 디지털 코드를 결정하기 위하여, 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 제1 및 제2 기준전압 및 입력 신호를 선택적으로 인가하며,

하위 비트들의 디지털 코드를 결정하기 위하여, 상기 제2 커패시터 어레이의 상기 제2 커패시터들에 상기 차동 기준전압들과 공통모드전압을 선택적으로 인가하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 2

제 1 항에 있어서, 상기 저항 스트링은,

상기 제1 및 제2 기준전압 범위 내에서 레벨이 2의 지수 승의 비율을 가지는 상기 차동 전압들을 생성하고, 상기 제2 커패시터 어레이의 최하위 비트들에 대응하는 상기 제2 커패시터들에 상기 차동 전압들을 제공하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 3

제 1 항에 있어서,

상기 제1 커패시터 어레이의 상기 제1 커패시터들은 용량이 2의 지수 승의 비율을 가지고, 상기 제2 커패시터 어레이의 상기 제2 커패시터들은 단위 커패시터들로 이루어지며,

상기 제1 커패시터들과 상기 제2 커패시터들의 일부 단위 커패시터는 상기 입력 신호를 샘플링하도록 설정되는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 4

제 3 항에 있어서,

상기 입력 신호의 샘플링 시,

상기 공통모드전압을 상기 제1 및 제2 커패시터 어레이의 상기 제1 및 제2 커패시터들의 탑-플레이트(top-plate)에 인가시키고, 상기 입력 신호를 상기 제1 커패시터 어레이의 상기 제1 커패시터들의 바텀-플레이트(bottom-plate)에 인가시키며,

상기 공통모드전압을 상기 제2 커패시터들 중 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트에 인가시키고, 상기 입력 신호를 상기 제2 커패시터들 중 상위 비트에 대응하는 일부 단위 커패시터의 바텀-플레이트에 인가시키는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 5

제 1 항에 있어서, 상기 제1 커패시터 어레이는,

동일한 용량을 가지는 제1 및 제2 균등 분할 커패시터들을 포함하는 균등 분할 커패시터 세트들을 포함하고, 상기 제1 및 제2 균등 분할 커패시터들은 최상 비트들의 디지털 코드를 결정하는데 이용되는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 6

제 5 항에 있어서,

최상위 비트들의 디지털 코드를 결정하기 위해, 비교기의 동작 전에 상기 제1 및 제2 기준전압을 균등 분할 커패시터들에 인가하고, 상기 비교기의 동작 후에 상기 비교 결과에 따라 상기 제1 또는 제2 기준전압을 상기 균등 분할 커패시터들에 인가하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 7

제 6 항에 있어서,

상기 상위 비트들의 디지털 코드를 결정하기 위해, 상기 비교기의 비교 결과에 따라 상기 제1 및 제2 기준전압을 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 선택적으로 인가시키고,

상기 하위 비트들의 디지털 코드를 결정하기 위해, 상기 비교기의 비교 결과에 따라 상기 차동 기준전압들을 상기 제2 커패시시터 어레이의 상기 제2 커패시터들에 선택적으로 인가시키는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 8

다수의 제1 커패시터들을 포함하는 제1 커패시터 어레이, 다수의 제2 커패시터들을 포함하는 제2 커패시터 어레이, 및 차동 기준 전압들을 제공하는 저항 스트링을 포함하는 디지털 아날로그 컨버터;

상기 디지털 아날로그 컨버터의 출력 신호들을 비교하는 비교기; 및

상기 비교 결과를 이용하여 입력 신호를 디지털 코드로 변환하는 SAR 논리 회로;를 포함하고,

상기 SAR 논리 회로는,

상위 비트들의 디지털 코드를 결정하기 위하여, 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 제1 및 제2 기준전압 및 상기 입력 신호를 선택적으로 인가하며,

하위 비트들의 디지털 코드를 결정하기 위하여, 상기 제2 커패시터 어레이의 상기 제2 커패시터들에 상기 차동 기준전압들과 공통모드전압을 선택적으로 인가하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 9

제 8 항에 있어서,

상기 저항 스트링은 상기 제1 및 제2 기준전압 범위 내에서 레벨이 2의 지수 승의 비율을 가지는 상기 차동 전압들을 생성하는 직렬 연결된 저항들을 포함하고,

상기 제1 커패시터 어레이의 상기 제1 커패시터들은 용량이 2의 지수 승의 비율을 가지며,

상기 제2 커패시터 어레이의 상기 제2 커패시터들은 단위 커패시터들로 이루어지는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 10

제 9 항에 있어서,

상기 제1 커패시터들과 상기 제2 커패시터들의 일부 단위 커패시터는 상기 입력 신호를 샘플링하도록 설정되는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 11

제 8 항에 있어서, 상기 SAR 논리 회로는,

상기 입력 신호의 샘플링 시,

상기 공통모드전압을 상기 제1 및 제2 커패시터 어레이의 상기 제1 및 제2 커패시터들의 탑-플레이트(top-plate)에 인가시키고, 상기 입력 신호를 상기 제1 커패시터 어레이의 상기 제1 커패시터들의 바텀-플레이트(bottom-plate)에 인가시키며,

상기 공통모드전압을 상기 제2 커패시터들 중 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트에 인가시키고, 상기 입력 신호를 상기 제2 커패시터들 중 상위 비트에 대응하는 일부 단위 커패시터의 바텀-플레이

트에 인가시키는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 12

제 8 항에 있어서, 상기 제1 커패시터 어레이는,

동일한 용량을 가지는 제1 및 제2 균등 분할 커패시터들을 포함하는 균등 분할 커패시터 세트들을 포함하고,

상기 SAR 논리 회로는, 상기 비교기의 동작 전에 상기 제1 및 제2 기준전압을 상기 제1 및 제2 균등 분할 커패시터들에 인가시키고, 상기 비교기의 동작 후에 상기 비교기의 비교 결과에 따라 상기 제1 또는 제2 기준전압을 상기 제1 및 제2 균등 분할 커패시터들에 인가시킴으로써, 최상위 비트들의 디지털 코드를 결정하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 13

제 8 항에 있어서, 상기 SAR 논리 회로는,

상기 비교기의 비교 결과에 따라 상기 제1 및 제2 기준전압을 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 선택적으로 인가시켜 상기 상위 비트들의 디지털 코드를 결정하고,

상기 비교기의 비교 결과에 따라 상기 차동 기준전압들을 상기 제2 커패시시터 어레이의 상기 제2 커패시터들에 선택적으로 인가시켜 상기 하위 비트들의 디지털 코드를 결정하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 14

제 8 항에 있어서,

상기 제1 및 제2 기준전압을 생성하는 기준전압 발생기;를 더 포함하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 15

용량이 2의 지수 승의 비율을 가지는 제1 커패시터들을 포함하는 제1 커패시터 어레이;

단위 커패시터인 제2 커패시터들을 포함하는 제2 커패시터 어레이; 및

제1 및 제2 기준전압의 범위 내에서 레벨이 2의 지수 승의 비율을 가지는 차동 기준전압들을 생성하는 저항 스트링;을 포함하는 디지털 아날로그 컨버터를 포함하며,

상기 제1 커패시터들과 상기 제2 커패시터들의 일부 단위 커패시터는 상기 입력 신호를 샘플링하도록 설정되는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 16

제 15 항에 있어서,

상기 입력 신호의 샘플링 시,

상기 공통모드전압을 상기 제1 및 제2 커패시터 어레이의 상기 제1 및 제2 커패시터들의 탑-플레이트(top-plate)에 인가시키고, 상기 입력 신호를 상기 제1 커패시터 어레이의 상기 제1 커패시터들의 바텀-플레이트(bottom-plate)에 인가시키며,

상기 공통모드전압을 상기 제2 커패시터들 중 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트에 인가시키고, 상기 입력 신호를 상기 제2 커패시터들 중 상위 비트에 대응하는 일부 단위 커패시터의 바텀-플레이트에 인가시키는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 17

제 16 항에 있어서,

상기 제1 커패시터 어레이는 동일한 용량을 가지는 제1 및 제2 균등 분할 커패시터들을 포함하는 균등 분할 커패시터 세트들을 포함하고, 상기 제1 및 제2 균등 분할 커패시터들은 최상위 비트들의 디지털 코드를 결정하는

데 이용되는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 18

제 17 항에 있어서,

상기 입력 신호의 샘플링 후,

상기 공통모드전압이 상기 제1 및 제2 커패시터 어레이의 커패시터들의 탑-플레이트에 인가되는 것을 차단하고,

상기 제1 및 제2 기준전압을 상기 균등 분할 커패시터들의 바텀-플레이트에 인가하며, 비교기의 비교 결과에 따라 상기 제1 또는 제2 기준전압을 상기 균등 분할 커패시터들에 인가시켜, 상기 최상위 비트들의 디지털 코드를 결정하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 19

제 15 항에 있어서,

상기 제1 및 제2 기준전압을 상기 제1 커패시터 어레이의 상기 제1커패시터들에 선택적으로 인가하여 상위 비트들의 디지털 코드를 결정하고, 상기 차동 기준전압들을 상기 제2 커패시시터 어레이의 상기 제2 커패시터들에 선택적으로 인가하여 하위 비트들의 디지털 코드를 결정하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

청구항 20

제 15 항에 있어서,

상기 디지털 아날로그 컨버터의 출력 신호들을 비교하는 비교기; 및

상기 비교기의 비교 결과를 이용하여 상기 입력 신호를 상기 디지털 코드로 변환하는 SAR 논리 회로;를 더 포함하는 연속적인 근사 레지스터 아날로그 디지털 변환 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그 디지털 변환 장치에 관한 것으로, 더 상세하게는 연속적인 근사 레지스터 아날로그 디지털 변환 장치에 관한 것이다.

배 경 기 술

[0002] 최근, 저전력을 소모하는 휴대용 의료 기기, 무선 센서 네트워크 및 이미지 센서 등의 수요 증가와 함께, 다양한 시스템의 구현을 위한 회로들을 하나의 칩으로 집적하는 시스템-온-칩(system-on-chip, SoC)이 더욱 중요해지고 있다. 특히 센서용 SoC에는 아날로그 신호를 디지털 신호로 변환하기 위한 아날로그 디지털 컨버터(analog-to-digital converter, ADC)가 필수적이며, 하나의 칩에 여러 개의 회로가 집적되어야 하기 때문에 작은 면적 및 뛰어난 전력 효율성을 가지는 ADC가 요구된다.

[0003] 이에 따라 파이프라인, 델타-시그마 및 알고리즈믹 구조의 ADC에 비해 작은 면적 및 적은 전력소모를 가지며, 65nm 및 45nm 공정 등 미세 나노 공정 기술의 발달과 함께 경쟁력을 가질 수 있는 디지털 논리회로 기반의 연속적인 근사 레지스터(successive-approximation register, SAR) ADC에 대한 연구가 활발히 진행되고 있다.

[0004] 최근 저전력을 소모하는 SAR ADC를 구현하기 위해 SAR ADC의 주요 전력소모원인 디지털 아날로그 컨버터(digital-to-analog converter, DAC)의 스위칭 전력소모를 줄이기 위한 다양한 스위칭 방법들이 되고 있다. 일반적으로, 모노토닉(monotonic) 스위칭 방법 및 공통모드전압(common mode voltage, VCM) 기반의 스위칭 방법이 많이 사용되고 있다.

[0005] 종래 기술에 의한 모노토닉 스위칭 방법은 비교적 간단한 SAR 동작을 통해 디지털 논리회로를 복잡하지 않게 구현 가능하나 SAR 동작 시 DAC 출력의 공통모드전압이 변화하여 동적 오프셋을 야기하는 문제점이 있다. 공통모드전압 기반의 스위칭 방법은 SAR 동작 시 DAC 출력의 공통모드전압이 항상 일정하기 때문에 동적 오프셋이 발

생하지 않으나 모노토닉 스위칭 방법 보다 많은 수의 스위치가 필요하고, 이를 구동하기 위해 상대적으로 복잡한 디지털 논리회로가 추가로 요구되는 단점이 있다.

[0006] 한편, SAR ADC는 해상도가 높아질수록 DAC에 사용되는 단위 커패시터의 수가 지수적으로 증가함에 따라, 면적 및 전력소모도 함께 커지는 단점이 있다. 이러한 단점을 극복하기 위해 매우 작은 용량의 단위 커패시터를 사용할 수 있지만, 용량이 작아짐에 따라 커패시터 간 부정합 및 기생 커패시턴스로 인하여 세밀한 레이아웃 방법이 요구된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 특허문헌: 대한민국 등록특허 10-1435980(2014.08.25)

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 기술적 과제는 면적 및 전력 소모를 최소화할 수 있는 저전력 복합 스위칭 기반의 연속적인 근사 레지스터 아날로그 디지털 변환 장치를 제공하는데 있다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 연속적인 근사 레지스터 아날로그 디지털 변환 장치는, 다수의 제1 커패시터들을 포함하는 제1 커패시터 어레이; 다수의 제2 커패시터들을 포함하는 제2 커패시터 어레이이; 및 차동 기준 전압들을 제공하는 저항 스트링;을 포함하는 디지털 아날로그 컨버터를 포함하고, 상위 비트들의 디지털 코드를 결정하기 위하여, 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 제1 및 제2 기준전압 및 입력 신호를 선택적으로 인가하며, 하위 비트들의 디지털 코드를 결정하기 위하여, 상기 제2 커패시터 어레이의 상기 제2 커패시터들에 상기 차동 기준전압들과 공통모드전압을 선택적으로 인가한다.

[0010] 본 발명의 일 실시예에 따른 연속적인 근사 레지스터 아날로그 디지털 변환 장치는, 다수의 제1 커패시터들을 포함하는 제1 커패시터 어레이, 다수의 제2 커패시터들을 포함하는 제2 커패시터 어레이이, 및 차동 기준 전압들을 제공하는 저항 스트링을 포함하는 디지털 아날로그 컨버터; 상기 디지털 아날로그 컨버터의 출력 신호들을 비교하는 비교기; 및 상기 비교 결과를 이용하여 입력 신호를 디지털 코드로 변환하는 SAR 논리 회로;를 포함하고, 상기 SAR 논리 회로는, 상위 비트들의 디지털 코드를 결정하기 위하여, 상기 제1 커패시터 어레이의 상기 제1 커패시터들에 제1 및 제2 기준전압 및 상기 입력 신호를 선택적으로 인가하며, 하위 비트들의 디지털 코드를 결정하기 위하여, 상기 제2 커패시터 어레이의 상기 제2 커패시터들에 상기 차동 기준전압들과 공통모드전압을 선택적으로 인가한다.

[0011] 본 발명의 일 실시예에 따른 연속적인 근사 레지스터 아날로그 디지털 변환 장치는, 용량이 2의 지수 승의 비율을 가지는 제1 커패시터들을 포함하는 제1 커패시터 어레이; 단위 커패시터인 제2 커패시터들을 포함하는 제2 커패시터 어레이; 및 제1 및 제2 기준전압의 범위 내에서 레벨이 2의 지수 승의 비율을 가지는 차동 기준전압들을 생성하는 저항 스트링;을 포함하는 디지털 아날로그 컨버터를 포함하며, 상기 제1 커패시터들과 상기 제2 커패시터들의 일부 단위 커패시터는 상기 입력 신호를 샘플링하도록 설정된다.

발명의 효과

[0012] 본 발명의 실시예에 따른 SAR ADC는, 저전력 복합 스위칭 방법을 적용하여 공통모드전압 변화에 따른 동적 오프셋 문제와 디지털 아날로크 컨버터의 평균 스위칭 전력소모를 최소화할 수 있으며, 간단한 스위칭 동작을 통해 SAR 동작을 위한 스위치 개수 및 디지털 논리회로를 간소화할 수 있다.

[0013] 또한, 본 발명의 실시예에 따른 SAR ADC는, 하위 비트들의 디지털 코드를 결정하는데 저항 스트링 및 단위 커패시터들의 어레이로 구성된 커패시터-저항 하이브리드 디지털 아날로그 컨버터를 이용함으로써 요구되는 단위 커패시터들의 총 개수를 줄일 수 있고, 커패시터-저항 하이브리드 디지털 아날로그 컨버터에 입력신호 레인지 스케일링 방법을 적용하여 별도의 커패시터 추가 없이 입력신호와 기준전압의 범위를 일치시킬 수 있다.

[0014] 또한, 본 발명의 실시예에 따른 SAR ADC는, 최상위 비트들의 디지털 코드를 결정하는데 이용되는 커패시터에 균등 분할 커패시터 세트 구조를 적용함으로써 추가적인 스위치 및 디지털 논리회로 없이 공통모드전압 기반의 스위칭을 효율적이고 안정적으로 수행할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 연속적인 근사 레지스터 아날로그 디지털 변환 장치(SAR ADC)의 구성을 나타낸 도면이다.

도 2는 도 1의 디지털 아날로그 컨버터의 구성을 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 저전력 복합 스위칭 방법을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실 실시예에 따른 SAR ADC에 적용된 저전력 복합 스위칭 방법과 일반적인 모노토닉(monotonic) 스위칭 방법 간 디지털 아날로그 컨버터 출력의 공통모드전압(VCM) 변화를 비교한 그래프이다.

도 5는 저전력 복합 스위칭 방법, 모노토닉 스위칭 방법 및 공통모드전압 기반의 스위칭 방법 각각의 전체 코드에 대한 스위칭 전력소모를 비교한 그래프이다.

도 6은 서로 다른 전원전압 조건에서 기준전압 레인지 스케일링 방법을 적용한 경우의 기준전류 및 기준전압 발생기의 출력단을 나타낸다.

도 7은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 입력신호 레인지 스케일링 방법을 설명하기 위한 도면이다.

도 8은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 입력신호 레인지 스케일링 방법의 각 단계를 설명하기 위한 도면이다.

도 9은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 저항 스트링 및 캐패시터 구조를 설명하기 위한 도면이다.

도 10 및 도 11은 본 발명의 일 실시예에 따른 SAR ADC의 정적 및 동적 성능을 예측하기 위해 매트 랩 모델링을 통한 모의 실험 결과이다.

도 12는 본 발명의 일 실시예에 따른 SAR ADC에 적용된 균등 분할 커패시터 세트의 구조를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.

[0017] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0019] 본 발명의 실시예에 따른 연속적인 근사 레지스터(successive-approximation register, SAR) 아날로그 디지털 컨버터(analog-to-digital converter, ADC)는 모노토닉(monotonic) 스위칭 방법에 공통모드전압(common mode voltage, VCM) 기반의 스위칭 방법을 접목시킨 저전력 복합 스위칭 방법을 적용한다. 저전력 복합 스위칭 방법이 적용된 SAR ADC는 디지털 아날로그 컨버터(digital-to-analog converter, DAC) 출력의 공통모드전압(VCM) 변화에 따른 동적 오프셋 문제와 DAC의 평균 스위칭 전력소모를 최소화하며, 간단한 스위칭 동작을 통해 SAR 동작을 위한 스위치 개수 및 디지털 논리회로를 간소화 시킨다.

[0020] 또한, 본 발명의 실시예에 따른 SAR ADC는 하위 비트들의 디지털 코드를 결정하는데 저항 스트링 및 단위 커패시터들의 어레이로 구성된 커패시터-저항 DAC를 이용함으로써 요구되는 단위 커패시터들의 총 개수를 줄일 수 있다. 그리고, 커패시터-저항 DAC에 입력신호 레인지 스케일링 방법을 적용하여 별도의 커패시터 추가 없이 입

력신호와 기준전압의 범위를 일치시킬 수 있다.

[0021] 또한, 본 발명의 실시예에 따른 SAR ADC는 최상위 비트들의 디지털 코드를 결정하는데 이용되는 커패시터에 균등 분할 커패시터 세트 구조를 적용하여 추가적인 스위치 및 디지털 논리회로 없이 공통모드전압 기반의 스위칭을 효율적이고 안정적으로 수행할 수 있다.

[0022] 도 1은 본 발명의 일 실시예에 따른 연속적인 근사 레지스터 아날로그 디지털 변환 장치(SAR ADC)의 구성을 나타낸 도면이다.

[0023] 도 1을 참고하면, 본 발명의 일 실시예에 따른 SAR ADC는 디지털 아날로그 컨버터(DAC, 10), 비교기(20), SAR 논리회로(30) 및 기준전류 및 기준전압 발생기(40)로 구성된다.

[0024] 디지털 아날로그 컨버터(10)는 제1 및 제2 커패시터 어레이(12, 14) 및 저항 스트링(16)을 포함한다. 제1 커패시터 어레이(12)는 상위 비트들의 디지털 코드를 결정하는데 이용되고, 제2 커패시터 어레이(14) 및 저항 스트링(16)는 하위 비트들의 디지털 코드를 결정하는데 이용된다. 제1 및 제2 커패시터 어레이(12, 14)는 차동 구조로 형성되고 출력 신호들이 비교기(20)에 제공된다. 제1 커패시터 어레이(12)는 용량이 2의 지수 승의 비율을 가지는 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)을 포함하고, 제2 커패시터 어레이(14)는 단위 커패시터(C_U)들을 포함한다.

[0025] 저항 스트링(16)은 제1 및 제2 기준전압(VREF+, VREF-) 사이의 범위 내에서 2의 지수 승의 비율을 가지는 차동 전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 생성하고, 이를 제2 커패시터 어레이(14)의 단위 커패시터(C_U)들에 제공한다.

[0026] 제1 커패시터 어레이(12)는 제1 및 제2 기준전압(VREF+, VREF-)을 선택적으로 수신하여 상위 비트들의 디지털 코드를 결정하는데 이용되고, 제2 커패시터 어레이(14)는 차동 전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 선택적으로 수신하여 하위 비트들의 디지털 코드를 결정하는데 이용된다. 일례로, 제1 및 제2 커패시터 어레이(12, 14)는 상위 5비트들과 하위 7비트들의 디지털 코드를 결정하는데 이용될 수 있다. 그리고, 제1 커패시터 어레이(12)의 모든 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)과 제2 커패시터 어레이(14)의 하위 7비트들 중 최상위 비트에 대응하는 단위 커패시터(C_U)는 입력 신호(VINP, VINN)를 샘플링하는데 이용될 수 있다.

[0027] 그리고, 제1 커패시터 어레이(12)는 동일한 용량을 가지는 균등 분할 커패시터들로 구성된 균등 분할 커패시터 세트들(2^2C_U, 2^3C_U)을 포함한다. 균등 분할 커패시터 세트들(2^2C_U, 2^3C_U)은 제1 및 제2 기준전압(VREF+, VREF-)을 선택적으로 수신하여 최상위 비트들의 디지털 코드를 결정하는데 이용된다. 일례로, 균등 분할 커패시터 세트(2^3C_U)는 동일한 용량의 제1 및 제2 균등 분할 커패시터($4C_U$, $4C_U$)들로 구성되고, 균등 분할 커패시터 세트(2^2C_U)는 동일한 용량의 제3 및 제4 균등 분할 커패시터($2C_U$, $2C_U$)로 구성된다.

[0028] 디지털 아날로그 컨버터(10)는 제1 및 제2 기준전압(VREF+, VREF-)과 차동 기준전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 제1 및 제2 커패시터 어레이(12, 14)에 선택적으로 전달하는 선택 스위치들(S2, S3)을 포함하고, 입력 신호(VINP, VINN)를 샘플링하기 위해 제1 커패시터 어레이(12)의 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)과 제2 커패시터 어레이(14)의 단위 커패시터들 중 상위 비트에 대응하는 단위 커패시터(C_U)에 입력 신호(VINP, VINN)를 전달하는 부트스트랩핑 스위치들(S1)을 포함한다. 여기서, 제1 및 제2 기준전압(VREF+, VREF-), 차동 기준전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-), 및 입력 신호(VINP, VINN)는 스위치들을 통해서 커패시터들에 전달된다.

[0029] 그리고, 디지털 아날로그 컨버터(10)는 공통모드전압(VCM)을 제2 커패시터 어레이(14)의 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트(bottom-plate)에 전달하는 스위치들(S4)을 포함하고, 공통모드전압(VCM)을 제1 및 제2 커패시터 어레이의 모든 커패시터들의 탑-플레이트(top-plate)에 전달하는 스위치들(S5)을 포함한다. 여기서, 바텀-플레이트와 탑-플레이트는 커패시터 양단의 전극을 의미한다.

[0030] 비교기(20)는 차동 구조의 제1 및 제2 커패시터 어레이(12, 14)를 포함하는 디지털 아날로그 컨버터(10)로부터 출력되는 출력 신호들을 비교하고, 그 비교 결과를 SAR 논리 회로(30)에 제공한다.

[0031] SAR 논리회로(30)는 입력 신호(VINP, VINN)의 샘플링 시, 공통모드전압(VCM)을 제1 및 제2 커패시터 어레이(12, 14)의 모든 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U, $7C_U$)의 탑-플레이트(top-plate)에 인가시키고, 입력 신호(VINP, VINN)를 제1 커패시터 어레이(12)의 각 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)의 바텀-플레이트(bottom-plate)에 인가시키며, 공통모드전압(VCM)을 제2 커패시터 어레이(14)의 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트에 인가시키고, 입력 신호(VINP, VINN)를 제2 커패시터 어레이(14)의 상위 비트에 대응하는 단위 커패시터의 바텀-플레이트에 인가시킨다.

[0032] 그리고, SAR 논리회로(30)는 최상위 비트들의 디지털 코드를 결정하기 위해, 비교기(20)의 동작 전에 제1 및 제2 기준전압(VREF+, VREF-)을 균등 분할 커패시터 세트(2^3C_U)의 제1 및 제2 균등 분할 커패시터($4C_U$, $4C_U$)의 바텀-플레이트에 인가시키고, 비교기(20)의 동작 후에 비교기(20)의 비교 결과에 따라 제1 또는 제2 기준전압(VREF+, VREF-)을 제1 및 제2 균등 분할 커패시터($4C_U$, $4C_U$)의 바텀-플레이트에 인가시킨다. 여기서, 제1 및 제2 기준전압(VREF+, VREF-)을 균등 분할 커패시터 세트(2^3C_U)의 제1 및 제2 균등 분할 커패시터($4C_U$, $4C_U$)의 바텀-플레이트에 인가시키는 것은 등가적으로 공통모드전압(VCM)이 균등 분할 커패시터 세트에 인가된 것과 동일한 효과를 갖는다. 그리고, 제1 또는 제2 기준전압(VREF+, VREF-)을 제1 및 제2 균등 분할 커패시터($4C_U$, $4C_U$)의 바텀-플레이트에 인가시키는 것은 균등 분할 커패시터 세트(2^3C_U)에 VREF+ 또는 VREF-가 인가된 것과 동일한 효과를 가진다. 동일한 용량의 제3 및 제4 균등 분할 커패시터($2C_U$, $2C_U$)로 구성된 균등 분할 커패시터 세트(2^2C_U)도 동일하게 적용된다.

[0033] 그리고, SAR 논리회로(30)는 상위 비트들의 디지털 코드를 결정하기 위해, 비교기(20)의 비교 결과에 따라 제1 및 제2 기준전압(VREF+, VREF-)을 제1 커패시터 어레이(12)의 커패시터들(C_U, $2C_U$)에 선택적으로 인가시킨다.

[0034] 그리고, SAR 논리회로(30)는 하위 비트들의 디지털 코드를 결정하기 위해, 비교기의 비교 결과에 따라 차동 기준전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 제2 커패시터 어레이(14)의 단위 커패시터들에 선택적으로 인가시킨다.

[0035] 한편, SAR 논리회로(40)는 래치 형식의 레지스터를 포함할 수 있으며, 이를 통해서 SAR 동작의 동작속도 및 안정성을 향상시키고 DAC 스위칭에 필요한 디코더 논리회로를 제거하여 추가적으로 면적 및 전력소모를 감소시킬 수 있다.

[0036] 도 2는 도 1의 디지털 아날로그 컨버터(16)의 구성을 나타내는 도면이다.

[0037] 도 2를 참고하면, 디지털 아날로그 컨버터(16)는 디지털 아날로그 컨버터(10)는 제1 및 제2 커패시터 어레이(12, 14) 및 저항 스트링(16)을 포함한다. 제1 커패시터 어레이(12)는 용량이 2의 지수 승의 비율을 가지는 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)을 포함하고, 제2 커패시터 어레이(14)는 단위 커패시터(C_U)들을 포함하며, 저항 스트링(16)은 제1 및 제2 기준전압(VREF+, VREF-) 단자들 사이에서 직렬 연결되고 저항 값이 2의 지수 승의 비율을 가지는 저항들을 포함한다. 저항 스트링(16)은 직렬 연결된 저항들을 통해서 제1 및 제2 기준전압(VREF+, VREF-) 사이의 범위 내에서 2의 지수 승의 비율을 가지는 차동 전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 생성하여 제2 커패시터 어레이(14)의 단위 커패시터(C_U)들에 제공한다.

[0038] 디지털 아날로그 컨버터(10)는 제1 및 제2 기준전압(VREF+, VREF-)과 차동 기준전압들(1/2VREF+, 1/2VREF-, $1/2^2$VREF+, $1/2^2$VREF-, 내지 $1/2^7$VREF+, $1/2^7$VREF-)을 제1 및 제2 커패시터 어레이(12, 14)에 선택적으로 전달하는 선택 스위치들(S2, S3)을 포함하고, 입력 신호(VINP, VINN)를 샘플링하기 위해 제1 커패시터 어레이(12)의 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)과 제2 커패시터 어레이(14)의 단위 커패시터들 중 상위 비트에 대응하는 단위

커패시터(C_U)에 입력 신호(VINP, VINN)를 전달하는 부트스트랩핑 스위치들(S1)을 포함한다. 그리고, 디지털 아날로그 컨버터(10)는 공통모드전압(VCM)을 제2 커패시터 어레이(14)의 최하위 비트들에 대응하는 단위 커패시터들의 바텀-플레이트에 전달하는 스위치들(S4)을 포함하고, 공통모드전압(VCM)을 제1 및 제2 커패시터 어레이의 모든 커패시터들의 탑-플레이트에 전달하는 스위치들(S5)을 포함한다.

[0039] 본 발명의 실시예는 저전력 복합 스위칭 방법을 디지털 아날로그 컨버터(10)에 적용하였으며, 이를 통해 디지털 아날로그 컨버터(10) 내에 가장 큰 면적을 차지하며 최상위 비트를 결정하는 커패시터($2^{11}C_U$)를 제거하였다. 또한, 14개의 기준전압을 생성하는 저항 스트링(16) 및 7개의 단위 커패시터들(C_U)을 통해 하위 7비트를 결정하는 커패시터-저항 하이브리드 디지털 아날로그 컨버터(10) 구조를 적용함으로써, 최대 커패시터의 크기를 $2^{10}C_U$에서 2^3C_U로 감소시켰다. 여기서, 저전력 복합 스위칭 방법은 모노토닉(monotonic) 스위칭 방법에 공통모드전압(VCM) 기반의 스위칭 방법을 접목한 것으로, 동적 오프셋을 줄일 수 있고 간단한 스위칭 동작으로 복잡한 디지털 논리 회로를 간소화할 수 있다.

[0040] 그리고, 본 발명의 실시예는 감소된 디지털 아날로그 컨버터(10)의 전체 커패시터 크기 $22C_U$와 각각의 디지털 코드를 결정하기 위한 커패시터 크기의 비율이 2의 지수 승이 되도록 입력신호 레인지 스케일링 방법을 적용하여 입력신호와 기준전압 범위를 일치시켰다.

[0041] 이와 같이 본 발명의 실시예는 디지털 아날로그 컨버터(10) 내에 사용되는 단위 커패시터들(C_U)의 총 개수를 단일구조를 기준으로 22개, 차동 구조를 고려해도 총 44개만으로 최적화함으로써, 고해상도를 갖는 SAR ADC에서 일반적으로 가장 큰 면적을 차지하는 블록인 디지털 아날로그 컨버터(10)의 면적을 획기적으로 줄일 수 있다.

[0042] 도 3은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 저전력 복합 스위칭 방법을 설명하기 위한 도면이다. 일례로, 도 3은 4비트의 디지털 코드를 결정하는 과정을 나타낸다.

[0043] 도 3을 참고하면, 먼저, 공통모드전압(VCM) 기반의 스위칭 방법과 같은 방식으로 각 커패시터들의 탑-플레이트(top plate) 및 바텀-플레이트(bottom plate)에 각각 공통모드전압(VCM) 및 입력신호(VINP, VINN)를 인가하는 바텀-플레이트 입력 샘플링 동작을 수행한다.

[0044] 이이서, 샘플링 동작을 마친 후에는 재분배 동작을 위해 커패시터의 탑-플레이트에 공통모드전압(VCM)을 인가시키는 스위치(S5)가 오프된다. 그리고, 공통모드전압 기반의 스위칭 방법을 통해 결정되는 최상위 비트 수에 따라 각 커패시터의 바텀-플레이트에는 공통모드전압(VCM), 제1 및 제2 기준전압(VREF+, VREF-)이 연결된다. 도 3의 경우, 총 4비트들 중 최상위 1비트만을 공통모드전압 기반의 스위칭 방법을 통해 최상위 비트의 디지털 코드를 결정하는 예시로서, 가장 큰 커패시터인 $4C_U$에는 공통모드전압(VCM)이, 나머지 커패시터에는 제1 및 제2 기준전압(VREF+, VREF-)이 연결된다.

[0045] 이어서, 비교기(20)에서 디지털 아날로그 컨버터(10) 출력단의 두 출력전압 크기를 비교하여 최상위 비트를 결정하며, 비교기(20)의 출력 결과에 따라 두 개의 가장 큰 커패시터 $4C_U$의 바텀-플레이트 중 한 쪽에는 제1 기준전압(VREF+), 다른 한쪽에는 제2 기준전압(VREF-)이 인가된다. 저전력 복합 스위칭 방법은 이와 같이 최상위 비트 결정을 공통모드전압 기반의 스위칭 방법을 통해 결정함으로써, 변환 과정 중 발생하는 디지털 아날로그 컨버터(10) 출력의 공통모드전압 변화 중 가장 큰 변화를 제거할 수 있다. 나머지 3비트들은 모노토닉 스위칭 방법을 통한 스위칭 동작으로 결정되며, 첫 번째의 다운-트랜지션(down-transition) 스위칭과 이후의 업-트랜지션(up-transition) 스위칭을 통해 비트들의 디지털 코드를 결정해 줌으로써 디지털 아날로그 컨버터 출력의 공통모드전압의 변화를 최소화할 수 있다.

[0046] 저전력 복합 스위칭 방법은 공통모드전압 기반의 스위칭 방법을 통해 더 많은 수의 최상위 비트를 결정할수록 디지털 아날로그 컨버터 출력의 공통모드전압 변화가 감소시킬 수 있으나, 평균 스위칭 전력 소모는 증가함에 따라 설계 시 디지털 아날로그 컨버터 출력의 공통모드전압 변화 및 평균 스위칭 전력 소모 간 트레이드-오프(trade-off)가 필요하다. 이에 본 실시예의 SAR ADC는 12비트 해상도를 얻기 위해 요구되는 디지털 아날로그 컨버터 출력의 공통모드전압 변화량을 만족시키는 동시에 스위칭 전력소모를 최소화하기 위하여, 공통모드전압 기반의 스위칭 방법을 통해 결정되는 최상위 비트의 수를 두 개로 최적화하였다.

[0047] 도 4는 본 발명의 일 실시예에 따른 SAR ADC에 적용된 저전력 복합 스위칭 방법과 일반적인 모노토닉

(monotonic) 스위칭 방법 간 디지털 아날로그 컨버터 출력의 공통모드전압(VCM) 변화를 비교한 그래프이다.

[0048] 도 4를 참고하면, 일반적인 모노토닉 스위칭 방법의 최대 디지털 아날로그 컨버터의 공통모드전압(VCM) 변화량은 1/2VREF이다. 이때, VREF는 두 개의 기준전압 VREF+ 및 VREF-의 차이를 나타낸다.

[0049] 저전력 복합 스위칭 방법은 최상위 두 비트를 공통모드전압 기반의 스위칭 방법을 통해 결정하여 최대 디지털 아날로그 컨버터의 공통모드전압(VCM) 변화량을 모노토닉(monotonic) 스위칭 방법 대비 12.5% 수준인 1/16VREF로 줄임으로써, SAR ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화할 수 있다.

[0050] 저전력 복합 스위칭 방법의 평균 스위칭 전력소모는 아래의 수학식 1을 통해 EAVG로 나타내어 구할 수 있다.

[0051] <수학식 1>

$$E_{ave,composite} = \sum_{i=1}^{k}(2^{n-2-2i})(2^{i}-1)CV_{REF}^{2} + \sum_{1=k+1}^{n-2}(2^{n-3-1})CV_{REF}^{2} + 2^{n-4-k}\times\left(2-\frac{1}{2^{k-1}}\right)CV_{REF}^{2}$$

[0052]

[0053] 수학식 1의 첫 번째 항 및 두 번째 항은 각각 공통모드전압 기반의 스위칭에서 소모하는 평균 스위칭 전력소모 및 모노토닉 스위칭에서 소모하는 평균 스위칭 전력소모를 나타내며, 세 번째 항은 공통모드전압 기반의 스위칭에서 모노토닉 스위칭으로 변환될 때 소모되는 평균 스위칭 전력소모이다. 여기서, n 및 k는 각각 SAR ADC의 전체 해상도 및 공통모드전압 기반의 스위칭 방법이 적용된 비트 수를 의미한다. 본 발명의 실시예에 따른 SAR ADC의 경우 n 및 k는 각각 12 및 2이며, 이를 수학식 1에 대입하여 구한 복합 스위칭의 평균 스위칭 전력소모 값은 $671.5CVREF^{2}$이다.

[0054] 도 5는 저전력 복합 스위칭 방법, 모노토닉 스위칭 방법 및 공통모드전압 기반의 스위칭 방법 각각의 전체 코드에 대한 스위칭 전력소모를 비교한 그래프이다.

[0055] 도 5를 참고하면, 저전력 복합 스위칭 방법은 디지털 아날로그 컨버터 출력의 최대 공통모드전압(VCM) 변화가 모노토닉 스위칭 방법 대비 7/16VREF 만큼 작고, 스위칭 방법들 중 가장 적은 평균 스위칭 전력을 소모한다. 저전력 복합 스위칭 방법은 공통모드전압 기반의 스위칭 방법을 사용하여 결정되는 최상위 비트 수의 조절을 통해, 디지털 아날로그 컨버터 출력의 공통모드전압(VCM) 변화를 SAR ADC의 성능에 영향을 주지 않는 범위 내로 최적화가 가능하다. 또한, 간단한 스위칭 동작으로 공통모드전압 기반의 스위칭 방법에서 사용되는 스위치 개수의 75%만을 사용하는 동시에 필요한 디지털 논리회로를 간소화시켜 디지털 아날로그 컨버터의 면적을 줄일 수 있다.

[0056] 본 발명의 실시예에 따른 SAR ADC는 저전력 복합 스위칭 방법 및 커패시터-저항 하이브리드 디지털 아날로그 컨버터를 적용함으로써 단위 커패시터들의 전체 개수를 22개로 최소화하였다. 그리고, 본 발명의 실시예에 따른 SAR ADC는 입력신호 레인지 스케일링 방법을 적용함으로써 최소화된 디지털 아날로그 컨버터의 커패시터 크기($22C_{U}$)와 입력신호에 따른 각각의 디지털 코드를 결정하기 위한 커패시터 크기의 비율이 2의 지수 승이 되도록 하였고, 입력신호와 기준전압 범위를 일치시켰다.

[0057] 한편, 기준전압 레인지 스케일링 방법을 적용하여 커패시터들 크기의 비율이 2의 지수 승이 되도록 할 수 있다. 그러나, 이 경우 단위 커패시터들($10C_{U}$)이 추가적으로 필요하여 면적이 증가될 수 있고, 각 디지털 코드 결정을 위한 커패시터와 전체 커패시터 간의 비율이 일반적인 디지털 아날로그 컨버터 대비 절반으로 줄어들어 2배의 큰 기준전압이 요구될 수 있다.

[0058] 도 6은 서로 다른 전원전압 조건에서 기준전압 레인지 스케일링 방법을 적용한 경우 기준전류 및 기준전압 발생기의 출력단을 나타낸다.

[0059] 도 6을 참고하면, 1.8V의 전원전압 조건을 갖는 경우, 1.4VP_P의 입력신호 범위를 위한 제1 및 제2 기준전압(VREF+, VREF-)의 값은 기준전압 레인지 스케일링 방법에 의해 각각 1.6V 및 0.2V로 결정된다. 이때 두 트랜지스터 M1 및 M2는 충분한 여유를 갖고 포화(saturation) 영역에서 동작이 가능하여 기준전류 및 전압 발생기 설계가 가능하다. 그러나 상대적으로 낮은 1.2V의 전원전압을 사용하는 ADC에 기준전압 레인지 스케일링 방법을

적용할 경우, 트랜지스터 M1 및 M2가 포화 영역에서 동작을 할 수 없어 기준전류 및 기준전압 발생기 설계가 불가능하다. 입력신호의 크기를 줄이면 기준전류 및 기준전압 발생기의 설계가 가능해지나, 이로 인해 입력신호 크기 감소에 의한 성능 제약이 발생할 수 있다.

[0060] 따라서 본 발명의 실시예에 따른 SAR ADC는 입력신호 레인지 스케일링 방법을 적용하여 추가적인 단위 커패시터들의 사용 없이 상기와 같은 문제를 해결하고자 한다.

[0061] 도 7은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 입력신호 레인지 스케일링 방법을 설명하기 위한 도면이다.

[0062] 도 7을 참고하면, 디지털 아날로그 컨버터(10)의 제1 커패시터 어레이(12)의 모든 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)과 제2 커패시터 어레이(14)의 하위 7비트들 중 최상위 비트에 대응하는 단위 커패시터(C_U)는 입력 신호(VINP)를 샘플링하는데 이용된다. 부트 스트랩핑 스위치들(S1)들은 입력신호(VINP) 샘플링을 위해 입력신호(VINP)를 제1 커패시터 어레이(12)의 커패시터들(C_U, $2C_U$, 2^2C_U, 2^3C_U)과 제2 커패시터 어레이(14)의 단위 커패시터들 중 상위 비트에 대응하는 단위 커패시터(C_U)의 바텀-플레이트에 전달한다. 입력신호 레인지 스케일링 방법은 상기와 같이 22개의 단위 커패시터들 중 16개만을 샘플링 커패시터로 활용하여, 모든 비트의 디지털 코드 결정에서 기준전압이 디지털 아날로그 컨버터 출력 전압에 미치는 영향을 2의 지수 승 비율이 되도록 한다. 이러한 기준전압 레인지 스케일링 방법은 추가적인 단위 커패시터들($10C_U$)를 사용하지 않고도 입력신호와 기준전압의 범위를 일치시킬 수 있다.

[0063] 도 8은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 입력신호 레인지 스케일링 방법의 각 단계를 설명하기 위한 도면이다.

[0064] 도 8을 참고하면, 입력신호 레인지 스케일링 방법을 적용하지 않을 경우, SAR 동작 시 각 위상의 입력신호 및 기준전압의 비교 구간은 16VREF/22에서 VREF/(22ㅅ2^6)으로 줄어들어 입력신호와 기준전압의 비교 구간 간의 범위 비율이 2의 지수 승을 가지지 않는다. 반면에, 입력신호 레인지 스케일링 방법을 적용할 경우, SAR 동작 시 각 위상의 입력신호 및 기준전압의 비교 구간은 VREF/2에서 VREF/2^{11}로 줄어들어 입력신호와 기준전압의 비교 구간 간의 범위 비율이 2의 지수 승이 된다. 이러한 입력신호 레인지 스케일링은 입력신호 및 기준전압의 범위를 일치시켜 정상적인 SAR 동작을 가능케 한다.

[0065] 도 9은 본 발명의 일 실시예에 따른 SAR ADC에 적용된 저항 스트링 및 캐패시터 구조를 설명하기 위한 도면이다.

[0066] 도 9를 참고하면, 본 발명의 일 실시예에 따른 SAR ADC는 디지털 아날로그 컨버터(10)의 면적을 최소화하기 위해 커패시터-저항 하이브리드 구조를 사용하였으며, 적용된 저항 스트링(16)은 하위 7비트 결정을 위한 14개의 차동 기준전압들(1/2VREF+, 1/2VREF-, 1/22VREF+, 1/22VREF-, 내지 1/27VREF+, 1/27VREF-)을 생성한다. 이러한 14개의 차동 기준전압들(1/2VREF+, 1/2VREF-, 1/22VREF+, 1/22VREF-, 내지 1/27VREF+, 1/27VREF-)은 저항들 간 부정합에 의해 비이상적인 기준전압들로 왜곡되어 전체 SAR ADC의 성능을 저하될 수 있다. 저항들 간 부정합에 의해 왜곡된 비이상적인 기준전압은 아래의 수학식 2와 같이 표현된다. 이때, 저항 스트링(16)에서 생성된 14개의 차동 기준전압들(1/2VREF+, 1/2VREF-, 1/22VREF+, 1/22VREF-, 내지 1/27VREF+, 1/27VREF-), 저항들 간 부정합으로 발생한 비선형 오류 및 비이상적인 기준전압들은 각각 VREF+,-/2^m, VERROR 및 VREF,MIS/2^m을 나타내며, m은 1부터 7까지의 정수이다.

[0067] <수학식 2>

$$\frac{1}{2^m}V_{REF,MIS} = \frac{1}{2^m}(V_{REF+,MIS} - V_{REF-,MIS})$$

$$= \frac{1}{2^m}(V_{REF+} - V_{REF-}) + V_{ERROR}$$

[0068]

[0069] 수학식 2로부터 얻은 비이상적인 기준전압들(VREF,MIS/2^m)은 도 9와 같이 디지털 아날로그 컨버터(10)의 커패시터 어레이의 최하위 비트들에 대응하는 단위 커패시터들의 비율만큼 감쇄된 값(VOUTN,MIS)으로 출력 단에 나타

나고, 이 값이 ADC 성능에 영향을 주지 않기 위해서는 12비트 해상도의 1/2 LSB(least significant bit) 이내여야 한다. 디지털 아날로그 컨버터(10)의 출력 전압(VOUTN,MIS)은 비이상적인 기준전압들(VREF,MIS/$2^{m)}$이 전체 커패시터 크기($22C_U$)의 비율만큼 감쇄된 형태로 나타난다. 이로 인해 비선형 오류(VERROR)도 같은 비율로 감쇄된다. 따라서, 디지털 아날로그 컨버터(10)는 출력 전압(VREF,MIS/2^m)이 ADC의 성능에 영향을 주지 않기 위해 약 8비트 수준 이상의 정합 정확도만 요구된다.

[0070] 도 10 및 도 11은 본 발명의 일 실시예에 따른 SAR ADC의 정적 및 동적 성능을 예측하기 위해 매트 랩 모델링을 통한 모의 실험 결과이다.

[0071] 저항 스트링(16)을 구성하는 단위 저항들 간의 정합 정확도가 전형적인 공정 수준에서 확보할 수 있는 것이 8비트 수준이라고 가정할 때, SAR ADC의 정적 및 동적 성능을 예측하기 위해 도 10 및 도 11과 같이 매트 랩 모델링을 통한 모의실험을 수행하였다.

[0072] 모의실험 결과, 차동 비선형성(differential non-linearity, DNL)은 도 10과 같이 각각 최대 0.61LSB 및 0.95LSB 수준을 보여준다. 도 11은 4MHz의 입력 주파수, 30MS/s의 동작속도에서 모의 실험한 ADC의 전형적인 신호 스펙트럼을 보여주며, 동적 성능인 신호 대 잡음 및 왜곡 비(signal-to-noise-and-distortion ratio, SNDR) 및 동적 범위(spurious-free dynamic range, SFDR)는 각각 최대 70.98dB 및 84.74dB 수준이다.

[0073] 단위 저항들 간 존재하는 기생 저항 성분 역시 저항 스트링(16)으로부터 생성되는 차동 기준전압들을 왜곡시켜 ADC의 선형성 저하의 원인이 될 수 있다. 따라서 단위 저항들 간 정합 정확도를 비롯하여 기생 저항 성분을 고려한 세밀한 레이아웃이 요구된다. 이에 하는 디지털 아날로그 컨버터(10)에 적용된 저항 스트링(16)은 단위 저항들을 모두 직렬 연결하는 방식으로 구현하여 단위 저항들 간 존재하는 기생 저항 성분의 크기를 균일하게 함으로써, 기생 저항 성분에 의한 ADC 성능 저하를 최소화한다.

[0074] 도 12는 본 발명의 일 실시예에 따른 SAR ADC에 적용된 균등 분할 커패시터 세트의 구조를 설명하기 위한 도면이다.

[0075] 본 발명의 실시예에 따른 SAR ADC는 공통모드전압(VCM) 기반의 스위칭 방법으로 최상위 2비트의 디지털 코드를 결정한다. 일반적으로 최상위 2비트 결정을 위한 커패시터의 바텀-플레이트에 제1 및 제2 기준전압(VREF+, VREF-)을 비롯하여 공통모드전압(VCM)을 인가시키기 위한 추가적인 스위치 및 디지털 논리회로가 필요하지만, 본 발명의 실시예는 디지털 아날로크 컨버터(10)에 균등 분할 커패시터 세트 구조를 사용함으로써 추가적인 스위치 및 디지털 논리회로 없이 공통모드전압(VCM) 기반의 스위칭을 구현할 수 있다.

[0076] 디지털 아날로그 컨버터(10)는 공통모드전압(VCM) 기반의 스위칭 방법이 적용된 최상위 2비트들의 디지털 코드를 결정하기 위한 커패시터 2^2C_U 및 2^3C_U를 균등 분할 커패시터들로 구성할 수 있다. 이러한 균등 분할 커패시터들에 제1 및 제2 기준전압(VREF+, VREF-)을 선택적으로 인가시킴으로써 공통모드전압(VCM)을 인가하기 위한 추가적인 스위치 및 디지털 회로 없이 공통모드전압 기반의 스위칭 방법을 구현할 수 있다.

[0077] 먼저, 본 발명의 실시예는 비교기의 비교 동작 전에 균등 분할 커패시터 세트들(2^3C_U, 2^2C_U)의 각 균등 분할 커패시터들($4C_U$, $4C_U$, $2C_U$, $2C_U$)의 바텀-플레이트에 제1 및 제2 기준전압(VREF+, VREF-)을 인가시킨다. 이는 등가적으로 공통모드전압(VCM)이 균등 분할 커패시터 세트에 인가된 것과 동일한 효과를 갖는다. 이어서, 비교기의 비교 동작 후에는 출력되는 디지털 코드에 따라 균등 분할 커패시터 세트들(2^3C_U, 2^2C_U)의 각 균등 분할 커패시터들($4C_U$, $4C_U$, $2C_U$, $2C_U$)의 바텀-플레이트에 서로 같은 제1 기준전압(VREF+) 또는 제2 기준전압(VREF-)을 인가시킨다. 이는 균등 분할 커패시터 세트에 제1 기준전압(VREF+) 또는 제2 기준전압(VREF-)이 인가된 것과 동일한 효과를 갖는다.

[0078] 이와 같이 본 발명의 실시예는, 제1 및 제2 기준전압(VREF+, VREF-)을 균등 분할 커패시터 세트들(2^3C_U, 2^2C_U)에 선택적으로 인가시킴으로서 공통모드전압(VCM) 기반의 스위칭을 수행할 수 있다.

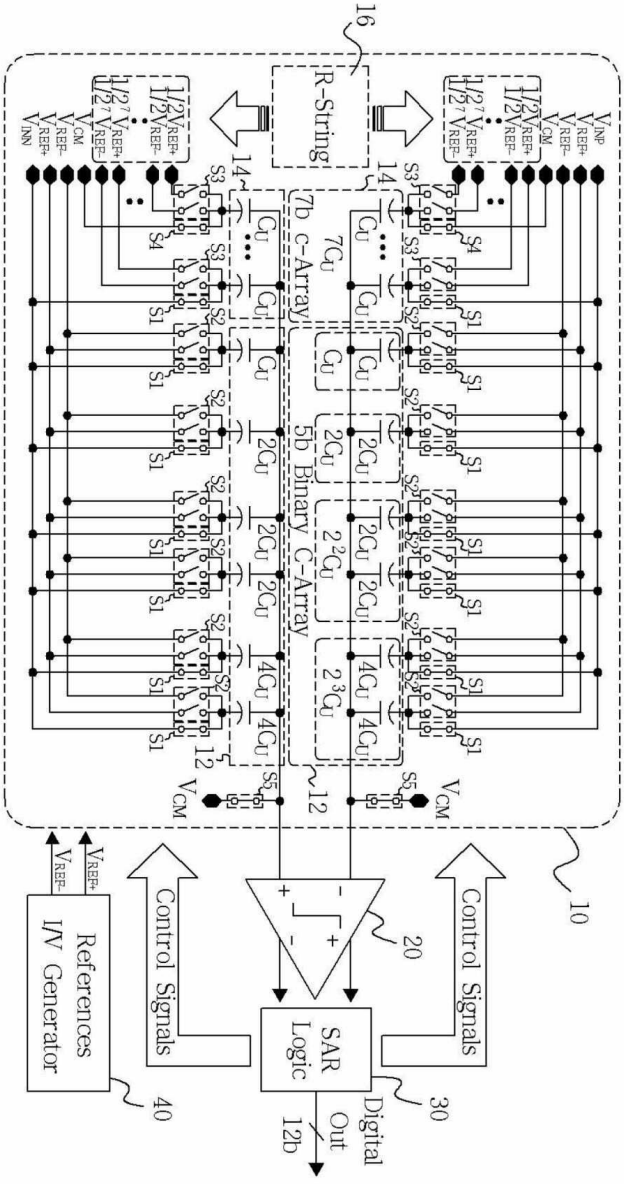
[0079] 본 발명의 실시예에 따른 SAR ADC는 90nm CMOS 공정으로 제작될 수 있으며, 측정된 DNL(Differential Non-Linearity) 및 INL(Integral Non-Linearity)은 12비트 해상도에서 각각 최대 1.47LSB, 2.76LSB이고, 30MS/s 동작속도에서 동적 성능은 최대 50.16dB의 SNDR(signal-to-noise-and- distortion ratio) 및 60.80dB의

SFDR(spurious-free dynamic range)을 보인다.

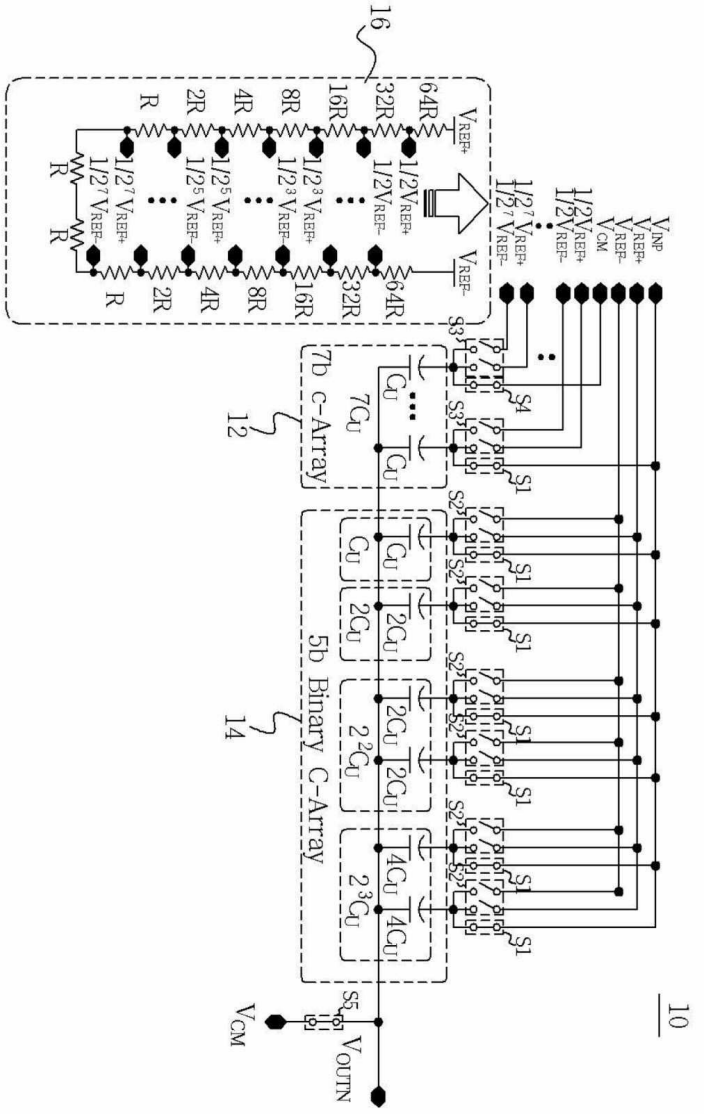
[0080] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

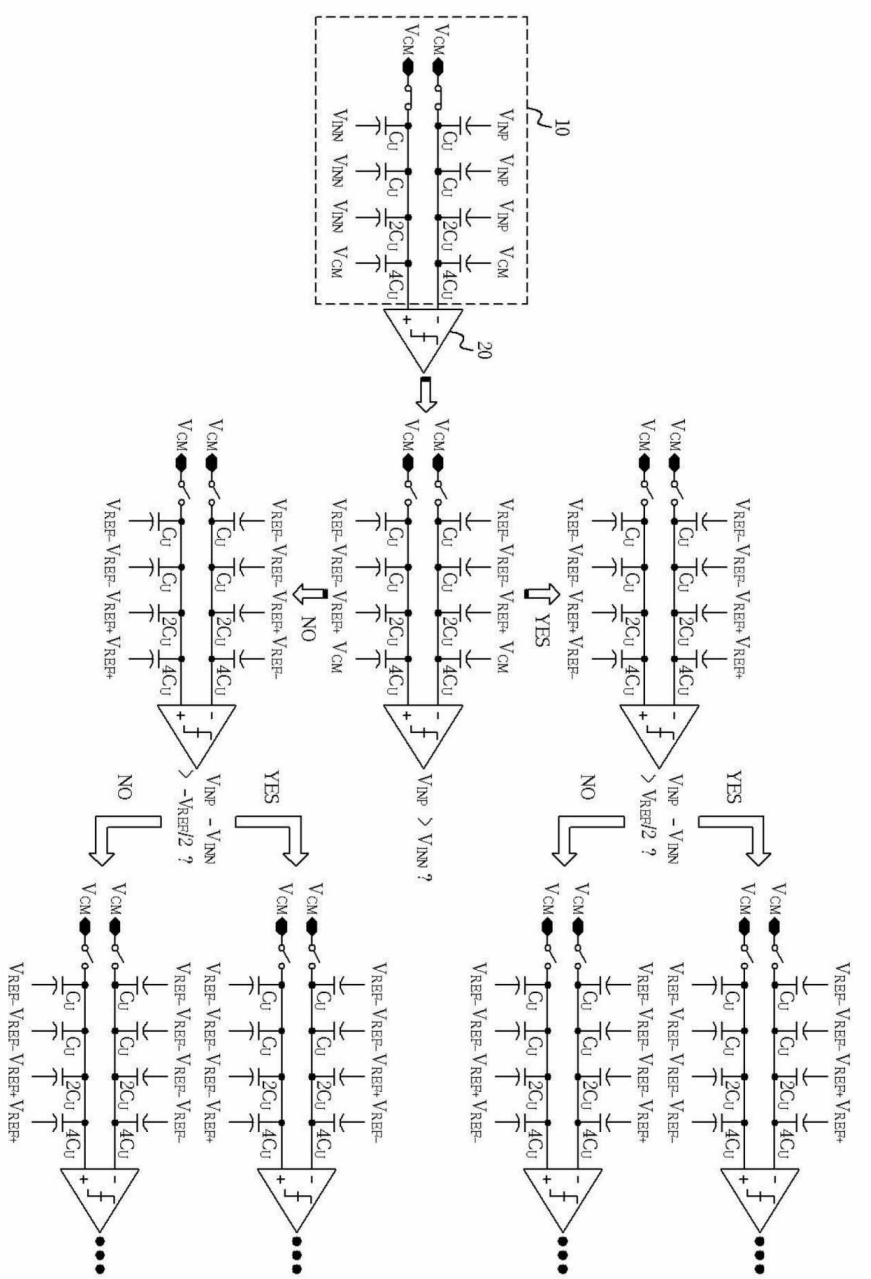
도면1



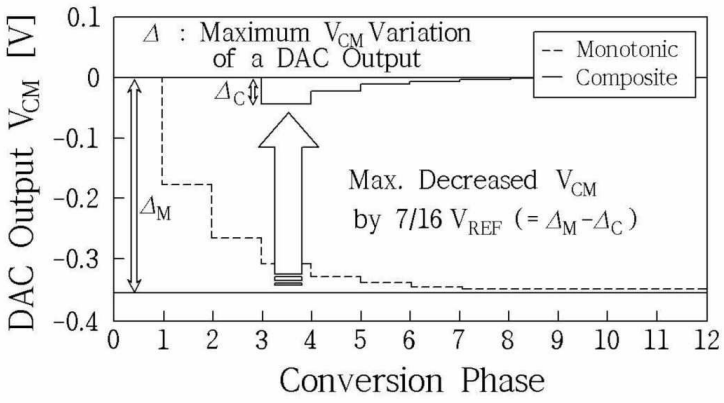
도면2


16
64R
32R
16R
8R
4R
2R
R
R
2R
4R
8R
16R
32R
64R
V_{REF+}
V_{REF-}
$1/2V_{REF+}$
$1/2V_{REF-}$
$1/2^3V_{REF+}$
$1/2^3V_{REF-}$
$1/2^5V_{REF+}$
$1/2^5V_{REF-}$
$1/2^7V_{REF+}$
$1/2^7V_{REF-}$
V_{INP}
V_{REF+}
V_{REF-}
V_{CM}
S1
S2
S3
S4
S5
7b c-Array
12
$7C_U$
C_U
5b Binary C-Array
14
C_U
$2C_U$
2^2C_U
$2C_U$
$2C_U$
2^3C_U
$4C_U$
$4C_U$
V_{CM}
V_{OUTN}
10

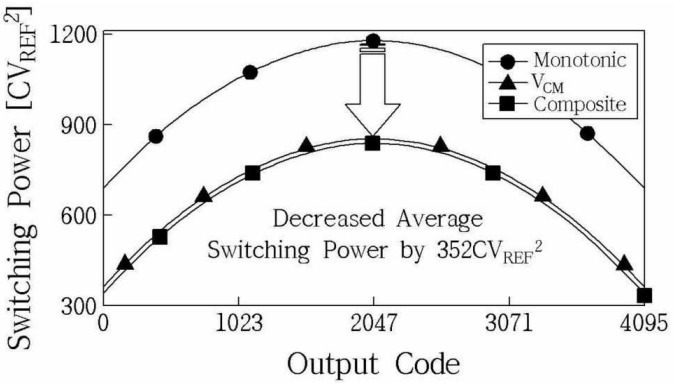
도면3


10
20
NO
YES
NO
YES
NO
YES
$V_{INP} > V_{INN}$?
$V_{INP} - V_{INN} > -V_{REF}/2$?
$V_{INP} - V_{INN} > V_{REF}/2$?

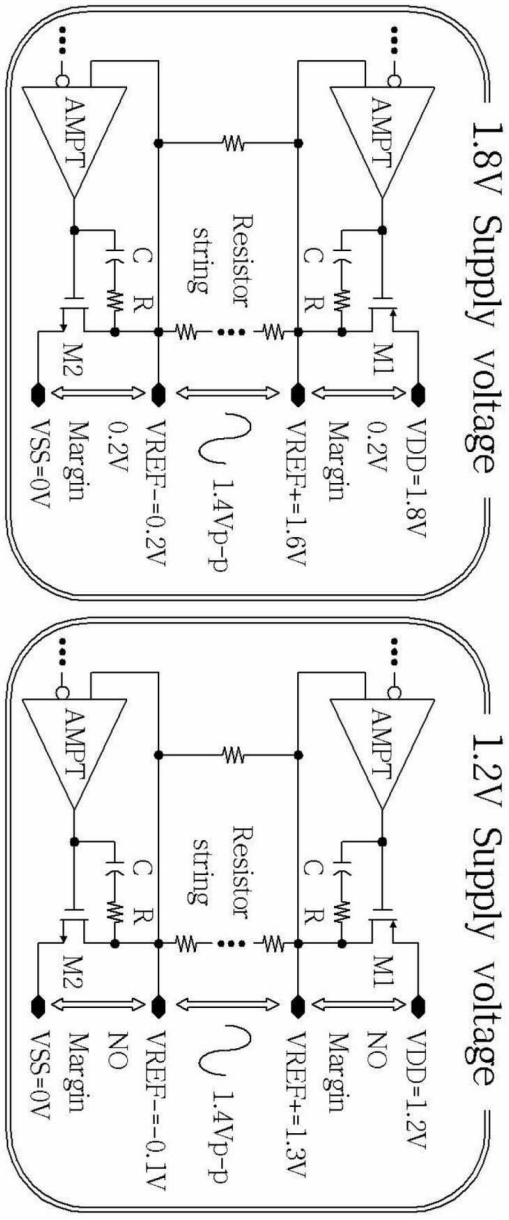
도면4


Δ : Maximum V_{CM} Variation of a DAC Output
Monotonic
Composite
Δ_C
Δ_M
Max. Decreased V_{CM} by 7/16 V_{REF} ($= \Delta_M - \Delta_C$)
DAC Output V_{CM} [V]
Conversion Phase
0.1
0
-0.1
-0.2
-0.3
-0.4
0 1 2 3 4 5 6 7 8 9 10 11 12

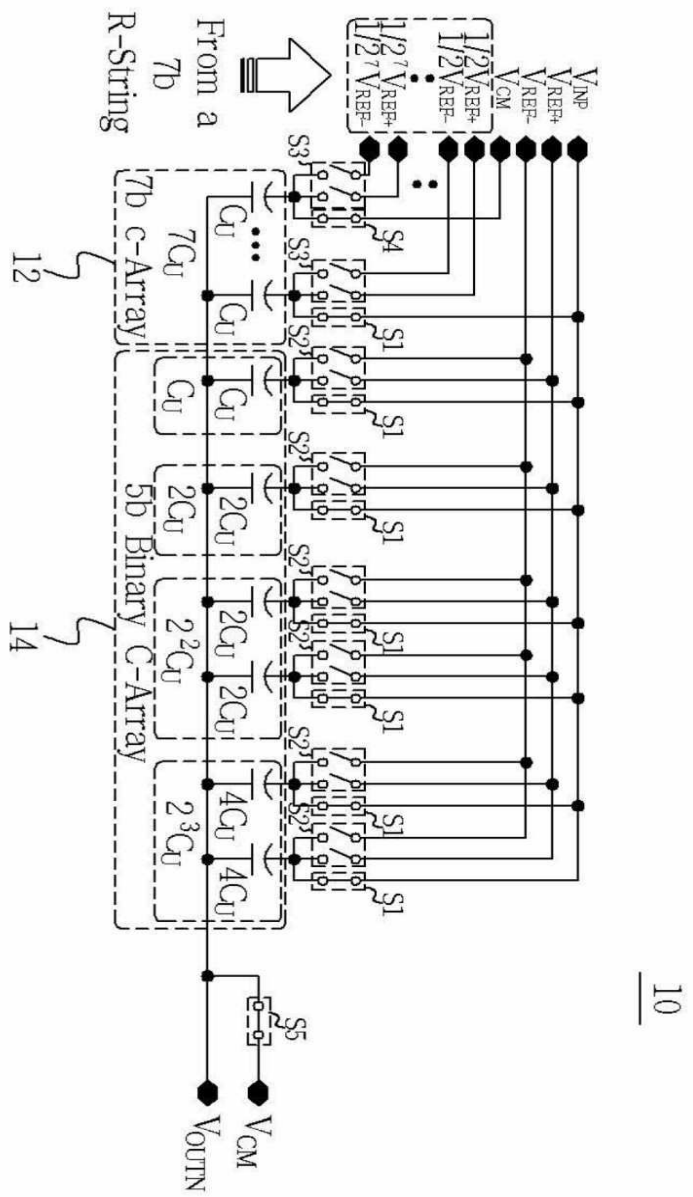
도면5


Switching Power [CV_REF^2]
1200
900
600
300
0
1023
2047
3071
4095
Output Code
Monotonic
V_CM
Composite
Decreased Average
Switching Power by 352CV_REF^2

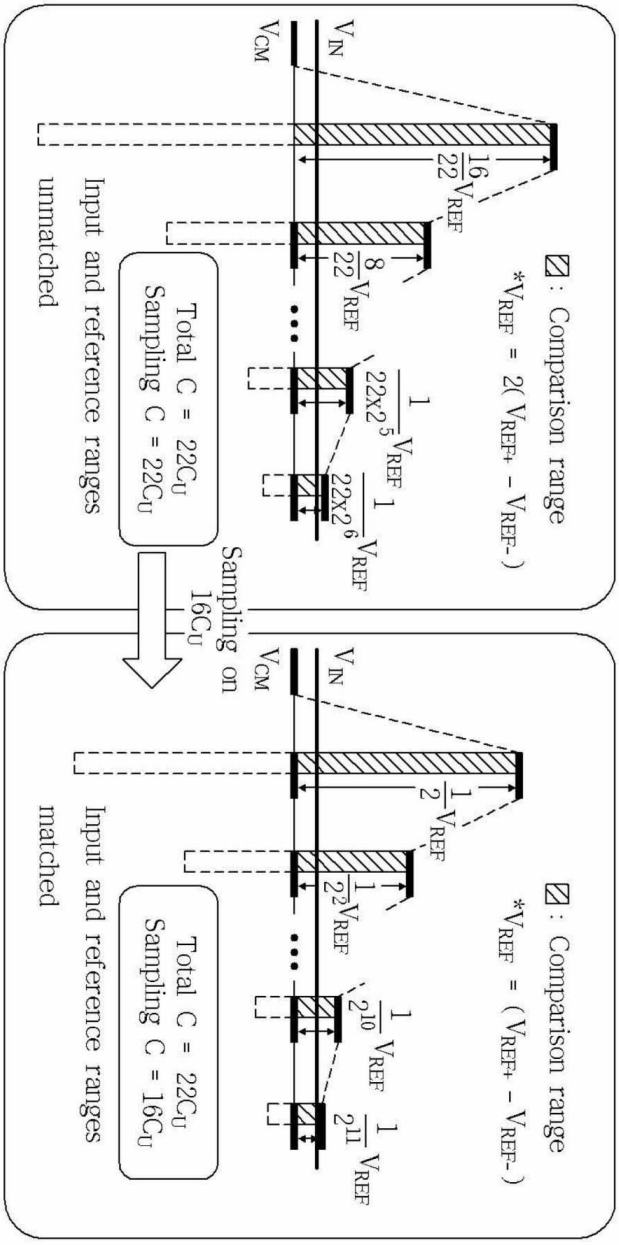
도면6


1.8V Supply voltage
AMPT
AMPT
Resistor string
C R
C R
M2
M1
VSS=0V
Margin
0.2V
VREF-=0.2V
1.4Vp-p
VREF+=1.6V
0.2V
Margin
VDD=1.8V
1.2V Supply voltage
AMPT
AMPT
Resistor string
C R
C R
M2
M1
VSS=0V
Margin
NO
VREF-=-0.1V
1.4Vp-p
VREF+=1.3V
NO
Margin
VDD=1.2V

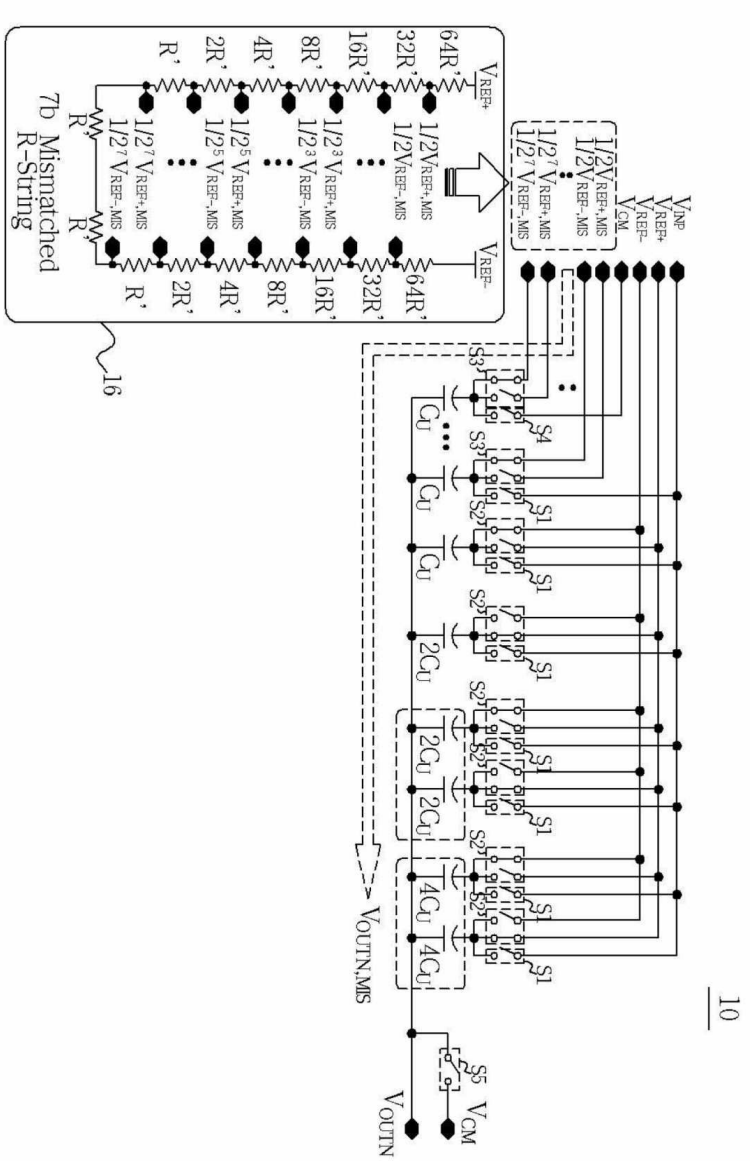
도면7


From a
7b
R-String
7b c-Array
12
5b Binary C-Array
14
10
V_{INP}
V_{REF+}
V_{REF-}
V_{CM}
$1/2^7V_{REF+}$
$1/2^7V_{REF-}$
$1/2V_{REF+}$
$1/2V_{REF-}$
V_{CM}
V_{OUTN}
S1
S2
S3
S4
S5
C_U
$7C_U$
$2C_U$
2^2C_U
$4C_U$
2^3C_U

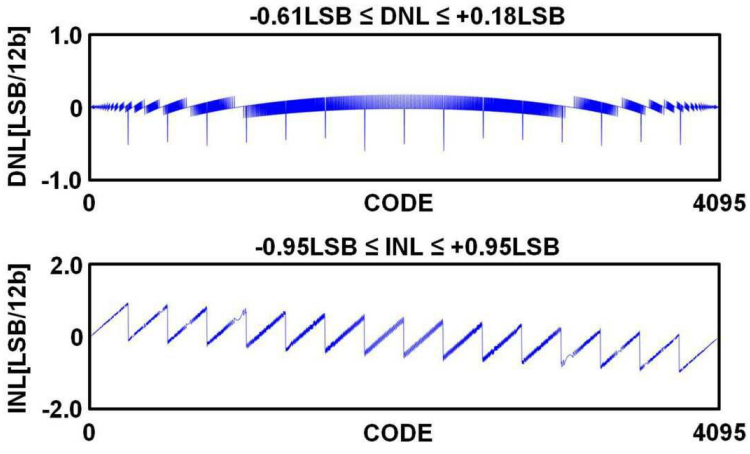
도면8


: Comparison range
*VREF = 2(VREF+ – VREF-)
VCM
VIN
16/22 VREF
8/22 VREF
1/(22x2^5) VREF
1/(22x2^6) VREF
Input and reference ranges
unmatched
Total C = 22CU
Sampling C = 22CU
Sampling on
16CU
: Comparison range
*VREF = (VREF+ – VREF-)
VCM
VIN
1/2 VREF
1/2^2 VREF
1/2^10 VREF
1/2^11 VREF
Input and reference ranges
matched
Total C = 22CU
Sampling C = 16CU

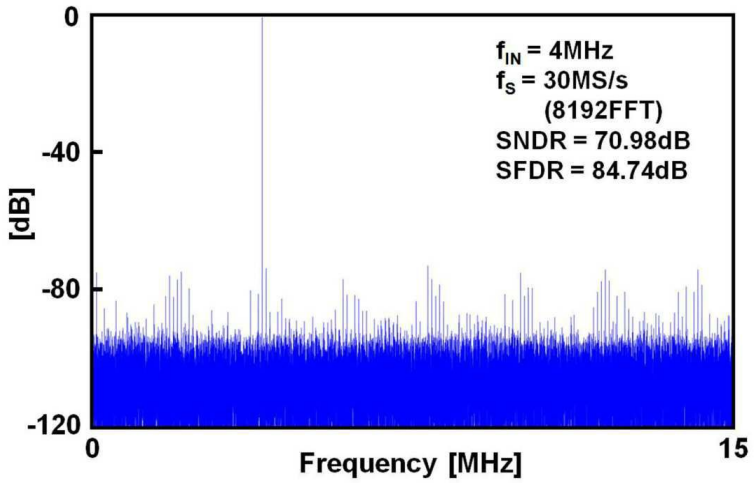
도면9


7b Mismatched R-String
16
10
S1
S2
S3
S4
S5
Cu
2Cu
4Cu
VOUTN,MIS
VOUTN
VCM

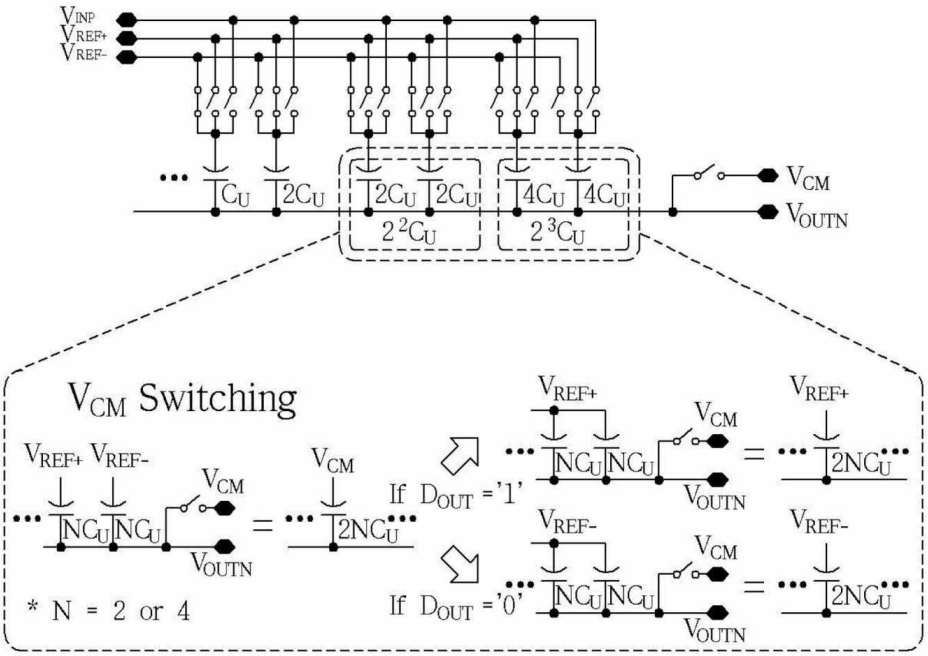
도면10


-0.61LSB ≤ DNL ≤ +0.18LSB
DNL[LSB/12b]
1.0
0
-1.0
0
CODE
4095
-0.95LSB ≤ INL ≤ +0.95LSB
INL[LSB/12b]
2.0
0
-2.0
0
CODE
4095

도면11


0
-40
-80
-120
[dB]
0
15
Frequency [MHz]
f_{IN} = 4MHz
f_S = 30MS/s
(8192FFT)
SNDR = 70.98dB
SFDR = 84.74dB

도면12


V_{INP}
V_{REF+}
V_{REF-}
C_U
$2C_U$
$2C_U$
$2C_U$
$4C_U$
$4C_U$
2^2C_U
2^3C_U
V_{CM}
V_{OUTN}
V_{CM} Switching
V_{REF+} V_{REF-}
V_{CM}
NC_U NC_U
V_{OUTN}
V_{CM}
$2NC_U$
* N = 2 or 4
If D_{OUT} ='1'
If D_{OUT} ='0'
V_{REF+}
V_{REF-}