

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4194

(P2010-4194A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/68 (2006.01)	H03F 3/68	5J100
H03G 3/12 (2006.01)	H03G 3/12	5J500

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号	特願2008-159886 (P2008-159886)	(71) 出願人	000006220
(22) 出願日	平成20年6月19日 (2008.6.19)		
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	小川 裕
			北海道千歳市泉沢1007番地39 ミツ
			ミ電機株式会社千歳事業所内
		Fターム(参考)	5J100 BA07 BB08 BB16 BC01 BC06
			5J500 AA41 AA51 AA62 AC97 AF18
			AH10 AH19 AH25 AH26 AK02
			AK47 AM08 AM21 AT01

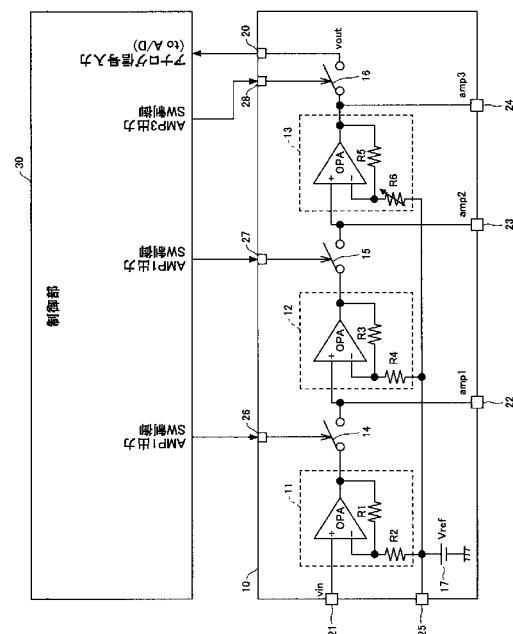
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】本発明は、縦続接続された後段の増幅回路の評価を行うことができる半導体集積回路装置を提供することを目的とする。

【解決手段】縦続接続される複数の増幅回路を搭載した半導体集積回路装置において、複数の増幅回路11, 12, 13それぞれの間に設けられたスイッチ14, 15と、スイッチ14, 15のオン時に複数の増幅回路11, 12, 13の出力端子に接続される複数のモニタ用端子22, 23, 24を有し、スイッチ14, 15それぞれに制御信号を供給してオン/オフ制御を行う。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

縦続接続される複数の増幅回路を搭載した半導体集積回路装置において、
前記複数の増幅回路それぞれの間に設けられたスイッチと、
前記スイッチのオン時に前記複数の増幅回路の出力端子に接続される複数のモニタ用端子を有し、
前記スイッチそれぞれに制御信号を供給してオン/オフ制御を行うことを特徴とする半導体集積回路装置。

【請求項 2】

縦続接続される複数の増幅回路を搭載した半導体集積回路装置において、
前記複数の増幅回路の出力端子に接続される複数のモニタ用端子を有し、
前記複数の増幅回路は、それぞれに供給される制御信号が動作停止を指示する時に出力端子をハイインピーダンス状態とすることを特徴とする半導体集積回路装置。

10

【請求項 3】

請求項 1 記載の半導体集積回路装置において、
前記増幅回路及び前記スイッチそれぞれは、MOS トランジスタ回路で構成されたことを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 記載の半導体集積回路装置において、
前記複数の増幅回路のいずれか一つは、利得を可変自在としたことを特徴とする半導体集積回路装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体集積回路装置に係り、縦続接続される複数の増幅回路を搭載した半導体集積回路装置に関する。

【背景技術】**【0002】**

従来から、微小電圧信号を増幅するため縦続接続した複数段の増幅回路を有する半導体集積回路装置がある。

30

【0003】

図 7 は、従来の半導体集積回路装置の一例の回路構成図を示す。同図中、端子 1 から入力される微小電圧信号は増幅回路 2 に供給されて増幅される。増幅回路 2 の出力信号はモニタ用の端子 3 に供給されると共に、増幅回路 4 に供給されて増幅される。増幅回路 4 の出力信号はモニタ用の端子 5 に供給されると共に、増幅回路 6 に供給されて増幅される。増幅回路 6 の出力信号はモニタ用の端子 7 に供給されると共に、スイッチ 8 を通して端子 9 から出力される。

【0004】

なお、多段増幅器を構成する複数の増幅回路を設け、各増幅回路の出力をスイッチにて切り替えて出力する機能を持つものが知られている（例えば特許文献 1 参照）。

40

【特許文献 1】特開平 8 - 18348 号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

従来は、測定機器から端子 1 にテスト用電圧を入力し、端子 3, 5, 7 それぞれの電圧を測定機器でモニタして、増幅回路 2, 4, 6 それぞれの評価を行っている。

【0006】

ここで、増幅回路 2 の電圧利得を A 1、増幅回路 4 の電圧利得を A 2、増幅回路 6 の電圧利得を A 3 とし、端子 1 の入力電圧を v_{in} とした場合、増幅回路 2, 4, 6 それぞれから出力されるモニタ電圧 v_{amp1} , v_{amp2} , v_{amp3} は次式で表される。

50

【 0 0 0 7 】

$$v_{amp1} = A_1 \times v_{in} \quad \dots (1a)$$

$$v_{amp2} = A_1 \times A_2 \times v_{in} \quad \dots (2a)$$

$$v_{amp3} = A_1 \times A_2 \times A_3 \times v_{in} \quad \dots (3a)$$

このため、次式が得られる。

【 0 0 0 8 】

$$v_{in} = v_{amp1} / A_1 \quad \dots (1b)$$

$$v_{in} = v_{amp2} / (A_1 \times A_2) \quad \dots (2b)$$

$$v_{in} = v_{amp3} / (A_1 \times A_2 \times A_3) \quad \dots (3b)$$

ここで、モニタ電圧 v_{amp3} の最大値は増幅回路 6 のダイナミックレンジで制限されているため、後段の増幅回路 6 を評価する際には、入力電圧 v_{in} を極めて小さくする必要がある。

【 0 0 0 9 】

しかしながら、測定機器によっては所望の小信号の入力電圧 v_{in} を生成できない場合があり、このような場合には特に増幅回路 6 を評価できないという問題があった。

【 0 0 1 0 】

本発明は、上記の点に鑑みてなされたもので、縦続接続された後段の増幅回路の評価を行うことができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の一実施態様による半導体集積回路装置は、縦続接続される複数の増幅回路を搭載した半導体集積回路装置において、

前記複数の増幅回路 (11, 12, 13) それぞれの間に設けられたスイッチ (14, 15) と、

前記スイッチ (14, 15) のオン時に前記複数の増幅回路 (11, 12, 13) の出力端子に接続される複数のモニタ用端子 (22, 23, 24) を有し、

前記スイッチ (14, 15) それぞれに制御信号を供給してオン/オフ制御を行う。

【 0 0 1 2 】

また、本発明の他の一実施態様による半導体集積回路装置は、縦続接続される複数の増幅回路を搭載した半導体集積回路装置において、

前記複数の増幅回路 (51, 52, 53) の出力端子に接続される複数のモニタ用端子 (62, 63, 64) を有し、

前記複数の増幅回路 (51, 52, 53) は、それぞれに供給される制御信号が動作停止を指示する時に出力端子をハイインピーダンス状態とする。

【 0 0 1 3 】

好ましくは、前記増幅回路 (11, 12, 13) 及び前記スイッチ (14, 15) それぞれは、MOSトランジスタ回路で構成されている。

【 0 0 1 4 】

好ましくは、前記複数の増幅回路のいずれか一つ (13) は、利得を可変自在とする。

【 0 0 1 5 】

なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例にすぎず、図示の態様に限定されるものではない。

【発明の効果】

【 0 0 1 6 】

本発明によれば、縦続接続された後段の増幅回路の評価を行うことができる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

< 第 1 実施形態 >

図 1 は、本発明の半導体集積回路装置の第 1 実施形態の回路構成図を示す。同図中、半導体集積回路装置 10 は、縦続接続される増幅回路 11, 12, 13 を有している。増幅

10

20

30

40

50

回路 11, 12, 13 それぞれは非反転入力端子に信号を入力され、反転入力端子に増幅度を設定する 2 つの抵抗 R1 ~ R6 が接続された演算増幅器 OPA から構成されている。

【0018】

なお、増幅回路 13 の 2 つの抵抗のうち基準電圧 V_{ref} が供給される側の抵抗 R6 は可変抵抗とされており、増幅回路 13 の利得を可変することができる。

【0019】

増幅回路 11, 12 間にはスイッチ 14 が設けられ、増幅回路 12, 13 間にはスイッチ 15 が設けられている。また、増幅回路 13 と外部端子 20 の間にはスイッチ 16 が設けられている。

【0020】

半導体集積回路装置 10 の外部端子 21 から入力される微小電圧信号は増幅回路 11 に供給されて増幅される。増幅回路 11 の出力信号はスイッチ 14 を通してモニタ用の外部端子 22 に供給されると共に増幅回路 12 に供給されて増幅される。増幅回路 12 の出力信号はスイッチ 15 を通してモニタ用の外部端子 23 に供給されると共に増幅回路 13 に供給されて増幅される。増幅回路 13 の出力信号はモニタ用の外部端子 24 に供給されると共にスイッチ 16 を通して端子 20 から出力されて制御部 30 に供給される。

10

【0021】

また、半導体集積回路装置 10 の外部端子 25 は定電圧回路 17 の正極に接続されている。外部端子 26, 27, 28 には制御部 30 より制御信号が供給されてスイッチ 14, 15, 16 それぞれに供給される。

20

【0022】

制御部 30 は、半導体集積回路装置 10 のスイッチ 14, 15, 16 を制御すると共に、半導体集積回路装置 10 の外部端子 20 や図示しないその他の回路から供給される信号の A/D 変換を行って内部に取り込み、各種処理を実行する。スイッチ 16 は制御部 30 が半導体集積回路装置 10 の出力信号を取り込むときにオンとされ、他の回路からの信号を取り込むときにオフとされる。

【0023】

図 2 は、増幅回路 11, 12, 13 に用いられる演算増幅器 OPA の第 1 実施形態の回路構成図を示す。同図中、p チャネル MOSFET (以下、MOS トランジスタと呼ぶ) M1, M2 及び抵抗 R10, R11 は端子 41, 42 から入力信号を供給されて差動増幅する第 1 差動回路を構成し、p チャネル MOS トランジスタ M3, M4 及び n チャネル MOS トランジスタ M5, M6 は第 1 差動回路の出力を供給されて差動増幅する第 2 差動回路を構成している。n チャネル MOS トランジスタ M7 は第 2 差動回路の出力を A 級動作で増幅して端子 43 から出力する。

30

【0024】

端子 45, 46 には電源電圧 V_{cc} 及び接地電圧 GND が供給される。定電流回路 48 及びカレントミラー構成の p チャネル MOS トランジスタ M8, M9, M10, M11 とカレントミラー構成の n チャネル MOS トランジスタ M12, M13 及びカレントミラー構成の p チャネル MOS トランジスタ M14, M15 は、第 1 差動回路、第 2 差動回路、MOS トランジスタ M7 それぞれに動作電流を供給する電源回路を構成している。

40

【0025】

図 3 は、スイッチ 14, 15, 16 の一実施形態の回路構成図を示す。同図中、入力端子 a と出力端子 b の間に p チャネル MOS トランジスタ M16 と n チャネル MOS トランジスタ M17 のソース及びドレインが接続されている。

【0026】

また、制御端子 c は MOS トランジスタ M17 のゲートに接続されると共に、インバータ 49 を介して MOS トランジスタ M16 のゲートに接続されており、MOS トランジスタ M16, M17 はトランスマッションゲートを構成している。制御端子 c にハイレベルの信号が供給されると端子 a, b 間が導通し、制御端子 c にローレベルの信号が供給されると端子 a, b 間が遮断される。

50

【 0 0 2 7 】

図 4 は、制御部 3 0 によるスイッチ制御を説明するための図を示す。同図中、通常モードでは、制御部 3 0 から外部端子 2 6 , 2 7 に供給される制御信号でスイッチ 1 4 , 1 5 は共にオンとされ、外部端子 2 2 , 2 3 , 2 4 は全て出力状態となる。

【 0 0 2 8 】

テストモード 1 では、スイッチ 1 4 はオン、スイッチ 1 5 はオフとされ、外部端子 2 2 は出力状態、外部端子 2 3 は入力状態、外部端子 2 4 は出力状態となり、外部端子 2 1 からの入力信号を増幅回路 1 1 を通して外部端子 2 2 から出力し、外部端子 2 3 からの入力信号を増幅回路 1 3 を通して外部端子 2 4 から出力し、増幅回路 1 1 , 1 3 それぞれの単体評価が可能となる。

10

【 0 0 2 9 】

テストモード 2 では、スイッチ 1 4 はオフ、スイッチ 1 5 はオンとされ、外部端子 2 2 は入力状態、外部端子 2 3 , 2 4 は出力状態となり、外部端子 2 2 からの入力信号を増幅回路 1 2 を通して外部端子 2 3 から出力し、増幅回路 1 2 の単体評価が可能となる。

【 0 0 3 0 】

テストモード 3 では、スイッチ 1 4 はオフ、スイッチ 1 5 はオフとされ、外部端子 2 2 は入力状態、外部端子 2 3 は入力状態、外部端子 2 4 は出力状態となり、外部端子 2 3 からの入力信号を増幅回路 1 3 を通して外部端子 2 4 から出力し、増幅回路 1 3 の単体評価が可能となる。

【 0 0 3 1 】

20

このように、増幅回路 1 1 , 1 2 , 1 3 それぞれを単体で評価できるため、テスト用入力電圧を微小電圧とする必要がなく、既存の測定機器においてもテスト用電圧を生成することができる。

【 0 0 3 2 】

< 第 2 実施形態 >

図 5 は、本発明の半導体集積回路装置の第 2 実施形態の回路構成図を示す。同図中、図 1 と同一部分には同一符号を付す。図 5 において、半導体集積回路装置 5 0 は、縦続接続される増幅回路 5 1 , 5 2 , 5 3 を有している。増幅回路 5 1 , 5 2 , 5 3 それぞれは非反転入力端子に信号を入力され、反転入力端子に増幅度を設定する 2 つの抵抗 $R_1 \sim R_6$ が接続された演算増幅器 O P A から構成されている。

30

【 0 0 3 3 】

なお、増幅回路 5 3 の 2 つの抵抗のうち基準電圧 V_{ref} が供給される側の抵抗 R_6 は可変抵抗とされており、増幅回路 5 3 の利得を可変することができる。また、増幅回路 5 3 と外部端子 6 0 の間にはスイッチ 5 6 が設けられている。

【 0 0 3 4 】

半導体集積回路装置 5 0 の外部端子 6 1 から入力される微小電圧信号は増幅回路 5 1 に供給されて増幅される。増幅回路 5 1 の出力信号はモニタ用の外部端子 6 2 に供給されると共に増幅回路 5 2 に供給されて増幅される。増幅回路 5 2 の出力信号はモニタ用の外部端子 6 3 に供給されると共に増幅回路 5 3 に供給されて増幅される。増幅回路 5 3 の出力信号はモニタ用の外部端子 6 4 に供給されると共に、スイッチ 5 6 を通して端子 6 0 から出力されて制御部 3 0 に供給される。

40

【 0 0 3 5 】

また、半導体集積回路装置 5 0 の外部端子 6 5 は定電圧回路 5 7 の正極に接続されている。外部端子 6 6 , 6 7 , 6 8 には制御部 3 0 より制御信号が供給されて増幅回路 5 1 , 5 2 、スイッチ 5 6 それぞれに供給される。

【 0 0 3 6 】

制御部 3 0 は、半導体集積回路装置 5 0 の増幅回路 5 1 , 5 2 、スイッチ 5 6 を制御すると共に、半導体集積回路装置 5 0 の外部端子 6 0 や図示しないその他の回路から供給される信号の A / D 変換を行って内部に取り込み、各種処理を実行する。スイッチ 5 6 は制御部 3 0 が半導体集積回路装置 5 0 の出力信号を取り込む時にオンとされ、他の回路から

50

の信号を取り込むときにオフとされる。

【 0 0 3 7 】

図 6 は、増幅回路 5 1 , 5 2 , 5 3 に用いられる演算増幅器 O P A の第 2 実施形態の回路構成図を示す。同図中、図 2 と同一部分には同一符号を付す。

【 0 0 3 8 】

図 6 において、p チャンネル M O S F E T M 1 , M 2 及び抵抗 R 1 0 , R 1 1 は端子 4 1 , 4 2 から入力信号を供給されて差動増幅する第 1 差動回路を構成し、p チャンネル M O S トランジスタ M 3 , M 4 及び n チャンネル M O S トランジスタ M 5 , M 6 は第 1 差動回路の出力を供給されて差動増幅する第 2 差動回路を構成している。n チャンネル M O S トランジスタ M 7 は第 2 差動回路の出力を増幅 (A 級動作) して端子 4 3 から出力する。

10

【 0 0 3 9 】

端子 4 5 , 4 6 には電源電圧 V c c 及び接地電圧 G N D が供給される。定電流回路 4 8 及びカレントミラー構成の p チャンネル M O S トランジスタ M 8 , M 9 , M 1 0 , M 1 1 とカレントミラー構成の n チャンネル M O S トランジスタ M 1 2 , M 1 3 及びカレントミラー構成の p チャンネル M O S トランジスタ M 1 4 , M 1 5 は、第 1 差動回路、第 2 差動回路、M O S トランジスタ M 7 それぞれに動作電流を供給する電源回路を構成している。

【 0 0 4 0 】

端子 7 0 には制御信号が供給される。制御信号は p チャンネル M O S トランジスタ M 2 0 , M 2 1 のゲートに供給されると共に、インバータ 7 2 で反転されて n チャンネル M O S トランジスタ M 2 2 のゲートに供給される。

20

【 0 0 4 1 】

M O S トランジスタ M 2 0 は、ソースとドレインを M O S トランジスタ M 8 のソースとドレインそれぞれに接続されている。制御信号がハイレベル時には M O S トランジスタ M 2 0 が遮断し、M O S トランジスタ M 8 が導通して電源回路を動作状態とする。制御信号がローレベル時には M O S トランジスタ M 2 0 が導通し、M O S トランジスタ M 8 のソースとドレイン間を短絡し電源回路を非動作状態とする。

【 0 0 4 2 】

M O S トランジスタ M 2 1 は、ソースとドレインを M O S トランジスタ M 1 4 のソースとドレインそれぞれに接続されている。制御信号がハイレベル時には M O S トランジスタ M 2 1 が遮断し、M O S トランジスタ M 1 4 が導通して M O S トランジスタ M 1 5 に動作電流を供給する電源回路を動作状態とする。制御信号がローレベル時には M O S トランジスタ M 2 1 が導通し、M O S トランジスタ M 1 4 のソースとドレイン間を短絡し上記電源回路を非動作状態とする。

30

【 0 0 4 3 】

M O S トランジスタ M 2 2 は、ソースとドレインを M O S トランジスタ M 5 ~ M 7 のソースとドレインそれぞれに接続されている。反転制御信号がローレベル (制御信号がハイレベル) 時には M O S トランジスタ M 2 2 が遮断し、M O S トランジスタ M 5 が導通して M O S トランジスタ M 5 ~ M 7 に動作電流を供給する電源回路を動作状態とする。反転制御信号がハイレベル (制御信号がローレベル) 時には M O S トランジスタ M 2 2 が導通し、M O S トランジスタ M 5 のソースとドレイン間を短絡し上記電源回路を非動作状態とする。

40

【 0 0 4 4 】

これによって、制御信号がハイレベル時に増幅回路 5 1 , 5 2 の演算増幅器 O P A は動作し、制御信号がローレベル時に増幅回路 5 1 , 5 2 の演算増幅器 O P A は動作を停止すると共に出力端子はハイインピーダンス状態となる。なお、増幅回路 5 3 にはハイレベル固定の制御信号を供給する。

【 0 0 4 5 】

したがって、図 3 と同様に、通常モードでは、制御部 3 0 から外部端子 6 6 , 6 7 に供給される制御信号で増幅回路 5 1 , 5 2 は共に動作し、外部端子 6 2 , 6 3 , 6 4 は全て出力状態となる。

50

【 0 0 4 6 】

テストモード 1 では、増幅回路 5 1 は動作状態、増幅回路 5 2 は非動作かつ出力ハイインピーダンス状態とされ、外部端子 6 2 は出力状態、外部端子 6 3 は入力状態、外部端子 6 4 は出力状態となり、外部端子 6 1 からの入力信号を増幅回路 5 1 を通して外部端子 6 2 から出力し、外部端子 6 3 からの入力信号を増幅回路 5 3 を通して外部端子 6 4 から出力し、増幅回路 6 1 , 6 3 それぞれの単体評価が可能となる。

【 0 0 4 7 】

テストモード 2 では、増幅回路 5 1 は非動作かつ出力ハイインピーダンス状態、増幅回路 5 2 は動作状態とされ、外部端子 6 2 は入力状態、外部端子 6 3 , 6 4 は出力状態となり、外部端子 6 2 からの入力信号を増幅回路 5 2 を通して外部端子 6 3 から出力し、増幅回路 5 2 の単体評価が可能となる。

10

【 0 0 4 8 】

テストモード 3 では、増幅回路 5 1 , 5 2 は非動作かつ出力ハイインピーダンス状態とされ、外部端子 6 2 は入力状態、外部端子 6 3 は入力状態、外部端子 6 4 は出力状態となり、外部端子 6 3 からの入力信号を増幅回路 5 3 を通して外部端子 6 4 から出力し、増幅回路 5 3 の単体評価が可能となる。

【 0 0 4 9 】

このように、増幅回路 5 1 , 5 2 , 5 3 それぞれを単体で評価できるため、テスト用入力電圧を微小電圧とする必要がなく、既存の測定機器においてもテスト用電圧を生成することができる。また、増幅回路 5 1 , 5 2 , 5 3 の間にスイッチを設ける必要がないため、電子部品点数を削減できる。

20

【 0 0 5 0 】

なお、上記実施形態では 3 段の増幅回路が縦続接続されるものであるが、縦続接続される増幅回路の段数は 2 段又は 4 段以上であっても良く、上記実施形態に限定されるものではない。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 本発明の半導体集積回路装置の第 1 実施形態の回路構成図である。

【 図 2 】 演算増幅器の第 1 実施形態の回路構成図である。

【 図 3 】 スイッチの一実施形態の回路構成図である。

30

【 図 4 】 スイッチ制御を説明するための図である。

【 図 5 】 本発明の半導体集積回路装置の第 2 実施形態の回路構成図である。

【 図 6 】 演算増幅器の第 2 実施形態の回路構成図である。

【 図 7 】 従来の半導体集積回路装置の一例の回路構成図である。

【 符号の説明 】

【 0 0 5 2 】

1 0 , 5 0 半導体集積回路装置

1 1 , 1 2 , 1 3 , 5 1 , 5 2 , 5 3 増幅回路

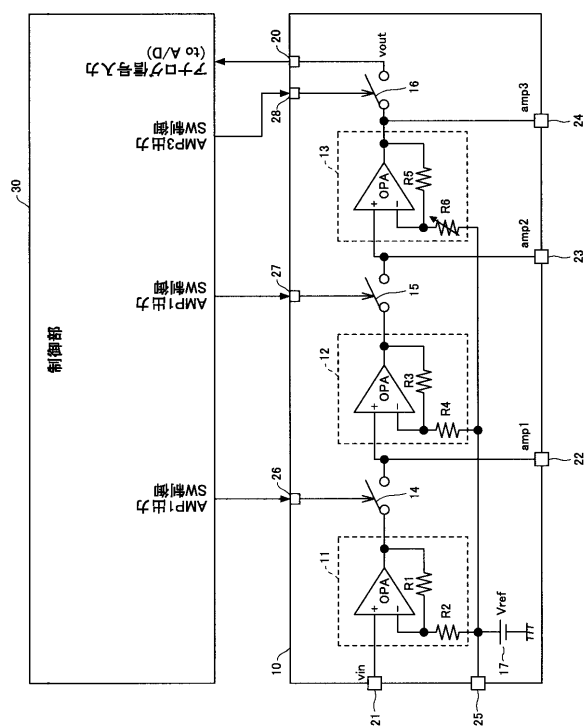
1 4 ~ 1 6 , 5 6 スイッチ

1 7 , 5 7 定電圧回路

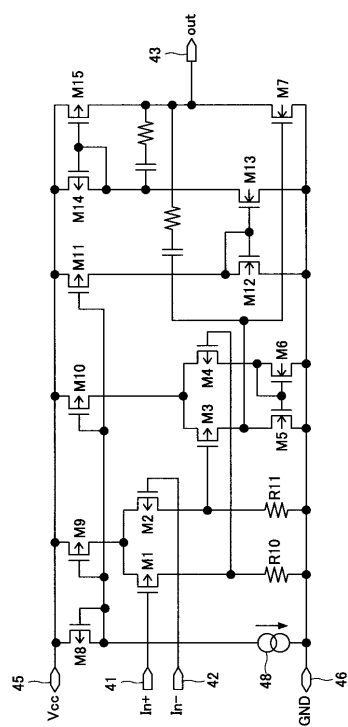
3 0 制御部

40

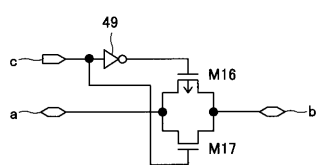
【図 1】



【図 2】



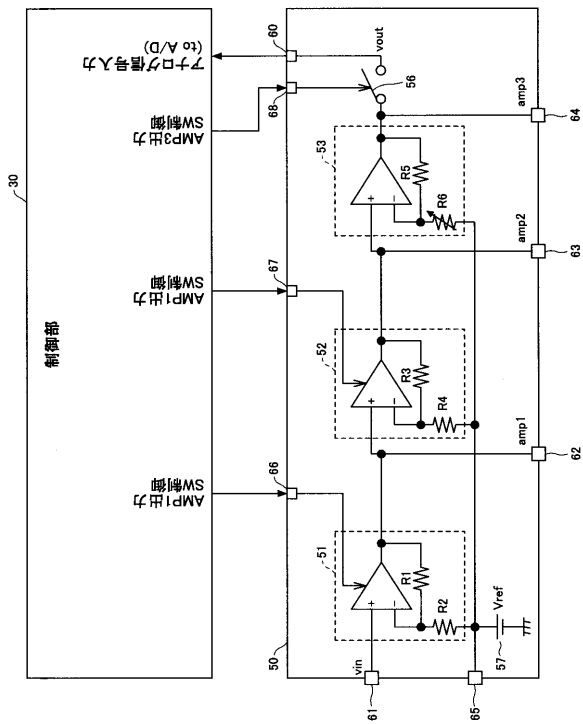
【図 3】



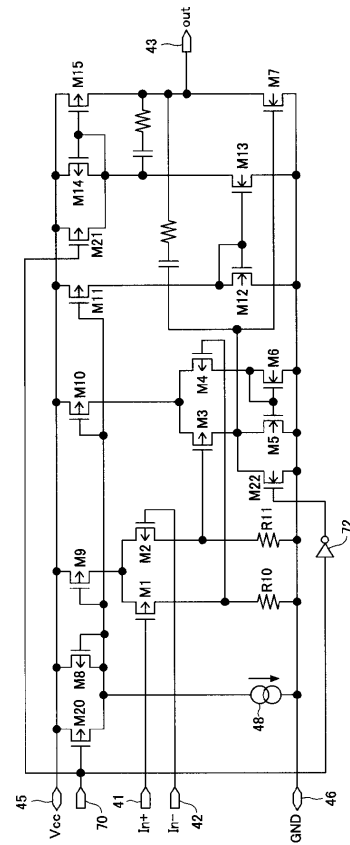
【図 4】

		モード			
		SW14	SW15	端子22	端子23
		端子24	端子23	端子22	端子23
normal	on	on	OUT	OUT	OUT
test1	on	off	OUT	IN	OUT
test2	off	on	IN	IN	OUT
test3	off	off	IN	IN	OUT

【図 5】



【図 6】



【図 7】

