

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6420955号
(P6420955)

(45) 発行日 平成30年11月7日 (2018. 11. 7)

(24) 登録日 平成30年10月19日 (2018. 10. 19)

(51) Int. Cl.

F I

G O 1 T 1/20 (2006. 01)

G O 1 T 1/20 L

H O 4 N 5/321 (2006. 01)

G O 1 T 1/20 E

H O 4 N 5/367 (2011. 01)

G O 1 T 1/20 G

H O 1 L 27/144 (2006. 01)

H O 4 N 5/321

H O 1 L 27/14 (2006. 01)

H O 4 N 5/335 6 7 O

請求項の数 6 (全 47 頁) 最終頁に続く

(21) 出願番号 特願2014-36115 (P2014-36115)
(22) 出願日 平成26年2月27日 (2014. 2. 27)
(65) 公開番号 特開2014-194410 (P2014-194410A)
(43) 公開日 平成26年10月9日 (2014. 10. 9)
審査請求日 平成28年11月22日 (2016. 11. 22)
(31) 優先権主張番号 特願2013-37039 (P2013-37039)
(32) 優先日 平成25年2月27日 (2013. 2. 27)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 秋元 健吾
栃木県栃木市都賀町升塚161-2 アド
バンスト フィルム デバイス インク
株式会社内
(72) 発明者 高橋 寛暢
栃木県栃木市都賀町升塚161-2 アド
バンスト フィルム デバイス インク
株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

受光素子と前記受光素子に電気的に接続されたトランジスタとを有する画素回路と、
前記画素回路上方の絶縁膜と、
前記絶縁膜上方のシンチレータと、
前記シンチレータ上方の遮蔽層と、
前記遮蔽層に設けられた開口部と、を有し、
前記シンチレータは、放射線を光に変換し、前記光を発する機能を有し、
前記受光素子と前記トランジスタは、前記遮蔽層と重なるように配置され、
前記受光素子と前記トランジスタとは、前記開口部と重ならず、
前記受光素子は、前記絶縁膜を通った前記光を検知する機能を有することを特徴とする
撮像装置。

【請求項 2】

受光素子と前記受光素子に電気的に接続されたトランジスタとを有する画素回路と、
前記画素回路上方の絶縁膜と、
前記絶縁膜上方の遮蔽層と、
前記遮蔽層に設けられた開口部と、
前記遮蔽層上方のシンチレータと、を有し、
前記シンチレータは、放射線を光に変換し、前記光を発する機能を有し、
前記受光素子と前記トランジスタは、前記遮蔽層と重なるように配置され、

10

20

前記受光素子と前記トランジスタとは、前記開口部と重ならず、

前記受光素子は、前記開口部及び前記絶縁膜を通った前記光を検知する機能を有することを特徴とする撮像装置。

【請求項 3】

請求項 1 又は 2 において、

前記遮蔽層は、鉛、金、白金、イリジウム、オスミウム、レニウム、タングステン、タantal、ハフニウム、パラジウム、ロジウム、ルテニウムから選択された材料を有することを特徴とする撮像装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記トランジスタは、チャンネル形成領域が酸化物半導体を有することを特徴とする撮像装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記受光素子は、フォトダイオードを有することを特徴とする撮像装置。

【請求項 6】

請求項 1 乃至 4 のいずれか一項において、

前記受光素子は、一对の電極と、前記一对の電極の間にある半導体層と、を有することを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明は、シンチレータを有する撮像装置に関する。

【背景技術】

【0002】

医療現場では、患者の特定部位（骨、肺など）に X 線を照射し、当該特定部位を透過した X 線によって X 線フィルムを感光し、当該 X 線フィルムを現像することで、当該特定部位の内部の様子を可視化する写真技術を用いた医療用画像診断装置が広く普及している。

【0003】

上記 X 線フィルムを用いた方法では、X 線フィルムを保管するスペースの確保が必要なことや、その管理が煩雑であるため、画像の電子化が進められている。画像を電子化する方法の一つとして、X 線の照射によって光を発する特性（輝尽性）を有する材料を含むイメージングプレートを用いる方法が知られている。当該イメージングプレートから発せられる光をスキャナで検出することにより、電子化された画像を得ることができる。

【0004】

上記イメージングプレートは、輝尽性蛍光体が塗布された板であり、X 線フィルムよりも X 線吸収差の検出感度が高い。また、X 線照射の情報を消去することができ、繰り返し使用することができる。しかしながら、イメージングプレートで取得できる情報はアナログ情報であり、それを電子化するにはデジタル化処理をしなければならなかった。

【0005】

そのため、近年では、デジタルデータを直接取得できるフラットパネルディテクタが注目されている（例えば、特許文献 1）。フラットパネルディテクタは、直接方式と間接方式の二方式があり、直接方式は X 線検出素子を用いて X 線を電荷に直接変換する方式であり、間接方式は X 線をシンチレータによって可視光に変換し、その光をフォトダイオードで電荷に変換する方式である。いずれの方式においても、フラットパネルディテクタは、マトリクス状に配置された複数の画素回路を有している。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平11-311673号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

フラットパネルディテクタに含まれる画素回路は、複数のトランジスタを有する。当該トランジスタには半導体材料が含まれており、エネルギーの強いX線等の放射線が当該半導体材料に照射されると欠陥準位などが生成し、トランジスタの電気特性を変動させてしま

10

【0008】

このような現象は、シンチレータを透過してしまう微量の放射線によっても起こりうるため、フラットパネルディテクタの消費電力の増加や信頼性の悪化の一要因となっている。

【0009】

したがって、本発明の一態様では、X線等の放射線照射に対して安定性が高い撮像装置を提供することを目的の一つとする。または、電気特性の低下を抑制できる構成の撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。

20

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、X線等の放射線を用いて画像を取得する撮像装置であり、シンチレータと重畳するマトリクス状に配置された画素回路を有する。該画素回路はオフ電流が極めて小さいスイッチング用のトランジスタ、および受光素子を有し、当該トランジスタおよ

30

【0012】

本発明の一態様は、基板上においてマトリクス状に複数配置された画素回路と、基板と重畳するシンチレータと、シンチレータと接して重なる遮蔽層と、を有し、画素回路は、受光素子、および当該受光素子と電気的に接続された回路部を有し、遮蔽層は、画素回路が有する領域の一部と重なり、受光素子および回路部は、遮蔽層と重なることを特徴とする撮像装置である。

【0013】

上記遮蔽層は、鉛、金、白金、イリジウム、オスミウム、レニウム、タングステン、タンタル、ハフニウム、パラジウム、ロジウム、ルテニウムから選択された材料の単層または積層で形成することができる。

40

【0014】

また、本発明の他の一態様は、基板の一方の面上においてマトリクス状に複数配置された画素回路と、基板の他方の面と接して重畳するシンチレータと、を有し、画素回路は、受光素子および当該受光素子と電気的に接続された回路部を有し、基板は、重金属を含むガラス基板であることを特徴とする撮像装置である。

【0015】

また、本発明の他の一態様は、基板上においてマトリクス状に複数配置された画素回路と、基板と重畳するシンチレータと、を有し、画素回路は、受光素子および当該受光素子と電気的に接続された回路部を有し、シンチレータは、重金属を含むことを特徴とする撮像

50

装置である。

【0016】

上記基板またはシンチレータに含まれる重金属としては、鉛、金、白金、イリジウム、オスミウム、レニウム、タングステン、タンタル、ハフニウム、パラジウム、ロジウム、ルテニウムから選択された一つ以上の材料を用いることができる。

【0017】

上記受光素子には、チャンネル形成領域が酸化物半導体で形成されたトランジスタ、フォトダイオード、または、一対の電極間に半導体層を有する可変抵抗素子を用いることもできる。

【0018】

上記、画素回路が有する回路部は、電荷蓄積部と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、受光素子と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は、電荷蓄積部と電氣的に接続され、第2のトランジスタのゲートは、電荷蓄積部と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、少なくとも第1のトランジスタは、チャンネル形成領域が酸化物半導体で形成されている構成を用いることができる。

【0019】

また、画素回路が有する回路部は、電荷蓄積部と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、受光素子と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は、電荷蓄積部と電氣的に接続され、第2のトランジスタのゲートは、電荷蓄積部と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のトランジスタのソースまたはドレインの一方は、電荷蓄積部と電氣的に接続され、少なくとも前記第1のトランジスタおよび前記第4のトランジスタは、チャンネル形成領域が酸化物半導体で形成されている構成を用いることもできる。

【発明の効果】

【0020】

本発明の一態様により、X線等の放射線照射に対して安定性が高い撮像装置を提供することができる。または、電気特性の低下を抑制できる構成の撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。

【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0022】

【図1】撮像装置を説明する図。

【図2】撮像装置を説明する図。

【図3】撮像装置を説明する図。

【図4】撮像装置を説明する図。

【図5】撮像装置を説明する図。

【図6】撮像装置を説明する図。

【図7】撮像装置を説明する図。

【図8】画素回路の構成を説明する図。

【図9】画素回路の動作を説明するタイミングチャート。

【図10】画素回路の構成を説明する図。

10

20

30

40

50

- 【図 1 1】画素回路の構成を説明する図。
【図 1 2】画素回路の構成を説明する図。
【図 1 3】画素回路の動作を説明するタイミングチャート。
【図 1 4】画素回路の構成を説明する図。
【図 1 5】積分回路を説明するための図。
【図 1 6】グローバルシャッタ方式とローリングシャッタ方式の動作を説明するタイミングチャート。
【図 1 7】マトリクス状に配置された複数の画素回路の回路図。
【図 1 8】マトリクス状に配置された複数の画素回路の回路図。
【図 1 9】マトリクス状に配置された複数の画素回路の回路図。 10
【図 2 0】マトリクス状に配置された複数の画素回路の回路図。
【図 2 1】マトリクス状に配置された複数の画素回路の回路図。
【図 2 2】マトリクス状に配置された複数の画素回路の回路図。
【図 2 3】マトリクス状に配置された複数の画素回路の回路図。
【図 2 4】マトリクス状に配置された複数の画素回路の回路図。
【図 2 5】画素回路のレイアウトを説明する上面図および断面図。
【図 2 6】画素回路のレイアウトを説明する上面図および断面図。
【図 2 7】画素回路のレイアウトを説明する上面図。
【図 2 8】画素回路のレイアウトを説明する断面図。
【図 2 9】トランジスタの構成を説明する図。 20
【図 3 0】X線照射前後のトランジスタの I D - V G 特性を示す図。
【図 3 1】紫外光照射によるトランジスタの I D - V G 特性の変動を示す図。
【発明を実施するための形態】

【 0 0 2 3 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略することがある。

【 0 0 2 4 】

なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【 0 0 2 5 】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【 0 0 2 6 】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）

、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0027】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

【0028】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【0029】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、またはアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

30

【0030】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

40

【0031】

（実施の形態1）

本実施の形態では、本発明の一態様であるX線等の放射線を用いる撮像装置について、図

50

面を参照して説明する。

【0032】

図1(A)は本発明の一態様の撮像装置の上面図であり、当該上面図に示すA1 - A2における断面図が図1(B)である。なお、図の明瞭化のため、図1(A)においては一部の要素を省いている。

【0033】

本発明の一態様の撮像装置は、基板100上にマトリクス状に形成された画素回路110と、当該画素回路を駆動するための第1の回路140および第2の回路150と、画素回路110、第1の回路140、および第2の回路150上に形成された層間絶縁膜170およびシンチレータ180と、当該シンチレータと重畳する遮蔽層160を有する。

10

【0034】

なお、図1(A)では、画素回路110を駆動するための回路を第1の回路140および第2の回路150と称し、二つの領域に配置する構成を例示したが、当該回路の構成はこれに限られない。例えば、画素回路110を駆動するための回路を一つの領域にまとめて配置してもよい。また、画素回路110を駆動するための回路を三つ以上に分割して配置してもよい。また、画素回路110を駆動するための回路は、画素回路110を構成するトランジスタと同様に基板100上に直接形成する構成であってもよいし、COG(Chip On Glass)などでICチップを実装する構成であってもよい。また、TCP(Tape Carrier Package)などを画素回路110に接続する構成であってもよい。

20

【0035】

被写体を透過したX線等の放射線は、遮蔽層160に設けられた開口部130を通してシンチレータ180に入射され、可視光や紫外光などの光(蛍光)に変換される。そして、当該光を画素回路110に設けられた受光素子で検知し、画像データを取得する。なお、開口部130は図示した形状に限らず、多角形や円形であってもよい。また、遮蔽層160が島状に形成されていてもよい。

【0036】

シンチレータ180は、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質、または当該物質を含む材料からなり、例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などの材料や、それらを樹脂やセラミクスに分散させたものが知られている。ただし、シンチレータ180に照射された放射線の一部はフォトルミネッセンスに利用されず、シンチレータ180を通過してしまう。

30

【0037】

層間絶縁膜はシンチレータ180が発する光に対して透光性を有する材料で形成することが好ましい。例えば、可視光および紫外光に対する透過率の高い材料としては、酸化珪素などがある。

【0038】

画素回路110は、受光素子部、およびトランジスタ等を含む回路部120を有する。図1(B)に示す構成においては、受光素子部は回路部120に含まれる。

40

【0039】

図1(A)、(B)に図示されているように、回路部120、第1の回路140、および第2の回路150は遮蔽層160と重畳するため、シンチレータを透過するX線等の放射線が上記回路を構成するトランジスタに照射されることを防ぐことができる。例えば、酸化半導体をチャネル形成領域に用いたトランジスタに1000 GyのX線を照射した場合、トランジスタのID-VG特性は、図30に示すようにしきい値電圧がマイナス方向にシフトしてしまう。本発明の一態様における撮像装置の構成では、このような電気特性の変動を抑えることができる。

【0040】

50

図１（Ｂ）の構成では、図２に示すように、シンチレータ１８０内でＸ線等の放射線１９０から変換された可視光または紫外光などの光１９５が透光性を有する層間絶縁膜１７０に進入する。そして、光１９５の一部は、回路部１２０に含まれる受光素子部に直接到達する。

【００４１】

なお、シンチレータに含まれる樹脂等の構成材料は、層間絶縁膜１７０よりも屈折率の高い材料であることが好ましい。当該材料と層間絶縁膜１７０との構成により、遮蔽層１６０下部にある受光素子部にシンチレータ１８０内で散乱した光１９５が到達しやすいように屈折させることができる。また、シンチレータ１８０内で散乱した光１９５が遮蔽層１６０下部にある受光素子部に到達しやすいようにするため、開口部１３０に拡散板、レンズアレイ、回折格子、導波路（光ファイバー）、またはメタルの鏡などを設けてもよい。

10

【００４２】

遮蔽層１６０としては、鉛、金、白金、イリジウム、オスミウム、レニウム、タングステン、タンタル、ハフニウム、パラジウム、ロジウム、ルテニウムなどから選択された材料を用い、単層または積層で形成することができる。特に、安全性や遮蔽能力などを考慮すると、タングステンやタンタルが選択されることがある。価格などを考慮すると、鉛が選択されることがある。遮蔽層１６０は、Ｘ線等の放射線を遮蔽する機能を有する層である。

【００４３】

このような構成とすることで、シンチレータ１８０および開口部１３０を通過し、受光素子部に照射されるＸ線等の放射線を低減することができる。したがって、トランジスタと同様に半導体を用いて形成される受光素子部の電気特性の変動を抑制することができる。

20

【００４４】

また、図３に示す断面図のように、開口部１３０の直下に受光素子１２５を配置してもよい。この場合は、シンチレータ１８０でＸ線等の放射線から変換された可視光または紫外光などの光１９５が受光素子１２５に到達しやすくなるため、受光感度を向上させることができる。ただし、シンチレータ１８０を通過したＸ線等の放射線が受光素子１２５に直接照射されてしまう。したがって、受光素子１２５としては、放射線照射による電気特性の変動が少ない素子を用いることが好ましい。

【００４５】

本発明の一態様の撮像装置は、図４（Ａ）、（Ｂ）に示す構成であってもよい。図４（Ａ）は上面図であり、当該上面図に示すＢ１－Ｂ２における断面図が図４（Ｂ）である。なお、図の明瞭化のため、図４（Ａ）においては一部の要素を省いている。

30

【００４６】

図４に示す撮像装置は、基板１００上にマトリクス状に形成された画素回路１１０と、当該画素回路を駆動するための第１の回路１４０および第２の回路１５０と、画素回路１１０、第１の回路１４０、および第２の回路１５０上に形成された透光性を有する層間絶縁膜１７０および遮蔽層１６０と、当該遮蔽層と重畳するシンチレータ１８０を有する。

【００４７】

図４に示す撮像装置は、図１に示す装置とは遮蔽層１６０とシンチレータ１８０の積層順序が異なり、その他の構成は同じである。

40

【００４８】

図４に示す撮像装置は、図５に示すように、シンチレータ１８０内でＸ線等の放射線１９０から変換された可視光または紫外光などの光１９５が透光性を有する層間絶縁膜１７０に進入する。そして、光１９５の一部は、回路部１２０に含まれる受光素子部に直接到達する。また、シンチレータ１８０内で散乱した光１９５は、層間絶縁膜１７０内で反射を繰り返し、その一部を回路部１２０に含まれる受光素子部に到達させることができる。

【００４９】

なお、開口部１３０は、層間絶縁膜１７０よりも屈折率の高い材料を有していてもよい。当該材料が開口部１３０に形成されていることで、遮蔽層１６０下部にある受光素子部にシンチレータ１８０内で散乱した光１９５が到達しやすいように屈折させることができる

50

。また、開口部 130 は、シンチレータ 180 や透光性の接着層を有していてもよい。また、シンチレータ 180 と遮蔽層 160 との間に接着層を有していてもよい。また、開口部 130 に拡散板、レンズアレイ、回折格子、導波路（光ファイバー）、またはメタルの鏡などを設けてもよい。

【0050】

なお、図 4 に示す撮像装置も、図 3 に示すような開口部 130 の直下に受光素子 125 を配置する構成としてもよい。

【0051】

また、本発明の一態様の撮像装置は、図 6（A）、（B）に示す構成であってもよい。図 6（A）は上面図であり、当該上面図に示す C1 - C2 における断面図が図 6（B）である。なお、図の明瞭化のため、図 6（A）においては一部の要素を省いている。

10

【0052】

図 6 に示す撮像装置は、重金属を含む基板 101 の一方の面上にマトリクス状に形成された画素回路 110 と、当該画素回路を駆動するための第 1 の回路 140 および第 2 の回路 150 と、画素回路 110、第 1 の回路 140、および第 2 の回路 150 上に形成された透光性を有する層間絶縁膜 170 を有し、基板 101 の他方の面上にシンチレータ 180 を有する。

【0053】

図 1 および図 4 に示す撮像装置では前述した金属材料を用いた遮蔽層 160 によってトランジスタ等に照射される X 線等の放射線を遮蔽する構成である。一方、図 6 に示す撮像装置は、鉛ガラスに代表される重金属等を含む基板 101 によって、X 線等の放射線を遮蔽する構成である。したがって、図 1 および図 4 の撮像装置の構成要素である遮蔽層 160 を省くことができる。

20

【0054】

重金属を含む基板 101 としては、例えば、前述した遮蔽層 160 として用いることのできる金属材料を一つ以上含むガラス基板を用いることができる。また、ストロンチウムやバリウムを放射線の遮蔽物として含むガラス基板を用いてもよい。その他の共通する要素は、図 1 の撮像装置の説明を参照することができる。

【0055】

また、本発明の一態様の撮像装置は、図 7（A）、（B）に示す構成であってもよい。図 7（A）は上面図であり、当該上面図に示す D1 - D2 における断面図が図 7（B）である。なお、図の明瞭化のため、図 7（A）においては一部の要素を省いている。

30

【0056】

図 7 に示す撮像装置は、基板 100 上にマトリクス状に形成された画素回路 110 と、当該画素回路を駆動するための第 1 の回路 140 および第 2 の回路 150 と、画素回路 110、第 1 の回路 140、および第 2 の回路 150 上に形成された透光性を有する層間絶縁膜 170 を有し、当該層間絶縁膜上に重金属を含むシンチレータ 181 を有する。

【0057】

図 7 に示す撮像装置は、重金属を含むシンチレータ 181 によってトランジスタ等に照射される X 線等の放射線を遮蔽する構成であり、図 1 および図 4 の撮像装置の構成要素である遮蔽層 160 を省くことができる。

40

【0058】

重金属を含むシンチレータ 181 としては、前述した遮蔽層 160 として用いることのできる金属材料を一つ以上含むシンチレータを用いることができる。その他の共通する要素は、図 1 の撮像装置の説明を参照することができる。

【0059】

以上により、X 線等の放射線照射に対して安定性が高く、電気特性の低下を抑制できる構成の撮像装置を提供することができる。

【0060】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる

50

。

【 0 0 6 1 】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した画素回路として用いることのできる回路について説明する。

【 0 0 6 2 】

画素回路 1 1 0 として用いることのできる回路の一例を図 8 (A) に示す。回路 2 0 0 は、フォトダイオード 2 2 0、第 1 のトランジスタ 2 0 1、第 2 のトランジスタ 2 0 2、第 3 のトランジスタ 2 0 3 を含んで構成される。

【 0 0 6 3 】

フォトダイオード 2 2 0 のアノードは第 1 の配線 2 1 1 (R S) と電氣的に接続され、フォトダイオード 2 2 0 のカソードは第 1 のトランジスタ 2 0 1 のソースまたはドレインの一方と電氣的に接続され、第 1 のトランジスタ 2 0 1 のソースまたはドレインの他方は配線 2 0 5 (F D) と電氣的に接続され、第 1 のトランジスタ 2 0 1 のゲートは第 2 の配線 2 1 2 (T X と電氣的に接続され)、第 2 のトランジスタ 2 0 2 のソースまたはドレインの一方は第 4 の配線 2 1 4 (G N D) と電氣的に接続され、第 2 のトランジスタ 2 0 2 のソースまたはドレインの他方は第 3 のトランジスタ 2 0 3 のソースまたはドレインの一方と電氣的に接続され、第 2 のトランジスタ 2 0 2 のゲートは配線 2 0 5 (F D) と電氣的に接続され、第 3 のトランジスタ 2 0 3 のソースまたはドレインの他方は第 5 の配線 2 1 5 (O U T) と電氣的に接続され、第 3 のトランジスタ 2 0 3 のゲートは第 3 の配線 2 1 3 (S E) と電氣的に接続されている。

【 0 0 6 4 】

フォトダイオード 2 2 0 は受光素子であり、画素回路に入射した光に応じた電流を生成する動作を行う。第 1 のトランジスタ 2 0 1 は、フォトダイオード 2 2 0 による配線 2 0 5 (F D) への電荷蓄積を制御する。第 2 のトランジスタ 2 0 2 は、配線 2 0 5 (F D) の電位に応じた信号を出力する動作を行う。第 3 のトランジスタ 2 0 3 は、読み出し時に画素回路の選択を制御する。

【 0 0 6 5 】

なお、配線 2 0 5 (F D) は、電荷保持ノードであり、フォトダイオード 2 2 0 が受ける光の量に応じて変化する電荷を保持する、所謂電荷蓄積部である。実質的な電荷蓄積部は、配線 2 0 5 (F D) と電氣的に接続される第 1 のトランジスタ 2 0 1 のソース領域またはドレイン領域近傍の空乏層容量、配線 2 0 5 (F D) の配線容量、配線 2 0 5 (F D) と電氣的に接続される第 2 のトランジスタ 2 0 2 のゲート容量などである。

【 0 0 6 6 】

第 1 の配線 2 1 1 (R S) は、配線 2 0 5 (F D) をリセットするための信号線である。なお、回路 2 0 0 における第 1 の配線 2 1 1 (R S) は、配線 2 0 5 (F D) への電荷蓄積を行うための信号線でもある。第 2 の配線 2 1 2 (T X) は、第 1 のトランジスタ 2 0 1 を制御するための信号線である。第 3 の配線 2 1 3 (S E) は、第 3 のトランジスタ 2 0 3 を制御するための信号線である。第 4 の配線 2 1 4 (G N D) は、基準電位 (例えば G N D) を設定する信号線である。第 5 の配線 2 1 5 (O U T) は、回路 2 0 0 で得られた情報を読み出すための信号線である。

【 0 0 6 7 】

また、画素回路 1 1 0 は、図 8 (B) に示す構成であってもよい。図 8 (B) に示す回路 2 1 0 は、図 8 (A) に示す回路 2 0 0 と構成要素は同じであるが、フォトダイオード 2 2 0 のアノードが第 1 のトランジスタ 2 0 1 のソースまたはドレインの一方と電氣的に接続され、フォトダイオード 2 2 0 のカソードが第 1 の配線 2 1 1 (R S) と電氣的に接続される点で異なる。

【 0 0 6 8 】

次に、図 8 (A)、(B) に示す各素子の構成について説明する。

【 0 0 6 9 】

フォトダイオード 220 には、シリコン半導体などで p n 型や p i n 型の接合を形成したものをを用いることができる。シンチレータが可視光を発する場合、i 型の半導体層を非晶質シリコンで形成した p i n 型フォトダイオードを用いることが好ましい。非晶質シリコンは可視光の波長領域における分光感度が高く、微弱な可視光を検知しやすい。

【0070】

なお、i 型の半導体とは、フェルミ準位がバンドギャップの中央に位置する所謂真性半導体の他、半導体に含まれる p 型を付与する不純物、または n 型を付与する不純物がそれぞれ $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の濃度であり、暗伝導度に対して光伝導度が高い半導体を指す。

【0071】

第 1 のトランジスタ 201、第 2 のトランジスタ 202、および第 3 のトランジスタ 203 は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、酸化物半導体を用いて形成することが好ましい。酸化物半導体でチャネル形成領域を形成したトランジスタは、極めてオフ電流が低い特性を示す特徴を有している。

【0072】

特に、配線 205 (FD) と接続されている第 1 のトランジスタ 201 のリーク電流が大きいと、配線 205 (FD) に蓄積された電荷が保持できる時間が十分でなくなるため、少なくとも第 1 のトランジスタ 201 は、酸化物半導体を用いて形成すると良い。該トランジスタに酸化物半導体を用いたトランジスタを使用することで、フォトダイオードを介した不要な電荷の流出を防止することができる。

【0073】

また、第 2 のトランジスタ 202、第 3 のトランジスタ 203 においても、リーク電流が大きいと、第 4 の配線 214 または第 5 の配線 215 に不必要な電荷の出力が起こるため、これらのトランジスタとして、酸化物半導体でチャネル形成領域を形成したトランジスタを用いてもよい。

【0074】

次に、図 8 (A) の回路 200 の動作の例について図 9 (A) に示すタイミングチャートを用いて説明する。

【0075】

図 9 (A) では簡易に説明するため、各配線の電位は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。なお、図に示す信号 301 は第 1 の配線 211 (RS) の電位、信号 302 は第 2 の配線 212 (TX) の電位、信号 303 は第 3 の配線 213 (SE) の電位、信号 304 は配線 205 (FD) の電位、信号 305 は第 5 の配線 215 (OUT) の電位に相当する。

【0076】

時刻 A において、第 1 の配線 211 の電位 (信号 301) を "High"、第 2 の配線 212 の電位 (信号 302) を "High" とすると、フォトダイオード 220 に順方向バイアスが印加され、配線 205 の電位 (信号 304) が "High" となる。すなわち、電荷蓄積部の電位は第 1 の配線 211 の電位に初期化され、リセット状態となる。以上がリセット動作の開始である。なお、第 5 の配線 215 の電位 (信号 305) は、"High" にプリチャージしておく。

【0077】

時刻 B において、第 1 の配線 211 の電位 (信号 301) を "Low"、第 2 の配線 212 の電位 (信号 302) を "High" とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード 220 には逆方向バイアスが印加されるため、逆方向電流により、配線 205 の電位 (信号 304) が低下し始める。フォトダイオード 220 は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて配線 205 の電位 (信号 304) の低下速度は変化する。すなわち、フォトダイオード 220 に照射

10

20

30

40

50

する光の量に応じて、第2のトランジスタ202のソースとドレイン間のチャネル抵抗が変化する。

【0078】

なお、ここでフォトダイオード220に照射される光とは、シンチレータによってX線等の放射線から変換された光を指す。

【0079】

時刻Cにおいて、第2の配線212の電位(信号302)を"Low"とすると蓄積動作が終了し、配線205の電位(信号304)は一定となる。ここで、当該電位は、蓄積動作中にフォトダイオード220が生成した電荷量により決まる。すなわち、フォトダイオード220に照射されていた光の量に応じて変化する。また、第1のトランジスタ201は、酸化物半導体層でチャネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作(読み出し動作)を行うまで、配線205の電位を一定に保つことが可能である。

10

【0080】

なお、第2の配線212の電位(信号302)を"Low"とする際に、第2の配線212と配線205との間における寄生容量により、配線205の電位に変化が生じることがある。当該電位の変化量が大きい場合は、蓄積動作中にフォトダイオード220が生成した電荷量を正確に取得できないことになる。当該電位の変化量を低減するには、第1のトランジスタ201のゲート-ソース(もしくはゲート-ドレイン)間容量を低減する、第2のトランジスタ202のゲート容量を増大する、配線205に保持容量を設ける、などの対策が有効である。なお、本実施の形態では、これらの対策により当該電位の変化を無視できるものとしている。

20

【0081】

時刻Dに、第3の配線213の電位(信号303)を"High"にすると、第3のトランジスタ203が導通して選択動作が開始され、第4の配線214と第5の配線215が、第2のトランジスタ202と第3のトランジスタ203とを介して導通する。そして、第5の配線215の電位(信号305)は、低下していく。なお、第5の配線215のプリチャージは、時刻D以前に終了しておけばよい。ここで、第5の配線215の電位(信号305)が低下する速さは、第2のトランジスタ202のソースとドレイン間の電流に依存する。すなわち、蓄積動作中にフォトダイオード220に照射されている光の量に応じて変化する。

30

【0082】

時刻Eにおいて、第3の配線213の電位(信号303)を"Low"にすると、第3のトランジスタ203が遮断されて選択動作は終了し、第5の配線215の電位(信号305)は、一定値となる。ここで、一定値となる値は、フォトダイオード220に照射されていた光の量に応じて変化する。したがって、第5の配線215の電位を取得することで、蓄積動作中にフォトダイオード220に照射されていた光の量を知ることができる。

【0083】

より具体的には、フォトダイオード220に照射されている光が強いと、配線205の電位は低くなり、第2のトランジスタ202のゲート電圧は低くなるので、第5の配線215の電位(信号305)はゆっくりと低下する。したがって、第5の配線215からは比較的高い電位を読み出すことができる。

40

【0084】

逆に、フォトダイオード220に照射されている光が弱いと、配線205の電位は高くなり、第2のトランジスタ202のゲート電圧は高くなるので、第5の配線215の電位(信号305)は速く低下する。したがって、第5の配線215からは比較的低い電位を読み出すことができる。

【0085】

次に、図8(B)の回路210の動作の例について図9(B)に示すタイミングチャートを用いて説明する。

50

【 0 0 8 6 】

時刻 A において、第 1 の配線 2 1 1 の電位 (信号 3 0 1) を " L o w " 、第 2 の配線 2 1 2 の電位 (信号 3 0 2) を " H i g h " とすると、フォトダイオード 2 2 0 に順方向バイアスが印加され、配線 2 0 5 の電位 (信号 3 0 4) が " L o w " となる。すなわち、電荷蓄積部の電位はリセット状態となる。以上がリセット動作の開始である。なお、第 5 の配線 2 1 5 電位 (信号 3 0 5) は、" H i g h " にプリチャージしておく。

【 0 0 8 7 】

時刻 B において、第 1 の配線 2 1 1 の電位 (信号 3 0 1) を " H i g h " 、第 2 の配線 2 1 2 の電位 (信号 3 0 2) を " H i g h " とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード 2 2 0 には逆方向バイアスが印加されるため、逆方向電流により、配線 2 0 5 の電位 (信号 3 0 4) が増加し始める。フォトダイオード 2 2 0 は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて配線 2 0 5 の電位 (信号 3 0 4) の増加速度は変化する。すなわち、フォトダイオード 2 2 0 に照射する光の量に応じて、第 2 のトランジスタ 2 0 2 のソースとドレイン間のチャネル抵抗が変化する。

10

【 0 0 8 8 】

時刻 C 以降の動作は、図 9 (A) のタイミングチャートの説明を参照することができ、時刻 E において、第 5 の配線 2 1 5 の電位を取得することで、蓄積動作中にフォトダイオード 2 2 0 に照射されていた光の量を知ることができる。

20

【 0 0 8 9 】

また、画素回路 1 1 0 は、図 1 0 (A) 、 (B) に示す構成であってもよい。

【 0 0 9 0 】

図 1 0 (A) に示す回路 2 5 0 は、図 8 (A) に示す回路 2 0 0 の構成に第 4 のトランジスタ 2 0 4 が加えられた構成であり、当該トランジスタのゲートは第 1 の配線 2 1 1 (R S) と電氣的に接続され、ソースまたはドレインの一方は配線 2 0 5 (F D) と電氣的に接続され、ソースまたはドレインの他方は第 7 の配線 2 1 7 と電氣的に接続され、フォトダイオード 2 2 0 のアノードが第 6 の配線 2 1 6 に電氣的に接続される。ここで、第 6 の配線 2 1 6 はフォトダイオード 2 2 0 に常時逆バイアスを印加するための信号線 (低電位線) である。また、第 7 の配線 2 1 7 は配線 2 0 5 を高電位にリセットするための信号線 (高電位線) である。

30

【 0 0 9 1 】

第 4 のトランジスタ 2 0 4 は、配線 2 0 5 (F D) をリセットするためのリセットトランジスタとして機能する。したがって、図 8 (A) に示す回路 2 0 0 とは異なり、フォトダイオード 2 2 0 を介したリセット動作は行われず、該フォトダイオードは常時逆バイアスが印加されている。配線 2 0 5 (F D) のリセットは、第 1 の配線 2 1 1 (R S) の電位を " H i g h " に制御することで行うことができ、回路 2 5 0 は、図 8 (A) に示す回路 2 0 0 と同じく、図 9 (A) に示すタイミングチャートで動作することができる。

【 0 0 9 2 】

また、図 1 0 (B) に示す回路 2 6 0 は、図 8 (B) に示す回路 2 1 0 の構成に第 4 のトランジスタ 2 0 4 が加えられた構成であり、当該トランジスタのゲートは第 1 の配線 2 1 1 (R S) と電氣的に接続され、ソースまたはドレインの一方は配線 2 0 5 (F D) と電氣的に接続され、ソースまたはドレインの他方は第 7 の配線 2 1 7 と電氣的に接続され、フォトダイオード 2 2 0 のカソードが第 6 の配線 2 1 6 に電氣的に接続される。ここで、第 6 の配線 2 1 6 はフォトダイオード 2 2 0 に常時逆バイアスを印加するための信号線 (高電位線) である。また、第 7 の配線 2 1 7 は配線 2 0 5 を低電位にリセットするための信号線 (低電位線) である。

40

【 0 0 9 3 】

第 4 のトランジスタ 2 0 4 は、配線 2 0 5 (F D) をリセットするためのリセットトランジスタとして機能する。したがって、図 8 (B) に示す回路 2 1 0 とは異なり、フォトダイオード 2 2 0 を介したリセット動作は行われず、該フォトダイオードは常時逆バイアス

50

が印加されている。配線 205 (FD) のリセットは、第 1 の配線 211 (RS) の電位を "High" に制御することで行うことができ、回路 260 は、図 9 (C) に示すタイミングチャートで動作することができる。

【0094】

なお、第 4 のトランジスタ 204 は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、リーク電流が大きいと、電荷蓄積部で電荷が保持できる時間が十分でなくなってしまう。したがって、第 1 のトランジスタ 201 と同じく、オフ電流が極めて小さい特性を有する酸化物半導体で形成したトランジスタを用いることが好ましい。

【0095】

また、画素回路 110 は、図 11 に示す構成であってもよい。図 11 に示す回路 270 は、図 8 (A) または図 8 (B) の構成における受光素子をフォトダイオードから可変抵抗素子 230 に置き換えた構成である。当該可変抵抗素子には、一対の電極と、その一対の電極間に設けられた i 型の導電型を有する半導体層を用いることができる。

【0096】

例えば、当該半導体層として i 型非晶質シリコン層を用いると、可視光が照射されることにより抵抗が変化するため、フォトダイオードを用いた場合と同様に配線 205 の電位を変化させることができ、蓄積動作中に可変抵抗素子 230 に照射されていた光の量を知ることができる。また、i 型の導電型を有する半導体層として、バンドギャップが 3 eV 以上の酸化物半導体層を用いてもよい。当該酸化物半導体層は、紫外光が照射されることにより抵抗が変化するため、配線 205 の電位を変化させることができ、蓄積動作中に可変抵抗素子 230 に照射されていた光の量を知ることができる。なお、可変抵抗素子 230 に照射される光の波長を選択するには、シンチレータ 180 の種類を変更すればよい。

【0097】

図 11 に示す回路 270 は、第 6 の配線 216 の電位を "Low"、第 7 の配線 217 の電位を "High" とすれば、図 9 (A) のタイミングチャートに従って動作させることができる。また、第 6 の配線 216 の電位を "High"、第 7 の配線 217 の電位を "Low" とすることで、図 9 (C) のタイミングチャートに従って動作させることができる。

【0098】

また、画素回路 110 は、図 12 に示す構成であってもよい。

【0099】

図 12 に示す回路 280 は、図 8 (A) に示す回路 200 の構成において、フォトダイオード 220 をトランジスタ 240 に置き換えた構成であり、当該トランジスタのゲートは第 1 の配線 211 (RS) と電気的に接続され、ソースまたはドレインの一方は第 1 のトランジスタ 201 のソースまたはドレインの一方と電気的に接続され、ソースまたはドレインの他方は第 8 の配線 (RS2) と電気的に接続される。

【0100】

トランジスタ 240 は、オフ状態で流れる電流が光の照射によって変化する (光の照射強度が大きいほど、電流が多く流れる)。したがって、トランジスタ 240 をオフ状態となるようにゲートに電圧を印加することで、フォトダイオードの逆バイアス状態と同様の状態とすることができ、受光素子として動作させることができる。また、別途フォトダイオードを形成する必要がなく、撮像装置を安価に形成することができる。

【0101】

なお、トランジスタ 240 としては、オフ電流が極めて小さいトランジスタを用いることで、ダイナミックレンジを拡大させることができる。このようなトランジスタとしては、前述した第 1 のトランジスタ 201 乃至第 3 のトランジスタ 203 として用いることのできる酸化物半導体を用いたトランジスタであることが好ましい。

【0102】

また、受光素子として用いるトランジスタ 240 をバンドギャップが 3 eV 以上の酸化物

10

20

30

40

50

半導体を用いて形成すると、当該トランジスタのオフ電流は紫外光の照射に対して大きく変化ようになる。すなわち、当該トランジスタを紫外光センサとして動作させることができる。例えば、図31はチャネル形成領域をIn-Ga-Zn酸化物で形成したトランジスタに波長の異なる紫外線を照射したときのID-VG特性である。波長が短いほど、オフ状態の電流値が高く、紫外線に反応しやすいことがわかる。

【0103】

次に、図12の回路280の動作の例について図13(A)に示すタイミングチャートを用いて説明する。

【0104】

図に示す信号301は第1の配線211(RS)の電位、信号302は第2の配線212(TX)の電位、信号303は第3の配線213(SE)の電位、信号304は配線205(FD)の電位、信号305は第5の配線215(OUT)の電位、信号308は第8の配線218の電位に相当する。

10

【0105】

時刻Aにおいて、第1の配線211の電位(信号301)を"High"、第2の配線212の電位(信号302)を"High"、第8の配線218の電位(信号308)を"High"とすると、トランジスタ240はオン状態となり、配線205の電位(信号304)が"High"となる。すなわち、電荷蓄積部の電位は第8の配線218の電位に初期化され、リセット状態となる。以上がリセット動作の開始である。なお、第5の配線215の電位(信号305)は、"High"にプリチャージしておく。

20

【0106】

時刻Bにおいて、第1の配線211の電位(信号301)を"Low"、第2の配線212の電位(信号302)を"High"、第8の配線218の電位(信号308)を"Low"とするとリセット動作が終了し、蓄積動作が開始される。ここで、トランジスタ240はオフ状態となるが、当該トランジスタのソース-ドレイン間に流れる電流が光の照射によって変化するため、配線205の電位(信号304)が低下し始める。トランジスタ240は、光が照射されるとオフ電流が増大するので、照射される光の量に応じて配線205の電位(信号304)の低下速度は変化する。すなわち、トランジスタ240に照射する光の量に応じて、第2のトランジスタ202のソースとドレイン間のチャネル抵抗が変化する。

30

【0107】

なお、ここでトランジスタ240に照射される光とは、シンチレータによってX線等の放射線から変換された光を指す。

【0108】

時刻Cにおいて、第2の配線212の電位(信号302)を"Low"とすると蓄積動作が終了し、配線205の電位(信号304)は一定となる。ここで、当該電位は、蓄積動作中にトランジスタ240に照射されていた光の量に応じて変化する。また、第1のトランジスタ201は、酸化物半導体層でチャネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作(読み出し動作)を行うまで、配線205の電位を一定に保つことが可能である。

40

【0109】

時刻Dに、第3の配線213の電位(信号303)を"High"にすると、第3のトランジスタ203が導通して選択動作が開始され、第4の配線214と第5の配線215が、第2のトランジスタ202と第3のトランジスタ203とを介して導通する。そして、第5の配線215の電位(信号305)は、低下していく。なお、第5の配線215のプリチャージは、時刻D以前に終了しておけばよい。ここで、第5の配線215の電位(信号305)が低下する速さは、第2のトランジスタ202のソースとドレイン間の電流に依存する。すなわち、蓄積動作中にトランジスタ240に照射されている光の量に応じて変化する。

【0110】

50

時刻 E において、第 3 の配線 2 1 3 の電位 (信号 3 0 3) を " L o w " にすると、第 3 のトランジスタ 2 0 3 が遮断されて選択動作は終了し、第 5 の配線 2 1 5 の電位 (信号 3 0 5) は、一定値となる。ここで、一定値となる値は、トランジスタ 2 4 0 に照射されていた光の量に応じて変化する。したがって、第 5 の配線 2 1 5 の電位を取得することで、蓄積動作中にトランジスタ 2 4 0 に照射されていた光の量を知ることができる。

【 0 1 1 1 】

また、図 1 2 の回路 2 8 0 は、図 1 3 (B) に示すタイミングチャートによっても動作させることができる。

【 0 1 1 2 】

時刻 A において、第 1 の配線 2 1 1 の電位 (信号 3 0 1) を " H i g h "、第 2 の配線 2 1 2 の電位 (信号 3 0 2) を " H i g h "、第 8 の配線 2 1 8 の電位 (信号 3 0 8) を " L o w " とすると、トランジスタ 2 4 0 はオン状態となり、配線 2 0 5 の電位 (信号 3 0 4) が " L o w " となる。すなわち、電荷蓄積部の電位は第 8 の配線 2 1 8 の電位に初期化され、リセット状態となる。以上がリセット動作の開始である。なお、第 5 の配線 2 1 5 の電位 (信号 3 0 5) は、" H i g h " にプリチャージしておく。

【 0 1 1 3 】

時刻 B において、第 1 の配線 2 1 1 の電位 (信号 3 0 1) を " L o w "、第 2 の配線 2 1 2 の電位 (信号 3 0 2) を " H i g h "、第 8 の配線 2 1 8 の電位 (信号 3 0 8) を " H i g h " とするとリセット動作が終了し、蓄積動作が開始される。ここで、トランジスタ 2 4 0 はオフ状態となるが、当該トランジスタのソース - ドレイン間に流れる電流が光の照射によって変化するため、配線 2 0 5 の電位 (信号 3 0 4) が上昇し始める。トランジスタ 2 4 0 は、光が照射されるとオフ電流が増大するので、照射される光の量に応じて配線 2 0 5 の電位 (信号 3 0 4) の上昇速度は変化する。すなわち、トランジスタ 2 4 0 に照射する光の量に応じて、第 2 のトランジスタ 2 0 2 のソースとドレイン間のチャネル抵抗が変化する。

【 0 1 1 4 】

時刻 C 以降の動作は、図 1 3 (A) のタイミングチャートの説明を参照することができ、時刻 E において、第 5 の配線 2 1 5 の電位を取得することで、蓄積動作中にトランジスタ 2 4 0 に照射されていた光の量を知ることができる。

【 0 1 1 5 】

また、画素回路 1 1 0 は、図 1 4 に示す構成であってもよい。

【 0 1 1 6 】

図 1 4 に示す回路 2 9 0 は、図 1 0 (A) に示す回路 2 5 0 の構成において、フォトダイオード 2 2 0 をトランジスタ 2 4 0 に置き換えた構成であり、当該トランジスタのゲートは第 6 の配線 2 1 6 と電氣的に接続され、ソースまたはドレインの一方は第 1 のトランジスタ 2 0 1 のソースまたはドレインの一方と電氣的に接続され、ソースまたはドレインの他方は第 8 の配線と電氣的に接続される。

【 0 1 1 7 】

図 1 4 に示す回路 2 9 0 は、第 6 の配線 2 1 6 の電位を常時 " L o w "、第 7 の配線 2 1 7 の電位を常時 " H i g h "、第 8 の配線 2 1 8 の電位を常時 " L o w " とすることで、図 9 (A) に示すタイミングチャートに従って動作させることができる。また、第 6 の配線 2 1 6 の電位を常時 " L o w "、第 7 の配線 2 1 7 の電位を常時 " L o w "、第 8 の配線 2 1 8 の電位を常時 " H i g h " とすることで、図 9 (C) に示すタイミングチャートに従って動作させることもできる。

【 0 1 1 8 】

なお、上述した画素回路 1 1 0 に用いることのできる回路例において、第 5 の配線 2 1 5 (O U T) には、図 1 5 (A)、(B)、(C) に示すような積分回路が接続されていてもよい。当該回路によって、読み出し信号の S / N 比を高めることができ、より微弱な光を検出することができる。すなわち、撮像装置の感度を高めることができる。

【 0 1 1 9 】

図 1 5 (A) は、演算増幅回路 (O P アンプともいう) を用いた積分回路である。演算増幅回路の反転入力端子は、抵抗素子 R を介して第 5 の配線 2 1 5 (O U T) に接続される。演算増幅回路の非反転入力端子は、接地電位に接続される。演算増幅回路の出力端子は、容量素子 C を介して演算増幅回路の反転入力端子に接続される。

【 0 1 2 0 】

ここで、演算増幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大 (入力端子に電流が流れ込まない) と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

【 0 1 2 1 】

第 5 の配線 2 1 5 の電位を V_i 、演算増幅回路の出力端子の電位を V_o 、抵抗素子 R を流れる電流を i_1 、容量素子 C を流れる電流を i_2 とすると、式 (1)、式 (2)、式 (3) の関係が成り立つ。

【 0 1 2 2 】

【数 1】

$$V_i = i_1 \cdot R \quad \dots (1)$$

$$i_2 = C \cdot dV_o / dt \quad \dots (2)$$

$$i_1 + i_2 = 0 \quad \dots (3)$$

【 0 1 2 3 】

ここで、時刻 $t = 0$ で容量素子 C の電荷を放電したとすると、時刻 $t = t$ における演算増幅回路の出力端子の電位 V_o は、式 (4) で表される。

【 0 1 2 4 】

【数 2】

$$V_o = -(1/CR) \int V_i dt \quad \dots (4)$$

【 0 1 2 5 】

すなわち、時間 t (積分時間) を長く設定することで、読み出しの電位 (V_i) を高めて出力信号 V_o として出力することができる。また、熱ノイズなどを平均化することにも相当し、出力信号 V_o の S / N 比を向上することが可能である。

【 0 1 2 6 】

なお、実際の演算増幅回路では、入力端子に信号が入力されない時でもバイアス電流が流れるため、出力端子に出力電圧が生じ、容量素子 C に電荷が蓄積されてしまう。そのため、容量素子 C に並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【 0 1 2 7 】

図 1 5 (B) は、図 1 5 (A) とは異なる構成の演算増幅回路を用いた積分回路である。演算増幅回路の反転入力端子は、抵抗素子 R と容量素子 C 1 を介して第 5 の配線 2 1 5 (O U T) に接続される。演算増幅回路の非反転入力端子は、接地電位に接続される。演算増幅回路の出力端子は、容量素子 C 2 を介して演算増幅回路の反転入力端子に接続される。

【 0 1 2 8 】

ここで、演算増幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大 (入力端子に電流が流れ込まない) と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

。

【 0 1 2 9 】

第 5 の配線 2 1 5 の電位を V_i 、演算増幅回路の出力端子の電位を V_o 、抵抗素子 R および容量素子 C_1 を流れる電流を i_1 、容量素子 C_2 を流れる電流を i_2 とすると、式 (5)、式 (6)、式 (7) の関係が成り立つ。

【 0 1 3 0 】

【数 3】

$$V_i = (1/C_1) \int i_1 dt + i_1 \cdot R \quad \dots (5)$$

10

$$i_2 = C_2 \cdot dV_o / dt \quad \dots (6)$$

$$i_1 + i_2 = 0 \quad \dots (7)$$

【 0 1 3 1 】

ここで、時刻 $t = 0$ で容量素子 C_2 の電荷を放電したとすると、時刻 $t = t$ における演算増幅回路の出力端子の電位 V_o について、高周波成分は式 (8) のとき、式 (9) となり、低周波成分は式 (10) のとき、式 (11) となる。

20

【 0 1 3 2 】

【数 4】

$$V_o \ll dV_o / dt \quad \dots (8)$$

$$V_o = -(1/C_2 R) \int V_i dt \quad \dots (9)$$

$$V_o \gg dV_o / dt \quad \dots (10)$$

30

$$V_o = -C_1 / C_2 \cdot V_i \quad \dots (11)$$

【 0 1 3 3 】

すなわち、容量素子 C_1 および C_2 の容量比を適当に設定することで、読み出しの電位 (V_i) を高めて出力信号 V_o として出力することができる。また、入力信号の高周波のノイズ成分は時間積分により平均化することができ、出力信号 V_o の S/N 比を向上することが可能である。

【 0 1 3 4 】

40

なお、実際の演算増幅回路では、入力端子に信号が入力されない時でもバイアス電流が流れるため、出力端子に出力電圧が生じ、容量素子 C_2 に電荷が蓄積されてしまう。そのため、容量素子 C_2 に並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【 0 1 3 5 】

図 15 (C) は、図 15 (A) および図 15 (B) とは異なる構成の演算増幅回路を用いた積分回路である。演算増幅回路の非反転入力端子は、抵抗素子 R を介して第 5 の配線 2 1 5 (O U T) に接続され、また容量素子 C を介して接地電位に接続される。演算増幅回路の出力端子は、演算増幅回路の反転入力端子に接続される。なお、抵抗素子 R と容量素子 C は、 CR 積分回路を構成する。また、演算増幅回路はユニティゲインバッファを構成する。

50

【 0 1 3 6 】

第5の配線215の電位を V_i 、演算増幅回路の出力端子の電位を V_o とすると、 V_o は式(12)であらわすことができる。なお、 V_o は V_i の値で飽和するが、CR積分回路により、入力信号 V_i に含まれるノイズ成分を平均化することができ、出力信号 V_o のS/N比を向上することが可能である。

【 0 1 3 7 】

【数5】

$$V_o = (1/CR) \int V_i dt \quad \dots (12)$$

10

【 0 1 3 8 】

なお、本明細書等においては、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子(トランジスタ、ダイオードなど)、受動素子(容量素子、抵抗素子など)などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

20

【 0 1 3 9 】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

30

【 0 1 4 0 】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子(トランジスタ、ダイオードなど)、配線、受動素子(容量素子、抵抗素子など)、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数または複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個(Nは整数)の回路素子(トランジスタ、容量素子等)を有して構成される回路図から、M個(Mは整数で、 $M < N$)の回路素子(トランジスタ、容量素子等)を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個(Nは整数)の層を有して構成される断面図から、M個(Mは整数で、 $M < N$)の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個(Nは整数)の要素を有して構成されるフローチャートから、M個(Mは整数で、 $M < N$)の要素を抜き出して、発明の一態様を構成することは可能である。

40

【 0 1 4 1 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる

50

。

【 0 1 4 2 】

(実施の形態 3)

本実施の形態では、実施の形態 2 で説明した画素回路の駆動方法の一例について説明する。

。

【 0 1 4 3 】

実施の形態 2 で説明したように、画素回路の動作は、リセット動作、蓄積動作、および選択動作の繰り返しである。X 線等の放射線を用いた撮像装置においては、生体への影響を考慮し、放射線の照射時間を極力短くすることが好ましい。放射線の照射時間の短縮し、短時間での撮像を実現するためには、全画素回路のリセット動作、蓄積動作、選択動作を速やかに実行することが必要である。

10

【 0 1 4 4 】

そのため、撮像方法としては、図 1 6 (A) のタイミングチャートに示すようなグローバルシャッタ方式での駆動方法を用いることが好ましい。なお、図 1 6 (A) は、マトリクス状に複数の画素回路を有し、当該画素回路に図 8 (A) の回路 2 0 0 を有する撮像装置を例として、第 1 行目から最終行の回路 2 0 0 のうち、第 1 行目から第 3 行目までの動作を説明するものである。なお、下記の動作説明は、図 1 0 (A) の回路 2 5 0、図 1 1 の回路 2 7 0、図 1 2 の回路 2 8 0、図 1 4 の回路 2 9 0 にも適用することができる。

【 0 1 4 5 】

図 1 6 (A) において、信号 5 0 1、信号 5 0 2、信号 5 0 3 は、第 1 行目、第 2 行目、第 3 行目の各画素回路に接続された第 1 の配線 2 1 1 (R S) に入力される信号のタイミングチャートである。また、信号 5 0 4、信号 5 0 5、信号 5 0 6 は、第 1 行目、第 2 行目、第 3 行目の各画素回路に接続された第 2 の配線 2 1 2 (T X) に入力される信号のタイミングチャートである。また、信号 5 0 7、信号 5 0 8、信号 5 0 9 は、第 1 行目、第 2 行目、第 3 行目の各画素回路に接続された第 3 の配線 2 1 3 (S E) に入力される信号のタイミングチャートである。

20

【 0 1 4 6 】

また、期間 5 1 0 は、1 回の撮像に要する期間である。また、期間 5 1 1 は、各行の画素回路がリセット動作を共通して行っている期間であり、期間 5 2 0 は、各行の画素回路が蓄積動作を共通して行われている期間である。なお、選択動作は各行の画素回路で順次行われる。一例として、期間 5 3 1 は、第 1 行目の画素回路が選択動作を行っている期間である。このように、グローバルシャッタ方式では、全画素回路で略同時にリセット動作が行われた後、全画素回路で略同時に蓄積動作が行われ、1 行毎に順次読み出し動作が行われる。

30

【 0 1 4 7 】

つまり、グローバルシャッタ方式では、全ての画素回路において蓄積動作が略同時に行われているため、各行の画素回路における撮像の同時性が確保される。したがって、放射線照射と蓄積動作とを同期させることで、被写体へ放射線を照射する時間を短くすることができる。すなわち、期間 5 2 0 のみに放射線照射を行えばよい。

【 0 1 4 8 】

一方、図 1 6 (B) は、ローリングシャッタ方式を用いた場合のタイミングチャートである。なお、期間 6 1 0 は 1 回の撮像に要する期間である。期間 6 1 1、期間 6 1 2、期間 6 1 3 はそれぞれ、第 1 行目、第 2 行目、第 3 行目のリセット期間であり、期間 6 2 1、期間 6 2 2、期間 6 2 3 はそれぞれ、第 1 行目、第 2 行目、第 3 行目の蓄積動作期間である。また、期間 6 3 1 は、1 行目の画素回路が選択動作を行っている期間ある。このように、ローリングシャッタ方式では、蓄積動作が全ての画素回路では同時に行われず、行毎に順次行われるため、各行の画素回路における撮像の同時性が確保されない。したがって、放射線照射と蓄積動作とを同期させたとしても、合計の放射線照射期間 6 2 0 がグローバルシャッタ方式よりも長くなってしまふ。ただし、高速動作をすることなどによって、ローリングシャッタ方式でも放射線照射時間を短くすることができ、本発明の一態様の撮

40

50

像装置の駆動方式として、ローリングシャッタ方式を用いてもよい。

【0149】

グローバルシャッタ方式を実現するためには、蓄積動作が終了した後も、読み出しまでの間に各画素回路における配線205(FD)の電位を長時間保つ必要がある。配線205(FD)の電位の長時間の保持は、前述したように第1のトランジスタ201に極めてオフ電流の低い、チャネル形成領域を酸化物半導体で形成したトランジスタを用いることで実現できる。一方、第1のトランジスタ201にチャネル形成領域をシリコン半導体などで形成したトランジスタを適用した場合は、オフ電流が高いために配線205(FD)の電位を長時間保持できず、グローバルシャッタ方式を用いることが困難となる。

【0150】

以上のように、画素回路にチャネル形成領域を酸化物半導体で形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができ、被写体に照射する放射線量が少ない撮像装置を提供することができる。

【0151】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0152】

(実施の形態4)

本実施の形態では、実施の形態1および2で示した撮像装置の構成について、より詳細に説明する。m行n列のマトリクス状に配置された画素回路を有する撮像装置の構成の例について図17乃至図24を用いて説明する。

【0153】

図17は、図8(A)に示した回路200をm(mは2以上の自然数)行n(nは2以上の自然数)列のマトリクス状に複数配置した例である。各回路200は、複数の第1の配線211(RS)(211(RS)1乃至211(RS)mと表記する)のいずれか1つ、複数の第2の配線212(TX)(212(TX)1乃至212(TX)mと表記する)のいずれか1つ、複数の第3の配線213(SE)(213(SE)1乃至213(SE)mと表記する)のいずれか1つ、複数の第4の配線214(GND)(214(GND)1乃至214(GND)nと表記する)のいずれか1つ、および複数の第5の配線215(OUT)(215(OUT)1乃至215(OUT)nと表記する)のいずれか1つと電氣的に接続されている。

【0154】

図17では、各行(図の横方向)の回路200において、第1の配線211(RS)、第2の配線212(TX)、および第3の配線213(SE)を共有している。また、各列(図の縦方向)の回路200において、第4の配線214(GND)、および第5の配線215(OUT)を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第1の配線211(RS)、複数本の第2の配線212(TX)、および複数本の第3の配線213(SE)を設けて、互いに異なる回路200と電氣的に接続してもよい。また、各列に複数本の第4の配線214(GND)、および複数本の第5の配線215(OUT)を設けて、互いに異なる回路200と電氣的に接続してもよい。

【0155】

また、図17では、第4の配線214(GND)を各列の回路200において共有する構成を示したが、各行の回路200において共有しても良い。

【0156】

上記のとおり配線を共有し、配線数を減らすことによって、m行n列のマトリクス状に配置された回路200を駆動する駆動回路を簡略化することができる。

【0157】

図18では、複数の回路200がm行n列のマトリクス状に配置されている。各回路200は、複数の第1の配線211(RS)(211(RS)1乃至211(RS)nと表記する)のいずれか1つ、複数の第2の配線212(TX)(212(TX)1乃至

10

20

30

40

50

2 1 2 (T X) _ n と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) _ 1 乃至 2 1 3 (S E) _ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) _ 1 乃至 2 1 4 (G N D) _ n と表記する) のいずれか 1 つ、および複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) _ 1 乃至 2 1 5 (O U T) _ n と表記する) のいずれか 1 つと電氣的に接続されている。

【 0 1 5 8 】

図 1 8 では、各行の回路 2 0 0 において、第 3 の配線 2 1 3 (S E) を共有している。また、各列の回路 2 0 0 において、第 1 の配線 2 1 1 (R S)、第 2 の配線 2 1 2 (T X)、第 4 の配線 2 1 4 (G N D)、および第 5 の配線 2 1 5 (O U T) を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 3 の配線 2 1 3 (S E) を設けて、互いに異なる回路 2 0 0 と電氣的に接続してもよい。また、各列に複数本の第 1 の配線 2 1 1 (R S)、複数本の第 2 の配線 2 1 2 (T X)、複数本の第 4 の配線 2 1 4 (G N D)、および複数本の第 5 の配線 2 1 5 (O U T) を設けて、互いに異なる回路 2 0 0 と電氣的に接続してもよい。

10

【 0 1 5 9 】

また、図 1 8 では、第 4 の配線 2 1 4 (G N D) を各列の回路 2 0 0 において共有する構成を示したが、各行の回路 2 0 0 において共有しても良い。

【 0 1 6 0 】

上記のとおり配線を共有し、配線数を減らすことによって、m 行 n 列のマトリクス状に配置された回路 2 0 0 を駆動する駆動回路を簡略化することができる。

20

【 0 1 6 1 】

なお、図 1 7 および図 1 8 に示した構成において、回路 2 0 0 は、図 8 (B) に示した回路 2 1 0 と入れ替えることができる。

【 0 1 6 2 】

図 1 9 は、図 1 0 (A) に示した回路 2 5 0 を m 行 n 列のマトリクス状に複数配置した例である。各回路 2 5 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) _ 1 乃至 2 1 1 (R S) _ n と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T X) _ 1 乃至 2 1 2 (T X) _ m と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) _ 1 乃至 2 1 3 (S E) _ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) _ 1 乃至 2 1 4 (G N D) _ n と表記する) のいずれか 1 つ、複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) _ 1 乃至 2 1 5 (O U T) _ n と表記する) のいずれか 1 つ、複数の第 6 の配線 2 1 6 (2 1 6 _ 1 乃至 2 1 6 _ m と表記する) のいずれか 1 つ、および複数の第 7 の配線 2 1 7 (2 1 7 _ 1 乃至 2 1 7 _ m と表記する) のいずれか 1 つ、と電氣的に接続されている。

30

【 0 1 6 3 】

図 1 9 では、各行の回路 2 5 0 において、第 2 の配線 2 1 2 (T X)、第 3 の配線 2 1 3 (S E)、第 6 の配線 2 1 6、および第 7 の配線 2 1 7 を共有している。また、各列 (図の縦方向) の回路 2 5 0 において、第 1 の配線 2 1 1 (R S)、第 4 の配線 2 1 4 (G N D)、および第 5 の配線 2 1 5 (O U T) を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 2 の配線 2 1 2 (T X)、複数本の第 3 の配線 2 1 3 (S E)、複数本の第 6 の配線 2 1 6、および複数本の第 7 の配線 2 1 7 を設けて、互いに異なる回路 2 5 0 と電氣的に接続してもよい。また、各列に複数本の第 1 の配線 2 1 1 (R S)、第 4 の配線 2 1 4 (G N D)、および複数本の第 5 の配線 2 1 5 (O U T) を設けて、互いに異なる回路 2 5 0 と電氣的に接続してもよい。

40

【 0 1 6 4 】

また、図 1 9 では、第 1 の配線 2 1 1 (R S) を各列の回路 2 5 0 において共有する構成を示したが、各行の回路 2 5 0 において共有しても良い。

【 0 1 6 5 】

また、図 1 9 では、第 4 の配線 2 1 4 (G N D) を各列の回路 2 5 0 において共有する構成を示したが、各行の回路 2 5 0 において共有しても良い。

50

【 0 1 6 6 】

また、図 1 9 では、第 7 の配線 2 1 7 を各行の回路 2 5 0 において共有する構成を示したが、各列の回路 2 5 0 において共有しても良い。

【 0 1 6 7 】

上記のとおり配線を共有し、配線数を減らすことによって、 m 行 n 列のマトリクス状に配置された回路 2 5 0 を駆動する駆動回路を簡略化することができる。

【 0 1 6 8 】

図 2 0 では、複数の回路 2 5 0 が m 行 n 列のマトリクス状に配置されている。各回路 2 5 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) _ 1 乃至 2 1 1 (R S) _ m と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T X) _ 1 乃至 2 1 2 (T X) _ n と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) _ 1 乃至 2 1 3 (S E) _ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) _ 1 乃至 2 1 4 (G N D) _ n と表記する) のいずれか 1 つ、および複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) _ 1 乃至 2 1 5 (O U T) _ n と表記する) のいずれか 1 つ、複数の第 6 の配線 2 1 6 (2 1 6 _ 1 乃至 2 1 6 _ n と表記する) のいずれか 1 つ、および複数の第 7 の配線 2 1 7 (2 1 7 _ 1 乃至 2 1 7 _ m と表記する) のいずれか 1 つ、と電氣的に接続されている。

【 0 1 6 9 】

図 2 0 では、各行の回路 2 5 0 において、第 1 の配線 2 1 1 (R S)、第 3 の配線 2 1 3 (S E)、および第 7 の配線 2 1 7 を共有している。また、各列の回路 2 5 0 において、第 2 の配線 2 1 2 (T X)、第 4 の配線 2 1 4 (G N D)、第 5 の配線 2 1 5 (O U T)、および第 6 の配線 2 1 6 を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 1 の配線 2 1 1 (R S)、および複数本の第 3 の配線 2 1 3 (S E)、および複数本の第 7 の配線 2 1 7 を設けて、互いに異なる回路 2 5 0 と電氣的に接続してもよい。また、各列に複数本の第 2 の配線 2 1 2 (T X)、複数本の第 4 の配線 2 1 4 (G N D)、複数本の第 5 の配線 2 1 5 (O U T)、および複数本の第 6 の配線 2 1 6 を設けて、互いに異なる回路 2 5 0 と電氣的に接続してもよい。

【 0 1 7 0 】

また、図 2 0 では、第 1 の配線 2 1 1 (R S) を各行の回路 2 5 0 において共有する構成を示したが、各列の回路 2 5 0 において共有しても良い。

【 0 1 7 1 】

また、図 2 0 では、第 4 の配線 2 1 4 (G N D) を各列の回路 2 5 0 において共有する構成を示したが、各行の回路 2 5 0 において共有しても良い。

【 0 1 7 2 】

また、図 2 0 では、第 7 の配線 2 1 7 を各行の回路 2 5 0 において共有する構成を示したが、各列の回路 2 5 0 において共有しても良い。

【 0 1 7 3 】

上記のとおり配線を共有し、配線数を減らすことによって、 m 行 n 列のマトリクス状に配置された回路 2 5 0 を駆動する駆動回路を簡略化することができる。

【 0 1 7 4 】

なお、図 1 9 および図 2 0 に示した構成において、回路 2 5 0 は、図 1 0 (B) に示した回路 2 6 0、または図 1 1 に示した回路 2 8 0 と入れ替えることができる。

【 0 1 7 5 】

図 2 1 は、図 1 2 に示した回路 2 8 0 を m (m は 2 以上の自然数) 行 n (n は 2 以上の自然数) 列のマトリクス状に複数配置した例である。各回路 2 8 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) _ 1 乃至 2 1 1 (R S) _ m と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T X) _ 1 乃至 2 1 2 (T X) _ m と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) _ 1 乃至 2 1 3 (S E) _ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) _ 1 乃至 2 1 4 (G N D) _ n と表記する) のいずれか 1 つ、複数の第 5 の

配線 2 1 5 (O U T) (2 1 5 (O U T) _ 1 乃至 2 1 5 (O U T) _ n と表記する) のいずれか 1 つ、および複数の第 8 の配線 2 1 8 (R S 2) (2 1 8 (R S 2) _ 1 乃至 2 1 8 (R S 2) _ n と表記する) のいずれか 1 つと電氣的に接続されている。

【 0 1 7 6 】

図 2 1 では、各行 (図の横方向) の回路 2 8 0 において、第 1 の配線 2 1 1 (R S)、第 2 の配線 2 1 2 (T X)、および第 3 の配線 2 1 3 (S E) を共有している。また、各列 (図の縦方向) の回路 2 8 0 において、第 4 の配線 2 1 4 (G N D)、第 5 の配線 2 1 5 (O U T)、および第 8 の配線 2 1 8 (R S 2) を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 1 の配線 2 1 1 (R S)、複数本の第 2 の配線 2 1 2 (T X)、および複数本の第 3 の配線 2 1 3 (S E) を設けて、互いに異なる回路 2 8 0 と電氣的に接続してもよい。また、各列に複数本の第 4 の配線 2 1 4 (G N D)、複数本の第 5 の配線 2 1 5 (O U T)、および複数本の第 8 の配線 2 1 8 (R S 2) を設けて、互いに異なる回路 2 8 0 と電氣的に接続してもよい。

10

【 0 1 7 7 】

また、図 2 1 では、第 4 の配線 2 1 4 を各列の回路 2 8 0 において共有する構成を示したが、各行の回路 2 8 0 において共有しても良い。

【 0 1 7 8 】

上記のとおり配線を共有し、配線数を減らすことによって、m 行 n 列のマトリクス状に配置された回路 2 8 0 を駆動する駆動回路を簡略化することができる。

20

【 0 1 7 9 】

図 2 2 では、複数の回路 2 8 0 が m 行 n 列のマトリクス状に配置されている。各回路 2 8 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) _ 1 乃至 2 1 1 (R S) _ n と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T X) _ 1 乃至 2 1 2 (T X) _ n と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) _ 1 乃至 2 1 3 (S E) _ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) _ 1 乃至 2 1 4 (G N D) _ n と表記する) のいずれか 1 つ、複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) _ 1 乃至 2 1 5 (O U T) _ n と表記する) のいずれか 1 つ、および複数の第 8 の配線 2 1 8 (S E 2) (2 1 8 (S E 2) _ 1 乃至 2 1 8 (S E 2) _ m と表記する) のいずれか 1 つと電氣的に接続されている。

30

【 0 1 8 0 】

図 2 2 では、各行の回路 2 8 0 において、第 3 の配線 2 1 3 (S E)、および第 8 の配線 2 1 8 (S E 2) を共有している。また、各列の回路 2 8 0 において、第 1 の配線 2 1 1 (R S)、第 2 の配線 2 1 2 (T X)、第 4 の配線 2 1 4 (G N D)、および第 5 の配線 2 1 5 (O U T) を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 3 の配線 2 1 3 (S E)、複数本の第 8 の配線 2 1 8 (S E 2) を設けて、互いに異なる回路 2 8 0 と電氣的に接続してもよい。また、各列に複数本の第 1 の配線 2 1 1 (R S)、複数本の第 2 の配線 2 1 2 (T X)、複数本の第 4 の配線 2 1 4 (G N D)、および複数本の第 5 の配線 2 1 5 (O U T) を設けて、互いに異なる回路 2 8 0 と電氣的に接続してもよい。

40

【 0 1 8 1 】

また、図 2 2 では、第 4 の配線 2 1 4 (G N D) を各列の回路 2 8 0 において共有する構成を示したが、各行の回路 2 8 0 において共有しても良い。

【 0 1 8 2 】

上記のとおり配線を共有し、配線数を減らすことによって、m 行 n 列のマトリクス状に配置された回路 2 8 0 を駆動する駆動回路を簡略化することができる。

【 0 1 8 3 】

図 2 3 は、図 1 4 に示した回路 2 9 0 を m 行 n 列のマトリクス状に複数配置した例である。各回路 2 9 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) _ 1 乃至 2 1 1 (R S) _ n と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T

50

X) __ 1 乃至 2 1 2 (T X) __ m と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) __ 1 乃至 2 1 3 (S E) __ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) __ 1 乃至 2 1 4 (G N D) __ n と表記する) のいずれか 1 つ、複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) __ 1 乃至 2 1 5 (O U T) __ n と表記する) のいずれか 1 つ、複数の第 6 の配線 2 1 6 (2 1 6 __ 1 乃至 2 1 6 __ m と表記する) のいずれか 1 つ、複数の第 7 の配線 2 1 7 (2 1 7 __ 1 乃至 2 1 7 __ m と表記する) のいずれか 1 つ、および複数の第 8 の配線 2 1 8 (2 1 8 __ 1 乃至 2 1 8 __ n と表記する) のいずれか 1 つ、と電氣的に接続されている。

【 0 1 8 4 】

図 2 3 では、各行の回路 2 9 0 において、第 2 の配線 2 1 2 (T X)、第 3 の配線 2 1 3 (S E)、第 6 の配線 2 1 6、および第 7 の配線 2 1 7 を共有している。また、各列 (図の縦方向) の回路 2 9 0 において、第 1 の配線 2 1 1 (R S)、第 4 の配線 2 1 4 (G N D)、第 5 の配線 2 1 5 (O U T)、および第 8 の配線 2 1 8 を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 2 の配線 2 1 2 (T X)、複数本の第 3 の配線 2 1 3 (S E)、複数本の第 6 の配線 2 1 6、および複数本の第 7 の配線 2 1 7 を設けて、互いに異なる回路 2 9 0 と電氣的に接続してもよい。また、各列に複数本の第 1 の配線 2 1 1 (R S)、第 4 の配線 2 1 4 (G N D)、複数本の第 5 の配線 2 1 5 (O U T)、および複数本の第 8 の配線 2 1 8 を設けて、互いに異なる回路 2 9 0 と電氣的に接続してもよい。

【 0 1 8 5 】

また、図 2 3 では、第 1 の配線 2 1 1 を各列の回路 2 9 0 において共有する構成を示したが、各行の回路 2 9 0 において共有しても良い。

【 0 1 8 6 】

また、図 2 3 では、第 4 の配線 2 1 4 を各列の回路 2 9 0 において共有する構成を示したが、各行の回路 2 9 0 において共有しても良い。

【 0 1 8 7 】

また、図 2 3 では、第 7 の配線 2 1 7 を各行の回路 2 9 0 において共有する構成を示したが、各列の回路 2 9 0 において共有しても良い。

【 0 1 8 8 】

また、図 2 3 では、第 8 の配線 2 1 8 を各列の回路 2 9 0 において共有する構成を示したが、各行の回路 2 9 0 において共有しても良い。

【 0 1 8 9 】

上記のとおり配線を共有し、配線数を減らすことによって、m 行 n 列のマトリクス状に配置された回路 2 9 0 を駆動する駆動回路を簡略化することができる。

【 0 1 9 0 】

図 2 4 では、複数の回路 2 9 0 が m 行 n 列のマトリクス状に配置されている。各回路 2 9 0 は、複数の第 1 の配線 2 1 1 (R S) (2 1 1 (R S) __ 1 乃至 2 1 1 (R S) __ m と表記する) のいずれか 1 つ、複数の第 2 の配線 2 1 2 (T X) (2 1 2 (T X) __ 1 乃至 2 1 2 (T X) __ n と表記する) のいずれか 1 つ、複数の第 3 の配線 2 1 3 (S E) (2 1 3 (S E) __ 1 乃至 2 1 3 (S E) __ m と表記する) のいずれか 1 つ、複数の第 4 の配線 2 1 4 (G N D) (2 1 4 (G N D) __ 1 乃至 2 1 4 (G N D) __ n と表記する) のいずれか 1 つ、および複数の第 5 の配線 2 1 5 (O U T) (2 1 5 (O U T) __ 1 乃至 2 1 5 (O U T) __ n と表記する) のいずれか 1 つ、複数の第 6 の配線 2 1 6 (2 1 6 __ 1 乃至 2 1 6 __ n と表記する) のいずれか 1 つ、複数の第 7 の配線 2 1 7 (2 1 7 __ 1 乃至 2 1 7 __ m と表記する) のいずれか 1 つ、および複数の第 8 の配線 2 1 8 (2 1 8 __ 1 乃至 2 1 8 __ m と表記する) のいずれか 1 つ、と電氣的に接続されている。

【 0 1 9 1 】

図 2 4 では、各行の回路 2 9 0 において、第 1 の配線 2 1 1 (R S)、第 3 の配線 2 1 3 (S E)、第 7 の配線 2 1 7、および第 8 の配線 2 1 8 を共有している。また、各列の回路 2 9 0 において、第 2 の配線 2 1 2 (T X)、第 4 の配線 2 1 4 (G N D)、第 5 の配

10

20

30

40

50

線 2 1 5 (O U T)、および第 6 の配線 2 1 6 を共有している。しかしながら、本発明の一態様はこれに限定されない。各行に複数本の第 1 の配線 2 1 1 (R S)、複数本の第 3 の配線 2 1 3 (S E)、複数本の第 7 の配線 2 1 7、および複数本の第 8 の配線 2 1 8 を設けて、互いに異なる回路 2 9 0 と電氣的に接続してもよい。また、各列に複数本の第 2 の配線 2 1 2 (T X)、複数本の第 4 の配線 2 1 4 (G N D)、複数本の第 5 の配線 2 1 5 (O U T)、および複数本の第 6 の配線 2 1 6 を設けて、互いに異なる回路 2 9 0 と電氣的に接続してもよい。

【 0 1 9 2 】

また、図 2 4 では、第 1 の配線 2 1 1 を各行の回路 2 9 0 において共有する構成を示したが、各列の回路 2 9 0 において共有しても良い。

10

【 0 1 9 3 】

また、図 2 4 では、第 4 の配線 2 1 4 (G N D) を各列の回路 2 9 0 において共有する構成を示したが、各行の回路 2 9 0 において共有しても良い。

【 0 1 9 4 】

また、図 2 4 では、第 7 の配線 2 1 7 を各行の回路 2 9 0 において共有する構成を示したが、各列の回路 2 9 0 において共有しても良い。

【 0 1 9 5 】

また、図 2 4 では、第 8 の配線 2 1 8 を各行の回路 2 9 0 において共有する構成を示したが、各列の回路 2 9 0 において共有しても良い。

【 0 1 9 6 】

20

上記のとおり配線を共有し、配線数を減らすことによって、m 行 n 列のマトリクス状に配置された回路 2 9 0 を駆動する駆動回路を簡略化することができる。

【 0 1 9 7 】

次に、図 8 (A) に示した回路 2 0 0 のレイアウトの一例について、図 2 5 を用いて説明する。

【 0 1 9 8 】

図 2 5 (A) は、回路 2 0 0 の上面図を示し、図 2 5 (B) は、図 2 5 (A) の破線 E 1 E 2 における断面図を示す。

【 0 1 9 9 】

回路 2 0 0 は、第 1 の配線 2 1 1 (R S) として機能する導電膜 1 2 1 1 と、第 2 の配線 2 1 2 (T X) として機能する導電膜 1 2 1 2 と、第 3 の配線 2 1 3 (S E) として機能する導電膜 1 2 1 3 と、第 4 の配線 2 1 4 (G N D) として機能する導電膜 1 2 1 4 と、第 5 の配線 2 1 5 (O U T) として機能する導電膜 1 2 1 5 を有している。

30

【 0 2 0 0 】

回路 2 0 0 が有するフォトダイオード 2 2 0 は、順に積層された p 型の半導体膜 3 1 5、i 型の半導体膜 3 1 6、および n 型の半導体膜 3 1 7 を有している。導電膜 1 2 1 1 は、フォトダイオード 2 2 0 のアノードとして機能する p 型の半導体膜 3 1 5 に電氣的に接続されている。

【 0 2 0 1 】

回路 2 0 0 が有する導電膜 1 2 1 8 は、第 1 のトランジスタ 2 0 1 のゲート電極として機能しており、さらに、導電膜 1 2 1 2 に電氣的に接続されている。回路 2 0 0 が有する導電膜 1 2 1 9 は、第 1 のトランジスタ 2 0 1 のソース電極またはドレイン電極の一方として機能する。回路 2 0 0 が有する導電膜 1 2 2 0 は、第 1 のトランジスタ 2 0 1 のソース電極またはドレイン電極の他方として機能する。回路 2 0 0 が有する導電膜 1 2 2 1 は、n 型の半導体膜 3 1 7 と、導電膜 1 2 1 9 とに電氣的に接続されている。回路 2 0 0 が有する導電膜 1 2 2 2 は、第 2 のトランジスタ 2 0 2 のゲート電極として機能しており、さらに、導電膜 1 2 2 0 に電氣的に接続されている。

40

【 0 2 0 2 】

回路 2 0 0 が有する導電膜 1 2 2 3 は、第 2 のトランジスタ 2 0 2 のソース電極またはドレイン電極の一方として機能する。回路 2 0 0 が有する導電膜 1 2 2 4 は、第 2 のトラン

50

ジスタ 202 のソース電極またはドレイン電極の他方、および第 3 のトランジスタ 203 のソース電極またはドレイン電極の一方として機能する。また、導電膜 1214 は、第 3 のトランジスタ 203 のソース電極またはドレイン電極の他方として機能する。導電膜 1213 は、第 3 のトランジスタ 203 のゲート電極としても機能する。回路 200 が有する導電膜 1225 は、導電膜 1223 および導電膜 1214 に電氣的に接続されている。

【0203】

なお、図 25 では、回路 200 が有する導電膜 1226 は、第 1 の配線 211 (RS) として機能する導電膜 1211 に電氣的に接続されている。また、回路 200 が有する導電膜 1227 は、第 2 の配線 212 (TX) として機能する導電膜 1212 に電氣的に接続されている。

10

【0204】

導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226、導電膜 1227 は、絶縁表面上に形成された一つの導電膜を所望の形状に加工することで形成することができる。導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226、導電膜 1227 上にはゲート絶縁膜 1228 が形成されている。さらに、導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223、導電膜 1224 は、ゲート絶縁膜 1228 上に形成された一つの導電膜を所望の形状に加工することで形成することができる。

【0205】

また、導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223、導電膜 1224 の上には、絶縁膜 1281 および絶縁膜 1282 が形成されている。絶縁膜 1281 および絶縁膜 1282 の上に、導電膜 1221 が形成される。

20

【0206】

第 1 のトランジスタ 201 の半導体層 1250 には、酸化物半導体を用いることが好ましい。フォトダイオード 220 に光が照射されることにより生成された電荷を電荷蓄積部で長時間保持するためには、電荷蓄積部と電氣的に接続される第 1 のトランジスタ 201 をオフ電流が極めて低いトランジスタで構成する必要がある。そのため、半導体層 1250 として酸化物半導体材料を用いることで回路 200 の性能を高めることができる。なお、電荷蓄積部とは、回路 200 における配線 205 を差し、図 25 では導電膜 1220 に相当する。なお、第 2 のトランジスタ 202 および第 3 のトランジスタ 203 も第 1 のトランジスタ 201 と同様の構成であってもよい。

30

【0207】

また、回路 200 は、図 26 (A)、(B) に示すように、トランジスタなどの素子とフォトダイオード 220 が重畳する構成としてもよい。このような構成とすることで、画素密度を高めることができ、撮像装置の解像度を高めることができる。また、フォトダイオード 220 の面積を増大させることができるため、撮像装置の感度を高めることもできる。なお、図 26 (A) は、回路 200 の上面図を示し、図 26 (B) は、図 26 (A) の破線 F1 - F2 における断面図である。

【0208】

図 26 (A)、(B) に示す回路 200 において、第 1 のトランジスタ 201 のソース電極またはドレイン電極の一方として機能する導電膜 1219 とフォトダイオード 220 のカソードとして機能する n 型の半導体膜 317 は、導電膜 1229 を介して電氣的に接続されている。また、フォトダイオード 220 のアノードとして機能する p 型の半導体膜 315 は、導電膜 1221 を介して第 1 の配線 211 と接する導電膜 1226 と電氣的に接続されている。また、フォトダイオード 220 を保護する絶縁膜 1283 が形成されている。これらの点、およびトランジスタなどの素子とフォトダイオード 220 が重畳する構成以外は、図 25 (A)、(B) に示す回路 200 と同様の構成とすることができる。

40

【0209】

なお、p 型の半導体膜 315 と導電膜 1226 との電氣的な接続は、導電膜 1221 で直

50

接接続する例を示したが、絶縁膜 1 2 8 1、絶縁膜 1 2 8 2、および絶縁膜 1 2 8 3 に形成した開口部を通じて導電膜 1 2 2 6 と電氣的に接する他の導電膜を設け、該導電膜と導電膜 1 2 2 1 が電氣的に接する構成としてもよい。

【 0 2 1 0 】

また、図 2 6 に示すようなトランジスタなどの素子とフォトダイオードなどの受光素子が重畳する構成は、図 8 (B) に示す回路 2 1 0、図 1 0 (A)、(B) に示す回路 2 5 0、2 6 0、および図 1 1 に示す回路 2 7 0 においても適用することができる。

【 0 2 1 1 】

次に、図 1 2 に示した回路 2 8 0 のレイアウトの一例について、図 2 7 および図 2 8 を用いて説明する。

【 0 2 1 2 】

図 2 7 は、回路 2 8 0 の上面図を示し、図 2 8 は、図 2 7 の破線 G 1 G 2 における断面図を示す。

【 0 2 1 3 】

回路 2 8 0 は、図 2 5 および図 2 6 に示す回路 2 0 0 の構成において、フォトダイオード 2 2 0 をトランジスタ 2 4 0 に置き換えた構成であり、当該トランジスタのゲート電極 1 2 3 2 は第 1 の配線 2 1 1 (R S) として機能する導電膜 1 2 1 1 と電氣的に接続され、ソース電極またはドレイン電極の一方は第 1 のトランジスタ 2 0 1 のソース電極またはドレイン電極として機能する導電膜 1 2 1 9 と共有され、ソース電極またはドレイン電極の他方として機能する導電膜 1 2 3 0 は第 8 の配線 (R S 2) として機能する導電膜 1 2 3 1 と電氣的に接続される。その他の要素については、回路 2 0 0 の説明を参照することができる。

【 0 2 1 4 】

なお、トランジスタ 2 4 0 としては、オフ電流が極めて小さいトランジスタを用いることで、ダイナミックレンジを拡大させることができる。このようなトランジスタとしては、酸化物半導体を用いたトランジスタであることが好ましい。トランジスタ 2 4 0 をバンドギャップが 3 e V 以上の酸化物半導体を用いて形成すると、当該トランジスタのオフ電流は紫外光の照射に対して大きく変化ようになる。すなわち、当該トランジスタを紫外光センサとして動作させることができる。なお、トランジスタ 2 4 0 には、前述した第 1 のトランジスタ 2 0 1 と同様の構成のトランジスタを用いることができる。

【 0 2 1 5 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【 0 2 1 6 】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至 4 で説明した回路に用いることのできる、オフ電流の著しく小さいトランジスタおよび該トランジスタを構成する材料について説明する。

【 0 2 1 7 】

トランジスタの構造は、図 2 5 乃至図 2 8 に半導体層 1 2 5 0 を有する第 1 のトランジスタ 2 0 1、またはトランジスタ 2 4 0 の上面図および断面図を示している。当該トランジスタは、チャネルエッチ型のボトムゲート構造を一例として示したが、チャネル保護型のボトムゲート構造、ノンセルフアライン型のトップゲート構造、またはセルフアライン型のトップゲート構造であってもよい。なお、撮像装置が図 6 に示す構成であって、受光素子がトランジスタである場合、受光素子に用いるトランジスタはトップゲート構造のみを適用することができる。

【 0 2 1 8 】

オフ電流の著しく小さいトランジスタを形成するには、半導体層 1 2 5 0 に酸化物半導体などのシリコン半導体よりもバンドギャップの広く、真性キャリア密度がシリコンよりも低い半導体材料を用いることが好ましい。

【 0 2 1 9 】

上記半導体材料の一例としては、酸化物半導体の他に、炭化珪素 (SiC)、窒化ガリウム (GaN) などの化合物半導体などがあるが、酸化物半導体は、炭化珪素や窒化ガリウムと異なり、スパッタ法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、酸化物半導体は室温でも成膜が可能のため、ガラス基板上への成膜、或いはシリコンを用いた集積回路上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能 (例えば電界効果移動度) を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から 800 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0220】

また、電子供与体 (ドナー) となる不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified OS) の導電型は、i 型または i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0221】

酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素は、ドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは、酸化物半導体層中で不純物準位を形成する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。酸化物半導体層中や、他の層との界面において不純物濃度を低減させることが好ましい。

【0222】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0223】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有することとする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする部分を有することとする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする部分を有することとする。

【0224】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有することとする。また、例えば、酸化物半導体層のある深さにおいて、または

、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有することとする。

【0225】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。したがって、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0226】

なお、酸化物半導体としては、少なくともインジウム（ In ）あるいは亜鉛（ Zn ）を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（ Ga ）を有することが好ましい。また、スタビライザーとしてスズ（ Sn ）を有することが好ましい。また、スタビライザーとしてハフニウム（ Hf ）を有することが好ましい。また、スタビライザーとしてアルミニウム（ Al ）を有することが好ましい。

【0227】

また、他のスタビライザーとして、ランタノイドである、ランタン（ La ）、セリウム（ Ce ）、プラセオジウム（ Pr ）、ネオジウム（ Nd ）、サマリウム（ Sm ）、ユウロピウム（ Eu ）、ガドリニウム（ Gd ）、テルビウム（ Tb ）、ジスプロシウム（ Dy ）、ホルミウム（ Ho ）、エルビウム（ Er ）、ツリウム（ Tm ）、イッテルビウム（ Yb ）、ルテチウム（ Lu ）のいずれか一種または複数種を含んでいてもよい。

【0228】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、 $\text{In}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Zn}$ 系酸化物、 $\text{Zn}-\text{Mg}$ 系酸化物、 $\text{Sn}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Ga}$ 系酸化物、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物（ IGZO とも表記する）、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Al}-\text{Zn}$ 系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0229】

なお、例えば、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物とは、 In と Ga と Zn を含む酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素を含んでいてもよい。 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物は、無電界時の抵抗が十分に高くオフ電

流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0230】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子比の $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子比の $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0231】

しかし、これらに限られず、必要とする電気的特性（移動度、しきい値電圧等）に応じて適切な組成のものをを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0232】

なお、例えば、酸化物半導体膜は、 In （インジウム）、 Ga （ガリウム）、および Zn （亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。 $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物半導体膜をスパッタ法で成膜する場合、好ましくは、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、 $1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 6 : 4$ または $3 : 1 : 4$ で示される $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物のターゲットを用いる。前述の原子数比を有する $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、結晶が形成されやすくなる。また、 In 、 Ga 、および Zn を含むターゲットの充填率は 90% 以上、好ましくは 95% 以上である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0233】

なお、酸化物半導体として $\text{In} - \text{Zn}$ 系酸化物の材料を用いる場合、用いるターゲットの組成は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1$ 乃至 $1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 乃至 $1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1$ 乃至 $1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 乃至 $1 : 2$ ）、さらに好ましくは $\text{In} : \text{Zn} = 1.5 : 1$ 乃至 $15 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4$ 乃至 $15 : 2$ ）とする。例えば、 $\text{In} - \text{Zn}$ 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0234】

また、酸化物半導体膜として $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物半導体膜をスパッタ法で成膜する場合、好ましくは、原子数比が $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $1 : 2 : 2$ 、または $20 : 45 : 35$ で示される $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いることができる。

【0235】

以下では、酸化物半導体膜の構造について説明する。

【0236】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0237】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0238】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非

10

20

30

40

50

単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜などをいう。

【0239】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0240】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0241】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0242】

C A A C - O S 膜を透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0243】

C A A C - O S 膜を、試料面と概略平行な方向からT E Mによって観察（断面T E M観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0244】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からT E Mによって観察（平面T E M観察）すると、結晶部において、金属原子が三角形形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0245】

断面T E M観察および平面T E M観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0246】

C A A C - O S 膜に対し、X線回折（X R D : X - R a y D i f f r a c t i o n ）装置を用いて構造解析を行うと、例えばI n G a Z n O ₄ の結晶を有するC A A C - O S 膜のo u t - o f - p l a n e法による解析では、回折角（2 θ ）が31°近傍にピークが現れる場合がある。このピークは、I n G a Z n O ₄ の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0247】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるi n - p l a n e法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、I n G a Z n O ₄ の結晶の（110）面に帰属される。I n G a Z n O ₄ の単結晶酸化物半導体膜であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸（ ω 軸）として試料を回転させながら分析（ ω スキャン）を行うと、（110）面と等価な結晶面に

10

20

30

40

50

帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

【0248】

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0249】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

10

【0250】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0251】

20

なお、 InGaZnO_4 の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0252】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0253】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

30

【0254】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを用い、スパッタ法によって成膜する。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状のスパッタ粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【0255】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

40

【0256】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物を低減すればよい。具体的には、露点が -80°C 以下、好ましくは -100°C 以下である成膜ガスを用いる。

【0257】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタ粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100°C 以上 740°C 以下、好ましくは 200°C 以上 500°C 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタ粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタ粒子

50

の平らな面が基板に付着する。

【0258】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0259】

スパッタ用ターゲットとしては、例えば、 In-Ga-Zn-O 化合物ターゲットを用いることができる。 In-Ga-Zn-O 化合物ターゲットは、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定のモル数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶体とする。なお、 x 、 y および z は任意の正数である。また、当該多結晶体の粒径は、例えば1 μm 以下など、小さいほど好ましい。ここで、粉末の種類、およびその混合するモル数比は、作製するスパッタ用ターゲットによって適宜変更すればよい。

10

【0260】

また、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよい。例えば、図29(A)に示すトランジスタのように、半導体膜を第1の酸化物半導体膜1260aと第2の酸化物半導体膜1260bの積層とすることができる。第1の酸化物半導体膜1260aと第2の酸化物半導体膜1260bに、異なる原子数比の金属酸化物を用いてもよい。例えば、一方の酸化物半導体膜に二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物のうち一つを用い、他方の酸化物半導体膜に一方の酸化物半導体膜と異なる二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物を用いてもよい。

20

【0261】

また、第1の酸化物半導体膜1260aと第2の酸化物半導体膜1260bの構成元素を同一とし、両者の原子数比を異ならせてもよい。例えば、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ としてもよい。また、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ としてもよい。また、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ としてもよい。また、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ としてもよい。また、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:6:4$ としてもよい。また、一方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ とし、他方の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:9:6$ としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

30

【0262】

このとき、一方の酸化物半導体膜と他方の酸化物半導体膜のうち、ゲート電極に近い側(チャネル側)の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ (In は Ga 以上)とし、ゲート電極から遠い側(バックチャネル側)の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とすることで、電界効果移動度の高いトランジスタを作製することができる。一方、チャネル側の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とし、バックチャネル側の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ (In は Ga 以上)とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

40

【0263】

また、トランジスタの半導体膜を第1の酸化物半導体膜乃至第3の酸化物半導体膜からなる3層構造としてもよい。このとき、第1の酸化物半導体膜乃至第3の酸化物半導体膜の構成元素を同一とし、且つそれぞれの原子数比を異ならせてもよい。半導体膜を3層構造

50

とするトランジスタの構成について、図 29 (B) を用いて説明する。

【0264】

図 29 (B) に示すトランジスタは、第 1 の酸化物半導体膜 1270a、第 2 の酸化物半導体膜 1270b、および第 3 の酸化物半導体膜 1270c がゲート絶縁膜 127 側から順に積層されている。第 1 の酸化物半導体膜 1270a および第 3 の酸化物半導体膜 1270c を構成する材料は、 $\text{InM}_1\text{xZn}_y\text{O}_z$ ($x \geq 1$ (x は 1 以上)、 $y > 1$ 、 $z > 0$ 、 $M_1 = \text{Ga}$ 、 Hf 等) で表記できる材料を用いる。

【0265】

また、第 2 の酸化物半導体膜 1270b を構成する材料は、 $\text{InM}_2\text{xZn}_y\text{O}_z$ ($x \geq 1$ (x は 1 以上)、 $y \geq x$ (y は x 以上)、 $z > 0$ 、 $M_2 = \text{Ga}$ 、 Sn 等) で表記できる材料を用いる。

10

【0266】

第 1 の酸化物半導体膜 1270a の伝導帯下端および第 3 の酸化物半導体膜 1270c の伝導帯下端に比べて第 2 の酸化物半導体膜 1270b の伝導帯下端が真空準位から最も深くなるような井戸型構造を構成するように、第 1、第 2、および第 3 の酸化物半導体膜の材料を適宜選択する。

【0267】

例えば、第 1 の酸化物半導体膜 1270a および第 3 の酸化物半導体膜 1270c を原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 6 : 4$ 、または $1 : 9 : 6$ である酸化物半導体膜で形成し、第 2 の酸化物半導体膜 1270b の原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、または $3 : 1 : 2$ である酸化物半導体膜で形成することができる。

20

【0268】

または、第 1 の酸化物半導体膜 1270a を原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、または $1 : 3 : 4$ である酸化物半導体膜で形成し、第 2 の酸化物半導体膜 1270b を原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ または $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ である酸化物半導体膜で形成し、第 3 の酸化物半導体膜 1270c を原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 4$ 、または $1 : 9 : 6$ である酸化物半導体膜で形成してもよい。

【0269】

第 1 の酸化物半導体膜 1270a 乃至第 3 の酸化物半導体膜 1270c の構成元素は同一であるため、第 2 の酸化物半導体膜 1270b は、第 1 の酸化物半導体膜 1270a との界面における欠陥準位 (トラップ準位) が少ない。詳細には、当該欠陥準位 (トラップ準位) は、ゲート絶縁膜と第 1 の酸化物半導体膜 1270a との界面における欠陥準位よりも少ない。このため、上記のように酸化物半導体膜が積層されていることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

30

【0270】

また、第 1 の酸化物半導体膜 1270a の伝導帯下端および第 3 の酸化物半導体膜 1270c の伝導帯下端に比べて第 2 の酸化物半導体膜 1270b の伝導帯下端が真空準位から最も深くなるような井戸型構造を構成するように、第 1、第 2、および第 3 の酸化物半導体膜の材料を適宜選択することで、トランジスタの電界効果移動度を高めることが可能であると共に、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

40

【0271】

また、第 1 の酸化物半導体膜 1270a 乃至第 3 の酸化物半導体膜 1270c に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、微結晶 (ナノ結晶) 酸化物半導体、非晶質酸化物半導体、および CAAC-O 膜を適宜組み合わせた構成としてもよい。

【0272】

また、少なくともチャネル形成領域となりうる第 2 の酸化物半導体膜 1270b は CAAC-O 膜であることが好ましい。また、バックチャネル側の酸化物半導体膜、本実施の形態では、第 3 の酸化物半導体膜 1270c は、非晶質酸化物半導体または CAAC-O

50

S膜であることが好ましい。このような構造とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0273】

なお、本実施の形態で説明した半導体膜は、代表的にはスパッタ法により形成することができるが、他の方法、例えば、熱CVD (Chemical Vapor Deposition) 法により形成してもよい。熱CVD法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法などがある。

【0274】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

10

【0275】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0276】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ (高速バルブとも呼ぶ) を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス (アルゴン、或いは窒素など) などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

20

30

【0277】

MOCVD法やALD法などの熱CVD法は、金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、およびジメチル亜鉛を用いることができる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

【0278】

40

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでパブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}$

50

$\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

【0279】

また、酸素と結合し易い導電材料（例えば、ソース電極またはドレイン電極に用いられる金属）と酸化物半導体膜を接触させると、酸化物半導体膜中の酸素が、酸素と結合し易い導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、酸化物半導体層のソース電極またはドレイン電極と接触した近傍の領域に酸素欠損が発生し、当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0280】

上記n型化した領域は、図29（A）、（B）に例示される。半導体膜中に点線で示される境界135は、真性半導体領域とn型半導体領域の境界であり、酸化物半導体におけるソース電極またはドレイン電極と接触した近傍の領域がn型化した領域となる。なお、境界135は模式的に示したものであり、実際には明瞭ではない場合がある。また、境界135の位置も図示した位置とは異なる場合がある。

【0281】

本実施の形態で説明した酸化物半導体でチャネル形成領域を形成したトランジスタを用いることで、X線等の放射線照射に対して安定性が高く、電気特性の低下を抑制できる構成の撮像装置を提供することができる。

【0282】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0283】

100	基板
101	基板
110	画素回路
120	回路部
125	受光素子
127	ゲート絶縁膜
130	開口部
135	境界
140	回路
150	回路
160	遮蔽層
170	層間絶縁膜
180	シンチレータ
181	シンチレータ
190	放射線
195	光
200	回路
201	トランジスタ
202	トランジスタ
203	トランジスタ
204	トランジスタ
205	配線
210	回路
211	配線
212	配線
213	配線

10

20

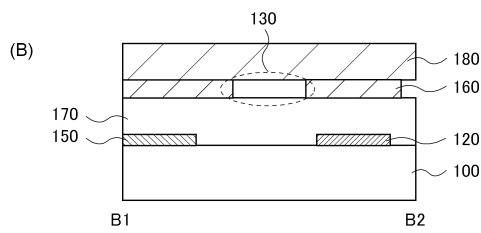
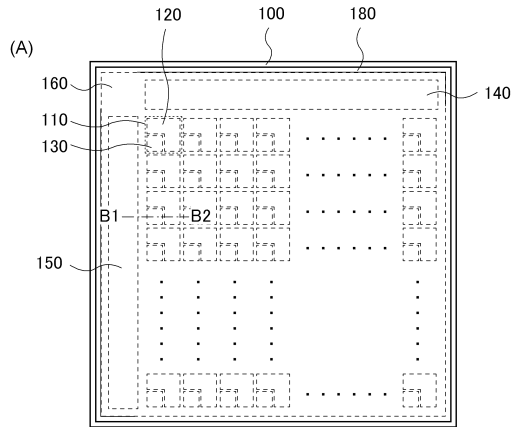
30

40

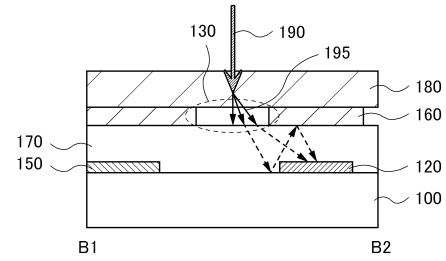
50

2 1 4	配線	
2 1 5	配線	
2 1 6	配線	
2 1 7	配線	
2 1 8	配線	
2 2 0	フォトダイオード	
2 3 0	可変抵抗素子	
2 4 0	トランジスタ	
2 5 0	回路	
2 6 0	回路	10
2 7 0	回路	
2 8 0	回路	
2 9 0	回路	
3 0 1	信号	
3 0 2	信号	
3 0 3	信号	
3 0 4	信号	
3 0 5	信号	
3 0 8	信号	
3 1 5	半導体膜	20
3 1 6	半導体膜	
3 1 7	半導体膜	
5 0 1	信号	
5 0 2	信号	
5 0 3	信号	
5 0 4	信号	
5 0 5	信号	
5 0 6	信号	
5 0 7	信号	
5 0 8	信号	30
5 0 9	信号	
5 1 0	期間	
5 1 1	期間	
5 2 0	期間	
5 2 1	期間	
5 3 1	期間	
6 1 0	期間	
6 1 1	期間	
6 1 2	期間	
6 2 0	放射線照射期間	40
6 2 1	期間	
6 2 2	期間	
6 2 3	期間	
6 3 1	期間	
1 2 1 1	導電膜	
1 2 1 2	導電膜	
1 2 1 3	導電膜	
1 2 1 4	導電膜	
1 2 1 5	導電膜	
1 2 1 8	導電膜	50

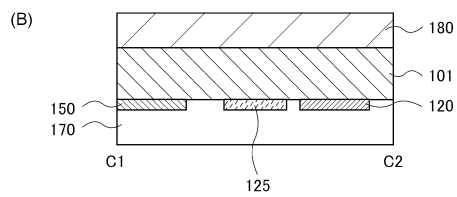
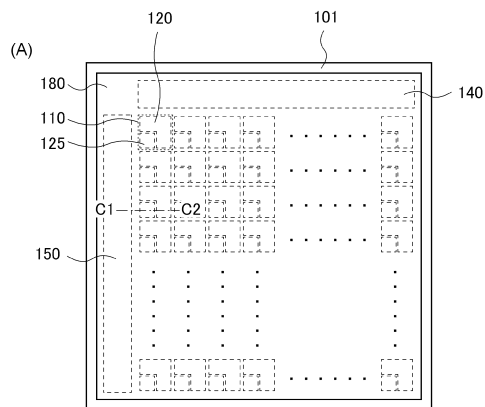
【図 4】



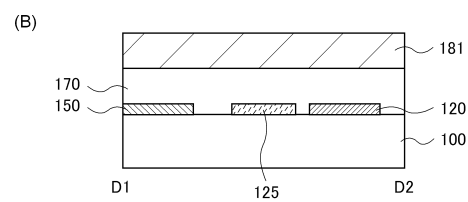
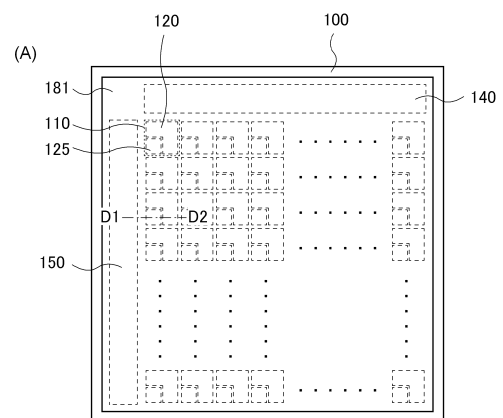
【図 5】



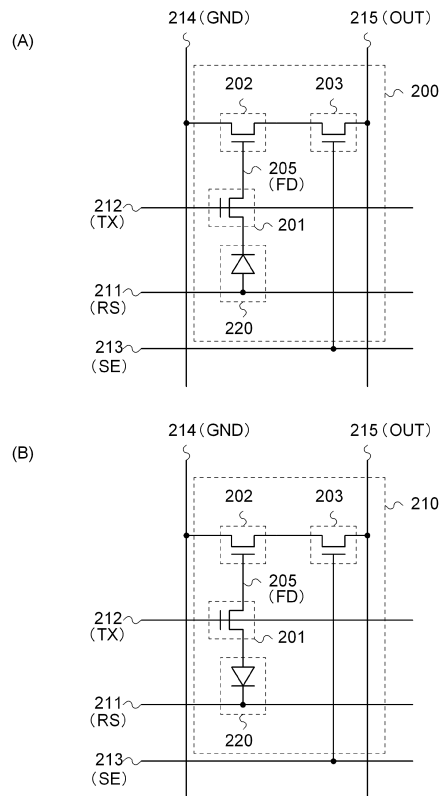
【図 6】



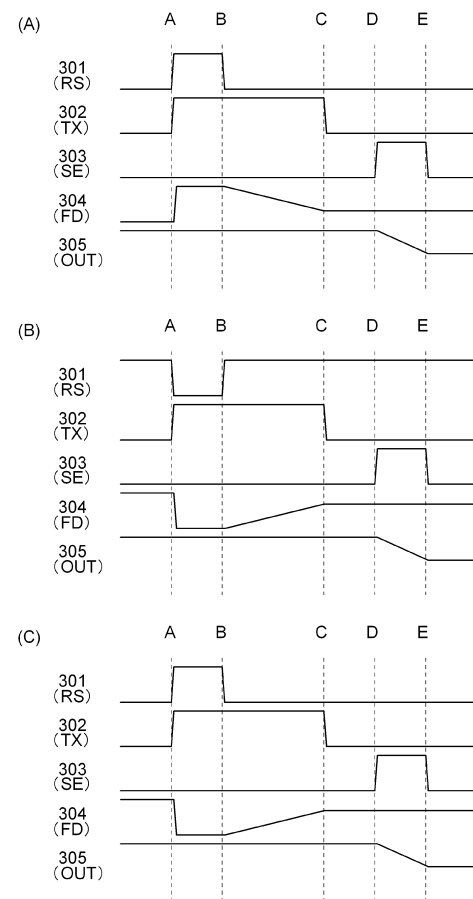
【図 7】



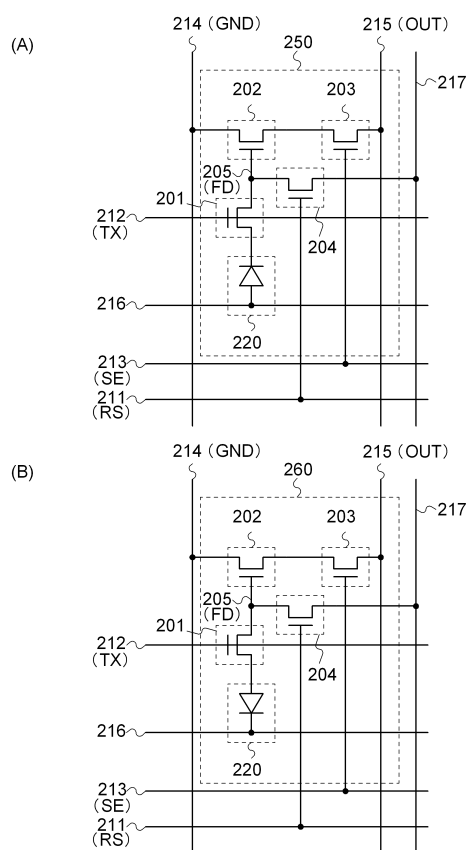
【図 8】



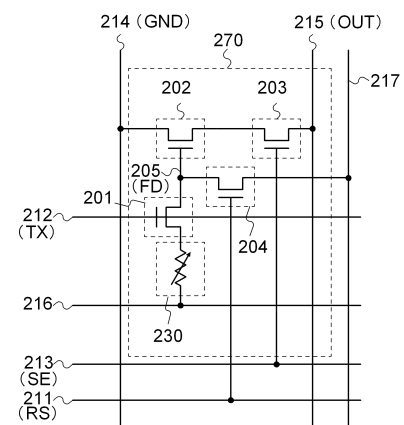
【図 9】



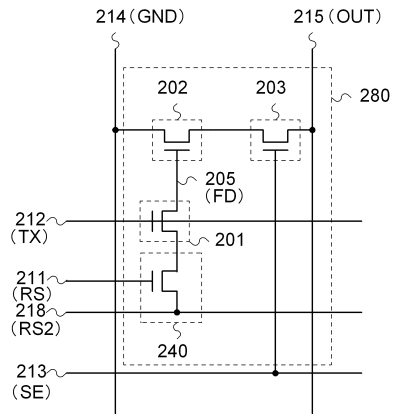
【図 10】



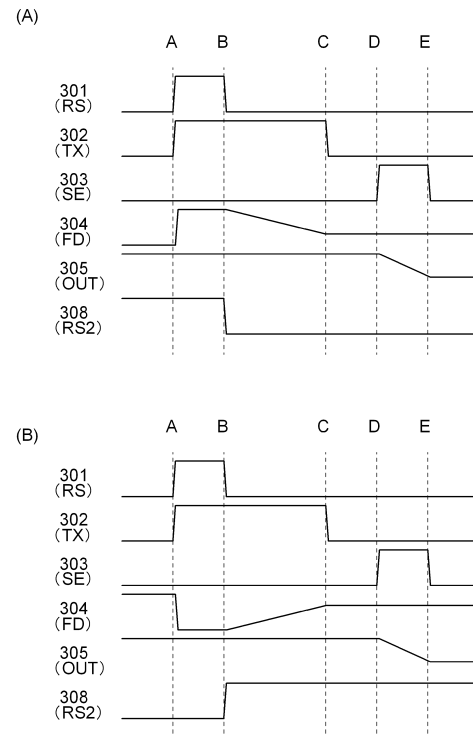
【図 11】



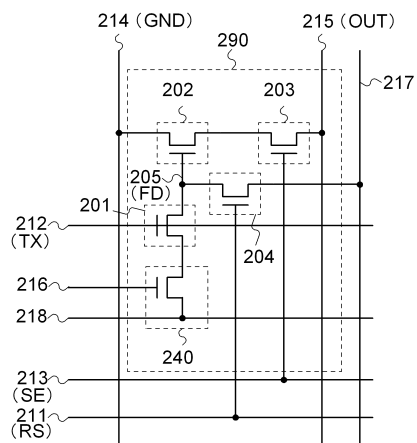
【図 1 2】



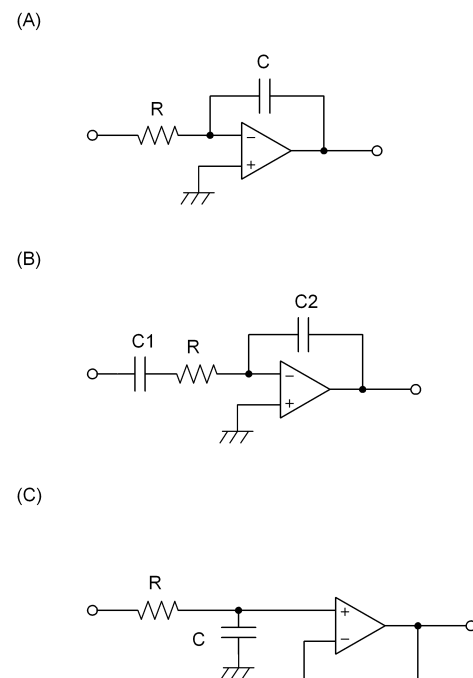
【図 1 3】



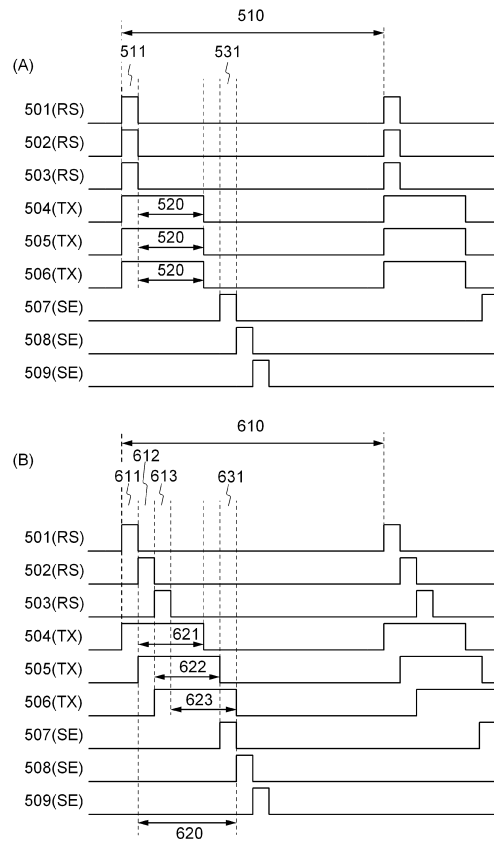
【図 1 4】



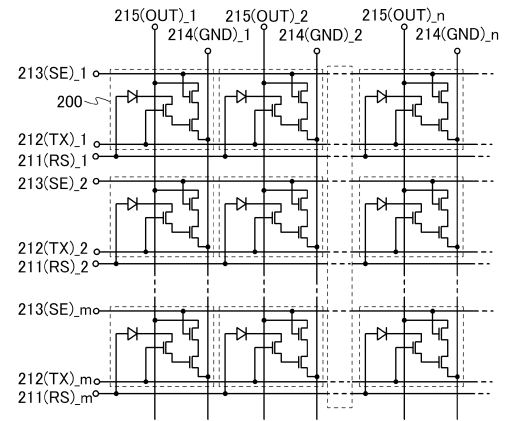
【図 1 5】



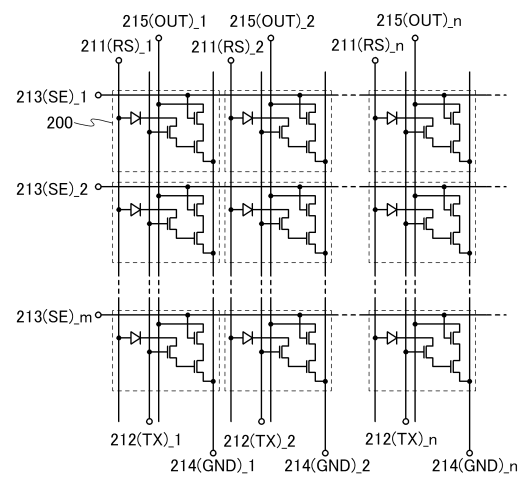
【図 16】



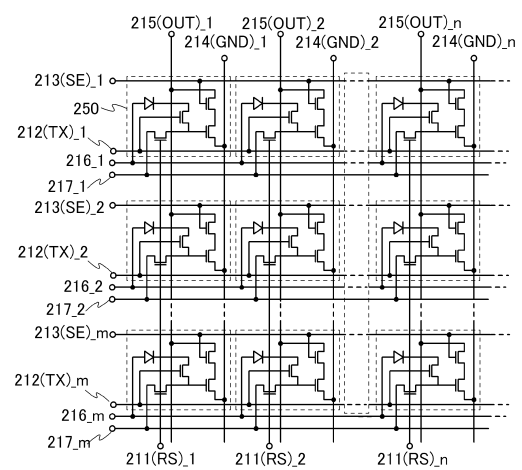
【図 17】



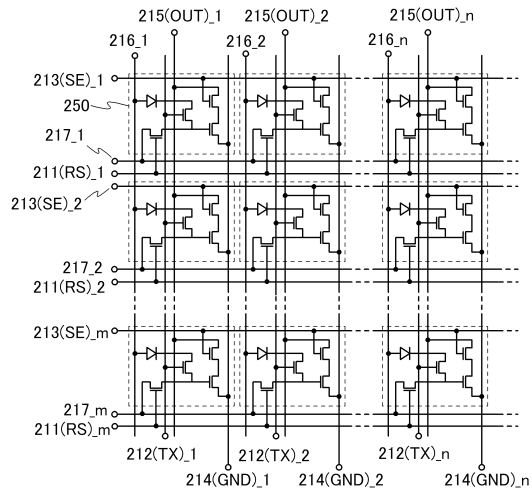
【図 18】



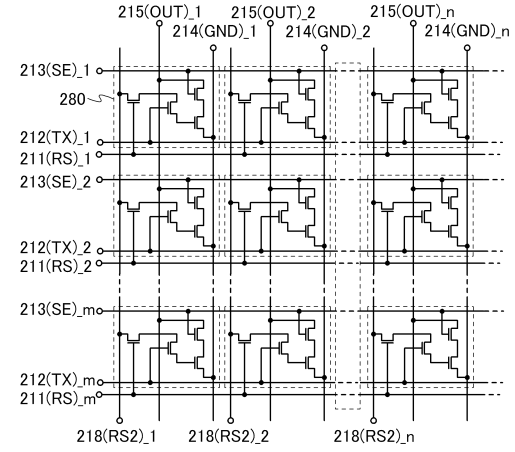
【図 19】



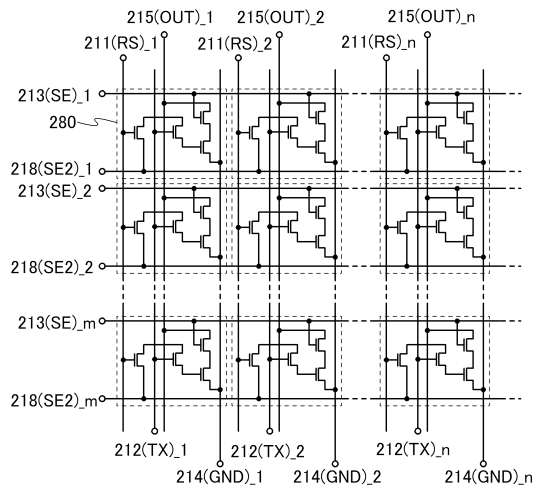
【図 20】



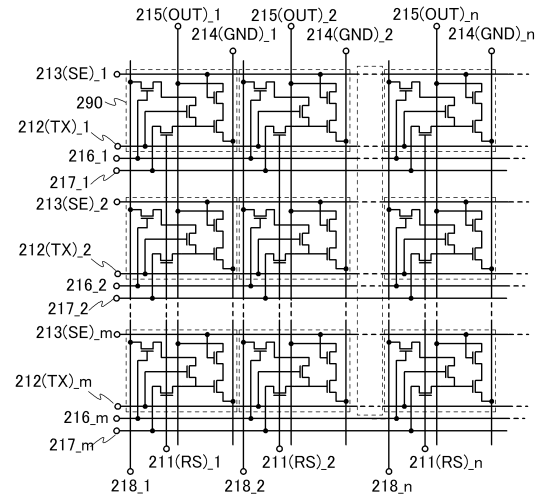
【図 21】



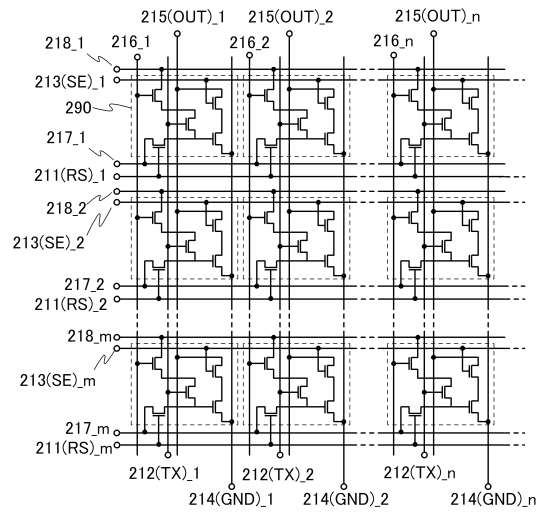
【図 22】



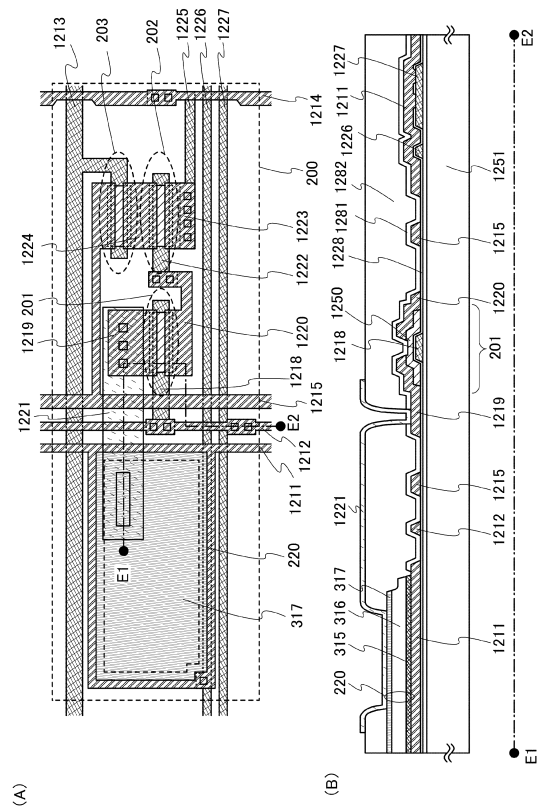
【図 23】



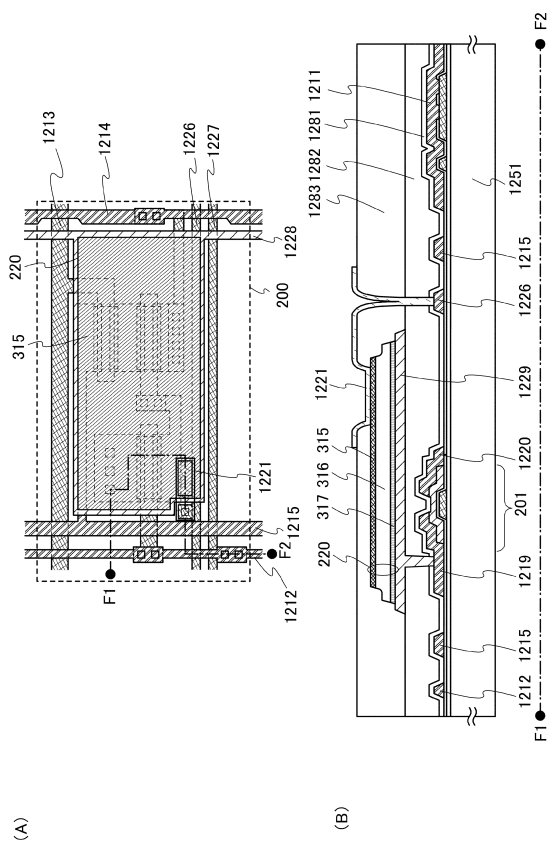
【 図 2 4 】



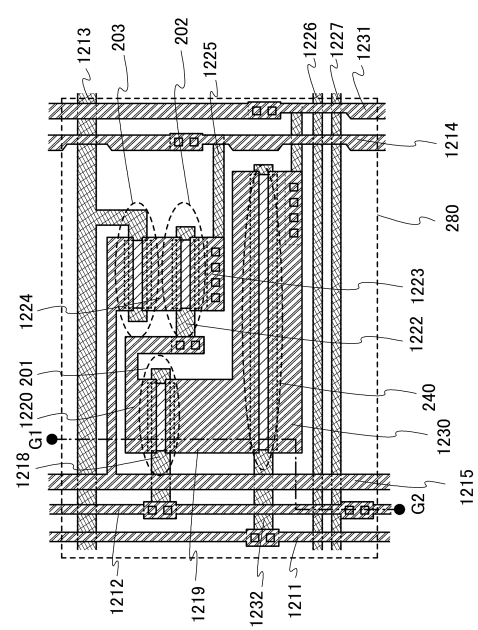
【圖 25】



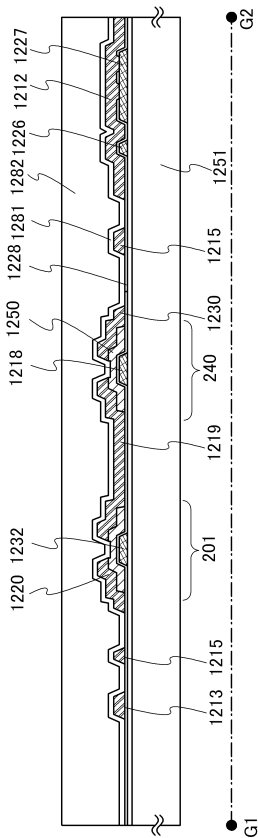
【 図 2 6 】



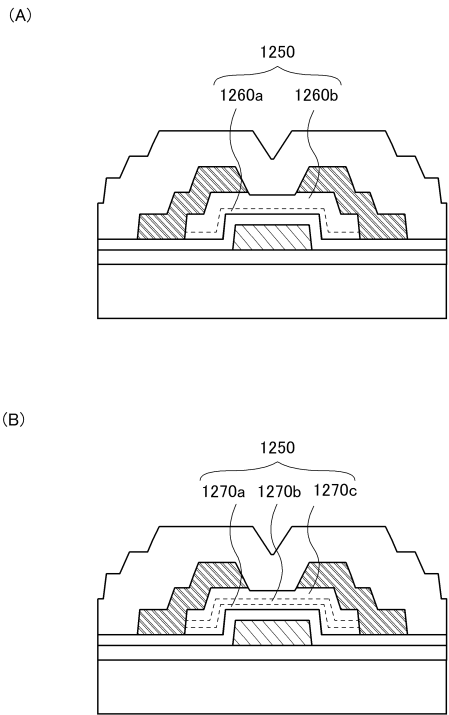
【圖 27】



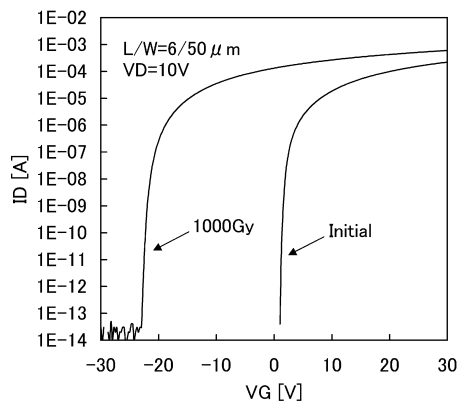
【図 28】



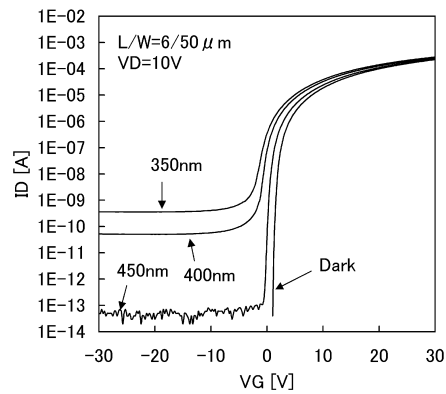
【図 29】



【図 30】



【図 31】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/146	(2006.01)	H 0 1 L	27/14 K
H 0 1 L	29/786	(2006.01)	H 0 1 L	27/14 D
H 0 1 L	21/336	(2006.01)	H 0 1 L	27/14 C
			H 0 1 L	29/78 6 1 8 B
			H 0 1 L	29/78 6 1 9 B
			H 0 1 L	29/78 6 1 4

- (72)発明者 金村 大志
 栃木県栃木市都賀町升塚 1 6 1 - 2 アドバンスト フィルム ディバイス インク株式会社内
- (72)発明者 宮永 昭治
 栃木県栃木市都賀町升塚 1 6 1 - 2 アドバンスト フィルム ディバイス インク株式会社内

審査官 藤本 加代子

- (56)参考文献 実開平 0 5 - 0 1 5 4 5 4 (J P , U)
 特開 2 0 0 4 - 3 5 4 2 7 1 (J P , A)
 特表 2 0 0 7 - 5 1 4 1 5 8 (J P , A)
 特表 2 0 0 5 - 5 3 9 2 3 1 (J P , A)
 特開 2 0 0 9 - 2 1 2 3 7 7 (J P , A)
 特開 2 0 0 3 - 2 8 2 8 4 9 (J P , A)
 国際公開第 2 0 0 6 / 0 1 8 8 0 4 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|-------------|
| G 0 1 T | 1 / 2 0 |
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 9 / 7 8 6 |
| H 0 4 N | 5 / 3 2 1 |