

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9312-871A

※ 申請日期： 93-7-30

※IPC 分類： G06F1/1337

一、發明名稱：(中文/英文)

液晶顯示器

LIQUID CRYSTAL DISPLAY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

奇美電子股份有限公司

CHI MEI OPTOELECTRONICS CORP.

代表人：(中文/英文) 廖錦祥 Ching-Siang Liao

住居所或營業所地址：(中文/英文)

台南縣新市鎮台南科學工業園區奇業路一號

No. 1, Chi-Yeh Road, Tainan County, Tainan Science Based Industrial Park,

Taiwan 74147, R.O.C

國 籍：(中文/英文)

中華民國 R.O.C.

三、發明人：(共 4 人)

姓 名：(中文/英文) ID :

1. 許哲銘 Che-Ming Hsu H120113248

2. 謝明峰 Ming-Feng Hsieh E122116333

3. 謝志勇 Chin-Yung Hsieh C120805871

4. 陳建宏 Chien-Hong Chen E122910895

國 籍：(中文/英文) 1-4 中華民國 R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種液晶顯示器，其特別有關於一種多區域垂直配向型 (Multi-domain Vertically Aligned, MVA) 液晶顯示器。

【先前技術】

液晶顯示器主要包含一液晶顯示器單元具有兩玻璃基板彼此對置而將一液晶層夾設於其間，液晶層內液晶分子之方位 (orientation) 會隨供應給兩玻璃基板上電極之電壓大小而產生變化，利用此原理可以控制入射光線可否穿透該液晶顯示器單元，進而達成灰階顯示的目的。

垂直配向 (Vertical Aligned, VA) 型液晶顯示器是一種使用負液晶材料以及垂直配向薄膜的類型 (mode)。當無電壓供應時，液晶分子係排列在一垂直方向，因入射光線無法穿透該液晶顯示器單元而出現黑螢幕顯示 (black display)。當供給一預先設定的電壓時，液晶分子係排列在一水平方向，因入射光線可以穿透該液晶顯示器單元而出現白螢幕顯示 (white display)。

然而，當觀看角度並非垂直於螢幕平面時，該垂直配向型液晶顯示器會有對比下降或對比反轉 (contrast reversal) 之問題。這是光與液晶顯示器單元內液晶分子交互作用之結果。當光以非垂直之入射角通過液晶顯示器單元時，其與液晶分子交互作用之方式係不同於當光以垂直之入射角通過液晶顯示器單元。因此，在光穿透狀態 (白) 以及非

穿透狀態（黑）之間的對比在非垂直角度時明顯下降，因而使該等顯示器在許多應用（例如平面電視螢幕以及大型電腦螢幕）皆無法令人滿意。

已知多區域垂直配向型液晶顯示器的視野角度表現，可藉由將像素內液晶分子的方位（orientation）設定為複數個互為不同的方向而加以改善。歐洲專利公告第0884626-A2號揭示一個多區域垂直配向型（multi-domain vertically aligned, MVA）液晶顯示器，其具有多個區域調整構件用以改善其視野角度的表現。典型地，該區域調整構件係藉由在薄膜電晶體基板的畫素電極上設複數個狹縫（slit）並且在彩色濾光基板的共同電極上設複數個突起（protrusion）而實現，其中該些突起與狹縫係彼此交錯排列。而液晶分子的排列的方位角係由突起（protrusion）與狹縫（slit）的圖案（pattern）產生的邊場效應（fringe field）所決定。

在前述液晶顯示器之驅動上，其必須藉由外加電壓來使每一畫素（pixel）內所對應之液晶分子發生轉動（rotation），並且藉由液晶分子的轉動來改變各個畫素的透光率，所以該液晶顯示器因應於液晶分子之轉動會顯示不同的亮度（brightness）。

對於大多數的液晶顯示器而言，在初始電壓固定時，當外加電壓越高時，反應時間會越快，然而，對於一些液晶顯示器而言，並不完全適用。

例如，在2004年於SID發表的”DCCII: Novel Method for Fast Response in PVA Mode”一文中即指出，以圖案化

垂直配向 (Patterned Vertical Alignment; PVA) 為顯示模式的液晶顯示器，在某些條件下，當外加一高電壓時，反應時間相反地越慢。類似的情形亦發生在以多區域垂直配向作為顯示模式的液晶顯示器。

第 9A 圖顯示習知多域垂直配向液晶顯示器於畫素區之突起與狹縫之配置圖，第 9B 圖顯示第 9A 圖沿 A-A 線之剖面圖。請先參照第 9A 圖，液晶顯示器之畫素區 400 係利用一閘線路 402 與一資料線 404 交叉而定義，畫素區 400 具有一薄膜電晶體 406 與閘線路 402、資料線 404 連接，並配置一與薄膜電晶體 406 連接之畫素電極 408。請再參照第 9B 圖，配置於畫素區 400 的突起 410 與狹縫 412 係分別形成在彩色濾光片基板 414 以及薄膜電晶體基板 416。其中，突起 410 與狹縫 412 的配置係使液晶分子的配列與上下偏光板 (未繪示) 均呈 45 度角，使光線在通過多域垂直配向液晶顯示器時，得呈現最大的灰階亮度，而一旦液晶分子與上下偏光板 (未繪示) 無法呈 45 度角配列時，即稱液晶分子之排列產生異常。

第 10A 圖至第 10E 圖係模擬第 9A 圖區域 418 之液晶分子在相同觀察時間，不同外加電壓下因突起 (protrusion) 與狹縫 (slit) 的圖案 (pattern) 產生的邊場效應而引起的轉動排列 (switching)，其中第 10A-10E 圖之橫軸與縱軸分別對應至第 9A 圖之 A-A 及 A-B 方向。如第 10A 圖與第 10B 圖所示，當外加電壓分別在 5V 與 5.5V 時，區域 418 的液晶分子係依邊場效應的配列呈現正常排列的結果；然而，如第 10C 圖至第 10E 圖所示，當外加電壓增加至 5.75V、6.0V

及 6.5V 時，區域 418 中的部分液晶分子 420a、420b 係不受邊場效應的配列而呈現異常排列，尤其如第 10E 圖所顯示之部分液晶分子 420a、420b 異常排列最為嚴重。

目前所知，造成多域垂直液晶分子排列異常的可能原因之一係當突起 410 與狹縫 412 距離變大時，突起 410 與狹縫 412 中間液晶分子 420a、420b 需耗費較長的時間才得以隨著鄰近的液晶分子傾倒 (tilt) 而配列，如此不僅使得液晶分子的反應時間增加，再加上突起 410 與狹縫 412 中間的液晶分子所受邊場效應較弱，且施加之垂直電場可能使多域垂直液晶以任意的方向傾倒的情況下，使得傾倒方向不受控制，而造成異常排列。

另外，異常排列的成因亦可能因為瞬間施加高電壓，突起 410 與狹縫 412 中間的液晶分子 420a、420b 在尚未受鄰近液晶分子之傾倒而配列前，先受施加之垂直電場影響，使液晶以任意方向傾倒，而在傾倒方向不受邊場效應控制的情況下，異常排列也因而產生，造成如第 10C 圖至第 10E 圖所示，突起 410 與狹縫 412 中間之液晶分子 420a、420b 異常排列，而第 10E 圖中異常排列的液晶分子 420a、420b 在光學顯微鏡觀察下將呈現暗點 (gray spot) 或黑點 (black spot) 420a、420b，如第 11 圖所示。

上述灰點或黑點的產生係因任意方向傾倒的液晶分子未與上下偏光片呈 45 度角配列所致，異常排列的液晶分子隨後可能受鄰近液晶分子的影響而欲重倒 (retilt) 回與上下偏光片成 45 度角的正確角度時，則需花費更長的時間，因此造成反應時間增加，尤有甚者，當鄰近液晶分子的影響

已無法使異常排列的液晶分子重倒時，液晶分子將呈現灰點或黑點而無法恢復該有之亮度。

由此可知在多區域垂直配向型液晶顯示器在驅動方面存在有一臨界電壓，當外加電壓超過此臨界電壓時就會產生前述液晶分子異常排列的問題，所以在習知顯示器設計上必須限制驅動偏壓不能超過此臨界電壓，以免造成反應時間的增加。並且在習知顯示器設計上，突起與狹縫之間距也需小於一定程度，來避免異常排列問題，以此可以提高臨界電壓值以增加驅動電壓可使用之範圍。但由於突起與狹縫之間距變小，導致單一畫素內所設置之突起與狹縫數量增加，且突起與狹縫皆為不可顯示的區域，因而導致畫素區的開口率(aperture ratio)降低，液晶顯示器的亮度下降。

在美國公開專利 US2002/0159018 所揭示之多區域垂直配向型液晶顯示器，其畫素電極在狹縫處更具有鋸齒狀之凹口(jagged)，可以加快液晶的反應時間，雖然可以因此而增加突起與狹縫之間距，但仍存在液晶分子異常排列的問題，所以其間距仍是必須維持在一定值以下，開口率之增加程度有限。

【發明內容】

本發明之主要目的係提供一種高開口率之多區域垂直配向型液晶顯示器，其可克服或至少改善前述先前技術之問題。

根據本發明之液晶顯示器，其主要包含經垂直配向處理

之第一基板及第二基板，一液晶層夾設於該第一及第二基板之間，以及分別設於該第一基板以及第二基板上之第一構件與第二構件。該液晶層所包含之液晶分子在大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面。該第一構件與第二構件係用以調整該液晶層之方位(orientation)使得當電壓施加時該液晶分子係被傾斜配向而使該方位包含複數個方向。

前述之第一構件可藉由將複數個陣列排列之突起設於該第一基板而實現，而前述之第二構件可藉由將複數個陣列排列之狹縫設於畫素電極而實現。此外，根據本發明之第一構件與第二構件亦可以下述之結構實現：例如第一構件係為狹縫（例如設於該第一基板之共同電極上）搭配第二構件係為突起（設於該第二基板上）的結構，或是第一構件與第二構件皆為突起或皆為狹縫的結構。該第一構件與第二構件係大致上彼此平行且交錯排列。

本案發明人經研究後發現：當採用民國 93 年 8 月 20 日申請之中華民國第 93123879 號專利申請案所揭示之驅動方法時，該第一構件與第二構件之間的部分的(partial)間距可設計為大於或等於 $25\mu\text{m}$ 而不會發生液晶排列異常的問題。前述驅動方法主要係以分階段提供偏壓的方式來使畫素之驅動電壓突破臨界電壓值（初始電壓值加上臨界偏壓）之限制，而達到較高之目標電壓值。

前述之狹縫較佳設有複數個排列成鋸齒狀之凹口。本案發明人經研究後發現當使用前述以分階段提供偏壓的驅動方法時，該些突起以及該些設有凹口之狹縫之間的部分的

(partial)間距可設計為 $30\mu\text{m}$ 至 $50\mu\text{m}$ 而不會發生液晶排列異常的問題。

在前述之多區域垂直配向型液晶顯示器中，由於突起與狹縫可以配置成具有較大之間距，因此有效減少該些突起與狹縫的分佈密度，藉此有效增加開口率 (aperture ratio) (亦即可透光區域之比例) 使得液晶顯示器之顯示品質顯著提昇。

每個突起較佳係設有複數個分岔部 (branch)，該些分岔部係設在正對該些畫素電極之邊緣的位置。每個畫素電極係被該些狹縫分隔成複數個部分電極，每兩個相鄰之部分電極係為一連接部接合在一起。每個連接部具有一第一部份以及一第二部分，該第一部份之延伸方向係大致垂直於該些突起之延伸方向，該第二部分之延伸方向係大致平行於該些資料線路，其中每個連接部之第二部分係完全與該突起之分岔部重疊。

前述之液晶顯示器較佳另包含複數個「H」形電容電極分別設於相對應之畫素區域。該電容電極具有藉由一中央部份互相連接之兩個側部分。每個電容電極之該兩個側部分係分別設在相對應畫素區域中鄰近資料線路之位置。該些電容電極與該些畫素電極係形成一儲存電容單元。

【實施方式】

雖然本發明可表現為不同形式之實施例，但附圖所示者及於下文中說明者係為本發明之實施例，並請了解本文所揭示者係考量為本發明之一範例，且並非意圖用以將本發

明限制於圖示及/或所描述之特定實施例中。

本發明係有關於一種多區域垂直配向型液晶顯示器，其主要包含經垂直配向處理之第一基板及第二基板，一液晶層夾設於該第一及第二基板之間，以及分別設於該第一基板以及第二基板上之第一構件與第二構件。該液晶層所包含之液晶分子在大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面。該第一構件與第二構件係用以調整該液晶層內液晶分子之方位(orientation)使得當電壓施加時該液晶分子係被傾斜配向而使該方位包含複數個方向。因此，根據本發明之多區域垂直配向型液晶顯示器的視野角度表現，可藉由將畫素內液晶分子的方位(orientation)設定為複數個互為不同的方向而加以改善。

第 1 圖所示為根據本發明一實施例之多區域垂直配向型液晶顯示器之畫素部分。根據本發明的液晶顯示器較佳是一種薄膜電晶體液晶顯示器(TFT LCD)。參照第 8 圖，前述之第一基板 102 可設有一光遮蔽陣列例如遮光層(BM)(未示於第 8 圖中)；複數個彩色濾光片 102a 以及一共同電極 102b。參見第 1 圖，前述之第二基板 104 可設有複數條彼此平行的閘線路(gate line)106；複數條彼此平行的資料線路(data line)108，其垂直於該閘線路 106；及複數個薄膜電晶體 109 與畫素電極 120。可以理解的是，該薄膜電晶體 109 及畫素電極 120 一般係成矩陣式排列於該閘線路 106 與資料線路 108 的交叉部分。一般而言，該第一基板 102 係稱為彩色濾光基板因為其設有彩色濾光片，而該第二基板 104 係稱為薄膜電晶體基板。該基板間一般設有

間隔件(spacer)(未示於圖中)用以界定該基板之間的間隔(gap)。

參見第 1 圖，畫素電極 120 係設於由兩相鄰閘線路 106 以及兩相鄰資料線路 108 所界定之畫素區域內。在此實施例中，前述之第一構件係藉由將複數個陣列排列之突起 130 設於該第一基板而實現，而前述之第二構件係藉由將複數個陣列排列之狹縫 140 設於該畫素電極 120 而實現。該些突起 130 以及該些狹縫 140 係大致上彼此平行且交錯排列。

參見第 1 圖，每個狹縫 140 係設有複數個排列成鋸齒狀之凹口(jagged)140a。兩相鄰之突起 130 以及狹縫 140 之間的間距係標示為 c ，且該間距 c 係等於該些凹口 140a 之最小深度 a 再加上具有最小深度之該些凹口 140a 與突起 130 之間的距離 b 。可以理解的是，當該些狹縫 140 未設有該些凹口 140a 且液晶顯示器使用習知驅動方法時，該些突起 130 與該些狹縫 140 之間的間距 c 一般係設計為小於 $25\mu\text{m}$ ，否則位於相鄰突起與狹縫所夾區域中間的液晶分子很容易因為驅動電壓的瞬間變化(偏壓)過大而出現液晶分子異常排列的情形而導致畫素之反應時間增加或使顯示畫面產生影像滯留(image retention)的問題。

相對地，本案發明人經研究後發現：當採用民國 93 年 8 月 20 日申請之中華民國第 93123879 號專利申請案所揭示之驅動方法，以分階段提供偏壓的方式來使畫素之驅動電壓突破臨界電壓值(初始電壓值加上臨界偏壓)之限制，而達到較高之目標電壓值。詳細言之，前述驅動方法係在

圖框時間 t_1 時，提供一小於臨界偏壓之第一偏壓，使得原有之初始電壓值在加上第一偏壓之後上升至一中間電壓值。接著，在圖框時間 t_2 時，再提供一第二偏壓，使得驅動電壓進一步由中間電壓值上升至目標電壓值。由於此驅動方法可以突破臨界電壓的限制以解決前述液晶分子異常排列的問題，因而該些突起 130 以及該些狹縫 140 之間の間距 c 不需要再限制在小於 $25\mu\text{m}$ ，部分的 (partial) 間距可以設計為大於或等於 $25\mu\text{m}$ ，且不會發生液晶排列異常的問題。

由於該些突起 130 以及該些狹縫 140 之間の間距 c 可以設計為大於或等於 $25\mu\text{m}$ ，因而單一畫素區之突起 130 以及狹縫 140 的數目可以減少，藉此有效增加開口率，而使亮度之顯示品質顯著提昇。

此外，當該些狹縫 140 設有該些凹口 140a 且液晶顯示器使用習知驅動方法時，由於反應時間較快，所以該些突起 130 以及該些狹縫 140 之間の間距 c 一般係設計為小於 $30\mu\text{m}$ 以避免發生液晶排列異常的問題。相對地，本案發明人經研究後發現當使用前述以分階段提供偏壓的驅動方法時，該些突起 130 以及該些設有凹口 140a 之狹縫 140 之間的部分的 (partial) 間距 c 可設計為大於或等於 $30\mu\text{m}$ 而不會發生液晶排列異常的問題。

此外，當該些狹縫 140 設有該些凹口 140a 時，該些突起 130 以及該些狹縫 140 之間の間距 c 最多可設計為 $50\mu\text{m}$ 而不會發生液晶排列異常的問題。

本案發明人另研究該些凹口 140a 之間距 d 以及寬度 e

(參見 2 圖) 與穿透率(transmittance)之間的關係，其結果如下表一(間距 c 設定為 $35\mu\text{m}$ ，最小深度 a 設定為 $14\mu\text{m}$) 所示。

表一

$d(\mu\text{m})$	$e(\mu\text{m})$	Transmittance	$d / (d+e)$	$(d+e)$
4.5	2.5	◎	64.3%	7.0
4	3	◎	57.1%	7.0
3.75	3.25	◎	53.6%	7.0
4	3.5	○	53.3%	7.5
4	4	○	50.0%	8.0
4.5	4	○	52.9%	8.5
5	4	○	55.6%	9.0

◎：優 ○：佳

由表一可知，該些凹口 140a 較佳係設計成其間距 d 以及寬度 e 相加等於 $7\sim 9\mu\text{m}$ ，皆可獲得不錯之穿透率。

本案發明人另研究該些凹口 140a 之間距 d 以及寬度 e (參見 2 圖) 與以習知驅動方法所得到之反應時間(response time)之間的關係，其結果如下表二(間距 c 設定為 $35\mu\text{m}$ ，最小深度 a 設定為 $14\mu\text{m}$) 所示。

表二

$d(\mu\text{m})$	$e(\mu\text{m})$	反應時間
4.5	2.5	○
4	3	◎
3.75	3.25	◎
4	3.5	◎
4	4	◎
4.5	4	◎
5	4	△

◎：優 ○：佳 △：劣

由表二可知，該些凹口 140a 之間距 d 較佳係設計成不大於 $4.5\mu\text{m}$ ，並且該些凹口 140a 之寬度 e 較佳係設計成不小於 $3\mu\text{m}$ ，藉此獲得較佳之反應時間。

更進一步同時考量穿透率與反應時間兩項因素可知，該些凹口 140a 較佳係設計成其間距 d 以及寬度 e 相加等於 $7\sim 8.5\mu\text{m}$ 。

第 1 圖所例示之液晶顯示器之每一畫素區域較佳係設有「H」形電容電極 150（參見第 3 圖），其具有兩個側部分 150a 藉由一中央部份 150b 互相連接。如第 3 圖所示，該電容電極 150 之兩個側部分 150a 係設在畫素區域中鄰近資料線路 108 之位置。相對於習知液晶顯示器之電容電極一般係設計成僅具有前述之中央部份 150b，該電容電極 150 之兩個側部分 150a 可提供額外之儲存電容。該電容電極 150 一般係與閘線路 106 及閘電極一起由一閘金屬層圖案化而成。因此，在第 3 圖中，該電容電極 150 與閘線路 106 係以陰影表示以幫助瞭解。由於閘金屬層一般係以不透光之導電金屬例如鋁、鉻、鈹或鈹形成，因此該電容電極 150 之兩個側部分 150a 可作為一輔助光遮蔽層而用來遮蔽漏光。

第 1 圖所例示之液晶顯示器的每個突起 130 具有複數個分岔部 130a 設於正對畫素電極 120 之邊緣的位置。該分岔部 130a 與狹縫 140 之夾角係保持在小於或等於 45 度，藉此使得在分岔部 130a 與狹縫 140 交界附近的液晶分子的取

向（亦即「該液晶分子長軸之平均方向」）差異大幅降低至最多 45 度。這有效抑制向錯發生在狹縫 140 與畫素電極 120 之邊緣交界的鄰近區域。然而由於突起 130 以及畫素電極 120 係分別形成在不同基板上，因此不同基板間的對位誤差常常會造成分岔部 130a 無法準確設於正對畫素電極 120 之邊緣，導致變暗區域出現在狹縫 140 與畫素電極邊緣交界之鄰近區域。

如第 1 圖及第 4 圖所示，該畫素電極 120 係被該些狹縫 140 分隔成四個部分電極 120A、120B、120C 以及 120D。每兩個相鄰之部分電極係至少為一連接部 122 接合在一起。每一連接部 122 具有一第一部份 122a 以及一第二部分 122b（參見第 4 圖），該第一部份 122a 之延伸方向係垂直於該些突起 130 之延伸方向，該第二部分 122b 之延伸方向係平行於該些資料線路 108。在此實施例中，每個連接部 122 之第二部分 122b 並未完全與該突起 130 之分岔部 130a 重疊（亦即該第二部分 122b 與該分岔部 130a 並未完全垂直投影在基板平面上相同之區域）。本案發明人經研究後發現在前述第二部分 122b 未與該分岔部 130a 重疊之區域會呈現變暗（darkened）的狀況。而在該呈現黑暗的區域內，其已發現當施以電壓時液晶分子的方位改變得很慢。這將降低對比以及反應時間，因而使顯示品質惡化。並且若兩基板對位產生誤差，使得該第二部分 122b 與該分岔部 130a 產生錯位而未重疊在一起，其錯位區域亦會產生變暗的狀況。

第 5 圖所示為根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分。除了每個連接部 122 之第二部分 122b 係完全與該突起 130 之分岔部 130a 重疊(亦即該第二部分 122b 與該分岔部 130a 係垂直投影在基板平面上相同之區域)之外，第 5 圖所示之液晶顯示器大致與第 1 圖及第 4 圖所示之液晶顯示器相同。本案發明人經研究後發現此實施例之設計可有效縮小前述呈現變暗的區域。且當兩基板產生在第 5 圖中上下方向的對位異常時，如此設計亦可以有效減少產生變暗的區域。

第 6 圖所示為根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分。在此實施例中，前述之第一構件係藉由將複數個陣列排列之突起 230 設於該第一基板而實現，而前述之第二構件係藉由將複數個陣列排列之狹縫 240 設於該畫素電極 220 而實現。該些突起 230 以及該些狹縫 240 係大致上彼此交錯排列，其中夾設於兩相鄰突起 230 之狹縫 240 係被彎折成「之」字形。如圖所示，該畫素電極 220 係被該些狹縫 240 分隔成三個部分電極 220A、220B 以及 220C。每兩個相鄰之部分電極係至少為一連接部接合在一起。該些部分電極 220A、220B 以及 220C 各具有複數個突出部 224，該些突出部 224 之延伸方向係垂直於該些突起 230 之延伸方向。值得注意的是，該些突起 230 在正對該畫素電極靠近資料線路之邊緣的位置並未設有任何平行資料線路之分岔部(branch)，因此可有效減少分岔部對位誤差所造成之變暗區域。

第 7 圖所示為根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分。相較於第 1-6 圖所例示之多區域垂直配向型液晶顯示器，第 7 圖所示之顯示器僅設有由複數個陣列排列之狹縫 340 所構成之第二構件，而不需在第一基板設置前述之第一構件即可達到改善視野角度表現之目的。如圖所示，該畫素電極 320 具有一十字形主體 (cross-shaped main body) 320a 以及複數個突出部 320b 由該十字形主體 320a 延伸而出。在第 7 圖所示之顯示器中，每一畫素係包含四個區域 (domain) A, B, C 以及 D，其中的液晶分子的方位 (orientation) 分別被設定為四個互為不同的方向，藉此有效改善液晶顯示器的視野角度表現。

在第 7 圖所示之液晶顯示器中，每一畫素區域較佳係設有一具有一十字形中央部份 350a 以及兩個側部分 350b 之電容電極 350。該十字形中央部份 350a 係大致形成在正對該畫素電極 320 之該十字形主體 320a 之位置。該兩個側部分 350b 係藉由該十字形中央部份 350a 互相連接，且該兩個側部分 350b 係分別設在畫素區域中鄰近資料線路 108 之位置。相對於習知液晶顯示器之電容電極一般係設計成僅具有前述之十字形中央部份 350a 之橫向部分，該電容電極 350 之中央部份 350a 之縱向部分以及兩個側部分 350a 可提供額外之儲存電容。該電容電極 350 一般係與閘線路 106 及閘電極一起由一閘金屬層圖案化而成。因此，在第 7 圖中，該電容電極 350 與閘線路 106 係以陰影表示以幫助瞭解。由於閘金屬層一般係以不透光之導電金屬例如鋁、

鉻、鈹或鈿形成，因此該電容電極 350 之中央部份 350a 之縱向部分以及兩個側部分 350a 可作為一輔助光遮蔽層而用來遮蔽漏光。

雖然在第 1-6 圖所示之顯示器中，該第一構件係藉由將複數個陣列排列之突起設於該第一基板而實現，且第二構件係藉由將複數個陣列排列之狹縫設於該畫素電極而實現，然而根據本發明之第一構件與第二構件亦可以下述之結構實現。例如第一構件係為狹縫（例如設於該第一基板之共同電極上）搭配第二構件係為突起（設於該第二基板上）的結構，或是第一構件與第二構件皆為突起或皆為狹縫的結構。接著，用以形成該些突起的製程敘述如下。當該些突起要形成在彩色濾光基板時，先將一光阻塗佈於彩色濾光基板表面，轉移一預先設定圖案（參照圖 1-7 所示的突起圖案），然後顯影而形成該些突起。該製程可藉由習知技術而輕易實施。此外，該些狹縫可利用習知畫素電極形成步驟而與畫素電極一起形成。

雖然本發明已以前述實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明實施例，並配合所附圖示，作詳細說明如下。

第 1 圖至第 4 圖：其係用以說明根據本發明一實施例之多區域垂直配向型液晶顯示器；

第 5 圖：根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分的部分平面圖；

第 6 圖：根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分的平面圖；

第 7 圖：根據本發明另一實施例之多區域垂直配向型液晶顯示器之畫素部分的平面圖；

第 8 圖：根據本發明一較佳實施例之垂直配向型液晶顯示器之部分剖示圖；

第 9A 圖：習知多域垂直配向液晶顯示器於畫素區之突起與狹縫之配置圖；

第 9B 圖：第 9A 圖之液晶顯示器沿 A-A 線之剖面圖；

第 10A 圖至第 10E 圖：其係模擬第 9A 圖區域 418 之液晶分子在相同觀察時間，不同外加電壓下因突起與狹縫圖案產生的邊場效應而引起的轉動排列 (switching) 的示意圖，其中第 10A-10E 圖之橫軸與縱軸分別對應至第 9A 圖之 A-A 及 A-B 方向；以及

第 11 圖：第 10E 圖所示之液晶分子在光學顯微鏡下之觀察結果。

圖 號 說 明 :

102	基 板	102a	彩 色 濾 光 片
102b	共 同 電 極	104	基 板
106	閘 線 路	108	資 料 線 路
109	薄 膜 電 晶 體	120	畫 素 電 極
120a、120b	液 晶 分 子		
130	突 起	130a	分 岔 部
140	狹 縫	140a	凹 口
150	電 容 電 極	150a	側 部 分
150b	中 央 部 份		
120A、120B、120C、120D	部 分 電 極		
122	連 接 部	122a	第 一 部 份
122b	第 二 部 分	220	畫 素 電 極
230	突 起	240	狹 縫
220A、220B、220C	部 分 電 極		
224	突 出 部	320	畫 素 電 極
320a	十 字 形 主 體	320b	突 出 部
340	狹 縫	350	電 容 電 極
350a	中 央 部 份	350b	側 部 分
400	畫 素 區	402	閘 線 路
404	資 料 線	406	薄 膜 電 晶 體
408	畫 素 電 極	410	突 起
412	狹 縫	414	彩 色 濾 光 片 基 板
416	薄 膜 電 晶 體 基 板	418	區 域

420a、420b 液 晶 分 子

a 最 小 深 度

b 最 小 距 離

c 間 距

d 間 距

e 寬 度

五、中文發明摘要：

一種液晶顯示器，其主要包含經垂直配向處理之第一基板及第二基板，一液晶層夾設於該第一及第二基板之間，以及分別設於該第一基板以及第二基板上之第一構件與第二構件。該液晶層所包含之液晶分子在大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面。該第一構件與第二構件係用以調整該液晶層之方位(orientation)使得當電壓施加時每一畫素內之液晶分子係被傾斜配向而使該方位包含複數個方向。該第一構件以及該第二構件之間的部分的(partial)間距可設計為大於或等於 $25\mu\text{m}$ 。

六、英文發明摘要：

A liquid crystal display mainly includes a first substrate and a second substrate processed for vertical alignment, a liquid crystal sandwiched between the first and second substrates, and first and second means respectively provided on the first and second substrates. The liquid crystal layer includes liquid crystal molecules aligning in a direction generally perpendicular to a principal surface of the first substrate when no substantial electric field is applied to the liquid crystal layer. The first and second means regulates orientation of the liquid crystal layer such that the liquid crystal molecules are aligned obliquely when a voltage is applied so that the orientation will include a plurality of directions within each pixel. The gap between the first means and the second means is partially equal to or higher than $25\mu\text{m}$.

申請專利範圍：

1. 一種液晶顯示器，其包含：

經垂直配向處理之第一基板及第二基板；

一液晶層夾設於該第一及第二基板之間，該液晶層包含當大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面的液晶分子；

複數條閘線路(gate line)與資料線路設於該第二基板上，該些閘線路與資料線路係配置以形成複數個矩陣排列之畫素區域，該每一個畫素區域係為兩相鄰閘線路以及兩相鄰資料線路所界定；

複數個畫素電極設於該些畫素區域；以及

第一構件以及第二構件分別設於該第一基板以及第二基板上用以調整該液晶層之方位(orientation)使得當電壓施加時該液晶分子係被傾斜配向而使該方位包含複數個方向，該第一構件以及第二構件係大致上平行且交錯排列；

其中該第一構件與該第二構件之間的部分的(partial)間距係為大於或等於 $25\mu\text{m}$ 。

2. 依申請專利範圍第 1 項之液晶顯示器，其中該第一構件包含複數個陣列排列之突起設於該第一基板，並且該第二構件包含複數個陣列排列之狹縫設於該些畫素電極。

3. 依申請專利範圍第 2 項之液晶顯示器，其中每一該些狹縫係設有複數個排列成鋸齒狀之凹口(jagged)，並且

該些狹縫與該些突起之間的部分的 (partial) 間距係為大於或等於 $30\mu\text{m}$ 。

4. 依申請專利範圍第 3 項之液晶顯示器，其中該些狹縫與該些突起之間的間距係不大於 $50\mu\text{m}$ 。

5. 依申請專利範圍第 1 項之液晶顯示器，其中該第一構件包含複數個陣列排列之狹縫設於該第一基板，並且該第二構件包含複數個陣列排列之突起設於該第二基板。

6. 依申請專利範圍第 1 項之液晶顯示器，其中該第一構件包含複數個陣列排列之突起設於該第一基板，並且該第二構件包含複數個陣列排列之突起設於該第二基板。

7. 依申請專利範圍第 1 項之液晶顯示器，其中該第一構件包含複數個陣列排列之狹縫設於該第一基板，並且該第二構件包含複數個陣列排列之狹縫設於該些畫素電極。

8. 依申請專利範圍第 2 項之液晶顯示器，其中：

每一該些突起係設有複數個分岔部 (branch)，該些分岔部係設在正對該些畫素電極之邊緣的位置，

每一該些畫素電極係被該些狹縫分隔成複數個部分電極，

每兩個相鄰之部分電極係為至少一連接部接合

在一起，

每一該些連接部具有一第一部份以及一第二部分，該第一部份之延伸方向係大致垂直於該些突起之延伸方向，該第二部分之延伸方向係大致平行於該些資料線路，

並且每一該些連接部之第二部分係完全與該突起之分岔部重疊。

9. 依申請專利範圍第 1 項之液晶顯示器，其另包含複數個電容電極分別設於相對應之畫素區域，該電容電極係呈「H」形且其具有一中央部份以及兩個側部分，該兩個側部分係藉由該中央部份互相連接，每個該些電容電極之該兩個側部分係分別設在相對應畫素區域中鄰近資料線路之位置，

其中該些電容電極與該些畫素電極係形成一儲存電容單元。

10. 一種液晶顯示器，其包含：

經垂直配向處理之第一基板及第二基板；

一液晶層夾設於該第一及第二基板之間，該液晶層包含當大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面的液晶分子；

複數條閘線路(gate line)與資料線路設於該第二基板上，該些閘線路與資料線路係配置以形成複數個矩陣排列

之畫素區域，該每一個畫素區域係為兩相鄰閘線路以及兩相鄰資料線路所界定；

複數個畫素電極設於該些畫素區域，該畫素電極具有靠近閘線路之第一邊以及靠近資料線路之第二邊；

複數個陣列排列之突起設於該第一基板；以及

複數個陣列排列之狹縫設於該些畫素電極，該些狹縫與該些突起係彼此交錯排列，其中夾設於兩相鄰突起之狹縫係被彎折成「之」字形；

每一該些畫素電極係被該些狹縫分隔成複數個部分電極，每一該些部分電極具有複數個突出部，該些突出部之延伸方向係垂直於該些突起之延伸方向；

該些突起在正對該畫素電極第二邊的位置並未設有任何分岔部(branch)。

11. 一種液晶顯示器，其包含：

經垂直配向處理之第一基板及第二基板；

一液晶層夾設於該第一及第二基板之間，該液晶層包含當大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面的液晶分子；

複數條閘線路(gate line)與資料線路設於該第二基板上，該些閘線路與資料線路係配置以形成複數個矩陣排列之畫素區域，該每一個畫素區域係為兩相鄰閘線路以及兩相鄰資料線路所界定；

複數個畫素電極設於該些畫素區域；

複數個陣列排列之狹縫設於該些畫素電極使得每一該些畫素電極具有一十字形主體(cross-shaped main body)以及複數個突出部由該十字形主體延伸而出；以及

複數個電容電極分別設於相對應之畫素區域，每一該些電容電極具有一十字形中央部份以及兩個側部分，該十字形中央部份係大致形成在正對相應畫素電極之該十字形主體之位置，該兩個側部分係藉由該十字形中央部份互相連接，該兩個側部分係分別設在相對應畫素區域中鄰近資料線路之位置，

其中該些電容電極與該些畫素電極係形成一儲存電容單元。

12. 一種液晶顯示器，其包含：

經垂直配向處理之第一基板及第二基板；

一液晶層夾設於該第一及第二基板之間，該液晶層包含當大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面的液晶分子；

複數條閘線路與資料線路設於該第二基板上，該些閘線路與資料線路係配置以形成複數個矩陣排列之畫素區域，該每一個畫素區域係為兩相鄰閘線路以及兩相鄰資料線路所界定；

複數個畫素電極設於該些畫素區域；

複數個陣列排列之突起設於該第一基板，該些突起係

設有複數個分岔部，該些分岔部係設在正對該些畫素電極之邊緣的位置；以及

複數個陣列排列之狹縫設於該些畫素電極，該些狹縫與該些突起係彼此交錯排列；

每一該些畫素電極係被該些狹縫分隔成複數個部分電極，每兩個相鄰之部分電極係為至少一連接部接合在一起，

每一該些連接部具有一第一部份以及一第二部分，該第一部份之延伸方向係大致垂直於該些突起之延伸方向，該第二部分之延伸方向係大致平行於該些資料線路，

並且每一該些連接部之第二部分係完全與該突起之分岔部重疊。

13. 一種液晶顯示器，其包含：

經垂直配向處理之第一基板及第二基板；

一液晶層夾設於該第一及第二基板之間，該液晶層包含當大致無電場施加於該液晶層時係大致垂直於該第一基板之主要表面的液晶分子；

複數條閘線路與資料線路設於該第二基板上，該些閘線路與資料線路係配置以形成複數個矩陣排列之畫素區域，該每一個畫素區域係為兩相鄰閘線路以及兩相鄰資料線路所界定；

複數個畫素電極設於該些畫素區域；

第一構件以及第二構件分別設於該第一基板以及第二基板上用以調整該液晶層之方位使得當電壓施加時該液晶分子係被傾斜配向而使該方位包含複數個方向，該第一構件以及第二構件係大致上平行且交錯排列；

複數條電容電極線，係設置在兩該閘線路間，與該些畫素電極係形成一儲存電容單元；以及

至少一導體線，設置於該畫素電極與相對應之該資料線路之間，該導體線與該畫素電極部分重疊 (partial overlapping)，並與該電容電極線為一體成形。

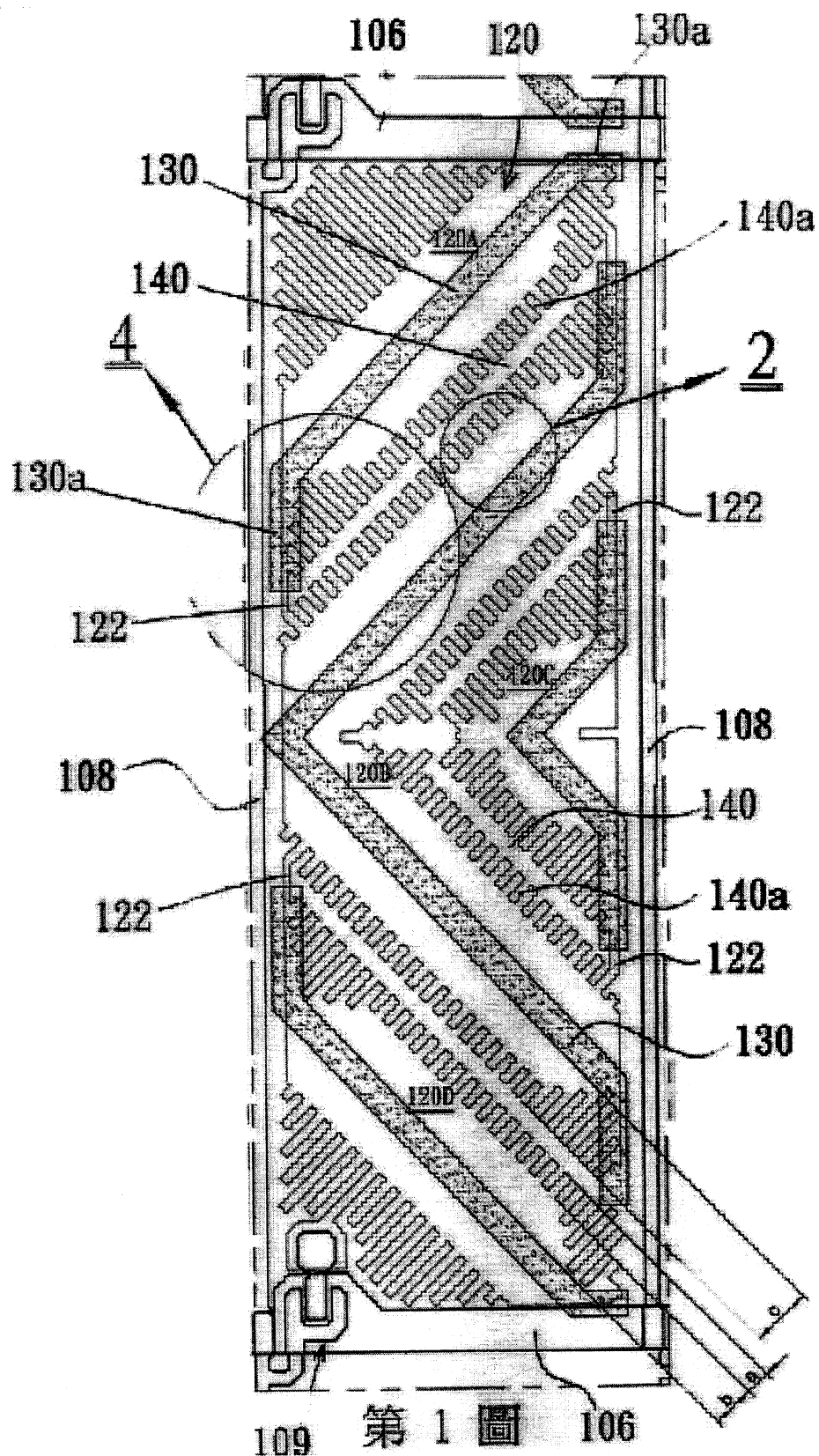
14. 依申請專利範圍第 13 項之液晶顯示器，其中該第一構件包含複數個陣列排列之突起設於該第一基板，並且該第二構件包含複數個陣列排列之突起設於該第二基板。

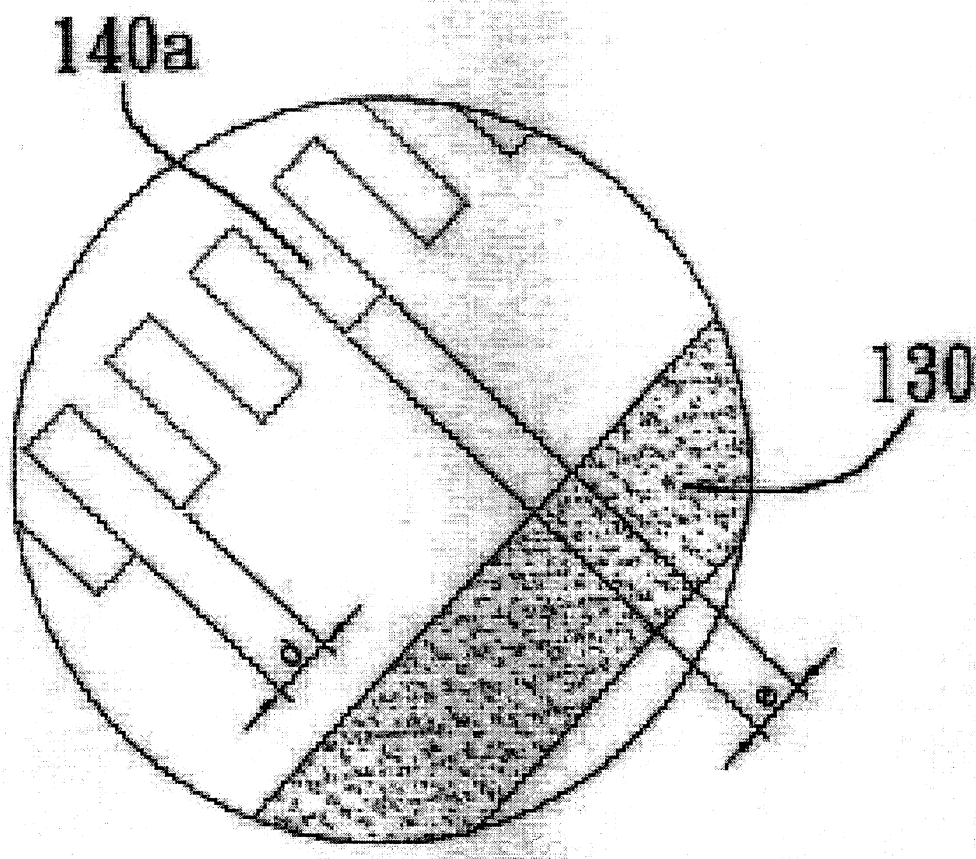
15. 依申請專利範圍第 13 項之液晶顯示器，其中該第一構件包含複數個陣列排列之突起設於該第一基板，並且該第二構件包含複數個陣列排列之狹縫設於該些畫素電極。

16. 依申請專利範圍第 13 項之液晶顯示器，其中該第一構件包含複數個陣列排列之狹縫設於該第一基板，並且該第二構件包含複數個陣列排列之突起設於該第二基板。

17. 依申請專利範圍第 13 項之液晶顯示器，其中該第

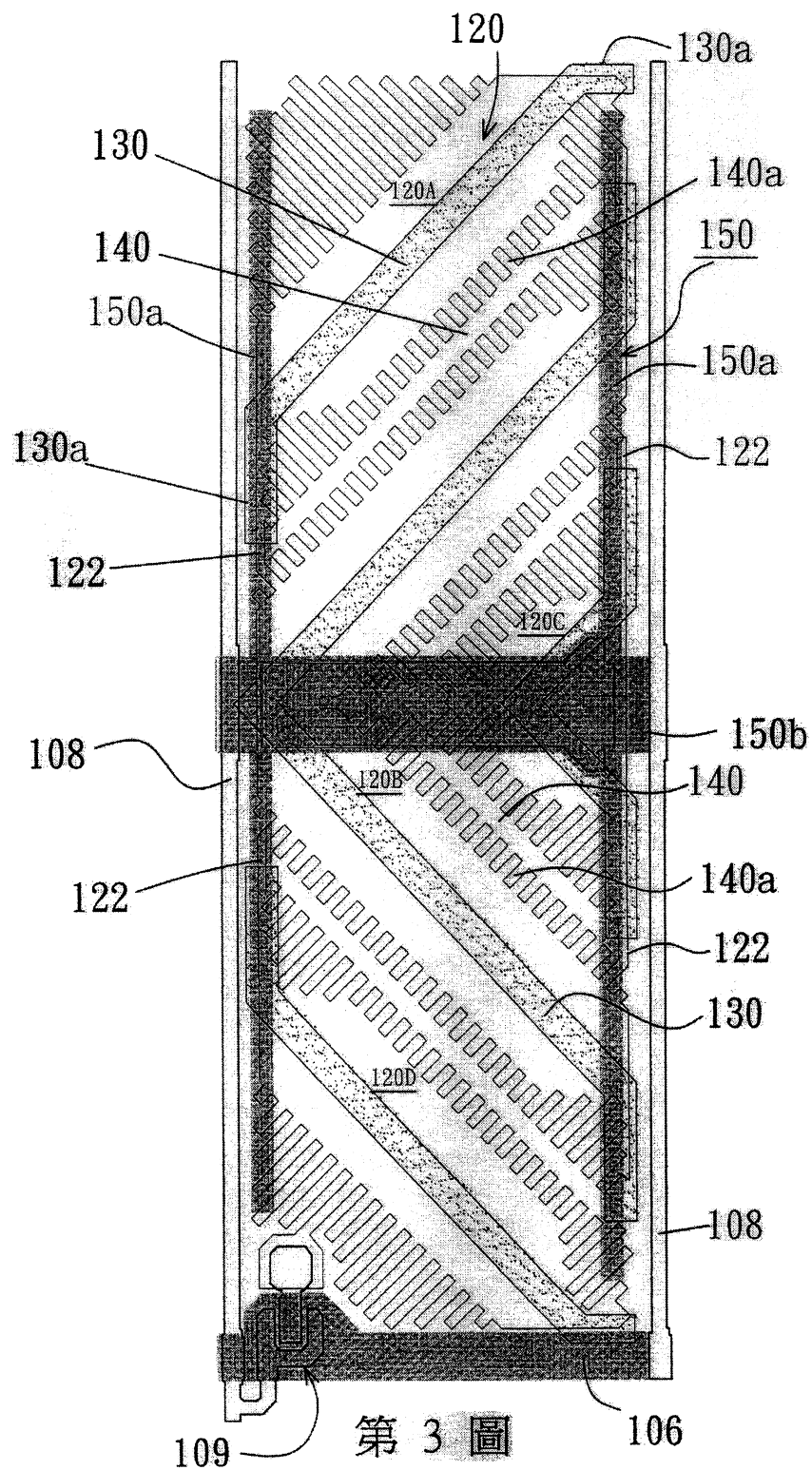
一構件包含複數個陣列排列之狹縫設於該第一基板，並且該第二構件包含複數個陣列排列之狹縫設於該些畫素電極。



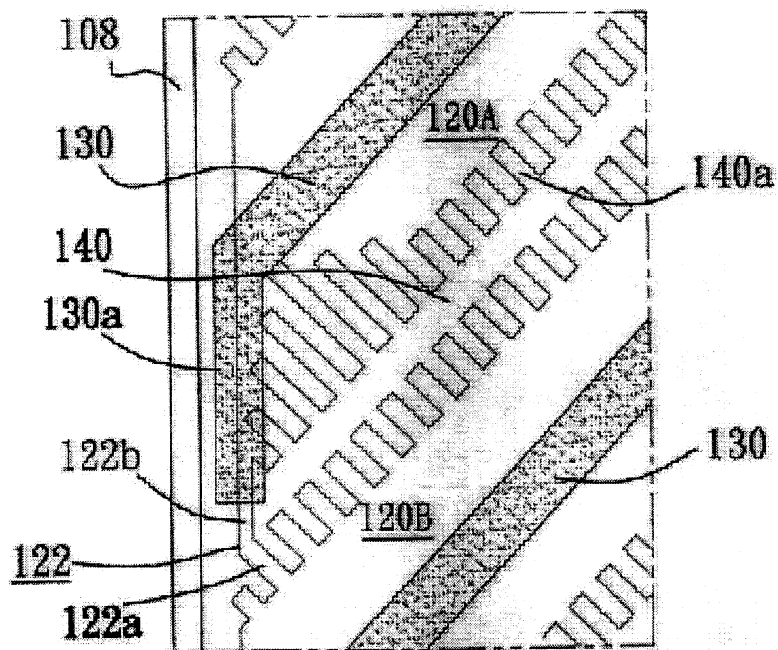


2

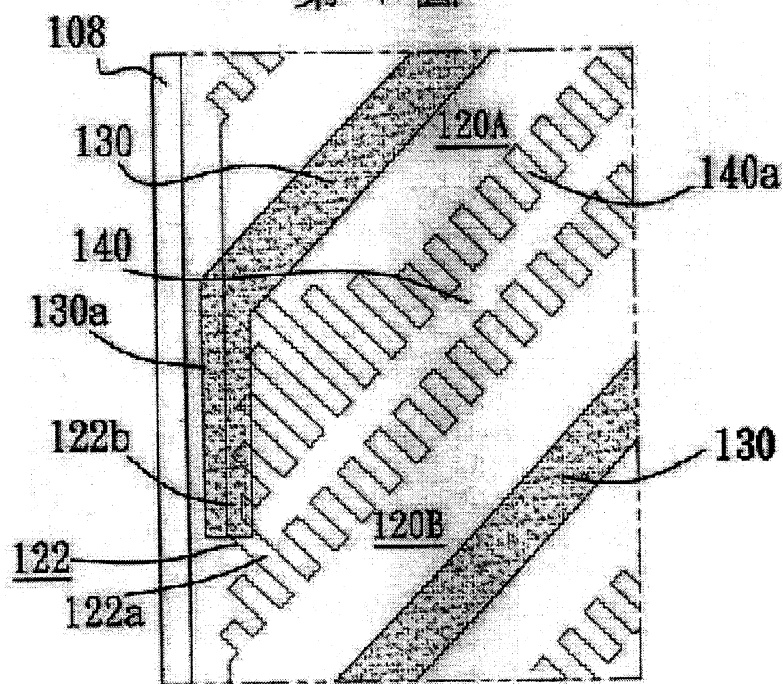
第 2 圖



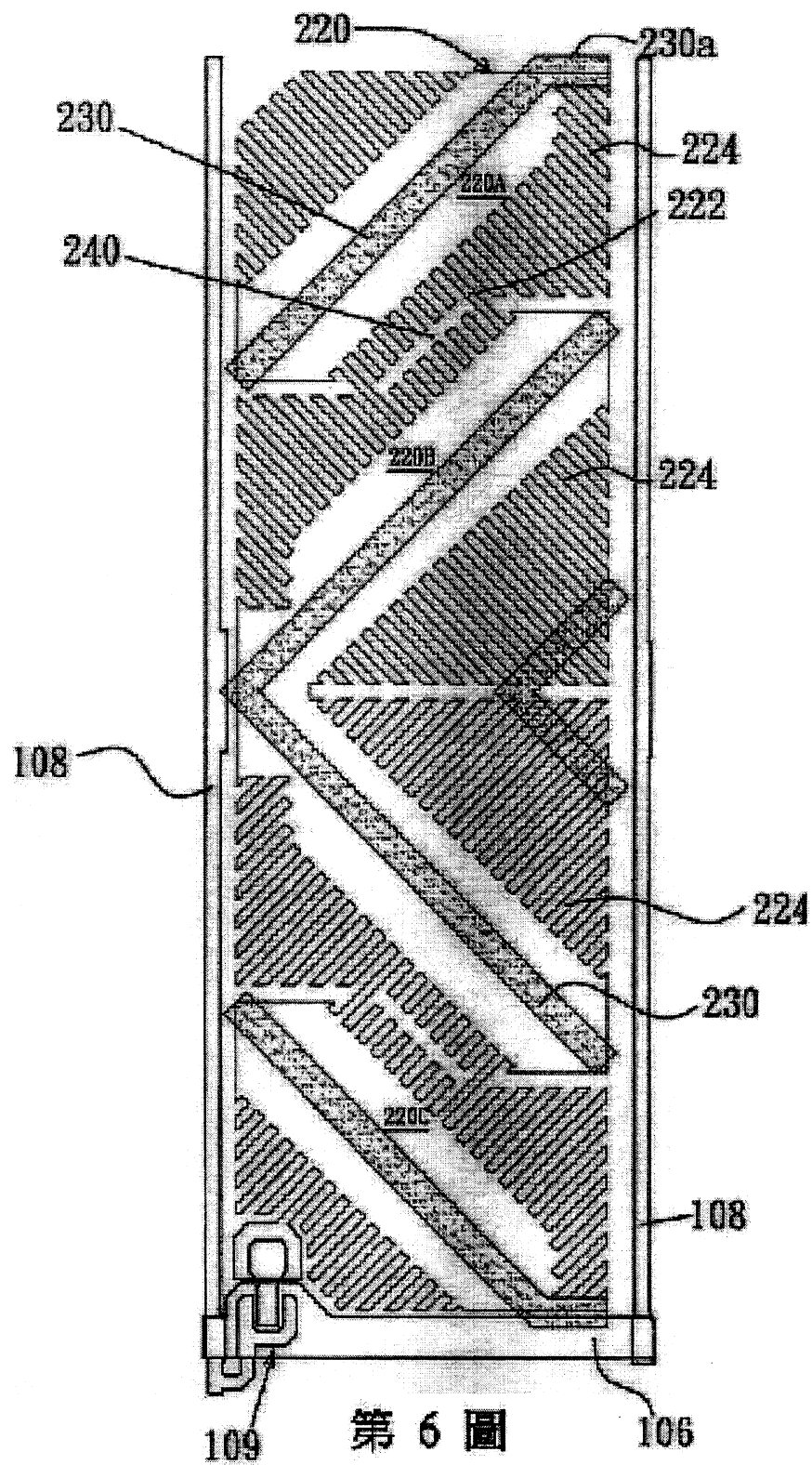
第 3 圖

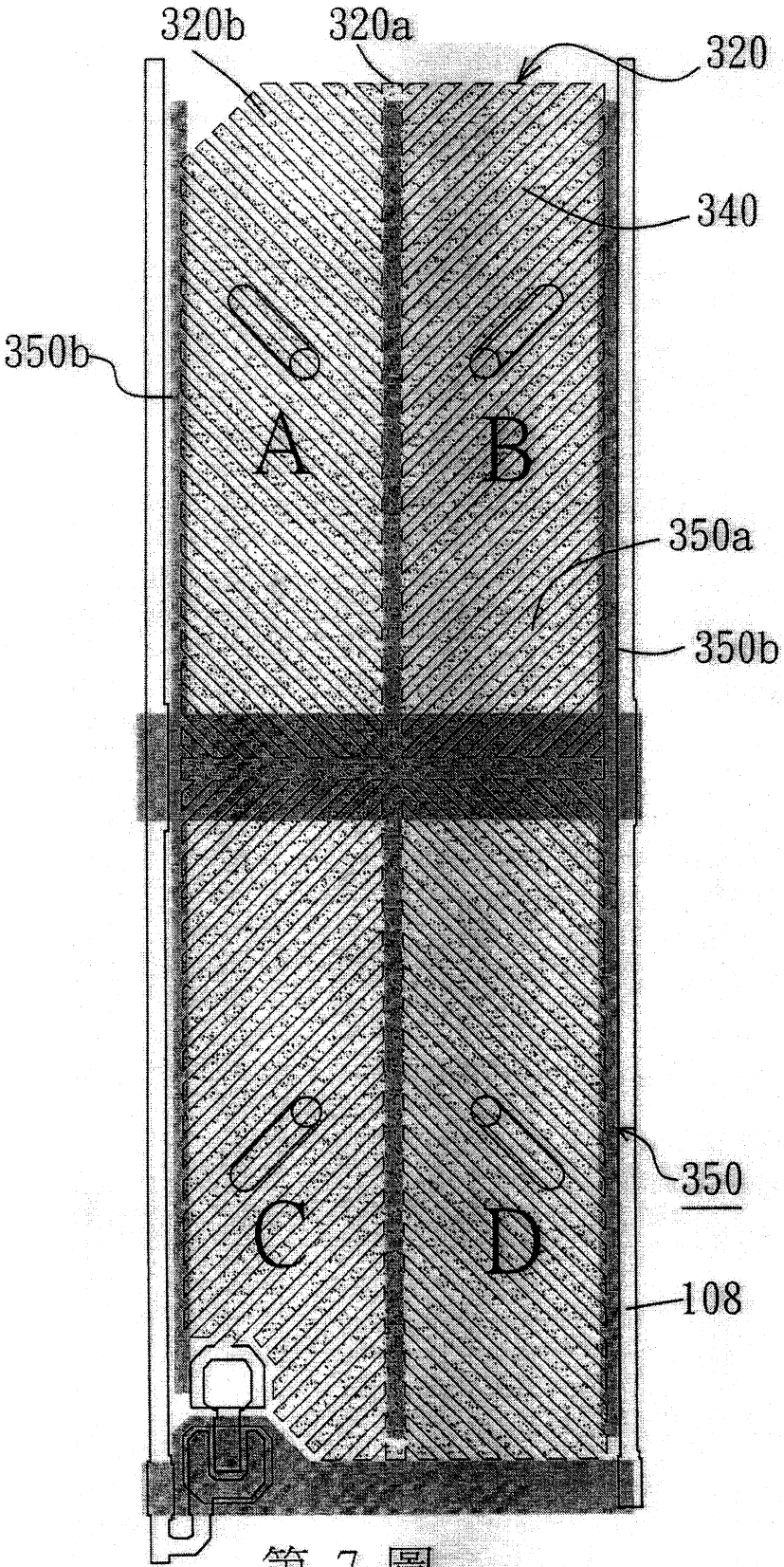


4
第 4 圖

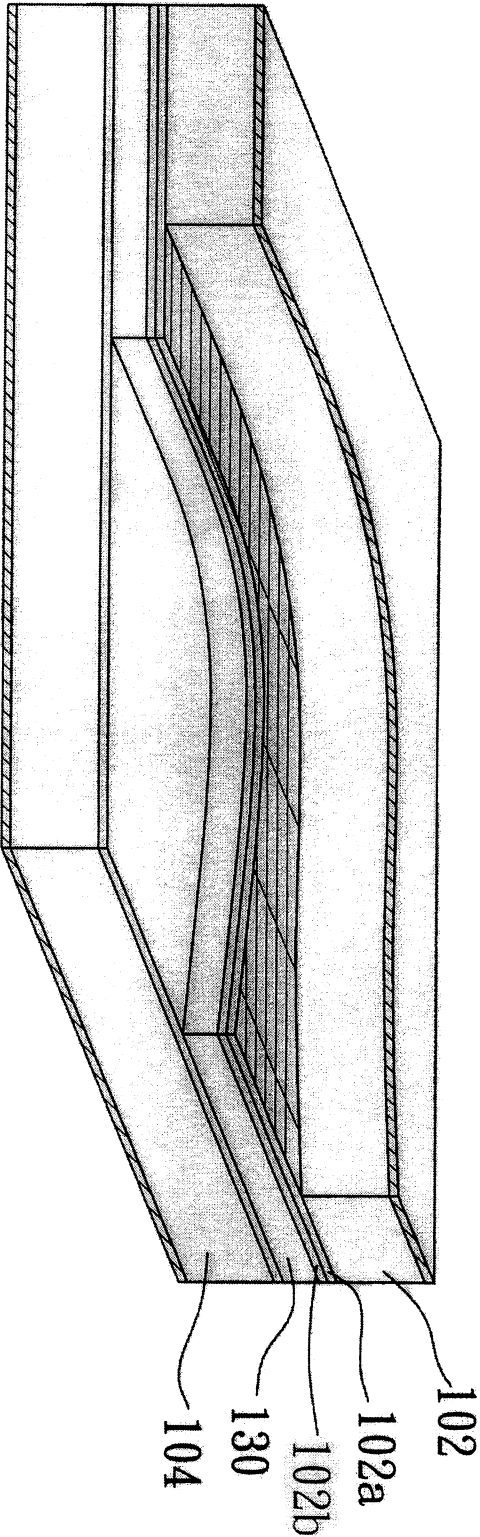


第 5 圖

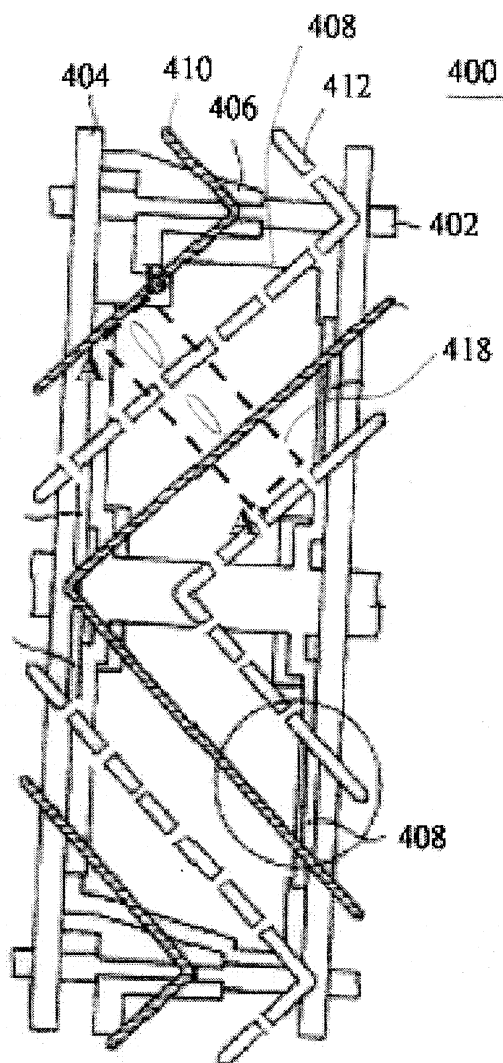




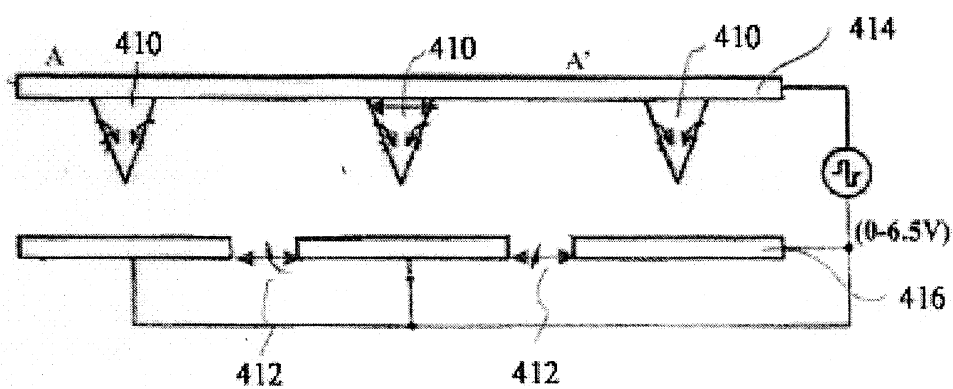
第 7 圖



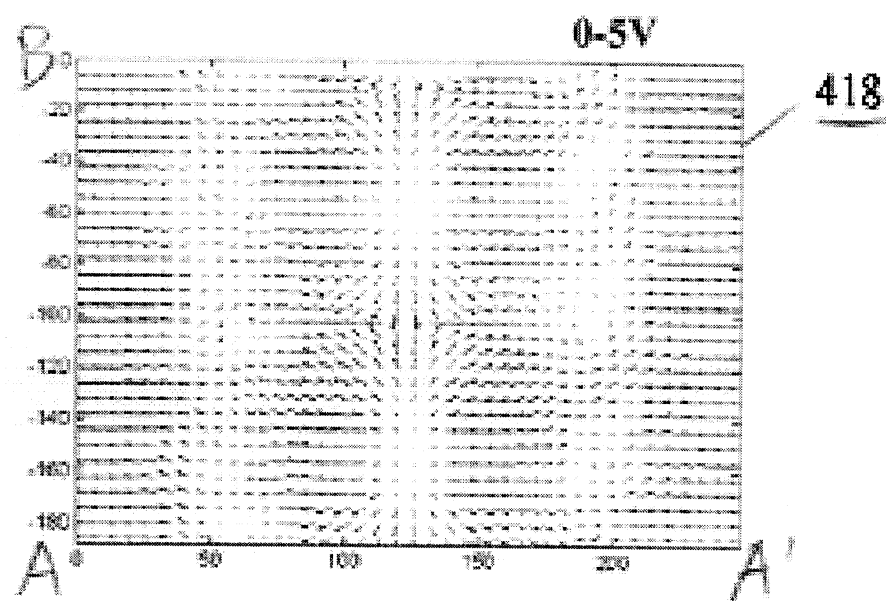
第 8 圖



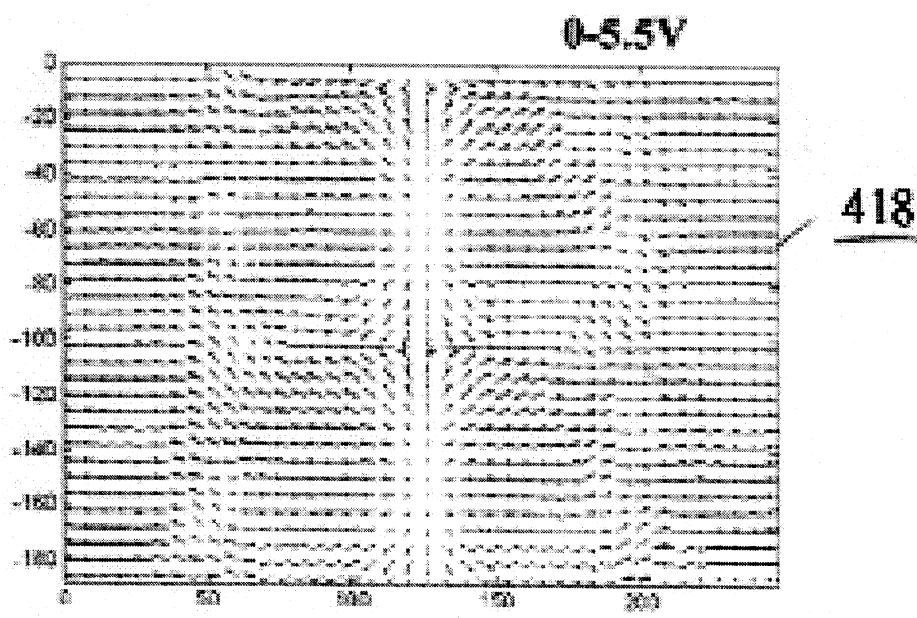
第 9A 圖



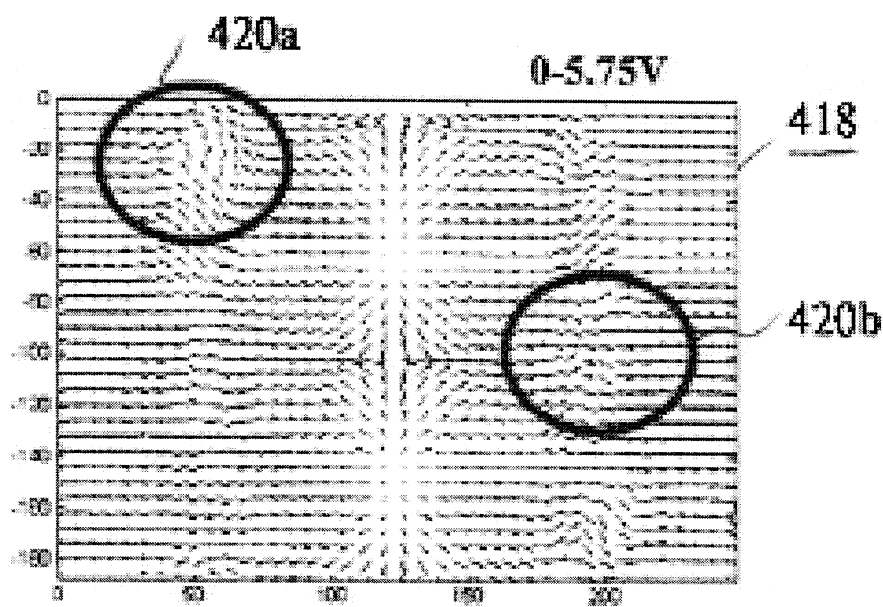
第 9B 圖



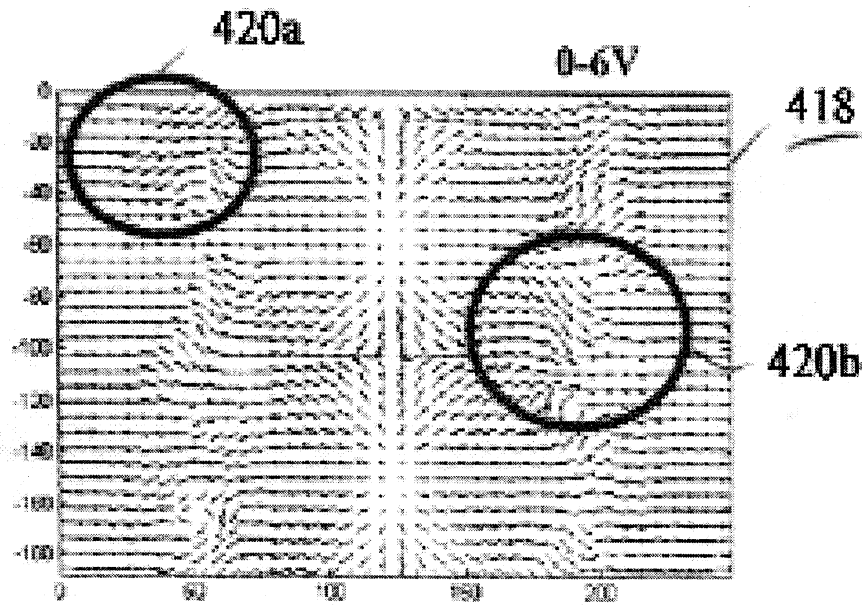
第 10A 圖



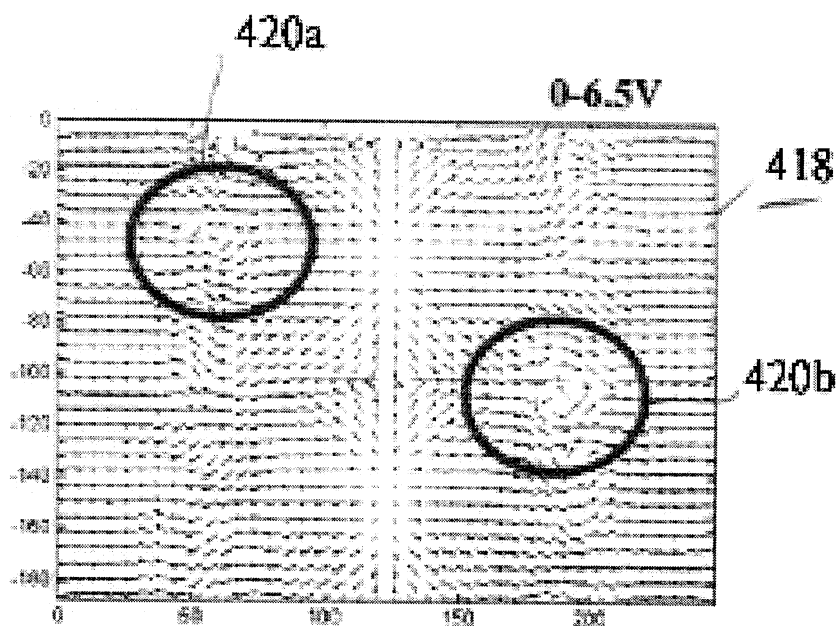
第 10B 圖



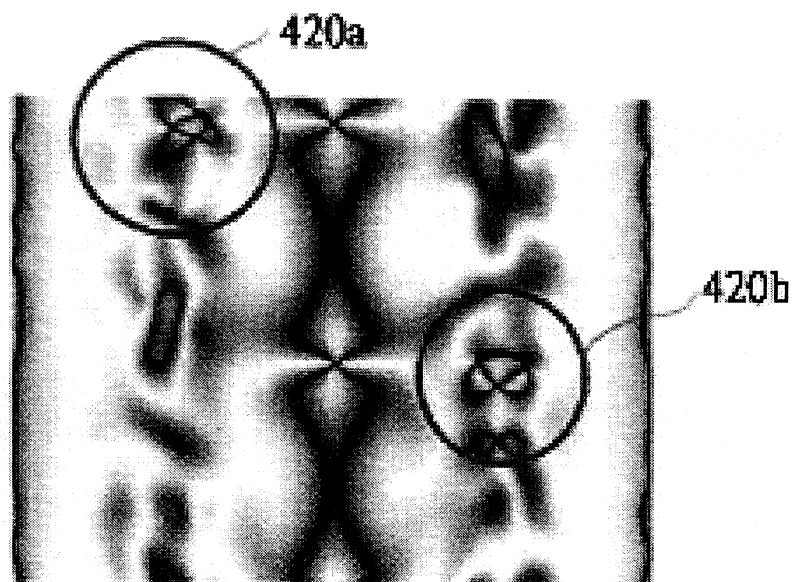
第 10C 圖



第 10D 圖



第 10E 圖



第 11 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

102	基板	102a	彩色濾光片
102b	共同電極	104	基板
106	閘線路	108	資料線路
109	薄膜電晶體	120	畫素電極
130	突起	130a	分岔部
140	狹縫	140a	凹口
120A、120B、120C、120D 部分電極			
122	連接部	122a	第一部份
122b	第二部份	220	畫素電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：