403933

733034

公告本

403933

A4
C4

申請日期	87 年 12 月 31 日
案號	87122028
類別	H01L 21/00

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1) 朝比奈通雄 (2) 守屋直弘 (3) 松本和己
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 セイコーエプソン株式会社内 (2) 日本國長野縣諏訪市大和三丁目三番五號 セイコーエプソン株式会社内 (3) 日本國長野縣諏訪市大和三丁目三番五號 セイコーエプソン株式会社内
三、申請人	姓名（名稱）	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代表人姓名	(1) 安川英昭

經濟部中央標準局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

403933

申請日期	87 年 12 月 31 日
案號	87122028
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 竹内淳一
	國籍	⑷ 日本
	住、居所	⑷ 日本國長野縣諏訪市大和三丁目三番五號 セイコーエプソン株式会社内
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

403933

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權 ☑有主張優先權
日本	1998 年 5 月 13 日	10-148359	

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

【產業上之利用範圍】

本發明係有關半導體裝置及該製造方法，尤其有關具有優異阻隔性之阻隔層的半導體裝置及其製造方法者。

【相關技術】

於ＬＳＩ等之半導體裝置中，伴隨元件之微細化，高密度化及多層化，需要縱橫比大的連接孔。但如此之連接孔難以進行配線材料的埋設，近年以來，成爲一重要的課題。然後，經由做爲配線材料有用之鋁或鋁合金，嘗試埋入連接孔之內。

又，阻隔層係在於防止起因於鋁配線之電子漂移之不良或鋁和矽基板之反應上爲重要者，特別是於連接孔內埋設鋁之情形下，可使阻隔層之阻隔性充分地加以提高。

【發明之要點】

本發明之目的係提供含有具有優異阻隔性之阻隔膜的半導體裝置及其製造方法者。

本發明之半導體裝置係包含

含有元件之半導體基板、

形成於前述半導體基板上之層間絕緣膜、

形成於前述層間絕緣膜之連接孔、

形成於前述層間絕緣膜及前述連接孔表面之阻隔層，及

形成於前述阻隔層上之配線層；前述阻隔層係令構成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

該阻隔層之金屬氧化物呈島狀分布狀態加以包含者爲特徵者者。

於此半導體裝置中，阻隔層由包含構成該阻隔層之金屬氧化物分有呈島狀之狀態，可使阻隔層之阻隔性較不含前述金屬氧化物之情形較爲提高。

其理由係可推想如下。以往，例如包含鈦層之阻隔層係呈非晶質之狀態者。但是，根據本發明之研究發現，本發明之阻隔層係於混亂結晶構造之鈦氮化物層中，隨機散布有鈦氧化物（TiO_2）之結晶粒子。鈦氧化物則幾近爲完全之絕緣體，又對於鋁等之金屬擴散，極其難以產生之物質者。由於如此之鈦氧化物粒子於阻隔層呈島狀存在，構成阻隔層之鈦氮化物之結晶構成則混亂，阻礙透過該粒界（結晶粒子間之境界）擴散鋁而進入者。結果，阻隔層之阻隔性則突出地被加以提升。然後，該現象係於包含鈷或鎢等之金屬時亦相同。

構成前述阻隔層之金屬氧化粒子係於阻隔層中呈島狀分散存在之故，不會產生阻隔層之導電性之阻礙。換言之，包含於前述阻隔層之之金屬氧化物粒子係於無阻礙阻隔層之導電性之狀態下加以分布爲其重點。

構成前述阻隔層之金屬氧化物粒子係考量阻隔性及導電性時，以平均粒徑爲２～２０ｎｍ爲佳。

前述阻隔層係以包含選自至少一種鈦、鈷、鎢及此等金屬之氮化物者爲佳，尤其具有堆積前述鈦、鈷、鎢所成金屬層，和此等金屬之氮化層的多層構造者爲佳。例如，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

阻隔層爲由鈦層及鈦氮化物層構成之時，基板之不純物擴散層和配線層之連接部的層構造係實質上，具有包含令鈦矽化物層、鈦氮化物之結晶層、鈦氧化物粒子呈島狀的結晶構造被混亂之鈦氮化物層。

又，前述層間絕緣膜係經由熱處理除去氣化成分者爲佳。對此理由而言則於後記述，但經由前述層間絕緣膜之氣化成分之除去。可形成良好階梯範圍之鋁膜或以鋁爲主1成分之合金所成的連接部。

本發明之半導體裝置之製造方法係包含以下工程（a）至（f）爲特徵者。

（a）在於形成於包含元件之半導體基板上的層間絕緣膜，形成連接部的工程，

（b）於前述層間絕緣膜及前述連接孔之表面，形成構成阻隔層之膜的工程，

（c）於爲構成前述阻隔層之膜中，導入氧，將構成該膜之金屬氧化物，呈島狀分布，形成阻隔層之工程，

（d）將基板溫度冷卻至１００℃以下之工程，

（e）於前述阻隔層上，以２００℃以下之溫度，形成鋁或以鋁爲主成分之合金所成第1鋁膜工程，

及

（f）於前述第1鋁膜上，以３００℃以上之溫度，形成鋁或以鋁爲主成分之合金所成第2鋁膜工程者。

經由前述工程（c），可於構成前述阻隔層之金屬氧化物呈島狀分布之狀態加以形成。於前述工程（c）中，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

做爲第1之方法，可使用堆積爲構成阻隔層之膜，之後，令該膜於氧氣氛，進行熱處理之方法等。

又，於前述工程（a）後，含有於減壓下，經由300～350℃之基板溫度之熱處理，除去包含前述層間絕緣膜之氣化成分的脫氣工程（g）者爲佳。如此地，經由含有除去包含前述層間絕緣膜之氣化成分的工程，之後工程（f），例如於300℃以上之高溫條件下進行之第2鋁膜之形成工程等，可抑制包含於層間絕緣膜之水、氮、氫或氧等氣體之產生。

根據本發明，如此自層間絕緣膜所產生之氣體係被阻隔層所吸收，且連接孔內之鋁膜中，可確認未吸收之情形。因此，經由工程（g），除去含於層間絕緣膜之氣化成分，如此之氣體則存在於阻隔層和第1鋁膜間，可確實抑制阻隔層之溼濡性之下降或氣泡之產生。結果，於連接孔內可形成有效範圍良好，低阻抗之鋁膜所成連接部。

在此，「氣化成分」係例如指於減壓下，於基板溫度爲300℃以上之時，自堆積層，即層間絕緣膜或阻隔層所產生之水、氫、氧或氮等之氣體成分而言。又，「減壓下」係較佳爲0.1～1Pa之壓力。

又，於本發明，於前述工程（d），令基板溫度爲100℃以下，較佳爲冷卻至常溫～50℃。於此工程（d）經由冷卻基板溫度，於令第1之鋁膜成膜之前，可使基板溫度充分地下降。於前述工程（g）之脫氣工程中，爲使基板溫度300℃以上之高溫，於此工程（d）經由

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

使基板溫度確實下降，可進行於之後之工程（e）的溫度調節。

然後，於前述工程（e）中，於前述阻隔層上，以200℃以下，較佳爲30～100℃之溫度，形成第1之鋁膜地，抑制含於前述層間絕緣膜及阻隔層之氣化成分被氣化，可防止自阻隔層向外部產生之氣體所成之阻隔層溼濡性之下降。其結果，可令第1之鋁膜對阻隔膜而言良好地加以密接。可達階段範圍之優異的成膜。

然後，經由有此第1之鋁膜，既使基板溫度上昇，仍可抑制較第1之鋁膜下層之層間絕緣膜及阻隔層的氣體產生之故，第2之鋁膜之成膜工程（f）中，較高之溫度，即鋁或鋁合金可流動擴散程度之高溫，具體而言爲300℃以上，較佳爲於350～450℃，形成第2之鋁膜。

如此地，於工程（e），中於較低溫之溫度下，形成第1之鋁膜的工程，以及於工程（f）中，以較高之溫度形成第2之鋁膜地，可達成無氣泡產生之優良階段範圍之連接孔的埋設。更且，本發明之製造方法係可確認適用於0.2μm之連接孔。

前述工程（e）和（f）之鋁膜成膜係期望爲濺射法，更且第1之鋁膜及第2之鋁膜係經由於同一室內，連續性地進行者爲佳。可容易進行基板溫度之控制的同時，氣氛控制等亦可正確進行之故，可避免於第1鋁膜之表面形成氧化膜等之不適切的情形。

又，本發明之連接構造係可適切適用於形成於構成源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

極範圍或汲極範圍之不純物擴散層之表面的矽化物層，但是不僅張於此，亦可適用於其他範圍或不具矽化物層之不純物擴散層的連接孔。

更且，本發明之連接孔係除了經由向異性之乾蝕刻所形成之外，組合向同性之濕蝕刻和向異性之乾蝕刻，將連接孔上述部適切地形成推拔狀亦可。例如，於此型式之連接孔，經由下部之向異性乾蝕刻所形成之部分的口徑爲0．5～0．8μm，縱橫比爲0．5～3μm之時，可令第2之鋁膜以300～350℃加以成膜之故，可使用非高溫形式之一般濺射裝置之故，在於實用上爲有用者。

【圖面之簡單說明】

圖1A、B及C係將本發明之半導體裝置之製造方法之一例，依工程順序模式性顯示之截面圖。

圖2A係將有關本發明使用於實施形態之濺射裝置之一例模式性地加以顯示，圖2B係顯示濺射裝置之基台之一例圖。

圖3係使用圖2所示之濺射裝置控制基板溫度時之時間與基板溫度的關係圖。

圖4係顯示有關本發明之半導體裝置之製造方法的處理時間和室內之殘留氣體（水）之分壓的關係圖。

圖5係顯示有關本發明之半導體裝置之製造方法的處理時間和室內之殘留氣體（氮）之分壓的關係圖。

圖6係顯示有關將本發明之半導體裝置之連接部的截

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

面構造，以模式化加以顯示者。

圖7係根據有關本發明之半導體裝置之截面透過型電子顯微鏡照片所作成之圖。

【符號說明】

11　矽基板

12　場絕緣膜

13　閘氧化膜

14　閘電極

15　低濃度不純物層

16　高濃度不純物層

17　側壁間隔層

18，20　矽氧化膜

19　氮矽化物層

30　BPSG膜

32　連接孔

33　阻隔層

34　第1鋁膜

35　第2鋁膜

40　金屬配線層

【發明之較佳實施例之說明】

圖1A～C係爲說明有關本發明之半導體裝置之製造方法及半導體裝置之一實施形態的概略截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

以下，顯示半導體裝置之製造方法之一例。

（a）元件之形成

首先，經由一般所使用之方法，於矽基板１１形成ＭＯＳ元件。具體而言，例如於矽基板１１上，經由選擇氧化，形成場絕緣膜１２，於有源範圍形成閘極氧化膜１３。經由通道植入，調整臨限值電壓後，於熱分解單矽烷（SiH_4）成長之多矽膜上，濺射鎢矽化物，更且堆積矽氧化膜１８，呈所定圖案加以蝕刻地，形成閘極電極膜１４。此時，依需要，於場絕緣膜１２上，形成多矽膜及鎢矽化膜所成配線層３７。

接著，經由離子植入磷，形成源極範圍或汲極範圍之低濃度不純物層１５。接著，於閘極電極１４之側，形成矽氧化膜所成側壁間隔１７後，離子植入砷，經由使用鹵素燈之退火處理，進行不純物之活化地，形成源極範圍或汲極範圍之高濃度不純物層１６。

接著，成長１００ｎｍ以下之氣相成長矽氧化膜，以ＨＦ和NH_4F之混合水溶液，加以選擇性蝕刻地，曝露所定之矽基板範圍。接著，例如將鈦於３０～１００ｎｍ程度濺射，控制於氧氣５０ｐｐｍ以下之氮氣氛中，以６５０～７５０℃溫度，進行數秒～６０秒程度之瞬間退火，於問口之矽基板表面，鈦之單矽烷層則於矽氧化膜１８形成多鈦之鈦氮化物層。接著，浸漬於NH_4OH和H_2O_2之混合水溶液中時，前述鈦氮化物層被蝕刻除去，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（９）

僅於矽基板表面殘留鈦之單矽化物層。更且，進行７５０～８５０℃之燈退火，將前述單矽化物層呈雙矽化物化，於高濃度不純物層１６之表面，形成自我整合之鈦矽化物層１９。

然而，將閘極電極１４僅以多矽形成，以選擇蝕刻加以曝露的時候，閘極電極和源極，汲極範圍之兩者則呈以側壁間隔分離的鈦矽化物構造。

（Ｂ）層間絕緣膜之形成

接著，做爲層間絕緣膜，首先經由電漿反應四乙基矽烷（ＴＥＯＳ）和氧，形成膜厚１００～２００ｎｍ之矽氧化膜２０。此矽氧化膜２０係無矽化物層１９之氧化或？？？？？，較ＳｉＨ$_4$成長之膜，絕緣性高，對氟化氫之水溶液的蝕刻速度亦慢，而呈緻密之膜。

在此，雖直接於鈦矽化物層１９上，形成矽氧化膜，當此時之成膜溫度高時，於成膜初期氧化性氣體和鈦氧化物會容易反應，易於產生龜裂之故，處理溫度較佳爲６００℃以下，更佳爲２５０～４００℃下進行者。然後，矽氧化膜於鈦矽化物層１９上，以１００ｎｍ程度之膜厚，以前述較低溫形成之後，於水蒸氣以外之氧化氣氛，更使用退火或氣相氧化處理時，將溫度上昇至９００℃以上亦無問題。

接著，做爲層間絕緣膜，於前述矽氧化膜２０上，經由將ＳｉＨ$_4$或ＴＥＯＳ等之矽烷化合物，和氧或臭氧等，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

和包含磷及硼之氣體氣相反應，形成膜厚數百ｎｍ～１μｍ程度之ＢＰＳＧ（Boron-Phosho-Silicate Glass）膜３０。之後，於氮氣氛中進行８００～９００℃之退火，進行高溫吹襲之平坦化。然而，代替進行ＢＰＳＧ膜３０之高溫吹襲，一般而言，使用ＳＯＧ（Spin on Glass）膜進行平坦化。

更且，代替前述ＢＰＳＧ膜，記載於本申請人所申請之日本特許願（例如日本特願平９－３１４５１８號），可使用將矽化合物和過氧化氫經由化學氣相成長法反應形成的矽氧化膜（以下稱此爲第１之矽氧化膜）。此矽氧化膜係以其自身具有高流動性，具有優異之自我平坦特性者。其機構係將矽化合物和過氧化氫經由化學氣相成長法反應時，於氣相中，形成矽烷醇，此矽烷醇堆積於晶圓表面地，形成流動性佳之膜。以下，說明有關於此矽氧化膜之技術的要點。

例如做爲矽化合物使用單矽烷之時，以下述式（１）、（１）'等所示之反應，形成矽烷醇。

式（１）

$SiH_4 + 2H_2O_2 \rightarrow Si(OH)_4 + 2H_2$

式（１）'

$SiH_4 + 3H_2O_2 \rightarrow Si(OH)_4 + 2H_2O + H_2$

然後，以式（１）、（１）'所形成之矽烷醇係以下式（２）所示重縮合反應，將水脫除，而呈矽氧化物。

式（２）

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

$$Si(OH)_4 \rightarrow SiO_2 + 2H_2O$$

做爲前述矽化合物，可例示有單矽烷、雙矽烷、SiH_2Cl_2、SiF_4等之無機矽烷化合物，及CH_3SiH_3、三丙基矽烷、四乙氧基矽烷等之有機矽烷化合物。

又，此矽氧化膜之成膜工程係於前述矽化合物爲無機矽化合物時，於０～２０℃之溫度條件下，於前述矽化合物爲有機矽化合物時，於１００～１５０℃之溫度條件下，經由減壓化學氣相成長法加以進行者爲佳。於此成膜工程中，當溫度較前述上限值爲高時，則會由於前述式（２）之重縮合反應過於前進，第１之矽氧化膜之流動性則變低，而難以得良好之平坦性。又，溫度較前述上限值爲低時，會產生室內之分解水分之吸附及室外之結露，而會有難以進行成膜裝置之控制的不適切問題。

前述第１之矽氧化膜係以形成可充分被覆矽基板表面之段差程度的膜厚者爲佳。第１之矽氧化膜之膜厚係依賴包含元件之矽基板表面之凹凸的高度，但較佳者爲３００～１０００ｎｍ。第１之矽氧化膜之膜厚超過前述上限值之時，會因爲膜本身之疲勞而產生龜裂。

然後，於前述第１之矽氧化膜上，將矽化合物、氧及包含氧之化合物的至少一種，及包含不純物之化合物，經由化學氣相成長法加以反應，形成多孔性之第２矽氧化膜者爲佳。

此第２之矽氧化膜係不但做爲被覆層加以作用，因係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

多孔性之故，於後之退火處理，將來自第1之矽氧化膜所產生之氣體成份，可徐徐地向外部放出。更且，此第2之矽氧化膜除了爲多孔性之外，於該膜經由添加磷、硼等之不純物，較佳爲添加磷地，經由減弱構成該膜之矽氧化物之Si－O分子間結合力，可緩和該膜之應力，即可構成適度柔軟且難以切割之層。又，前述第2之矽氧化膜之重要功能而言，包含於該矽氧化膜之磷等之不純物，有做爲對於鹼離子等之元件之可靠性有不良影響之可動離子吸氣劑的功能。包含於第2矽氧化膜之不純物之濃度在考量前述吸氣功能或膜之應力緩和之點上，較佳爲1～6％重量份。

又，第2之矽氧化膜係具有100～600Mpa之壓縮疲勞之故，第1之矽氧化膜於重縮合之時，增大拉伸疲勞，有防止龜裂之進入之功能。更且，第2之矽氧化膜係具有防止第1之矽氧化膜之吸濕功能者。

前述第2之矽氧化膜係於300～450℃之溫度條件下，經由1MHz以下之高頻電漿化學氣相成長法加以進行者爲佳。於此溫度條件下，經由進行成膜，以之後的退火處理，氣體成份於退火初期階段易於拔除，可提升裝置之可靠性。

又，使用於前述第2之矽氧化膜之形成，包含氧化合物係以一氧化二氮爲較。做爲反應氣體經由使用一氧化二氮，電漿狀態之一氧化二氮係易與構成第1之矽氧化膜之矽化合物之氫鍵反應之故，於成膜第2之矽氧化膜，可促

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

進第1之矽氧化膜之氣化成分（氫、水）之脫離。又，前述第2之矽氧化膜係代替電漿化學氣相成長法，於300～550℃之溫度條件下，進行常壓化學氣相成長法亦可。此時，前述包含氧之化合物係以臭氧者爲佳。經由經過此工程，臭氧易於與構成第1之矽氧化膜之矽化合物之氫鍵或氫氧基反應之故，可促進第1之矽氧化膜中之氫或水之脫離。

又，第2之矽氧化膜之膜厚係考量平坦性、龜裂之防止時，較佳爲100nm以上。

形成前述第1及第2之矽氧化膜後，經由以600～850℃之溫度，進行退火處理，第1及第2之矽氧化膜係緻密化，而提升絕緣性以及耐濕性。即，對第1之矽氧化膜而言，於此退火處理之初期，終止前述之式（2）之重縮合反應，伴隨此反應所產生之水或氫，係介由第2之矽氧化膜之孔，放出到外部，第1之矽氧化膜係於充分除去氣體化成分之狀態下，緻密地加以形成。又，第2之矽氧化膜係經由退火處理，自多孔質呈緻密之膜。

於此退火處理中，經由將溫度呈600℃以上，將第1及第2之矽氧化膜，充分地加以緻密化的同時，例如可充分進行構成MOS元件之源極、汲極擴散層之不純物之活性化。又，經由退火溫度呈850℃以下，以較BPG膜所需之溫度爲低之溫度，可呈層間絕緣膜之平坦化的同時，可將第1及第2之矽氧化膜充分地緻密化。又，退火溫度超越850℃加以進行時，源極、汲極擴散層則會過

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

度擴大，會產生打穿等之問題，有難以達元件之微細化的情形。

於第1之矽氧化膜上，形成多孔性之2矽氧化膜地，於退火處理時，將晶圓直接置於600～850℃之溫度下，有急遽之溫度變化時，前述第2之矽氧化膜可有適度之柔軟性，可吸收第1之矽氧化膜之應力之故，對該第1之矽氧化膜不產生龜裂地，可進行退火處理。

（連接孔之形成）

接著以CHF_3和CF_4爲主氣體之反應離子蝕刻裝置，將構成層間絕緣膜之BPSG膜30及矽氧化膜20，經由選擇性向異性蝕刻，形成口徑0.2～0.5μm之連接孔32。

（C）（脫氣處理）

首先，於燈室，於1.5×10^{-4}Pa以下之基台壓力，150～250℃之溫度，施以30～60秒間之燈加熱（熱處理A）。接著，於其他之室中於1×10^{-1}～15×10^{-1}Pa之壓力，導入氫氣，於330～550℃之溫度，經由進行30～120秒間之熱處理（脫氣工程；熱處理B），進行脫氣處理。

於此工程中，首先於熱處理A中，主要而言，將包含晶圓背面及側面之晶圓整體，經由加熱處理，除去附著於晶圓之水分等。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

更且，於熱處理B中，主要而言，可除去構成層間絕緣膜之ＢＰＳＧ膜３０中之氣體成分（氧、氫、水、氮）。結果，於下個工程之阻隔層及鋁層之形成時，可防止來自ＢＰＳＧ膜之氣化成分。

於本實施形態中，阻隔層３３係經由具有阻隔機能之阻隔膜，和導電膜所成多層膜所構成。導電膜係形成於高阻抗之阻隔膜和矽基板的不純物擴散層，即爲提升源極範圍或汲極範圍之導電性，形成於阻隔膜和不純物擴散層間者。做爲阻隔膜，一般而言使用例如鈦、鈷等之氮化物等者爲佳。又，做爲導電膜，可使用鈦、鈷等之高融點金屬。此等之鈦及鈷戚與構成基板之矽反應，而呈矽化物。

阻隔層、例如鈦氮化物膜／鈦膜係固溶數十原子％之氣化成分（氧氣、氫、水、氮），於形成此膜之前，除去層間絕緣膜之ＢＰＳＧ膜３０中之氣化成分則，在於連接孔內良好形成鋁膜之成膜上，極爲有效者。不將阻隔層下位之ＢＰＳＧ膜中之氣化成分充分除去的話，於阻隔層形成時之溫度（通常爲３００℃以上），ＢＰＳＧ膜之氣化成分被放出，此氣體會進入阻隔層。此氣體於鋁膜之成膜時，自阻隔層脫離，在於阻隔層和鋁膜之界面會出現之故，會對於鋁膜之密著性及流動性會有不好的影響。

（阻隔層之成膜）

經由濺射法，做爲構成阻隔層３３之導電膜，將鈦膜以２０～７０ｎｍ之膜厚加以形成，接著，於其他之室中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

，做爲阻隔層將鈦氮化膜以３０～１５０ｎｍ之膜厚加以形成。濺射溫度係對應膜厚，於２００～４５０℃之範圍加以範圍。

接著，於０．１ｘ１０^{2}～１．５ｘ１０^{2}Ｐａ之壓力下，於氧電漿中，曝露１０～１００秒，接著於４５０～７００℃之氮或氫氣氛下，經過１０～６０分間，經由退火處理，於阻隔層之鈦氮化物層中，可將鈦氧化物形成呈島狀者。然後，由於此處理，確認可提升阻隔層之阻隔性之提升。

又，於阻隔層中，做爲將鈦氧化物形成呈島狀之方法，可經由包含至少數百ｐｐｍ～數％之氧的燈退火爐之４００～８００℃之熱處理加以進行，同樣地可提升阻隔層之阻隔性。

於本實施形態中，做爲分布於阻隔層之金屬氧化物，雖對於鈦氧化物做了記述，但前述氧化物爲使用阻隔層之其他金屬、例如鈷、鎢之場合亦可。

於鈷之時，使鈷層爲５～３０ｎｍ，鈷氮化層爲２０～１００ｎｍ之膜厚，以各爲不同之室，經由濺射法加以形成，更且經由與前述鈦之情形的同樣處理，於鈷氮化物層中，可形成鈷氧化物呈島狀加以分布的阻隔層。然後，於此阻隔層時，可確認得良好之阻隔性。又，可確認得與鎢同樣之構造及作用者。

更且，阻隔層之形成後，於後述之晶圓冷卻工程之前，形成濕層，例如形成鈦層亦可。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

（鋁膜之成膜前之熱處理及晶圓之冷卻）

首先，進行晶圓之冷卻前，於燈室內，於１．５×１０$^{-4}$Ｐａ以下之基台壓力，１５０～２５０℃之溫度下，進行３０～６０秒間之熱處理（熱處理Ｃ），於基板除去附著水等之物質。之後，成膜鋁膜之前，使基板溫度呈１００℃以下，較佳爲下降至常溫～５０℃之溫度。此冷卻工程係爲使經由上述熱處理Ｃ上昇之基板溫度下降之重要步驟者，例如於具有水冷機能之平台上，載置晶圓將該晶圓溫度下降至所定溫度。

如此地經由進行晶圓之冷卻，於成膜第１之鋁膜時，ＢＰＳＧ膜３０及阻隔層３３、更且晶圓整面所放出之氣體量可減少至極少。結果，吸附於阻隔層３３和第１之鋁膜３４之界面，可防止對被覆性及密著性有害氣體的影響。

此冷卻工程係具有複數之同一構成之室，兼使用成膜鋁膜之濺射裝置加以進行者爲佳。例如於濺射裝置內之具有水冷裝置之基台上，載置基板，將該基板溫度下降至所定溫度則爲佳。以下，對於此冷卻工程加以詳述。

此濺射裝置係具備複數之同一構成之室５０。於室５０內，具有關於電極之標靶５１及關於基台之電極５２，於電極５２上，設置冷卻之基板（晶圓）Ｗ地加以構成。室５０中，設置令室內呈減壓狀態之排氣手段６０及濺射鋁時，供給氣體至室內之第１氣體供給路徑５３。電極

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

52係將基板W載置於電極52上時，於電極52和基板W間，產生所定空間地，具體而言，如圖2B所示，沿電極52之上面之外周部分，設置突起狀之支持部52a。更且，於電極52中，連接有第2之氣體供給路徑54。然後，做爲熱傳導媒體之氣體，例如氬氣係自第21之氣體供給路徑54，供給至電極52和基板W間之空間。又，電極52係兼具冷卻基板w之冷卻系統之工作。電極52係經由自冷媒供給路徑56所供給之冷媒，例如水之回流，調節於一定之溫度。電極52之上面係，例如圖2B所示，於前述空間均勻供給氣體之故，以所定圖案形成溝58，於溝交叉之部分，設置第2之氣體供給路徑54之吹出口54a。

上述濺射裝置係以如下之動作，冷卻晶圓。

將室50內，經由排氣手段60，呈6×10^{-6}Pa以下之減壓狀態，於電極52之支持部52a上，載置基板W。將達成做爲電極52和基板W間之熱傳導媒體之工作的氣體，自第2之氣體供給路徑54，導入至電極52和基板W間之空間，將該空間之壓力保持於600～1000Pa，且將自該空間漏出至室內之氣體，邊以排氣手段60加以排氣，同時冷卻基板W。

冷卻基板W之時，爲確保冷卻效率，於電極52和基板W之空間，需某程度之壓力。即，爲提高基板W之冷卻效率，需提升電極52和基板W間之地熱傳導，爲提升此部分，則需提高電極52和基板W間之空間氣體（熱傳導

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

媒體）。

做爲基板之冷卻方法，可有於真空室中，具有室內之冷卻機構的基台上，載置基板加以進行冷卻之方法。經由此冷卻方法時，非於基台和基板間直接供給氣體，該空間之壓力依賴於室內之壓力之故，要提高基台和基板間空間之壓力時，需提高室內之壓力。但是，爲提高冷卻速率，提高室內之壓力時，會相對增加室內之氣體分子之故，基板W之上面則會有易於被氣體分子污染之事態，由此會損害鋁之回流，而導致氣泡之產生及配線之高阻抗化。相反地，爲防止晶圓之污染，降低室內之壓力時，下降晶圓和基台間之空間壓力，由此，晶圓和基台間之熱傳導則下降，結果，對於冷卻速率會有不良之影響。

根據上述之本實施形態之冷卻工程時，於電極52和基板W之背面間，流入氣體，由此確保電極52和基板W間之空間理力之故，該空間之壓力係可由室內之壓力加以獨立控制。然後，將基板和基台間之熱傳導媒體之壓力，確定呈所定之值，令室內之壓力，與前述空間之壓力獨立，抑制至壓力1×10^{-3}～0.1Pa。結果，可達鋁之回流性及低阻抗化。更且，可無需提升室內之壓力，令前述空間之壓力，設定於600～1300Pa之範圍之故，可提升熱傳導，而提高冷卻效率。如此地，根據此冷卻工程，可提高基板W和電極52間之空間壓力，可降低室內壓力之故，可防止基板之污染地，仍可得良好之冷卻效率。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

（鋁膜之成膜）

首先，於２００℃以下，較佳爲３０～１００℃之溫度，將包含０．２～１．０重量％之銅的鋁，以膜厚１５０～３００ｎｍ經由濺射，可高速地加以成膜，形成第１之鋁膜３４。接著，於同一室內，加熱至基板溫度３５０～４６０℃，同樣地將包含銅之鋁經由濺射以低速成膜，形成膜厚３００～６００ｎｍ之第２鋁膜３５。在此，於鋁膜之成膜中，「高速」係雖不能經由成膜條件或製造之裝置之設計事項加以一概地規定，但大約指１０ｎｍ／秒以上之濺射速度，「低速」係大約係指３ｎｍ／秒以下之濺射速度。

鋁之濺射係使用於前述晶圓之冷卻時，於圖２所示濺射裝置內加以進行。如此地，於保持減壓狀態之同一裝置內，經由進行冷卻工程及鋁之成膜工程，可達基板之移動及設置之工程的減少，結果，可防止工程之簡便化及基板之污染。

在此，圖２所示濺射裝置中，自第１之氣體供給路徑５３及第２之氣體供給路徑５４，皆可供給氬氣。然後，鋁膜之成膜時之溫度係〔意味經由自第２之氣體供給路徑５４所供給的氣體所控制之晶Ｗ之溫度（基板溫度）。

使用如此之濺射裝置，將控制基板溫度之一例示於圖３。於圖３中，橫軸係顯示經過時間，縱軸係顯示基板（晶圓）溫度。又，於圖３中，以符號ａ所示之線係顯示將

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

濺射裝置之基台52之溫度，顯示設定於350℃時之基板溫度變化，以符號b所示之線係顯示透過第2之氣體供給路徑52之溫度，將氬氣供予室內地，提高基台52之溫度的基板溫度之變化。

例如，基板之溫度控制係如以下加以進行。首先，基台52之溫度係預先設定呈形成第2之鋁膜的溫度（350～500℃）。形成第1之鋁膜之時，無自第2之氣體供給路徑54之氣體供給，基板溫度係經由基台52之加熱，如於圖3之符號a所示之線，徐徐地上昇。形成第之鋁膜時，介由第2之氣體供給路徑54，加熱之氣體被加以供給時，如圖3之符號b所示之線，基板溫度則急遽上昇，以所定溫度呈一定地加以控制。

圖3所示之例中，基台溫度則設定於350℃，然後，基板溫度設定於125～150℃之期間，成膜第1之鋁膜34，之後馬上進行之第2鋁膜35之成膜。

於鋁膜之成膜時，伴隨成膜速度及基板溫度之控制，施加於濺射裝置之功率之控制亦重要。即，與成膜速度有所關連，第1之鋁膜34之成膜係以高能加以進行，第2之鋁膜35之係以低能加以進行，更且自高能切換低能之時，不使功率呈0爲重要者。當令功率呈0時，於減壓下，於第1之鋁膜之表面形成氧化膜，對第1之鋁膜的第2鋁膜之溼濡性則下降，兩者之密著性則劣化。換言之，將功率經常地加以施加，於成膜中之鋁膜表面，可持續供給活性之鋁，抑制氧化膜之形成。然而，功率之大小係雖無

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

法依賴濺射裝置或成膜條件等，一概地加規定，例如圖3所示之溫度條件時，高功率設定爲5～10kw，低功率設定爲300W～1Kw爲佳。

如此，於同一室內，將第1之鋁膜34及第2之鋁膜35，經由連續性地成膜，可令溫度及功率之控制嚴密地加以進行，較以往可於低溫且將安定之鋁膜有效率地加以形成。

前述第1之鋁膜34之膜厚係於良好之階段範圍，可形成連續層，以及較鋁膜34，考慮抑制自構成下層之阻隔層33及層間絕緣膜之BPSG膜30的氣化成分之放出等，選擇適切之範圍，例如以200nm～400nm爲佳。又，第2之鋁膜35係經由連接孔之大小以及該縱橫比等加以決定，例如爲埋設縱橫比爲3之程度，口徑爲0.5μm以下之孔，需300～1000nm之膜厚。

（反射防止膜之成膜）

更且，於另外之濺射室，經由濺射堆積鈦氮化物地，形成膜厚30～80nm之反射防止膜36。之後，以將Cl_2和BCl_3之氣體爲主體之向異性乾蝕刻，可將前述阻隔層33、第1之鋁膜34、第2之鋁膜35及反射防止膜36所成堆積層選擇性地加以蝕刻，進行金屬配線層40之圖案化。

於此形成之金屬配線層40中，於縱橫比爲0.5～3，口徑爲0.2～0.8μm之連接孔內，不會產生氣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

孔地，以良好之階段範圍，可確認鋁被埋設。

（實驗例）

（1）阻隔層之構造及阻隔性

（a）透過型電子顯微鏡（TEM）之膜構造的解析

經由前述之方法，形成做爲圖1C所示構造取樣之半導體裝置，攝影包含連接部範圍之截面電子顯微鏡照片。根據此透過型電子顯微鏡照片，令前述截面構造模式性地示於圖7。然而，令此連接部之截面構造模式性地示於圖6。圖7係於圖6之中，以符號A所示部分之構造者。於此實驗所使用之樣本係如以下加以形成。

首先，如圖6所示，於前述方法所形成之元件的矽基板11上，形成層間絕緣膜30後，形成口徑0.3μm之連接孔。之後，令鈦膜及鈦氮化膜經由濺射加以堆積。之後，將晶圓曝露於氧電漿中，更且，於600℃之氮氣氛中退火處理，形成阻隔層33。接著，做爲濕層37，令鈦膜以平行濺射加以形成。接著，形成包含銅之第1之鋁膜34，接著，形成包含銅之第2之鋁膜35。接著，經由濺射形成鈦氮化物層所成反射防止膜36。

如圖7所示，根據透過型電子顯微鏡所得照片所得之連接部之各膜之組成及膜厚係如以下所述。

矽基板（Si）

鈦矽化物層（$TiSi_2$）　8.5nm

鈦氮化物層（Ti_2N；鈦膜之鈦

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

和鈦氮化物膜之氮反應的鈦膜）　　３０ｎｍ

鈦氮化物層（ＴｉＮ）　　約５０ｎｍ

鈦氮化物層（於ＴｉＮ層分散TiO_2之結晶粒子之層）

約３０ｎｍ

鋁－鈦膜層（Al_3Ti）　　約１０ｎｍ

鋁－銅層（Ａｌ－Ｃｕ）

自圖７，於構成阻隔層３３之鈦氮化物層（ＴｉＮ）上層約３０ｎｍ中，可知鈦氧化物之結晶以粒狀加以分布。此鈦氧化物之結晶係平均粒徑爲約１０ｎｍ。然後，經由將鈦氧化物之結晶粒子呈島狀加以分布，鈦氮化物層之結晶格則呈歪曲之狀態。稱此爲鈦氮化物歪曲層。鈦氮化物歪曲層和鈦氧化物之粒子則抑制鋁之擴散，可令阻隔性飛躍地提升。分散於鈦氮化物層粒子之材質，係將透過型電子顯微鏡之畫像進行傅立葉轉換，經由觀察格子像加以特定。

更且，構成濕層之鈦係與鋁反應，而呈Al_3Ti系之合金，於此層上，形成鋁（Ａｌ－Ｃｕ）膜。然後，阻隔層係不與Al_3Ti系之合金反應，具備安定且優異之阻隔性和導電性。

（ｂ）阻隔性

本發明之樣本，和於阻隔層不存在鈦氮化物之結晶外，對於與本發明之樣本同樣之比較用樣本，於透過型電子顯微鏡及樣本對於施以熱處理的泄放特性加以調查。泄放

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

特性係將樣本之種種條件進行退火處理，於連接部求得產生泄放電流時之退火條件。

結果，有關本發明之樣本中，於５５０℃經過１０小時進行退火處理時，亦不會有泄放電流之產生，及鋁穿過阻隔層進行矽基板之電弧現象之產生。對此，於此較用樣本中，於４５０℃之２小時退火處理中，確認有泄放電流之產生。

由此，本發明之樣本較比較例之駿本，可確認有更佳之阻隔性。

（２）脫氣工程影響之檢討

於圖４及圖５中，進行調查由於脫氣工程之有無，自晶圓所放出氣體量（分壓）之不同的實驗結果。

於圖４及圖５中，橫軸示顯示在於鋁膜形成之前所進行之熱處理（熱處理Ｃ）至第２鋁膜３５成膜後之處理時間，縱軸係顯示室內之殘留氣體之分壓。於圖４及圖５中，以符號Ａ所示之線係於層間絕緣膜之形成後經過脫氣工程之情形，以符號Ｂ所示之線係於層間絕緣膜之形成後經不過脫氣工程之情形。於此實驗例中，脫氣工程係以氣壓０．１～１Ｐａ、溫度４６０℃、時間１２０秒加以形成。

於各圖中，橫軸之符號ａ及ｂ係顯示鋁膜之成膜前所進行熱處理Ｃ（第１室）之時間，符號ａ係於第１室內置入晶圓後，符號ｂ係顯示經由燈加熱，將晶圓以２５０℃

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

進行６０秒間加熱時者。第１之室中，氣壓係設定於１×１０$^{-4}$Ｐａ以下。

符號ｃ及ｄ係顯示晶圓冷卻工程（第２室）之時間，符號ｃ係顯示於第２之室內，置入晶圓之後，符號ｄ係顯示將晶圓之溫度冷卻至２０℃時。第２之室中，氣壓係設定於３×１０$^{-1}$Ｐａ。然後，測定分壓之時，將室之氣壓減壓至３×１０$^{-6}$Ｐａ。

符號ｅ、ｆ及ｇ係顯示鋁膜之成膜工程（第３室）之時間，符號ｅ係顯示於第３之室內置入晶圓後之時，符號ｆ係成膜第１之鋁膜之後，及符號ｇ係顯示成膜第２之鋁膜之後。第３之室中，設定於３×１０^{2}Ｐａ。然後，測定分壓之時，令室之氣壓減壓至至３×１０$^{-6}$Ｐａ。

由圖４及圖５，於層間絕緣膜之成膜後，於阻隔層之成膜前，經由進行脫氣工程，於之後之熱處理及鋁膜之成膜時，幾近不會產生水及氮。對此，不經過前述脫氣工程之時，之後的熱處理，尤其於符號ｂ所示熱處理Ｃ之時，水及氮皆大量地被放出。

於本實施形態中，如上所述，於連接孔，做爲第１及第２之鋁膜３４、３４可被良好埋設之理由，有如以下之理由。

（ａ）經由進行脫氣工程，經由與層間絕緣膜，尤其將包含於與ＢＰＳＧ膜或矽化合物和過氧化氫反應所得之矽氧化膜之水，氧或氮加以氣化充分放出，於之後之第１鋁膜３４及第２鋁膜３５之成膜，防止自層間絕緣膜或阻

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

隔層３３之氣體之產生，可達成將阻隔層３３和第１之鋁膜３４的密著性提高之良好階段範圍之成膜。

（ｂ）於第１之鋁膜３４之成膜中，令基板溫度設定於２００℃以下之較低溫，使含於層間絕緣膜及阻隔層３３之水分或氮不被放出地，加上前述脫氣工程之效果，提高第１之鋁膜３４之密著性。

（ｃ）更且，第１之鋁膜３４本身，於基板溫度上昇之時，爲達自下層抑制氣體產生之效果，將下個成膜第２之鋁膜３５以較高之溫度加以進行，可使第２之鋁膜的流動擴散良好地加以進行。

如上所述，根據本發明之時，於鋁膜之濺射前，至少包含脫氣工程和冷卻工程，更且於同一室內，連續地成膜鋁膜地，將０．２瘊程度之連接孔，可僅以鋁或鋁合金加以埋設，在於可靠性及產率上可被加以提升。又，可確認無構成連接部之鋁膜之銅等之偏析或結晶粒之異常成長，在於包含遷移等之可靠性上亦爲良好者。

更且，根據本發明之半導體裝置時，於阻隔層將構成該阻隔層之金屬的氧化物呈島狀加以包含地，邊確保阻隔層之導電性，可同時具有優異之阻隔性。

更且，於上述實施形態中，雖對於包含Ｎ通道型ＭＯＳ元件之半導體裝置做了說明，但亦可適用包含Ｐ通道型或ＣＭＯＳ型元件的半導體裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

本發明係一種半導體裝置及其製造方法，半導體裝置係具有包含元件之半導體基板、形成於半導體基板上之層間絕緣膜（矽氧化膜、ＢＰＳＧ膜）、形成於層間絕緣膜之連接孔、形成於層間絕緣膜及連接孔之表面的阻隔層、及形成於阻隔層上之配線層。於阻隔層，構成該阻隔層之金屬氧化物（鈦氧化物）則呈島狀分布。將構成阻隔層之膜加以堆積後，經由於該膜中導入氧之工程加以形成。此工程係堆積爲了阻隔層之膜後，之後於減壓下，將該膜曝露於氧電漿中，經由後熱處理，或堆積爲了阻隔層之膜，之後，經由於氧之存在下的熱處理而達成者，本發明之半導體裝置係具有優異阻隔性之阻隔層。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

公告本

403933

A8
B8 90年 1月17日更正
C8
D8

六、申請專利範圍

第87122028號專利申請案

中文申請專利範圍修正本

民國90年1月修正

1．一種半導體裝置，其特徵係包含

含有元件之半導體基板、

形成於前述半導體基板上之層間絕緣膜、

形成於前述層間絕緣膜之連接孔、

形成於前述層間絕緣膜及前述連接孔表面之阻隔層，及

形成於前述阻隔層上之配線層；

前述阻隔層係令構成該阻隔層之金屬氧化物呈島狀分布狀態加以包含者。

2．如申請專利範圍第1項之半導體裝置，其中，前述阻隔層係以包含選自至少一種鈦、鉭、鎢及此等金屬之氮化物者。

3．如申請專利範圍第1項或第2項之半導體裝置，其中，包含於前述阻隔層之金屬氧化物粒子爲平均粒徑2～20nm者。

4．如申請專利範圍第1項或第2項之半導體裝置，其中，前述層間絕緣膜係經由熱處理，除去氣化成分者。

5．如申請專利範圍第1項或第2項之半導體裝置，其中，前述配線層係鋁或以鋁爲主成分之合金所成者。

6．一種半導體裝置之製造方法，其特徵係包含以下

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1．一種半導體裝置，其特徵係包含

含有元件之半導體基板、

形成於前述半導體基板上之層間絕緣膜、

形成於前述層間絕緣膜之連接孔、

形成於前述層間絕緣膜及前述連接孔表面之阻隔層，及

形成於前述阻隔層上之配線層；

前述阻隔層係令構成該阻隔層之金屬氧化物呈島狀分布狀態加以包含者。

2．如申請專利範圍第1項之半導體裝置，其中，前述阻隔層係以包含選自至少一種鈦、鈷、鎢及此等金屬之氮化物者。

3．如申請專利範圍第1項或第2項之半導體裝置，其中，包含於前述阻隔層之金屬氧化物粒子爲平均粒徑2～20nm者。

4．如申請專利範圍第1項或第2項之半導體裝置，其中，前述層間絕緣膜係經由熱處理，除去氣化成分者。

5．如申請專利範圍第1項或第2項之半導體裝置，其中，前述配線層係鋁或以鋁爲主成分之合金所成者。

6．一種半導體裝置之製造方法，其特徵係包含以下工程（a）至（f）

（a）在於形成於包含元件之半導體基板上的層間絕緣膜，形成連接部的工程，

（b）於前述層間絕緣膜及前述連接孔之表面，形成

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

構成阻隔層之膜的工程，

（ｃ）於爲構成前述阻隔層之膜中，導入氧，將構成該膜之金屬氧化物，呈島狀分布，形成阻隔層之工程，

（ｄ）將基板溫度冷卻至１００℃以下之工程，

（ｅ）於前述阻隔層上，以２００℃以下之溫度，形成鋁或以鋁爲主成分之合金所成第１鋁膜工程，

及

（ｆ）於前述第１鋁膜上，以３００℃以上之溫度，形成鋁或以鋁爲主成分之合金所成第２鋁膜工程者。

７．如申請專利範圍第６項之半導體裝置之製造方法，其中，於前述工程（ｃ），堆積爲構成前述阻隔層之膜，之後於減壓下，將該膜曝露於氧電漿中之後，經由熱處理，將構成該膜之金屬氧化物，呈島狀分布之狀態加以形成者。

８．如申請專利範圍第６項之半導體裝置之製造方法，其中，於前述工程（ｃ），堆積爲構成前述阻隔層之膜，之後於氧氣存在下，經由熱處理，將構成該膜之金屬氧化物，呈島狀分布之狀態加以形成者。

９．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，包含在於前述工程（ａ）後，於減壓下，經由３００～３５０℃之基板溫度之熱處理，除去包含前述層間絕緣膜之氣化成分的脫氣工程者。

１０．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，前述工程（ｅ）及（ｆ）之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

鋁膜形成係以濺射加以形成者。

11．如申請專利範圍第6項至第8項之任一項之半導體裝置之製造方法，其中，前述工程（e）及（f）之鋁膜形成係於同一室內連續加以進行者。

12．如申請專利範圍第6項至第8項之任一項之半導體裝置之製造方法，其中，前述工程（d）、（e）及（f）係於具有保持於減壓狀態之複數室之同一裝置內，連續加以進行者。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

公告本

403933

A8
B8 90年 1月17日更正
C8
D8

六、申請專利範圍

第87122028號專利申請案

中文申請專利範圍修正本

民國90年1月修正

1．一種半導體裝置，其特徵係包含

含有元件之半導體基板、

形成於前述半導體基板上之層間絕緣膜、

形成於前述層間絕緣膜之連接孔、

形成於前述層間絕緣膜及前述連接孔表面之阻隔層，及

形成於前述阻隔層上之配線層；

前述阻隔層係令構成該阻隔層之金屬氧化物呈島狀分布狀態加以包含者。

2．如申請專利範圍第1項之半導體裝置，其中，前述阻隔層係以包含選自至少一種鈦、鉭、鎢及此等金屬之氮化物者。

3．如申請專利範圍第1項或第2項之半導體裝置，其中，包含於前述阻隔層之金屬氧化物粒子爲平均粒徑2～20nm者。

4．如申請專利範圍第1項或第2項之半導體裝置，其中，前述層間絕緣膜係經由熱處理，除去氣化成分者。

5．如申請專利範圍第1項或第2項之半導體裝置，其中，前述配線層係鋁或以鋁爲主成分之合金所成者。

6．一種半導體裝置之製造方法，其特徵係包含以下

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

工程（ａ）至（ｆ）：

（ａ）在於形成於包含元件之半導體基板上的層間絕緣膜，形成連接孔的工程，

（ｂ）於前述層間絕緣膜及前述連接孔之表面，形成構成阻隔層之膜的工程，

（ｃ）於爲構成前述阻隔層之膜中，導入氧，將構成該膜之金屬氧化物，呈島狀分布，形成阻隔層之工程，

（ｄ）將基板溫度冷卻至１００℃以下之工程，

（ｅ）於前述阻隔層上，以２００℃以下之溫度，形成鋁或以鋁爲主成分之合金所成之第１鋁膜工程，

及

（ｆ）於前述第１鋁膜上，以３００℃以上之溫度，形成鋁或以鋁爲主成分之合金所成之第２鋁膜工程者。

７．如申請專利範圍第６項之半導體裝置之製造方法，其中，於前述工程（ｃ），堆積爲構成前述阻隔層之膜，之後於減壓下，將該膜曝露於氧電漿中之後，經由熱處理，將構成該膜之金屬氧化物，呈島狀分布之狀態加以形成者。

８．如申請專利範圍第６項之半導體裝置之製造方法，其中，於前述工程（ｃ），堆積爲構成前述阻隔層之膜，之後於氧氣存在下，經由熱處理，將構成該膜之金屬氧化物，呈島狀分布之狀態加以形成者。

９．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，包含在於前述工程（ａ）後，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

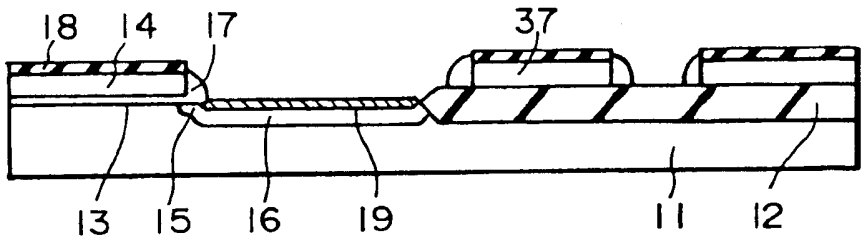
於減壓下，經由３００～５５０℃之基板溫度之熱處理，除去包含前述層間絕緣膜之氣化成分的脫氣工程者。

１０．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，前述工程（ｅ）及（ｆ）之鋁膜形成係以濺射加以形成者。

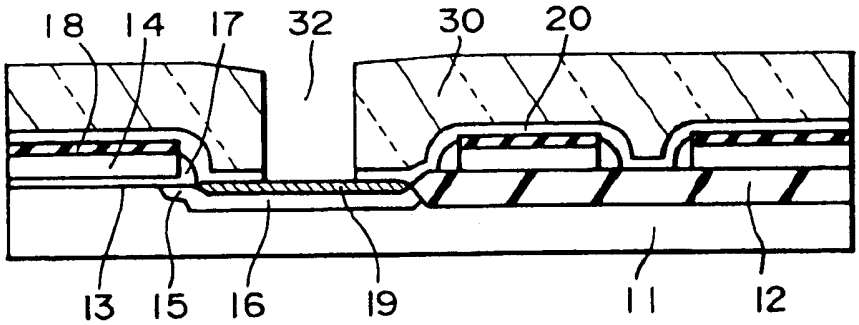
１１．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，前述工程（ｅ）及（ｆ）之鋁膜形成係於同一室內連續加以進行者。

１２．如申請專利範圍第６項至第８項之任一項之半導體裝置之製造方法，其中，前述工程（ｄ）、（ｅ）及（ｆ）係於具有保持於減壓狀態之複數室之同一裝置內，連續加以進行者。

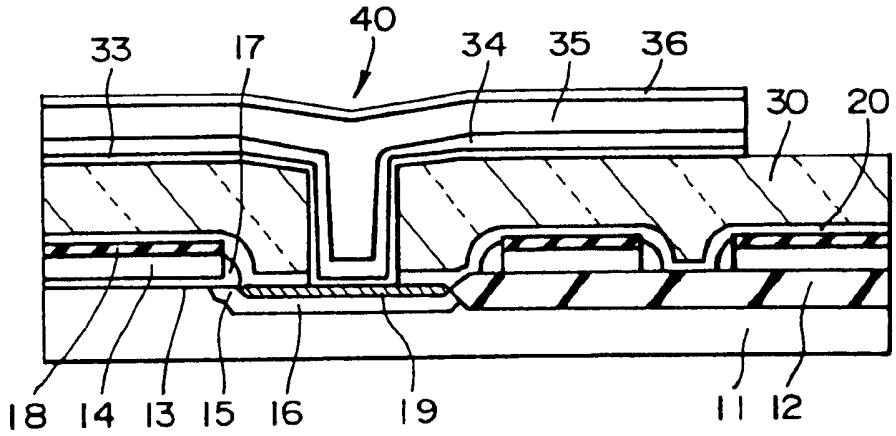
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



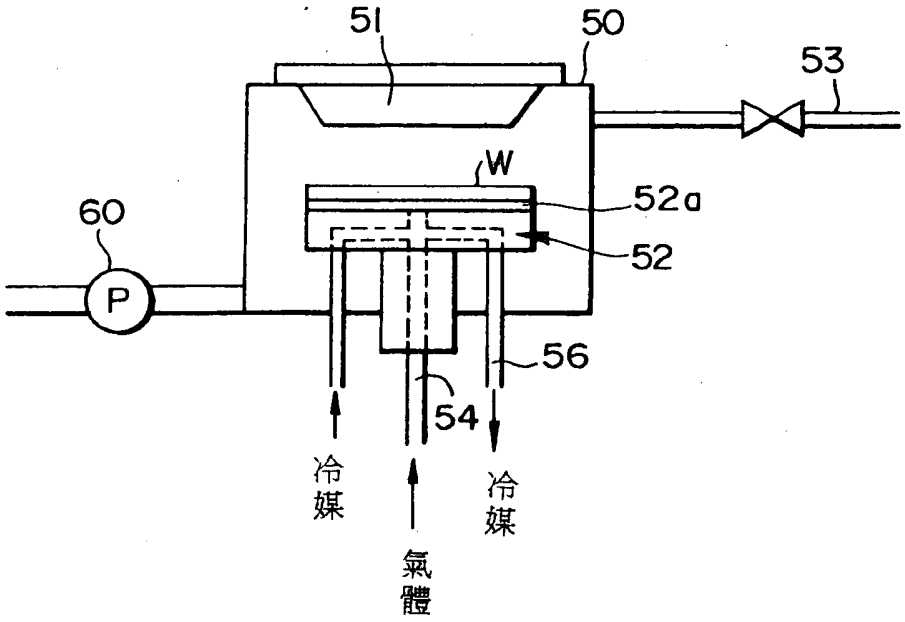
第 1 圖*A*



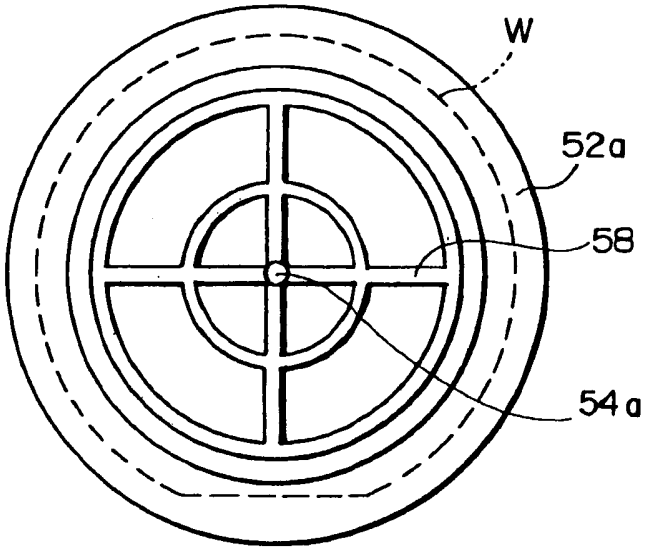
第 1 圖*B*



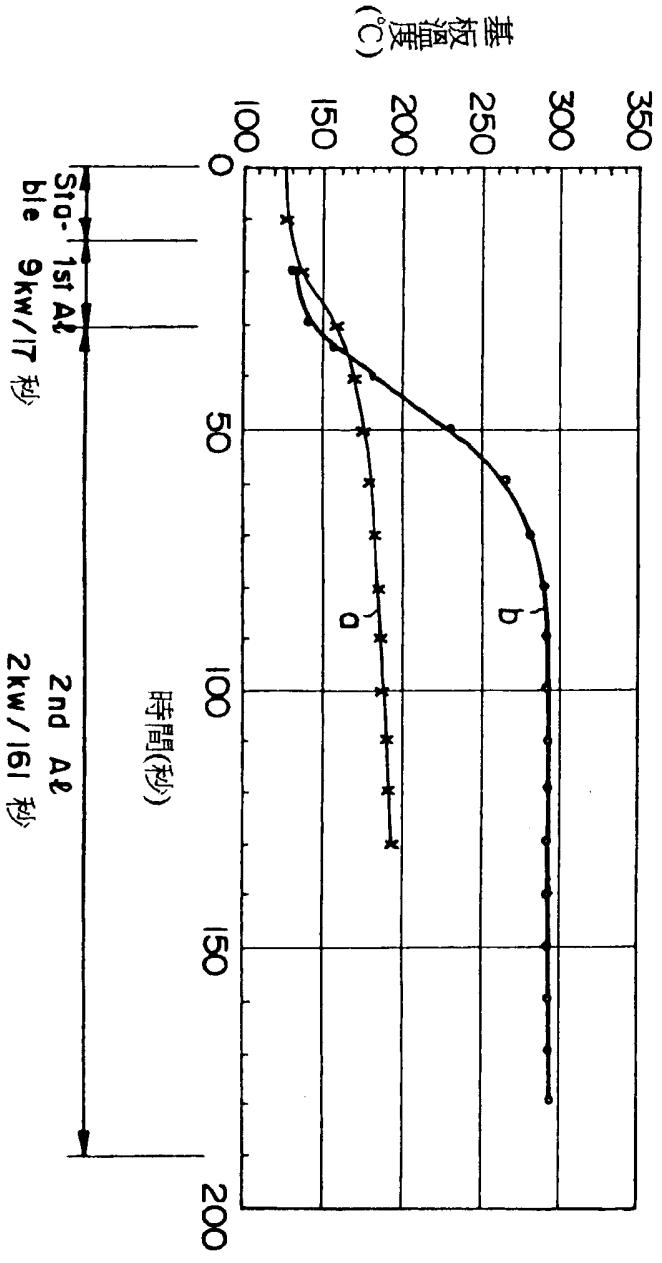
第 1 圖*C*



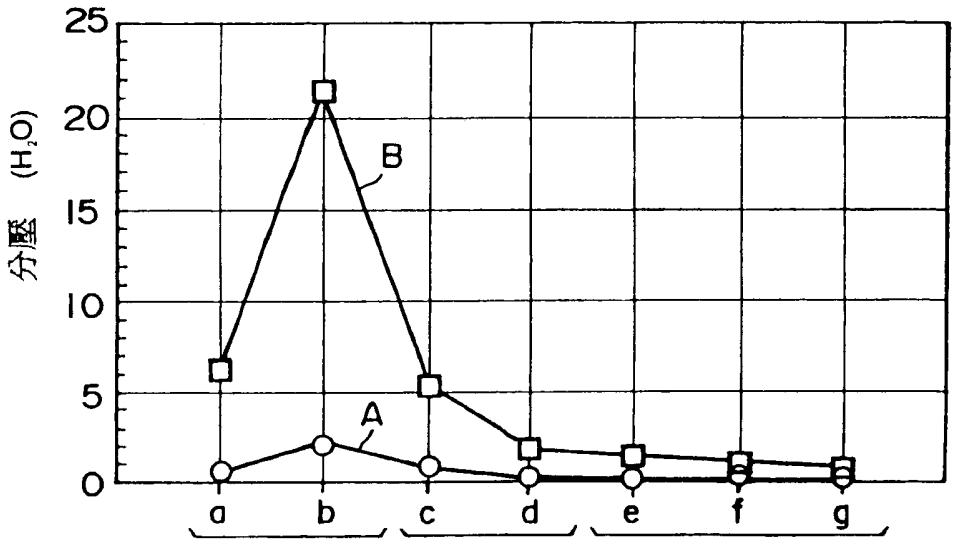
第 2 圖*A*



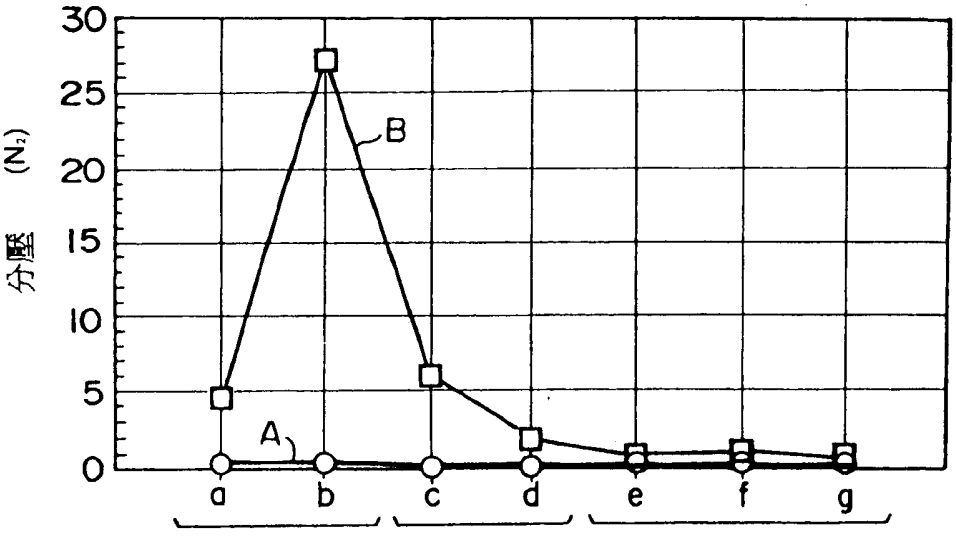
第 2 圖*B*


基板溫度(℃)
100
150
200
250
300
350
0
50
100
150
200
時間(秒)
Sta-ble
1st Aℓ 9kw/17 秒
2nd Aℓ 2kw/161 秒
a
b

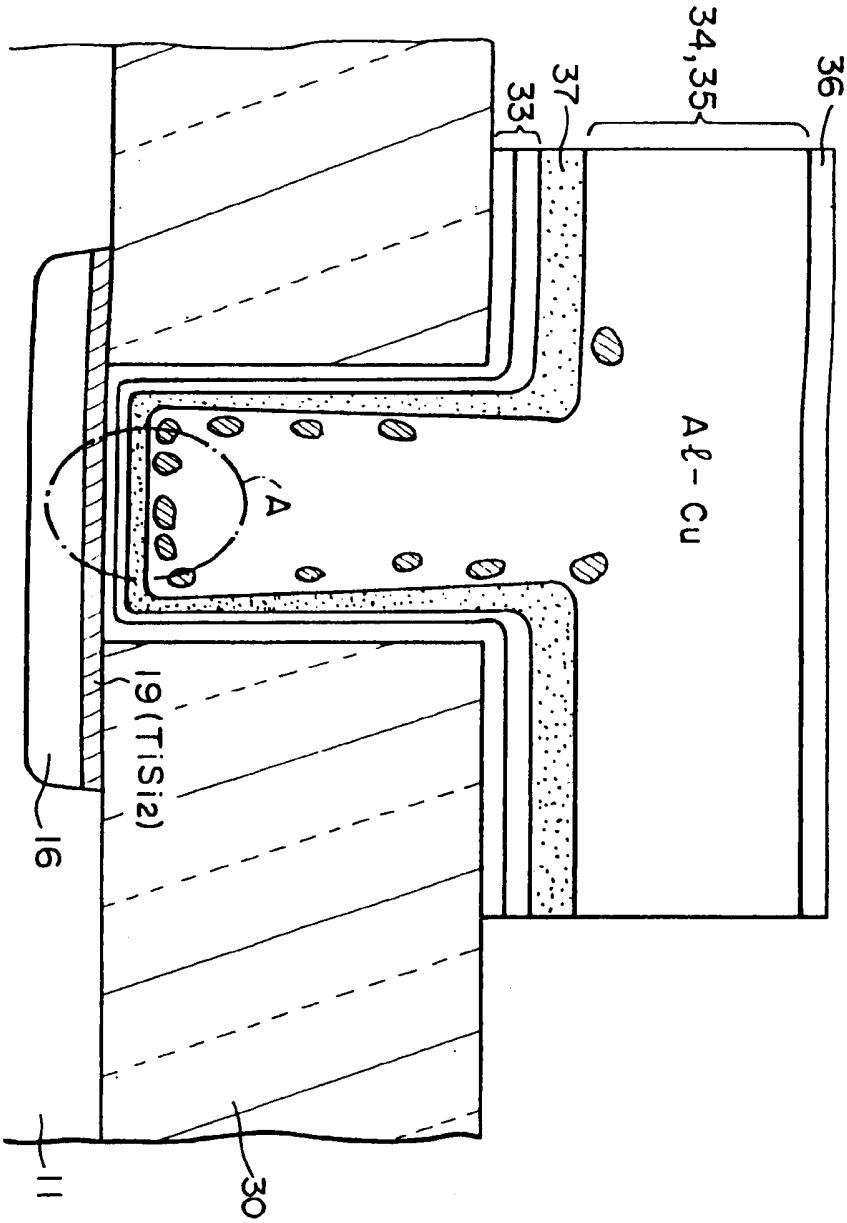
第 3 圖



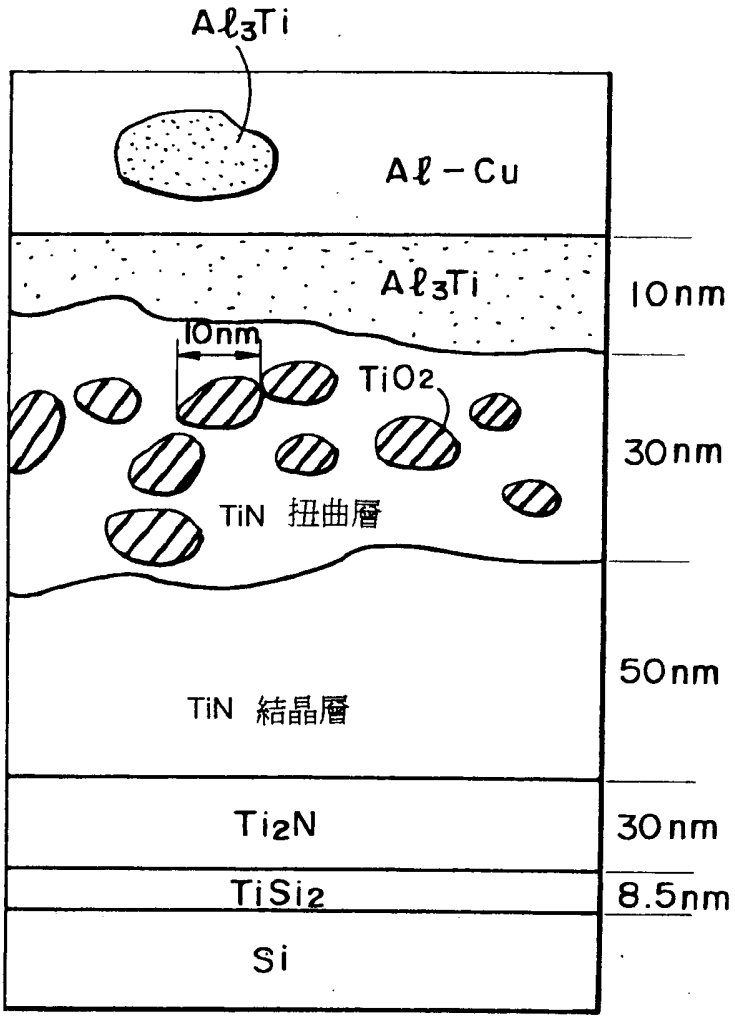
第 4 圖



第 5 圖



第6圖


Al3Ti
Al-Cu
Al3Ti
10nm
10nm
TiO2
30nm
TiN 扭曲層
50nm
TiN 結晶層
Ti2N
30nm
TiSi2
8.5nm
Si

第 7 圖