



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

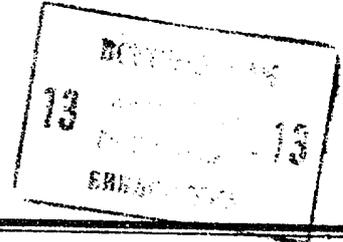
(19) SU (11) 1182577 A

(51)4 G 11 C 11/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3729834/24-24
- (22) 25.04.84
- (46) 30.09.85. Бюл. № 36
- (72) В.Ф.Попов, В.А.Кадочников
и В.Е.Королев
- (53) 681.327 (088.8)
- (56) Вопросы радиоэлектроники. Сер.
ЭВТ, вып. 1, 1983, с. 53-56.

Biomation, Model K100D. Digital
Logikanalyser. "Operating and Seervi-
se Manual" Gould Inc., Biomation
Division Santa Clara, CA 95050,
1980, 58-60.

(54) (57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее блоки памяти, первую группу регистров, первую группу элементов И, элемент ИЛИ, распределитель импульсов, элемент задержки и блок синхронизации, одни из выходов которого соединены с входами синхронизации регистров первой группы, а другие входы - с первыми входами элементов И первой группы, выходы которых подключены к входам элемента ИЛИ, выход которого соединен с входом элемента задержки, выход которого подключен к входу распределителя импульсов, выходы которого соединены с входами синхронизации блоков памяти, причем одноименные входы регистров первой группы соответственно объединены и являются информационными входами устройства, входом синхронизации которого является вход блока синхронизации, о т л и ч а ю щ е е с я тем, что, с целью увеличения информационной емкости устройства, в него введены элементы равнозначности, шифратор, вторая

группа регистров, коммутаторы, вторая и третья группы элементов И, элемент И-ИЛИ, элементы НЕ, счетчики тактов, счетные входы которых соединены с выходами элементов И второй группы, первые входы которых подключены к выходу элемента И-ИЛИ, первые входы которого соединены с выходами элементов НЕ, входы которых и вторые входы элементов И первой группы подключены к выходам элементов равнозначности, причем выходы и установочные входы счетчиков тактов соединены соответственно с первыми входами и с выходами блоков памяти, вторые входы которых подключены к выходам коммутаторов, входы которых соединены с выходами регистров первой группы, а управляющие входы - с выходами регистров второй группы, входы которых подключены к выходам шифратора, входы которого соединены с выходами элементов И первой группы, входы синхронизации регистров второй группы подключены к выходам элементов И третьей группы, первые входы которых соединены с выходом элемента ИЛИ, вторые входы элементов И второй и третьей групп подключены к выходам распределителя импульсов, вторые входы элемента И-ИЛИ соединены с другими выходами блока синхронизации, выход каждого регистра первой группы подключен к первому входу одноименного элемента равнозначности и к второму входу последующего элемента равнозначности, первый вход первого элемента равнозначности соединен с выходом последнего регистра первой группы.

(19) SU (11) 1182577 A

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано для регистрации кодового обмена цифровых устройств в логических анализаторах, а также при отладке цифровых вычислительных комплексов.

Цель изобретения - увеличение информационной емкости устройства.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - тоже, наиболее предпочтительный вариант выполнения каждого блока памяти.

Устройство содержит (фиг.1) первую группу регистров 1, блок 2 синхронизации, элементы 3 равнозначности, элементы НЕ 4, элемент И-ИЛИ 5, первую группу элементов И 6, шифратор 7, элемент ИЛИ 8, распределитель 9 импульсов, коммутаторы 10, вторую группу регистров 11, вторую 12 и третью 13 группы элементов И, счетчики 14 тактов, блоки 15 памяти и первый элемент 16 задержки.

Каждый блок 15 памяти содержит (фиг.2) накопитель 17, формирователи 18 и 19 одиночных импульсов, элемент 20 задержки, демультимплексор 21 формирователь 22 коротких импульсов и счетчик 23 адресов.

Регистры 1 и 11 могут быть выполнены на микросхемах 585ИР12, 133ИР13. Число информационных входов устройства равно m (где m - целое число) и числу входов каждого из регистров 1. Число регистров 1 в первой группе схем 3 равнозначности, элементов НЕ 4, элементов И 6 первой группы равно N (где N - целое число), а число коммутаторов 10, элементов И 12, элементов И 13, счетчиков 14 тактов и блоков 15 равно M (где M - целое число).

Счетчики 14 тактов могут быть выполнены на микросхемах 133ИЕ7, 533ИЕ7, коммутатор 10 - на основе микросхем 533КП12. Схемы 3 равнозначности могут быть выполнены на микросхемах 533СП1. Накопитель 17 может быть построен на микросхемах 541РУ2 и имеет $(m+t)$ разрядов, где m - число разрядов регистрации анализируемого кода, t - число разрядов для регистрации временного кода.

Устройство работает следующим образом.

Перед началом работы все регистры и счетчики устройства сбрасываются в нулевое состояние, распределитель 9 устанавливается в первое положение, а распределитель (условно не показан) блока 2 - в N -ое положение, ячейки блоков 15 обнулены.

Устройство приводится в действие подачей на вход 24 импульсных сигналов. При поступлении первого импульса на первом из выходов блока 2 появляется кратковременный единичный сигнал, который поступает на синхронизирующий вход первого из регистров 1, обеспечивая запись в регистр 1 информации с входов 25. Первая из схем 3 равнозначности сравнивает коды с выходов первого и N -ого регистров 1, последний в начале работы должен быть равен 000...00. Если схема 3 равнозначности отметит равенство кодов, то на ее выходе будет нулевой уровень, препятствующий прохождению через первый из элементов И 6 единичного сигнала с первого из других выходов блока 2, который пройдет на выход элемента И-ИЛИ 5, через соответствующий его вход, так как на втором соответствующем входе будет действовать единичный уровень с выхода первого из элементов НЕ 4.

При воздействии второго и последующих синхронизирующих импульсов информация будет записываться во второй, третий и так далее регистры 1 до N -ого включительно, а затем снова в первый, второй и так далее, так как единичные сигналы будут выработываться блоком 2 последовательно на втором, третьем, ..., N -ом, снова на первом, втором и так далее его выходах. Эти импульсы проходят последовательно на выход элемента И-ИЛИ 5 и далее через первый из элементов И 12 - на вход первого из счетчиков 14, который в результате насчитывает N импульсов (где $n > N$ - целое число) пока $(K+1)$ -я из схем 3 равнозначности не отметит неравенство кодов (где K - остаток от деления n на N). Единичный уровень с выхода $(K+1)$ -ой схемы 3 равнозначности разрешит передачу на выход $(K+1)$ -ого элемента И 6 импульсного сигнала с $(K+1)$ -го выхода блока 2 и запретит его передачу на выход элемента И-ИЛИ 5. Импульсный сигнал с выхода первого элемента И 6 посту-

пает на входы шифратора 7 и элемент ИЛИ 8, вызывая появление на выходе шифратора 7 двоичного кода, соответствующего его (K+1)-му входу, и на выходе элемента ИЛИ 8 также импульсного сигнала. Код с выхода шифратора 7 поступает на входы регистров 11, а импульсный сигнал поступает на входы элементов И 13 и на вход распределителя 9 через элемент 16 задержки, время задержки которого выбирается равным или более длительности импульсного сигнала, в результате чего импульсный сигнал проходит на выход первого из элементов И 13 и далее поступает на вход синхронизации первого из регистров 11. В результате этого в регистр 11 записывается код с выхода шифратора 7 и в соответствии с этим кодом первый из коммутаторов 10 подключает на свой выход информацию, поступающую с (K+1)-го регистра 1. По истечении времени задержки элемента 16 импульсный сигнал поступает на вход распределителя 9 и сдвигает выходную единицу на следующее направление. Под воздействием отрицательного перепада на первом направлении запускаются формирователи 18 и 19 первого блока 15 памяти и производится запись в нулевую ячейку информации, поступающей с выходов первого коммутатора 10 и первого счетчика 14. По окончании записи в первый блок 15 памяти сигналом "Конец записи" с его выхода производится сброс первого счетчика 14, в блоке 15 памяти состояние счетчика адреса 23 увеличивается на единицу.

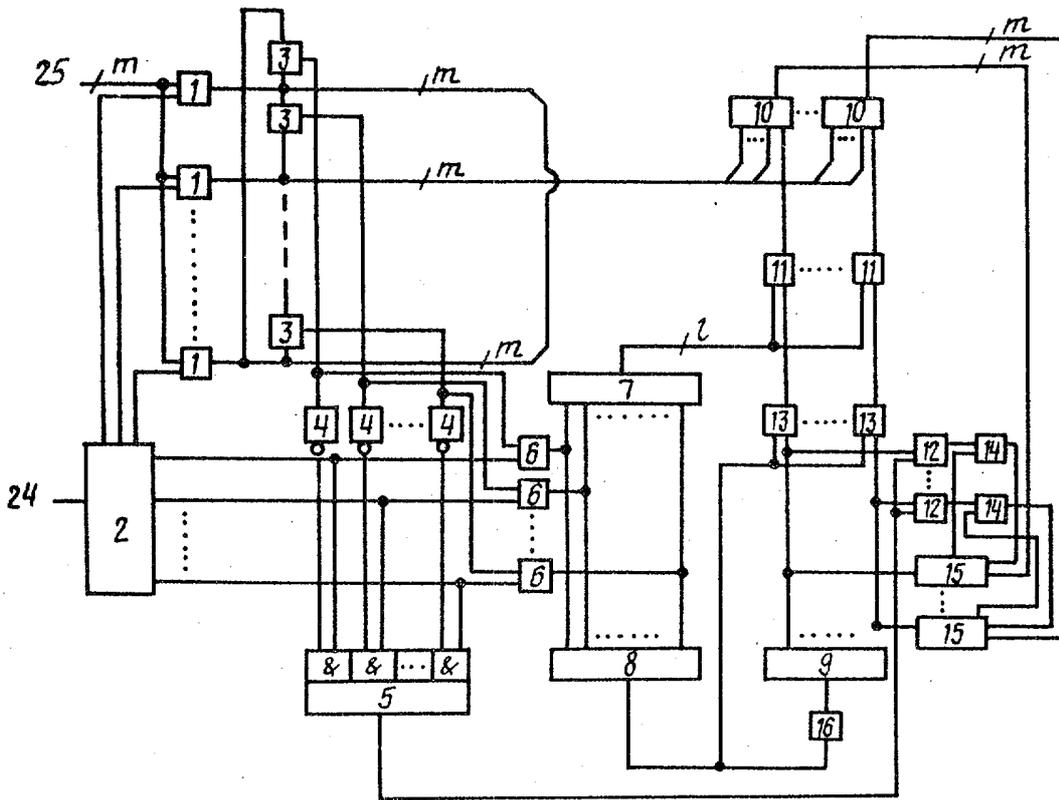
Если после следующего синхроимпульса (K+2)-ая схема 3 равнозначности также отметит неравенство, то

произойдет запись информации в нулевую ячейку второго блока 15 памяти второго счетчика 14 (нулевой код) и с выхода (K+2)-го входного регистра 1, а состояние счетчика 23 второго блока 15 памяти увеличится на единицу.

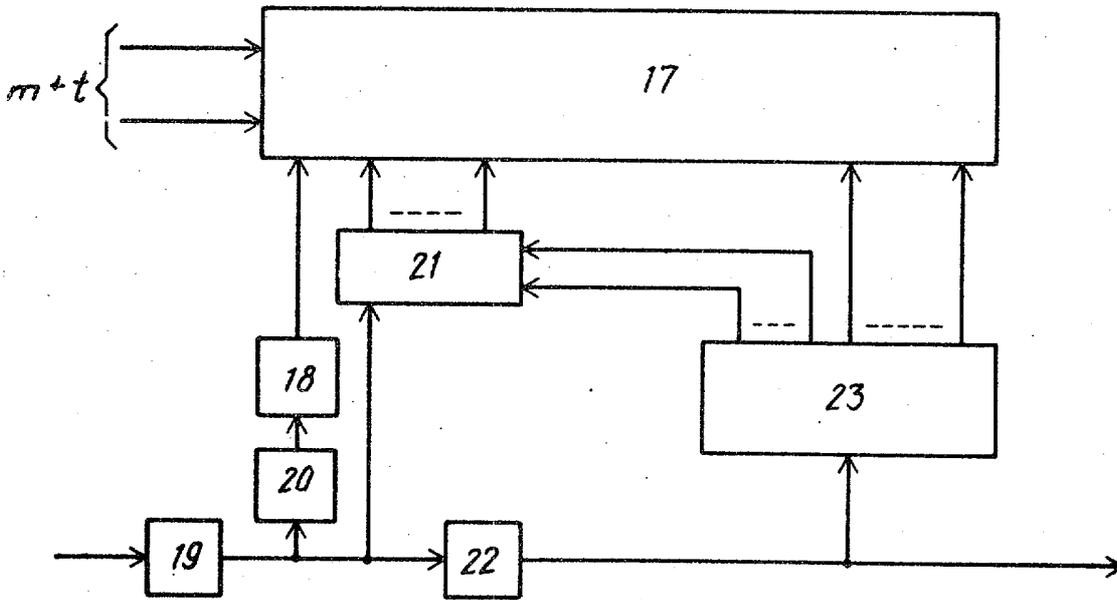
В случае, если (K+2)-ая и последующие схемы 3 равнозначности отметят равенство кодов, устройство функционирует аналогично описанному ранее с той разницей, что счет числа тактов, в которых сохранялась неизменной входная информация, будет производиться вторым из счетчиков 14. После того, как в каком-то такте будет отмечено неравенство кодов, запись информации с выходов регистра 1 и второго счетчика 14 будет произведена в нулевую ячейку второго блока 15 памяти, и состояние его счетчика 23 увеличится на единицу.

В итоге информация будет записана в следующем порядке: в нулевые, первые, вторые и т.д. ячейки 15 с первого по M-ый последовательно, что обеспечивает логичную организацию режима чтения информации из запоминающего устройства.

В предложенном устройстве количество N каналов обработки входной информации больше частного от деления суммы времени τ_z заноса информации в регистр 1, времени $\tau_{ср}$ сравнения, времени $\tau_{реш}$ выработки решения о регистрации и времени τ_{α} записи информации в блок 15 памяти на величину минимального интервала времени τ_{α} между двумя соседними синхронизирующими сигналами на входе 25, т.е. $N \cdot \tau_{\alpha} = \tau_z + \tau_{ср} + \tau_{реш} + \tau_{зап}$. Количество каналов регистрации выбирается большим $\frac{\tau_{зап}}{\tau_{\alpha}}$.



Фиг.1



Фиг. 2

Составитель Т.Зайцева
 Редактор И.Ковальчук Техред Ж.Кастелевич Корректор Г.Решетник

Заказ 6112/51 Тираж 583 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4