

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-113568

(P2011-113568A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/36 (2006.01)	G06F 13/36 320B	5B033
G06F 13/42 (2006.01)	G06F 13/42 350A	5B061
G06F 9/34 (2006.01)	G06F 9/34 350A	5B077

審査請求 未請求 請求項の数 30 O L (全 21 頁)

(21) 出願番号 特願2010-263433 (P2010-263433)
 (22) 出願日 平成22年11月26日 (2010.11.26)
 (31) 優先権主張番号 10-2009-0115414
 (32) 優先日 平成21年11月26日 (2009.11.26)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 尹 裁 根
 大韓民国京畿道華城市陳雁洞 陳雁ゴルフ
 ウル住公10団地アパート 1006棟3
 01号

最終頁に続く

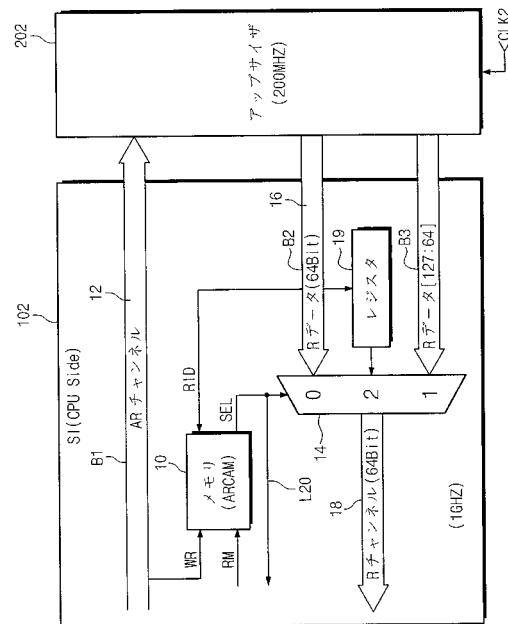
(54) 【発明の名称】 帯域幅同期化回路及び帯域幅同期化方法とこれを含むデータプロセッシングシステム

(57) 【要約】

【課題】高周波数狭帯域CPUと低周波数広帯域バスとの間の帯域幅ボトルネックを解消することができる帯域幅同期化回路及び帯域幅同期化方法とこれを含むデータプロセッシングシステムを提供する。

【解決手段】帯域幅同期化回路はアップサイザー及びシンクダウン部を含む。アップサイザーは第1クロックによって作動するシンクパッカー及びシンクアンパッカーを含む。シンクダウン部はアップサイザーと接続され、第1クロックの周波数より低い周波数の第2クロックに応答してアップサイザーのデータに対してシンクダウン動作を実行する。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

第 1 クロックに基づいて作動する少なくとも 1 つのシンクパッカー及び少なくとも 1 つのシンクアンパッカーを含むアップサイザート、

前記アップサイザートと接続され、前記第 1 クロックより低い周波数を有する第 2 クロックに 응답して前記アップサイザートのデータにシンクダウン動作を実行するように構成されたシンクダウン部と、を備えることを特徴とする帯域幅同期化回路。

【請求項 2】

前記第 1 クロックは約 1 GHz の周波数を有するプロセッサクロックであり、前記第 2 クロックは約 200 MHz の周波数を有するバスクロックであることを特徴とする請求項 1 に記載の帯域幅同期化回路。

10

【請求項 3】

前記少なくとも 1 つのシンクパッカーは、ライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルにシンクパッキングを実行し、

前記少なくとも 1 つのシンクアンパッカーは、リードアドレスチャンネル及びリードデータチャンネルにシンクアンパッキングを実行することを特徴とする請求項 2 に記載の帯域幅同期化回路。

【請求項 4】

前記少なくとも 1 つのシンクパッカーは、

第 1 シンクメモリ及び第 2 シンクメモリを含み、該第 1 シンクメモリ及び第 2 シンクメモリが、前記ライトアドレスチャンネル、前記ライトデータチャンネル、及び前記ライト応答チャンネルのうちの少なくとも 1 つを受信するように構成され、

20

前記少なくとも 1 つのシンクアンパッカーは、

第 3 シンクメモリ及び第 4 シンクメモリを含み、該第 3 シンクメモリ及び第 4 シンクメモリが、前記リードアドレスチャンネル及び前記リードデータチャンネルのうちの少なくとも 1 つを受信するように構成されることを特徴とする請求項 3 に記載の帯域幅同期化回路。

【請求項 5】

前記第 1 シンクメモリは、シンクパッキング制御器の制御に 응답して前記ライトアドレスチャンネルのアドレスを格納し、前記シンクダウン部にアップサイズされたアドレスを出力するために該格納されたアドレスをアップサイズすることを特徴とする請求項 4 に記載の帯域幅同期化回路。

30

【請求項 6】

前記第 2 シンクメモリは、シンクパッキング制御器の制御に 응답して前記ライトデータチャンネルのデータを格納し、前記シンクダウン部にアップサイズされたデータを出力するために該格納されたデータをアップサイズすることを特徴とする請求項 4 に記載の帯域幅同期化回路。

【請求項 7】

前記第 3 シンクメモリは、シンクアンパッキング制御器の制御に 응답して前記リードアドレスチャンネルのアドレスを格納し、選択器を通じて前記シンクダウン部にアップサイズされたアドレスを出力するために該格納されたアドレスをアップサイズすることを特徴とする請求項 4 に記載の帯域幅同期化回路。

40

【請求項 8】

前記第 4 シンクメモリは、シンクアンパッキング制御器の制御に 응답して前記リードデータチャンネルのデータを格納し、選択器を通じてスレーブインターフェースに該格納されたデータを出力することを特徴とする請求項 4 に記載の帯域幅同期化回路。

【請求項 9】

前記第 1、第 2、第 3、及び第 4 シンクメモリのうちの少なくとも 1 つは F I F O メモリであることを特徴とする請求項 4 に記載の帯域幅同期化回路。

【請求項 10】

50

前記シンクダウン部は、
データを格納するように構成されたシンクメモリと、
少なくとも1つのマッチバリューを格納するように構成されたマッチバリューと、
前記シンクメモリに格納された前記データが前記少なくとも1つのマッチバリューとマッチングされるか否かを判断するように構成されたマッチと、
前記マッチから生成された活性化信号に応答してデータをラッチするように構成された第1及び第2フリップフロップと、を含むことを特徴とする請求項1に記載の帯域幅同期化回路。

【請求項11】

前記アップサイザーは、
前記第1クロック及び第2クロックに応答して各々作動する第1シンクパッカー及び第2シンクパッカーと、
前記第1クロック及び第2クロックに応答して各々作動する第1シンクアンパッカー及び第2シンクアンパッカーと、を含み、
前記第1及び第2クロックは互いに異なる周波数を有することを特徴とする請求項1に記載の帯域幅同期化回路。

【請求項12】

前記第1クロックの周波数は約400MHzであり、前記第2クロックの周波数は約200MHzであることを特徴とする請求項11に記載の帯域幅同期化回路。

【請求項13】

前記第1クロックは前記回路のプロセッササイドから供給され、前記第2クロックは前記回路のバスサイドから供給されることを特徴とする請求項11に記載の帯域幅同期化回路。

【請求項14】

前記第1及び第2シンクパッカーは第1シンクメモリ及び第2シンクメモリを共有し、
前記第1及び第2シンクメモリは、ライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルのうちの少なくとも1つを受信するように構成され、
前記第1及び第2シンクアンパッカーは第3シンクメモリ及び第4シンクメモリを共有し、
前記第3及び第4シンクメモリはリードアドレスチャンネル及びリードデータチャンネルのうちの少なくとも1つを受信するように構成されることを特徴とする請求項11に記載の帯域幅同期化回路。

【請求項15】

前記第1シンクメモリはシンクパッキング制御器の制御に応答して前記ライトアドレスチャンネルのアドレスを格納することを特徴とする請求項14に記載の帯域幅同期化回路。

【請求項16】

前記第2シンクメモリはシンクパッキング制御器の制御に応答して前記ライトデータチャンネルのデータを格納することを特徴とする請求項14に記載の帯域幅同期化回路。

【請求項17】

前記第3シンクメモリはシンクアンパッキング制御器の制御に応答して前記リードアドレスチャンネルのアドレスを格納することを特徴とする請求項14に記載の帯域幅同期化回路。

【請求項18】

前記第4シンクメモリはシンクアンパッキング制御器の制御に応答して前記リードデータチャンネルのデータを格納することを特徴とする請求項14に記載の帯域幅同期化回路。

【請求項19】

前記少なくとも1つのシンクアンパッカーは、所望するリクエスト及び前記第2クロックに応答して第2データ幅より広い第1データ幅を有するデータを出力し、

10

20

30

40

50

一般リクエストに回答して前記データの前記第2データ幅と同一の幅を有する少なくとも1つの部分をブロックするように構成されたリクエスト選択供給部を更に含み、

前記リクエスト選択供給部は、前記所望するリクエスト及び前記第2クロックの周波数より高い周波数の前記第1クロックに回答して前記第1データ幅を有するデータを供給するように構成されることを特徴とする請求項1に記載の帯域幅同期化回路。

【請求項20】

前記リクエスト選択供給部は前記回路のCPUサイドに位置することを特徴とする請求項19に記載の帯域幅同期化回路。

【請求項21】

前記所望するリクエストはラップ4バーストリードリクエストであることを特徴とする請求項19に記載の帯域幅同期化回路。

10

【請求項22】

前記第1データ幅は128ビットであり、前記第2データ幅は64ビットであることを特徴とする請求項19に記載の帯域幅同期化回路。

【請求項23】

前記シンクアンパッカーによって出力されるデータは前記第2データ幅より広い幅を有するリードデータであることを特徴とする請求項19に記載の帯域幅同期化回路。

【請求項24】

キャッシュコントローラと接続されたプロセッサと、

第1クロックに基づいて作動する少なくとも1つのシンクアンパッカー及び少なくとも1つのシンクアンパッカーを含むアップサイザ、該アップサイザと接続され、前記第1クロックより低い周波数を有する第2クロックに回答して該アップサイザのデータにシンクダウン動作を実行するように構成されたシンクダウン部、及び一般リクエストに回答して前記データの前記第2データ幅と同一の幅を有する少なくとも1つの部分をブロックするように構成されたリクエスト選択供給部を含み、前記少なくとも1つのシンクアンパッカーは所望するリクエスト及び前記第2クロックに回答して第2データ幅より広い第1データ幅を有するデータを出力し、前記リクエスト選択供給部は前記所望するリクエスト及び前記第2クロックの周波数より高い周波数の前記第1クロックに回答して前記第1データ幅を有するデータを供給するように構成され、前記プロセッサとインターフェースバスとの間に接続された帯域幅同期化回路と、

20

30

前記インターフェースバスと接続される複数の周辺機能ブロックと、を備えることを特徴とするデータプロセッシングシステム。

【請求項25】

前記周辺機能ブロックは、DMAC、USB、PCI、SMC、及びSCIのうちの少なくとも2つを含むことを特徴とする請求項24に記載のデータプロセッシングシステム。

【請求項26】

前記インターフェースバスはAXIバスであることを特徴とする請求項24に記載のデータプロセッシングシステム。

【請求項27】

前記アップサイザは、64ビットラップ4バーストリードの場合に、約200MHzの周波数を有する第2クロックの全てのサイクルに128ビットリードデータを1つずつ供給することを特徴とする請求項24に記載のデータプロセッシングシステム。

40

【請求項28】

第1クロックの周波数でプロセッサを駆動し、第2クロックの周波数でインターフェースバスと接続されるアップサイザを駆動する段階と、

前記アップサイザに第1リード命令に従って第1データ幅のリードデータを前記第2クロックの周波数に同期して出力し、第2リード命令に従って第2データ幅のリードデータを前記第2クロックの周波数に同期して出力する段階と、

前記第1データ幅の前記リードデータが入力される場合に、前記アップサイザで前記

50

リードデータをブロックする段階と、

前記第2データ幅の前記リードデータが入力される場合に、前記第1クロックの2サイクルの間に前記第1クロックの周波数に同期して前記リードデータを供給する段階と、を有することを特徴とする帯域幅同期化方法。

【請求項29】

前記第1データ幅は64ビットであり、前記第2データ幅は128ビットであることを特徴とする請求項28に記載の帯域幅同期化方法。

【請求項30】

前記第1クロックの周波数は約1GHzであり、前記第2クロックの周波数は約200MHzであることを特徴とする請求項28に記載の帯域幅同期化方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データプロセッシングシステムに関し、より詳細には、例えばスマートフォン又はナビゲーションデバイスなどのようなモバイルシステムにおける帯域幅同期化回路及び帯域幅同期化方法とこれを含むデータプロセッシングシステムに関する。

【背景技術】

【0002】

スマートフォン、個人用ナビゲーションデバイス、ポータブルインターネットデバイス、ポータブル放送デバイス、及び/又はマルチメディアデバイスなどのようなモバイルシステムでは多様なアプリケーションを支援するためにシステムオンチップ(SoC: System on Chip、以下“SoC”という)上に高周波数で作動する高性能のモバイル応用プロセッサを採択している。

【0003】

モバイル応用プロセッサは、演算動作、論理動作、及び/又はプログラム命令語実行を行うので、リソース(例えば、メモリリソース)を多く用いる素子として、モバイルSoCの性能を決めることになる。モバイル応用プロセッサは、無線通信、個人用ナビゲーション、カメラ、ポータブルゲーミング、ポータブル音楽/ビデオプレーヤ、一体化したモバイルTV、及び/又はPDA(Personal Digital Assistant)などのような多様な機能の集積を可能に(Enable)するために、L2(レベル2)として言及されるオンチップ2次キャッシュ(Cache)を含むことができる。L2キャッシュは、プロセッサによって高いメモリが利用される例として、モバイルシステムの性能を増大させることができる。

【0004】

SoCの効果的な設計のため、1つのチップ上に集積した複数のIPs(Intellectual Properties、例えば、メモリ、コントローラ、ドライバなど)の間の相互通信のためのバスシステム(BUS System)の選択が非常に重要である。バスシステムの典型的な例では、ARM(Advanced RISC Machine)社のAMBA(Advanced Microcontroller Bus Architecture)プロトコルに基づくAMBA3.0 AXI(Advanced Extensible Interface)バスシステムがある。

【0005】

SoCの一部を構成するDMAC(Direct Memory Access Controller)、USB、PCI、SMC(Static Memory Controller)、及び/又はSCI(Smart Card Interface)などのような周辺機能ブロックは、例えば、開発時間及び開発人力のような制約のため、分離したIPsとして購入することがある。SoCを成すため、購入した周辺機能ブロックIPsは、1つのCPUと、その他のデータプロセッシング用機能ブロックと共にチップ上に集積することができる。

【0006】

10

20

30

40

50

ハイパフォーマンス (High Performance) モバイル応用プロセッサに対する要求の増加によって、SoC内のCPU及びキャッシュコントローラ (Cache Controller) の動作周波数 (Frequency) は略数GHzである。一方、バスシステムの周波数は、数GHzの水準まで増加することができないので、帯域幅要件を満足させるためにCPUのデータバス幅より広いデータバス幅が用いられる。例えば、略1GHzの動作周波数を有するCPUのデータバス幅が64ビットとすれば、バスシステムの動作周波数は略200MHzとし、データバス幅は略128ビットに設計することができる。

【0007】

シンクダウンロジック (Syncdown Logic) と64ビットto128ビットアップサイザー (Upsizer) 回路は、キャッシュコントローラと接続することができ、64ビットデータバス幅と1GHz動作周波数を有するCPUと、128ビットデータバス幅と200MHz動作周波数を有するバスシステムとの間で略1GHz to 略200MHzで同期化 (Synchronize) することができる。

10

【0008】

このような場合に、同期化 (Synchronize) するシンクダウンポイント (Syncdown Point) で、64ビット200MHzで作動する部分は略1.6Gbpsの帯域幅を有し、この部分は、略8Gbps帯域幅のCPU又は略3.2Gbps帯域幅のアップサイザーに比較して、帯域幅ボトルネック (Bandwidth Bottleneck) として作用する。従って、ハイデータ幅 (High Data Width) バスシステムだけではなく、高周波数 (High Frequency) CPUの性能が低下する可能性がある。

20

【0009】

このように、モバイルシステムでの帯域幅ボトルネックを解消し、且つシステムの性能を改善することができる帯域幅同期化技術が要望されている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】韓国公開特許2006-0103683号明細書

【発明の概要】

30

【発明が解決しようとする課題】

【0011】

本発明は、上記従来の問題点に鑑みてなされたものであって、本発明の目的は、システムパフォーマンスを改善することができる帯域幅同期化回路を提供することにある。

また、本発明の目的は、帯域幅ボトルネックを解消することができるデータプロセッシングシステムを提供することにある。

また、本発明の目的は、高周波数狭帯域CPUと低周波数広帯域バスとの間の帯域幅ボトルネックを解消することができる帯域幅同期化回路及び帯域幅同期化方法を提供することにある。

【課題を解決するための手段】

40

【0012】

上記目的を達成するためになされた本発明の一特徴による帯域幅同期化回路は、第1クロックに基づいて作動する少なくとも1つのシンクバッカー及び少なくとも1つのシンクアンバッカーを含むアップサイザーと、前記アップサイザーと接続され、前記第1クロックより低い周波数を有する第2クロックに应答して前記アップサイザーのデータにシンクダウン動作を実行するように構成されたシンクダウン部と、を備える。

本発明の実施形態によると、前記第1クロックは約1GHzの周波数を有するプロセッサクロックであり、前記第2クロックは約200MHzの周波数を有するバスクロックである。

本発明の実施形態によると、前記少なくとも1つのシンクバッカーは、ライトアドレス

50

チャンネル、ライトデータチャンネル、及びライト応答チャンネルにシンクパッキングを実行し、前記少なくとも1つのシンクアンパッカーは、リードアドレスチャンネル及びリードデータチャンネルにシンクアンパッキングを実行する。

本発明の実施形態によると、前記少なくとも1つのシンクパッカーは、第1シンクメモリ及び第2シンクメモリを含み、該第1シンクメモリ及び第2シンクメモリが、前記ライトアドレスチャンネル、前記ライトデータチャンネル、及び前記ライト応答チャンネルのうちの少なくとも1つを受信するように構成され、前記少なくとも1つのシンクアンパッカーは、第3シンクメモリ及び第4シンクメモリを含み、該第3シンクメモリ及び第4メモリが、前記リードアドレスチャンネル及び前記リードデータチャンネルのうちの少なくとも1つを受信するように構成される。

10

本発明の実施形態によると、前記第1シンクメモリは、シンクパッキング制御器の制御にตอบสนองして前記ライトアドレスチャンネルのアドレスを格納し、前記シンクダウン部にアップサイズされたアドレスを出力するために該格納されたアドレスをアップサイズする。

本発明の実施形態によると、前記第2シンクメモリは、シンクパッキング制御器の制御にตอบสนองして前記ライトデータチャンネルのデータを格納し、前記シンクダウン部にアップサイズされたデータを出力するために該格納されたデータをアップサイズする。

本発明の実施形態によると、前記第3シンクメモリは、シンクアンパッキング制御器の制御にตอบสนองして前記リードアドレスチャンネルのアドレスを格納し、選択器を通じて前記シンクダウン部にアップサイズされたアドレスを出力するために該格納されたアドレスをアップサイズする。

20

本発明の実施形態によると、前記第4シンクメモリは、シンクアンパッキング制御器の制御にตอบสนองして前記リードデータチャンネルのデータを格納し、選択器を通じてスレーブインターフェース (Slave Interface) に該格納されたデータを出力する。

本発明の実施形態によると、前記第1、第2、第3、及び第4シンクメモリのうちの少なくとも1つは先入先出 (FIFO) メモリである。

本発明の実施形態によると、前記シンクダウン部は、データを格納するように構成されたシンクメモリと、少なくとも1つのマッチバリュを格納するように構成されたマッチバリュと、前記シンクメモリに格納された前記データが前記少なくとも1つのマッチバリュとマッチングされるか否かを判断するように構成されたマッチと、前記マッチから生成された活性化信号にตอบสนองしてデータをラッチするように構成された第1及び第2フリップフロップ (Flip-Flop) と、を含む。

30

本発明の実施形態によると、前記アップサイザは、前記第1クロック及び第2クロックにตอบสนองして各々作動する第1シンクパッカー及び第2シンクパッカーと、前記第1クロック及び第2クロックにตอบสนองして各々作動する第1シンクアンパッカー及び第2シンクアンパッカーと、を含み、前記第1及び第2クロックは互いに異なる周波数を有する。

本発明の実施形態によると、前記第1クロックの周波数は約400MHzであり、前記第2クロックの周波数は約200MHzである。

本発明の実施形態によると、前記第1クロックは前記回路のプロセッササイドから供給され、前記第2クロックは前記回路のバスサイドから供給される。

40

本発明の実施形態によると、前記第1及び第2シンクパッカーは第1シンクメモリ及び第2シンクメモリを共有し、前記第1及び第2シンクメモリは、ライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルのうちの少なくとも1つを受信するように構成され、前記第1及び第2シンクアンパッカーは第3シンクメモリ及び第4シンクメモリを共有し、前記第3及び第4シンクメモリはリードアドレスチャンネル及びリードデータチャンネルのうちの少なくとも1つを受信するように構成される。

本発明の実施形態によると、前記第1シンクメモリはシンクパッキング制御器の制御にตอบสนองして前記ライトアドレスチャンネルのアドレスを格納する。

本発明の実施形態によると、前記第2シンクメモリはシンクパッキング制御器の制御にตอบสนองして前記ライトデータチャンネルのデータを格納する。

50

本発明の実施形態によると、前記第3シンクメモリはシンクアンバッキング制御器の制御にตอบสนองして前記リードアドレスチャンネルのアドレスを格納する。

本発明の実施形態によると、前記第4シンクメモリはシンクアンバッキング制御器の制御にตอบสนองして前記リードデータチャンネルのデータを格納する。

本発明の実施形態によると、前記少なくとも1つのシンクアンバッカーは、所望するリクエスト (Request) 及び前記第2クロックにตอบสนองして第2データ幅より広い第1データ幅を有するデータを出力し、一般 (General) リクエストにตอบสนองして前記データの第2データ幅と同一の幅を有する少なくとも1つの部分をブロック (Block) するように構成されたリクエスト選択供給部を更に含み、前記リクエスト選択供給部は、前記所望するリクエスト及び前記第2クロックの周波数より高い周波数の前記第1クロックにตอบสนองして前記第1データ幅を有するデータを供給するように構成される。

本発明の実施形態によると、前記リクエスト選択供給部は前記回路のCPUサイドに位置する。

本発明の実施形態によると、前記所望するリクエストはラップ4バーストリードリクエストである。

本発明の実施形態によると、前記第1データ幅は128ビットであり、前記第2データ幅は64ビットである。

本発明の実施形態によると、前記シンクアンバッカーによって出力されるデータは前記第2データ幅より広い幅を有するリードデータである。

【0013】

上記目的を達成するためになされた本発明の一特徴によるデータプロセッシングシステムは、キャッシュコントローラ (Cache Controller) と接続されたプロセッサと、前記プロセッサとインターフェースバスとの間に接続された上述の帯域幅同期化回路と、前記インターフェースバスと接続される複数の周辺機能ブロックと、を備える。

本発明の実施形態によると、前記周辺機能ブロックは、DMAC (Direct Memory Access Controller)、USB (Universal Serial BUS)、PCI (Peripheral Component Interconnection)、SMC (Static Memory Controller)、及びSCI (Smart Card Interface) のうちの少なくとも2つを含む。

本発明の実施形態によると、前記インターフェースバスはAXI (Advanced eXtensible Interface) バスである。

本発明の実施形態によると、前記アップサイザーは、64ビットラップ4バーストリードの場合に、約200MHzの周波数を有する第2クロックの全てのサイクルに128ビットリードデータを1つずつ供給する。

【0014】

上記目的を達成するためになされた本発明の一特徴による帯域幅同期化方法は、第1クロックの周波数でプロセッサを駆動し、第2クロックの周波数でインターフェースバスと接続されるアップサイザーを駆動する段階と、前記アップサイザーに第1リード命令に従って第1データ幅のリードデータを前記第2クロックの周波数に同期して出力し、第2リード命令に従って第2データ幅のリードデータを前記第2クロックの周波数に同期して出力する段階と、前記第1データ幅の前記リードデータが入力される場合に、前記アップサイザーで前記リードデータをブロックする段階と、前記第2データ幅の前記リードデータが入力される場合に、前記第1クロックの2サイクルの間に前記第1クロックの周波数に同期して前記リードデータを供給する段階と、を有する。

本発明の実施形態によると、前記第1データ幅は64ビットであり、前記第2データ幅は128ビットである。

本発明の実施形態によると、前記第1クロックの周波数は約1GHzであり、前記第2クロックの周波数は約200MHzである。

【発明の効果】

【0015】

本発明の帯域幅同期化回路構成によれば、CPUとバスとの間の同期化ボトルネックを最小化又は減少させることができる。

従って、このような帯域幅同期化回路をSOCに採用する場合に、データプロセッシングシステムの製造原価を低くすることができ、SOCの動作性能も高くなる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態による帯域幅同期化回路を示すブロック図である。

【図2】図1のアップサイザーと接続されたバス構造を有するデータプロセッシングシステムを示すブロック図である。

【図3】本発明の一実施形態による帯域幅同期化回路のアップサイザーの詳細を示すブロック図である。

【図4】図3のシンクダウン部の詳細を示すブロック図である。

【図5】本発明の他の実施形態による帯域幅同期化回路を示すブロック図である。

【図6】図5のアップサイザーの詳細を示すブロック図である。

【図7】本発明の一実施形態による帯域幅同期化回路のスレーブインターフェースの詳細を示すブロック図である。

【図8】図7のアップサイザーのシンクアンバッカー部分を示すブロック図である。

【図9】図7の帯域幅同期化回路の動作タイミング図である。

【図10】プロセッサの動作のうちのヘビーリクエストの発生頻度を示すテーブルである。

【図11】プロセッサの動作のうちのヘビーリクエストの発生頻度を示すテーブルである。

【図12】本発明の一実施形態による帯域幅同期化回路を採用したモバイルシステムを示すブロック図である。

【発明を実施するための形態】

【0017】

以下、本発明の帯域幅同期化回路及び帯域幅同期化方法とこれを含むデータプロセッシングシステムを実施するための形態の具体例を、図面を参照しながら詳細に説明する。しかし、本発明の実施形態は、多様な形態に変形でき、本発明の範囲が後述する実施形態に限定されると解釈してはならない。

【0018】

従って、実施形態は多様な変形物及び概略的な形態とすることができるが、その典型的な実施形態は図面に示す実施形態を通じて、ここに詳細に説明する。しかし、実施形態は公開した特定の形態に限定されず、実施形態の範囲に含まれる全ての変形物、均等物、及び代替物を含むものと理解しなければならない。図面上で、同じ符号は同じ要素を示す。

【0019】

用語において第1、第2などが様々な構成要素を記述するために使用できるが、構成要素はこれらの用語に限定されるものと解釈してはならない。これらの用語は、1つの構成要素を他の構成要素と区別するために用いるだけである。例えば、第1構成要素は、本発明の開示を外れず、第2構成要素とも称し得る。

【0020】

本明細書で使用する用語の「及び/又は」は、これと関連して記載した項目のうちの1つ又はそれ以上の任意の組み合わせ又はあらゆる組み合わせを含む。

【0021】

ある構成要素が異なる構成要素に「連結」又は「結合」されていると記載した場合、ある構成要素は、他の構成要素に直接連結又は結合されるか、それらの間に第3の構成要素が介在し得る。一方、ある構成要素が異なる構成要素に「直接連結」又は「直接結合」されていると記載した場合、それらの間に介在する構成要素はない。構成要素の間の関係を

10

20

30

40

50

記述するために使用する他の用語も類似の方式で解釈しなければならない（例えば、「間に」と「直接的に間に」、「隣接して」と「直接的に隣接して」など）。

【0022】

本明細書で使用する用語は、特定の実施形態を記述するための目的として用いるものであり、本発明の範囲を制限するためのものではない。本明細書で、単数として使用する用語は、単数であることを示す明白な背景に関する言及がない限り、複数も含むものである。また、本明細書で使用する「構成される」、「包含する」という用語は、言及した特徴、定数、段階、動作、構成要素、及び/又は構成部品の存在を特定するものではあるが、1つ又はそれ以上の他の特徴、定数、段階、動作、構成要素、構成部品、及び/又はグループの存在又は付加を除外するものではない。

10

【0023】

いくつかの概略的な実行では、言及した機能/作用が、図表で言及した順序から逸脱して発生することができる。例えば、このような機能/作用に依存し、連続して見られる2つの図表は同時に実行され得るか、又は逆の順に実行され得ることに注目しなければならない。

【0024】

図1は、本発明の一実施形態による帯域幅同期化回路を示すブロック図である。

【0025】

図1に示すように、アップサイザー200はスレーブインターフェース(SI: Slave Interface)100とバスマトリックス(BUS Matrix)300との間に設置される。アップサイザー200は、帯域幅同期化を実行するために、例えば64ビットのデータを128ビットのデータに拡張するデータエキスパンダ(Expander)の機能を遂行する。図1において、スレーブインターフェース100は幅が64ビットであるデータバスと約1GHz動作周波数を有するCPU(Central Processing Unit)に接続することができ、バスマトリックス300は幅が128ビットであるデータバスと約200MHz動作周波数を有するバスシステムになることができる。バスマトリックス300はマルチレイヤーバスマトリックス(Multi Layer BUS Matrix)構造を有することができる。

20

【0026】

図1において、AWはライトアドレス(Write Address)チャンネル信号を示し、Wはライトデータチャンネル信号を示し、Bはライト応答チャンネル信号を示し、ARはリード(Read)アドレスチャンネル信号を示し、Rはリードデータチャンネル信号を示す。また、SIはスレーブインターフェースを、MIはマスタインターフェースを各々示す。

30

【0027】

図2は、図1のアップサイザー(又はエキスパンダ)と接続されたバス構造を有するデータプロセッシングシステムを示すブロック図である。

【0028】

図2に示すように、データプロセッシングシステム400はアップサイザー200を基準として一面(例えば、上部)に狭(Narrow)AXIバスを含み、アップサイザー200を基準として他の一面(例えば、下部)に広(Wide)AXIバスを含むことができる。アップサイザー200は、狭バスラインBNに印加される32ビット、32ビット、64ビットのデータを64ビット、128ビット、128ビットに各々拡張し、拡張されたデータを広バスラインBWに提供する役割を果たす。

40

【0029】

図3は、本発明の一実施形態による帯域幅同期化回路のアップサイザーの詳細を示すブロック図であり、図4は、図3のシンクダウン部の詳細を示すブロック図である。

【0030】

以下では、図3及び図4を参照して本発明の一実施形態を説明する。

【0031】

50

図3において、アップサイザ-200とシンクダウン部250は帯域幅同期化回路を構成する。

【0032】

アップサイザ-200はプロセッサクロックCLK1に基づいて作動するシンクパッカー(Sync Packer)220とシンクアンパッカー(Sync Unpacker)240とを含む。シンクパッカー220は、第1及び第2シンクメモリ21、23及びシンクパッキング(Packing)制御器25を含む。シンクアンパッカー240は、第3及び第4シンクメモリ41、43、第1及び第2選択器42、44、及びシンクアンパッキング(Unpacking)制御器45を含む。シンクパッカー220は、ライトアドレスチャンネルAW、ライトデータチャンネルW、及びライト応答チャンネルBに対してシンクパッキングを実行する。シンクアンパッカー240は、リードアドレスチャンネルAR及びリードデータチャンネルRに対してシンクアンパッキングを実行する。

10

【0033】

第1シンクメモリ21はシンクパッキング制御器25の制御にตอบสนองしてライトアドレスチャンネルAWのアドレスを格納し、シンクパッカー220は、格納されたアドレスをアップサイジングされたアドレスとしてシンクダウン部250に出力するために、格納されたアドレスをアップサイジングする。

【0034】

第2シンクメモリ23はシンクパッキング制御器25の制御にตอบสนองしてライトデータチャンネルWのデータを格納し、シンクパッカー220は、格納されたデータをアップサイジングされたデータとしてシンクダウン部250に出力するために、格納されたデータをアップサイジングする。例えば、64ビットとして格納されたデータはアップサイジングによって128ビットデータとしてシンクダウン部250に印加される。

20

【0035】

第3シンクメモリ41はシンクアンパッキング制御器45の制御にตอบสนองしてリードアドレスチャンネルARのアドレスを格納し、シンクアンパッカー240は、格納されたアドレスをアップサイジングされたアドレスとして第1選択器42を通じてシンクダウン部250に出力するために、格納されたアドレスをアップサイジングする。

【0036】

第4シンクメモリ43はシンクアンパッキング制御器45の制御にตอบสนองしてリードデータチャンネルRのデータを格納し、シンクアンパッカー240は、格納されたデータを、第2選択器44を通じてスレーブインターフェース100に出力する。例えば、128ビットとして格納されたデータは64ビットデータとしてスレーブインターフェース100に印加される。

30

【0037】

例えば、第1～第4シンクメモリ21、23、41、43は先入先出(First-In-First-Out、FIFO)機能を有するFIFOメモリを用いて実現する。

【0038】

シンクダウン部250は、アップサイザ-200と接続され、プロセッサクロックの周波数より低い周波数のバスクロックにตอบสนองし、アップサイザ-200の出力に対してシンクダウンを実行する。

40

【0039】

図3において、アップサイザ-200に印加されるクロックCLK1もプロセッサのクロックドメイン(Domain)下で作動する。従って、プロセッサクロックが約1GHzの周波数を有する場合、クロックCLK1も約1GHzの周波数を有する。一方、バスクロックは約200MHzの周波数を有することができる。プロセッサ(又はCPU)クロックはSoCの電流消費を最小化することができるDVFS(Dynamic Voltage Frequency Scaling Controller)によって制御されるDVFS(Dynamic Voltage Frequency Scaling)クロックであり得る。クロック周波数はDVFSによってダイナミックに(Dy

50

n a m i c a l l y) 制御され得る。

【0040】

図4は、図3のシンクダウン部250の詳細を示すブロック図である。図4に示すように、シンクダウン部250は、シンクメモリ252、マッチバリュウ(Match Value)254、マッチ256、第1及び第2フリップフロップ(Flip-Flop)258、259を含む。シンクメモリ252はデータを格納する。マッチバリュウ254は所望するマッチバリュウを格納する。マッチ256はシンクメモリ252に格納されたデータがマッチバリュウとマッチングされるか否かを判断する。例えば、マッチ256は比較器を用いて実現する。第1及び第2フリップフロップ258、259はマッチ256の活性化信号C L K E Nに应答してデータをラッチ(Latch)する。図4において、出力ラインL10は、図3におけるA W、W、及びA Rを一所に示し、入力ラインL20は図3におけるB及びRを一所に示す。

10

【0041】

本実施形態によると、アップサイザ200は、約1GHzの高い周波数で作動することができ、高い周波数のパイプライン(Pipeline)構造を用いることができる。

【0042】

以下では、図5及び図6を参照して本発明の他の実施形態を説明する。

【0043】

図5は、本発明の他の実施形態による帯域幅同期化回路を示すブロック図であり、図6は、図5のアップサイザの詳細を示すブロック図である。

20

【0044】

図5に示すように、帯域幅同期化回路400aは、破線Ba1を境界として第1クロックC L K 1及び第2クロックC L K 2に应答してアップサイジング機能を遂行するアップサイザ210のブロック構成を含む。図示していないが、アップサイザ210は上述の実施形態によってシンクダウン部と接続することができる。

【0045】

アップサイザ210はプロセッササイド(Side)のスレーブインターフェース100とバスマトリックス300との間に設置することができる。図6において、アップサイザ210は、第1及び第2クロックC L K 1、C L K 2に各々应答して作動する第1及び第2シンクパッカー(Sync Packer)222、224と、第1及び第2クロックC L K 1、C L K 2に各々应答して作動する第1及び第2シンクアンパッカー(Sync Unpacker)242、244と、を含む。第1及び第2シンクパッカー222、224は、第1及び第2シンクメモリ21、23を共有する。第1シンクパッカー222は第1シンクパッキング制御器26を含み、第2シンクパッカー224は第2シンクパッキング制御器27を含む。第1及び第2シンクアンパッカー242、244は第3及び第4シンクメモリ41、43を共有する。第1シンクアンパッカー242は第2選択器(Multiplexer)44及び第1シンクアンパッキング制御器46を含み、第2シンクアンパッカー244は第1選択器42及び第2シンクアンパッキング制御器47を含む。第1及び第2シンクパッキング制御器26、27と第1及び第2シンクアンパッキング制御器46、47で見られる参照文字F S M _ s 及びF S M _ m は各々フィニテステートマシン(Finite State Machine)スレーブ及びフィニテステートマシンマスタを意味する。

30

40

【0046】

第1クロックC L K 1が約400MHzの場合に、第2クロックC L K 2は約200MHzであり得る。従って、第1クロックC L K 1はC P Uサイドから提供され、第2クロックC L K 2はB U Sサイドから提供される。

【0047】

図6のアップサイザ210は、互いに異なる周波数で作動する2つの部分に分けられることを除けば、図3のアップサイザ200と類似である。

【0048】

50

このように、ビット幅が64ビット及び128ビットとして互いに異なる場合に、アップサイザ-210内の第1シンクパッカー-222及び第1シンクアンパッカー-242が400MHzで作動し、第2シンクパッカー-224と第2シンクアンパッカー-244が200MHzで作動すれば、帯域幅バランス(Bandwidth Balance)を合わせることができる。

【0049】

しかし、図6の実施形態は200MHzバスクロック及び1GHz DVFSクロックと共に400MHzクロックを用いることができる。従って、図6の実施形態は追加クロックの存在に起因する追加負担(Load ing)に関して特に有用である。

【0050】

10

図7は、本発明の一実施形態による帯域幅同期化回路のスレーブインターフェースの詳細を示すブロック図であり、図8は、図7のアップサイザ-のシンクアンパッカー部分を示すブロック図である。図9は、図7の帯域幅同期化回路の動作タイミング図である。

【0051】

図7に示すように、帯域幅同期化回路は第2クロックCLK2で作動するアップサイザ-202及びCPUサイドのSI(Slave Interface)102を含む。SI102は、メモリ10、選択器14、及びレジスタ19を含むリクエスト選択供給部(Request Selection Supplying Unit)の構成を有する。従って、本実施形態によると、帯域幅同期化回路はアップサイザ-202及びリクエスト選択供給部を含む。図示していないが、アップサイザ-202は上述の実施形態によるシンクダウン部と接続することができる。

20

【0052】

アップサイザ-202は、第2クロックCLK2(例えば、200MHz)にตอบสนองして作動し、予め設定された所望するリクエスト(例えば、ラップ(Wrap)4バーストリード(Burst Read)リクエスト、又はラップ8バーストリードリクエスト)にตอบสนองして第2データビット幅を有するリードデータRを出力するシンクアンパッカー-242(図8参照)を含む。一実施形態によると、アップサイザ-202は上述の実施形態のうちのいずれかの実施形態によるシンクパッカー又は複数のシンクパッカーも含む。

【0053】

リクエスト選択供給部は一般コマンド(Command)リクエスト(インクリメント(Increment)バースト或いはフィクスト(Fixed)バースト)にตอบสนองして第1データビット幅に入力されるリードデータRをバイパス(Bypass)又はブロック(Block)する。例えば、ラップ4バーストリードリクエスト(Burst Read Request)では、リクエスト選択供給部は第2データビット幅(例えば、128ビット)を有するリードデータRの入力を第2クロックより高い周波数を有する第1クロック(例えば1GHz)にตอบสนองして2クロックサイクルの間供給する。

30

【0054】

メモリ10はラップ4バーストリードリクエストがあるか否かを検出する回路構成要素である。メモリ10はアドレスリードコンテンツアドレス可能メモリ(Address Read Contents Addressable Memory: ARCAM)を含むことができる。選択器14は、選択信号SELの活性化にตอบสนองしてバスラインB2、B3を通じて128ビットのデータを受信し、第1クロック(例えば、1GHz)に同期して、受信した総128ビットのデータをRチャンネル18に供給する。これにより、例えば、受信した128ビットのデータは各々64ビットのデータを有する2つの部分に供給することができる。選択信号SELが非活性化された場合(例えば、一般リクエストの場合)には、選択器14はバスラインB2によって提供される64ビットのデータをRチャンネル18に提供することができない。代わりに、レジスタ19は64ビットのデータを格納することができ、リオーダ(Reorder)のための格納構成要素として機能する。例えば、ラップ4バーストリードリクエスト(Burst Read Request)の時にデータが順に入力されない場合に、レジスタ19はデータを順に出力するために

40

50

用いられる。

【0055】

図8に示すように、シンクアンパッカー242は、第3及び第4シンクメモリ41、43、第1及び第2選択器42、44、メモリ(ARCAM)48、及びシンクアンパッキング制御器45を含む。メモリ(ARCAM)48はラップ4バーストリードリクエスト(Burst Read Request)があるか否かを検出する。リードアドレスチャンネルAR及びリードデータチャンネルRに対するシンクアンパッキングを実行する場合に、シンクアンパッカー242は、所望するリクエスト(例えば、ラップ4バーストリードリクエスト)では、バスラインB2、B3を通じて第2データビット幅(例えば、128ビット)を有するリードデータRを出力する。また、ラップバーストリードリクエストではない他のリクエストの場合では、第4シンクメモリ43から出力された64ビットのデータを第2クロック(例えば、200MHz)に同期して出力する。ラップバーストリードリクエストの場合に、選択によって、第4シンクメモリ43から128ビットのデータが出力されるか、又は第4シンクメモリ43をバイパスした(Bypassing)128ビットのデータが出力される。

10

【0056】

図9のRDATA2aを参照すると、ラップ4バーストリードリクエストで第2データビット幅(例えば、64ビット)を有するリードデータが出力されることを示す。RDATA2aは図7の選択器14から出力されるデータのタイミングを示す。図9のCLKはCPUのクロックを示す。CPUのクロックは約1GHzの周波数を有する第1クロックに対応する。また、ACLKはAXIバスクロックを示し、AXIバスクロックは約200MHzの周波数を有する第2クロックに対応する。INCKENは入力クロックイネーブル(Enable)信号を示す。

20

【0057】

図9において、タイムポイントt1及びt2の間の区間はCPUの1つのクロックサイクルに対応する。

【0058】

また、タイムポイントt3及びt4の間の区間もCPUの1つのクロックサイクルに対応する。RDATA1aを参照すると、ラップ4バーストリードリクエストに回答してバスクロック(200MHz)の1つのサイクルの間に128ビットのデータを受信する。受信した128ビットのRDATA1aは入力クロックイネーブル信号INCKENから変更されたイネーブル信号INCKEN_mに回答してCPUの2クロックサイクルの間に128ビットのデータ(a1、a2を合算して得られたデータ)として出力される。

30

【0059】

一方、RDATA1はラップ4バーストリードリクエストがない場合に、64ビットのデータを受信されることを示す。RDATA2は受信した64ビットのデータがCPUの1つのクロックサイクルの間に64ビットのデータa1として出力されることを示す。

【0060】

従って、Rチャンネルのビット幅の大きさの2倍のビット幅を有するデータが特定のリクエスト(例えば、ラップ4バーストリードリクエスト)に回答して第2クロックの間に伝送される。この時、このデータは第1クロックの2サイクルの間に供給される。その結果、帯域幅のバランスを効率的に維持することができる。

40

【0061】

上記実施形態において、ラップ4バーストリードリクエストの機能の1つを図10及び図11に提示する。

【0062】

図10及び図11は、プロセッサの動作のうちのヘビーリクエストの発生頻度を示すテーブルである。

【0063】

50

マルチブルロード (Multiple Loads) 又は命令実行のようなヘビーリクエスト (例えば、リソースを多く使用する) が発生する場合には、キャッシュミス (Miss) ケースを招来する可能性があり、これによって、システム動作パフォーマンスが低下する。本発明の実施形態によるキャッシュミスケースの頻度を把握するために2つの場合に対してCPUトレース (Trace) の分析を行った。

【0064】

図10は、ARM (Advanced RISC Machine) 社のAXIバスを利用したARM1176PB__L2WALloc__AXI.outの場合のヘビーリクエストの頻度を示すテーブルである。図11は、ARM1176PB__L2AWCACHEattr__AXI.outの場合のヘビーリクエストの頻度を示すテーブルである。ここで、L2WALlocはL2キャッシュのアロケーション (Allocation) を示し、L2AWCACHEattrはL2キャッシュのライトアドレスのアトリビューション (Attribution) を示す。

10

【0065】

図10において、ARラップバースト4リクエストのうち、4クロックサイクル以内に発生するトラフィックカウント (Traffic Count) は17491である。これは約9.1%のアクムレーション (Accumulation) の割合を示す。図11において、ARラップバースト4リクエストのうち、4クロックサイクル以内に発生するトラフィックカウントは14621である。これは約7.5%のアクムレーションの割合を示す。結局、図10の場合、全体でヘビーリクエストが発生する頻度は約5.88%であり、図11の場合、全体でヘビーリクエストが発生する頻度は約1.51%である。

20

【0066】

上述のように、帯域幅ボトルネックを解消するためにクリティカルな (Critical) パフォーマンスのラップ4バーストリードリクエストの場合に、図9のRDATA1aのタイミングでデータが伝送され、RDATA2aのタイミングでデータがCPUサイドに供給される。これによって、帯域幅ボトルネックの解消がより効率的に達成される。

【0067】

図12は、本発明の一実施形態による帯域幅同期化回路を含むモバイルシステムを示すブロック図である。

30

【0068】

図12に示すように、モバイルシステムは、L2キャッシュを有するCPU500と、AXIバスBUS1と接続されたメディアシステム510と、モデム520と、メモリコントローラ420と、ブートROM (Read Only Memory Boot) 430と、ディスプレイコントローラ440と、を含む。例えば、DRAM又はフラッシュメモリなどのようなメモリ410はメモリコントローラ420と接続される。例えば、LCDなどのようなディスプレイ450はディスプレイコントローラ440と接続される。

【0069】

BUS1はCPUバスであり、BUS2はメモリバスであり得る。CPU500はL2キャッシュと共にL1キャッシュを含むことができる。L1キャッシュは頻繁にアクセス (Access) されるデータ及び/又は命令を格納するために用いられる。同様に、L2キャッシュメモリも頻繁にアクセスされるデータ及び/又は命令を格納するために用いられる。

40

【0070】

図12のモバイルシステムは、例えば、スマートフォン、個人用ナビゲーションデバイス、ポータブルインターネット器機、ポータブル送器機、及び/又はマルチメディア器機で実現される。

【0071】

図12のモバイルシステムにおいて、図7の実施形態による帯域幅同期化回路はCPU500のブロックとAXIバスとの間に搭載することができる。しかし、本発明の実施形

50

態はそれに限定されず、上述の実施形態のいずれもモバイルシステムに用いることができる。

【0072】

この場合に、図7のS I 1 0 2ブロックは、C P Uサイドにあるので、S I 1 0 2ブロックは約1 G H zの第1クロックで駆動することができ、A X Iバスと接続されたアップサイザ-2 0 2は約2 0 0 M H zの第2クロックで駆動することができる。

【0073】

ノーマルリード(N o r m a l R e a d)の場合に、アップサイザ-2 0 2サイドで2 0 0 M H zクロックに同期して6 4ビットのリードデータを出力することができ、6 4ビットラップ4バーストリードの場合には、2 0 0 M H zのクロックに同期して1 2 8ビットのリードデータを出力することができる。

10

【0074】

ノーマルリードの場合に、C P UサイドのS I 1 0 2ブロックはRチャンネル1 8を通じてC P Uに6 4ビットのリードデータをバイパスすることができ、6 4ビットラップ4バーストリードの場合には、1 G H zのクロックに同期して2サイクルの間にC P Uに1 2 8ビットのリードデータを供給することができる。

【0075】

このように、ラップ4バーストリードリクエストの場合に帯域幅同期化が実行される時、アップサイザ回路の変更を最小化することができ、また帯域幅ボトルネックも効率的に解消することができる。これによって、S o Cを採用するモバイルシステムの動作パフォーマンスが改善される。更に、モバイルシステムのようなデータプロセッシングシステムの製造原価も低くすることができる。

20

【0076】

本発明の実施形態は、6 4ビット高周波数C P Uサブシステム(S u b s y s t e m)と1 2 8ビット低周波数バスインターフェースとの間で発生する帯域幅ボトルネックに関するものとして説明したが、本発明の実施形態は、これに限定されず、帯域幅ボトルネックが存在する全てのデータプロセッシングシステムにも適用することができる。

【0077】

一実施形態によると、モバイルシステムにおいて、プロセッサの個数は2個以上に増加することができる。そのようなプロセッサの例として、マイクロプロセッサ、C P U、デジタル信号プロセッサ、マイクロコントローラ、縮小命令(R e d u c e d C o m m a n d)セットコンピュータ、複合命令(C o m p l e x C o m m a n d)セットコンピュータ、又はそれらと類似なものを含むことができる。

30

【0078】

本発明の実施形態によると、C P Uとバスとの間の同期化ボトルネックを最小化又は減少させることができる。

【0079】

従って、帯域幅同期化回路がS o Cに用いられる場合、データプロセッシングシステムの製造原価を低くすることができ、S o Cの動作パフォーマンスを改善することができる。

40

【0080】

以上、本発明の実施形態について図面を参照しながら説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

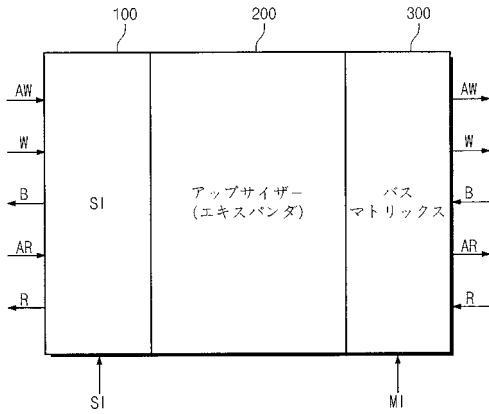
【0081】

- 1 0、4 8 メモリ(A R C A M)
- 1 4 選択器
- 1 9 レジスタ
- 2 1 第1シンクメモリ

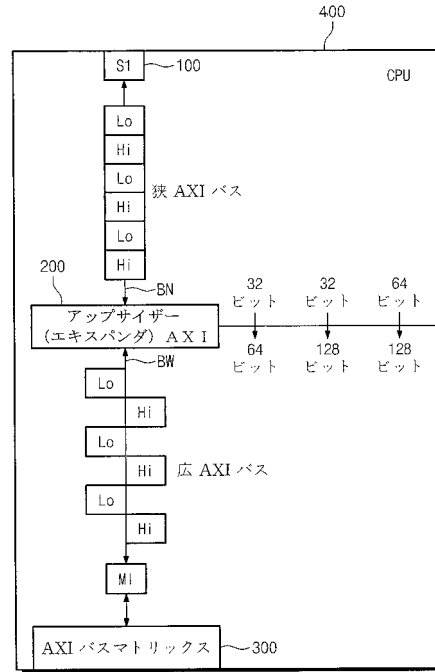
50

2 3	第 2 シンクメモリ	
2 5	シンクパッキング制御器	
2 6	第 1 シンクパッキング制御器	
2 7	第 2 シンクパッキング制御器	
4 1	第 3 シンクメモリ	
4 2	第 1 選択器	
4 3	第 4 シンクメモリ	
4 4	第 2 選択器	
4 5	シンクアンパッキング制御器	
4 6	第 1 シンクアンパッキング制御器	10
4 7	第 2 シンクアンパッキング制御器	
1 0 0、1 0 2	スレーブインターフェース (S I)	
2 0 0、2 0 2、2 1 0	アップサイザー (エキスパンダ)	
2 2 0	シンクパッカー	
2 2 2	第 1 シンクパッカー	
2 2 4	第 2 シンクパッカー	
2 4 0	シンクアンパッカー	
2 4 2	第 1 シンクアンパッカー	
2 4 4	第 2 シンクアンパッカー	
2 5 0	シンクダウン部	20
2 5 2	シンクメモリ	
2 5 4	マッチバリュウ	
2 5 6	マッチ	
2 5 8	第 1 フリップフロップ	
2 5 9	第 2 フリップフロップ	
3 0 0	バスマトリックス	
4 0 0	データプロセッシングシステム、	
4 0 0 a	帯域幅同期化回路	
4 1 0	メモリ	
4 2 0	メモリコントローラ	30
4 3 0	ブート R O M	
4 4 0	ディスプレイコントローラ	
4 5 0	ディスプレイ	
5 0 0	C P U	
5 1 0	メディアシステム	
5 2 0	モデム	

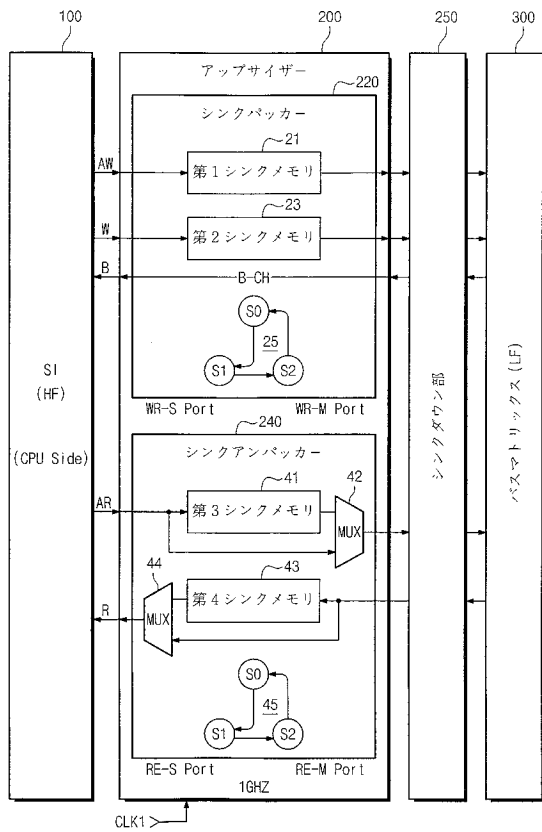
【 図 1 】



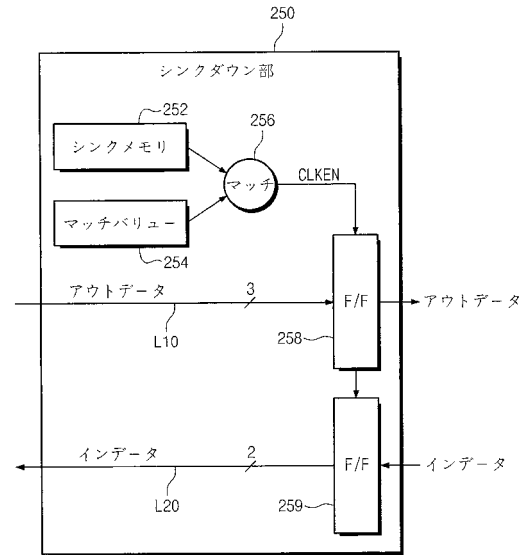
【 図 2 】



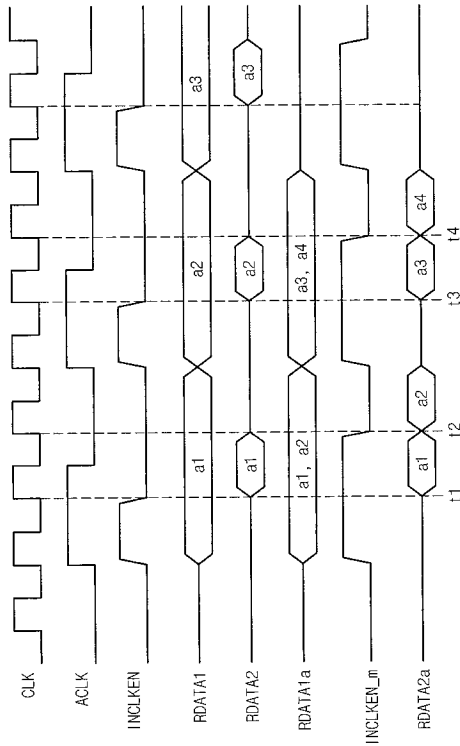
【 図 3 】



【 図 4 】



【 図 9 】



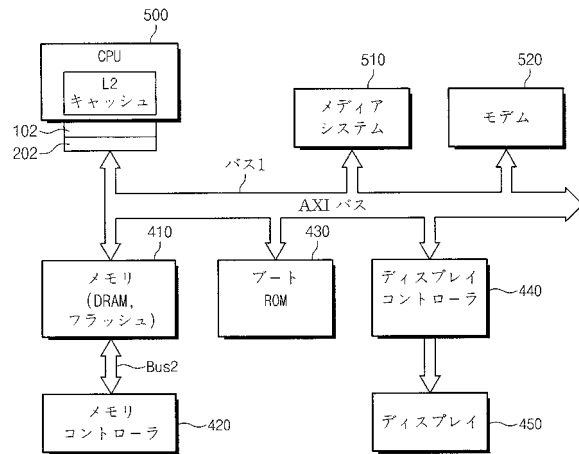
【 図 1 0 】

ARM1176PB_L2WALloc_AXI.out			
Cycle from AR(n-1) to AR(n) (Wrap burst 4 read)	Traffic Count	Ratio(%)	Acc Ratio(%)
0	51948	2.9	2.9
1	49988	2.8	5.7
2	20729	1.2	6.9
3	21076	1.2	8.1
4	17491	1.0	9.1
5	9700	0.5	9.6
6	5917	0.3	10.0
7	7847	0.4	10.4
8	8582	0.5	10.9
9	4263	0.2	11.1
≥10	1578823	88.9	100
Total	1776364		
AR Total	1898231	106.9	
AW Total	845082	47.6	
W Total	2958550	166.6	

【 図 1 1 】

L2AWCACHEattr_AXI.out			
Cycle from AR(n-1) to AR(n) (Wrap burst 4 read)	Traffic Count	Ratio(%)	Acc Ratio(%)
0	14409	1.1	1.1
1	38617	2.9	3.9
2	17156	1.3	5.2
3	17099	1.3	6.5
4	14621	1.1	7.5
5	8697	0.6	8.2
6	4857	0.4	8.5
7	6393	0.5	9.0
8	5642	0.4	9.4
9	3886	0.3	9.7
≥10	1219169	90.3	100
Total	1350546		
AR Total	1483409	109.8	
AW Total	5245290	388.4	
W Total	6535315	483.9	

【 図 1 2 】



フロントページの続き

- (72)発明者 鄭 賢 旭
大韓民国京畿道華城市盤松洞 シボムハンビットマウルハンワグメグリンアパート 236棟10
03号
- (72)発明者 嚴 濬 亨
大韓民国ソウル特別市瑞草区瑞草洞 メイフラワーメンバーズビル 803号
- (72)発明者 沈 聖 勳
大韓民国京畿道城南市盆唐区書ヒョン洞 ヒョザチョンサンファンアパート 501棟1401号
- (72)発明者 洪 性 ミン
大韓民国京畿道華城市石隅洞 ウミリンゼイルプンギョンチェアパート 118棟3002号
- (72)発明者 鄭 法 チョル
大韓民国京畿道龍仁市器興区農書洞山24番地 蘭草棟 319号

Fターム(参考) 5B033 DB01
5B061 FF02
5B077 AA24 DD02 DD14