

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3580452号  
(P3580452)

(45) 発行日 平成16年10月20日(2004.10.20)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int.Cl.<sup>7</sup>

F I

H O 1 L 21/60

H O 1 L 21/92

G O 4 C

H O 1 L 21/301

H O 1 L 21/78

Q

請求項の数 1 (全 9 頁)

(21) 出願番号 特願平7-260728  
 (22) 出願日 平成7年9月12日(1995.9.12)  
 (65) 公開番号 特開平9-82717  
 (43) 公開日 平成9年3月28日(1997.3.28)  
 審査請求日 平成14年9月12日(2002.9.12)

前置審査

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (74) 代理人 100082740  
 弁理士 田辺 恵基  
 (72) 発明者 石川 夏也  
 東京都品川区北品川6丁目7番35号ソニ  
 ー株式会社内  
 (72) 発明者 尾崎 裕司  
 東京都品川区北品川6丁目7番35号ソニ  
 ー株式会社内  
 (72) 発明者 長谷川 潔  
 東京都品川区北品川6丁目7番35号ソニ  
 ー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体ウエハに所定の処理を施すことによりその一面に複数の半導体集積回路を形成する第1の工程と、

上記半導体ウエハの上記一面全面上にフोटレジストを塗布することによりレジスト層を積層形成すると共に、当該レジスト層をパターニングすることにより上記レジスト層に各上記半導体集積回路の各電極及びその周辺部のみがそれぞれ露出するように複数の開口を形成する第2の工程と、

上記レジスト層の各上記開口をそれぞれ介して上記半導体ウエハの上記一面上にバンプ用の金属材料を厚みが上記レジスト層の1.3倍以下となるように蒸着することにより、各上記半導体集積回路の各上記電極上にそれぞれ第1のバンプ層を積層形成すると共に、上記レジスト層上に上記金属材料からなる第2のバンプ層を積層形成する第3の工程と、

上記第1のバンプ層上には貼り付けず、上記第2のバンプ層上にのみ粘着テープを貼り付けた後、当該粘着テープを引き剥がすことにより上記レジスト層上から上記第2のバンプ層を除去する第4の工程と、

上記レジスト層を上記半導体ウエハの上記一面上から除去する第5の工程と、

各上記半導体集積回路の各上記電極上にそれぞれ積層形成された上記第1のバンプ層を加熱溶融して整形する第6の工程と

を具えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

20

【 0 0 0 1 】

【 目 次 】

以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図 3（A）～図 4（H））

発明が解決しようとする課題（図 3（A）～図 4（H））

課題を解決するための手段（図 1（A）～図 2（E））

発明の実施の形態（図 1（A）～図 2（E））

発明の効果

【 0 0 0 2 】

10

【 発明の属する技術分野 】

本発明は、半導体装置の製造方法に関し、例えば大口径の半導体ウエハ（以下、半導体ウエハを単にウエハと呼ぶ）から狭電極ピッチの IC チップを形成する場合に適応して好適なものである。

【 0 0 0 3 】

【 従来の技術 】

従来、例えばフリップチップ等のベアチップ実装用の IC チップにおいては、ウエハと呼ばれる半導体の単結晶板の一面に、所定パターンでエッチング、酸化及び又は不純物注入等の所定処理を施すことにより複数の半導体集積回路（半導体 IC）を形成し、これら各半導体 IC の各電極上にバンパと呼ばれる突起電極をそれぞれ形成した後、各半導体 IC をそれぞれ個別に切り離すことにより形成されている。

20

【 0 0 0 4 】

この場合これら切り離す前の各半導体 IC の各電極上にはんだバンパを形成するはんだバンパ形成法としては、従来からメタルマスク法と電界めつき法がある。

メタルマスク法は、図 3（A）に示すように、ウエハ 1 に形成された各半導体 IC の各電極 3 にそれぞれ対応させて、図 3（B）のように開口 4 A が設けられたメタルマスク 4 を用いて行われる。

【 0 0 0 5 】

すなわちメタルマスク法では、まずこのメタルマスク 4 を各開口 4 A から半導体 IC の対応する電極 3 及びその周辺部がそれぞれ露出するようにウエハ 1 の一面 1 A 上に治具（図 30 示せず）を用いて密着させる。

次いでこのメタルマスク 4 の各開口 4 A を介してウエハ 1 の一面 1 A 上に、例えばスパッタ装置を用いて Ti、Cu 及び Au などの金属材料をそれぞれ所定の厚みに堆積させることにより各半導体 IC の対応する各電極 3 及びその周辺部上にそれぞれメタルバリア層 5 を積層形成する。

【 0 0 0 6 】

続いて図 3（C）に示すように、このバリアメタル層 5 上に例えば蒸着装置を用いて Sn 及び Pb 等のはんだ材を蒸着することによりはんだ層 6 を形成し、この後ウエハ 1 の一面 1 A 上からメタルマスク 4 を除去する。

続いて図 3（D）に示すように、各半導体 IC の各電極 3 の周辺部上にそれぞれフラックス 7 を塗布し、この後各半導体 IC の各電極 3 上に積層形成された各はんだ層 6 を加熱溶融した後、ウエハ 1 の一面 1 A 上に残存するフラックス 7 を溶剤を用いて除去する。

40

【 0 0 0 7 】

これによりウエハ 1 の各半導体 IC の各電極 3 上にそれぞれ図 3（E）のような球状のはんだバンパ 8 を形成することができる。

一方電界めつき法においては、例えば図 4（A）～（H）に示すような手順により行われ、まず図 4（A）に示すように、ウエハ 1 の一面 1 A 上に、例えばスパッタリング法などにより Ti、Cu 又は Au などの金属材料を堆積させることにより図 4（B）のようにバリアメタル層 10 を形成する。

【 0 0 0 8 】

50

次いでこのバリアメタル層 10 上にフोटレジストを塗布することによりレジスト層 11 (図 4 (C)) を形成し、この後このレジスト層 11 を所定パターンで露光し、現像することにより、図 4 (C) のように各半導体 IC の各電極 3 及びその周辺部と、めつき用取出し電極 (図示せず) 及びその周辺部とのみがそれぞれ露出するようにレジスト層 11 をパターンニングする。

続いてめつき用取出し電極をアノード側としてめつき浴中ではんだを電解めつきにより堆積させることにより、図 4 (D) のように所定厚のはんだ層 12 を形成し、この後図 4 (E) のように、このウエハ 1 の一面 1A 上からレジスト層 11 を剥離液によつて溶解させることにより除去する。

#### 【0009】

10

続いて図 4 (F) に示すように、ウエハ 1 の一面 1A 上に形成されたバリアメタル層 10 のうち、各はんだ層 12 の直下以外の部分をエッチング液を用いて除去する。

この後ウエハ 1 の一面 1A 上に、図 4 (G) に示すように、各はんだ層 12 を取り囲むようにフラックス 13 をコーティングした後、これら各はんだ層 12 を加熱溶解する。これによりウエハ 1 に形成された各半導体 IC の各電極 3 上にそれぞれ図 4 (H) に示すような球状のはんだバンプ 14 を形成することができる。

#### 【0010】

##### 【発明が解決しようとする課題】

ところで、近年、IC の製造技術が飛躍的に進歩し、ウエハ 1 枚からの IC チップの収量を増加させるために、大口径のウエハを用いることや、IC チップ内部の配線幅等を縮小させることによる IC チップ自身の小型化、及びそれに伴う IC チップ上の電極の狭ピッチ化が進んでいる。

20

この場合このような IC チップの製造工程で用いられるウエハは、一般的に 8 " 以上のものであり、また各 IC チップの電極間隔も 150 [  $\mu\text{m}$  ] を切っている。

#### 【0011】

ところが上述したような従来のメタルマスク法では、Mo、Cr 又はステンレスなどからなるメタルマスク 4 と、ウエハ 1 との間における熱膨張係数の違いから、例えばスパッタリングにより各半導体 IC の各電極 3 上にバリアメタル層 5 を形成する際や、このバリアメタル層 5 上に蒸着法によりはんだ層 6 を形成する際に、発生する熱によつてメタルマスク 4 の各開口 4A と半導体 IC の対応する電極 3 との間に位置ずれが生じることがあり、このため各半導体 IC の各電極 3 上に精度良くバリアメタル層 5 やはんだ層 6 (はんだバンプ 8) を形成し難い問題があつた。この傾向はウエハ 1 が大口径化し、半導体 IC の電極ピッチが狭くなる程難しくなる問題があつた。

30

#### 【0012】

一方上述したような従来のめつき法では、めつき浴中の組成 (例えば Pb 及び Sn) の管理が難しく、このため各半導体 IC の各電極 3 上にそれぞれ形成される各はんだバンプ 14 間に組成のずれが生じたりする問題がある。また従来のめつき法では、めつきによる各はんだ層 12 の形成時にウエハ 1 の一面 1A 全面を均一な電界強度に保つことが難しく、このため各半導体 IC の各電極 3 上にそれぞれ形成されるはんだ層 12 (及び最終的にこれら各半導体 IC の各電極 3 上にそれぞれ形成されるはんだバンプ 14) の高さにはばらつきが生じ易い問題がある。このような各はんだバンプ 14 の組成や高さは、ウエハ 1 が大口径化する程、制御し難い問題があつた。

40

#### 【0013】

特にめつき法では、形成される各はんだバンプ 14 間での高さのばらつきが大きく、このため各電極 3 上にめつき法を用いてはんだバンプ 14 が形成された IC チップを配線基板上にマウントする場合に、1 チップ内におけるはんだバンプ 14 の高さばらつきのために全てのはんだバンプ 14 を配線基板上の対応する電極に接合させ難く、実装した半導体 IC と配線基板との間で接続不良が生じ易い問題があつた。

#### 【0014】

本発明は以上の点を考慮してなされたもので、大口径のウエハから形成される、狭電極ピ

50

ツチな各半導体チップの各電極上に位置精度良く、かつ均一な組成で高さのそろったバン  
プを形成することのできる半導体装置の製造方法を提案しようとするものである。

【 0 0 1 5 】

【課題を解決するための手段】

かかる課題を解決するため本発明においては、一面に複数の半導体集積回路が形成された  
半導体ウエハの一面全面上に、フォトレジストからなるレジスト層を形成すると共に当該  
レジスト層をパターニングすることによりレジスト層に各半導体集積回路の各電極及びそ  
の周辺部のみがそれぞれ露出するように複数の開口を形成し、当該レジスト層の各開口を  
それぞれ介して半導体ウエハの一面上にバンパ用の金属材料を厚みがレジスト層の1.3倍以  
下となるように蒸着することにより、各半導体集積回路の各電極上にそれぞれ第1のバン  
プ層を積層形成するとともに、レジスト層上にバンパ用の金属材料からなる第2のバンパ層  
を積層形成し、第1のバンパ層上には貼り付けず、第2のバンパ層上にのみ粘着テープを  
貼り付けた後、当該粘着テープを引き剥がすことによりレジスト層上から第2のバンパ層  
を除去し、この後レジスト層を半導体ウエハの一面上から除去した後、第1のバンパ層を  
加熱溶融して整形するようにして半導体装置を製造するようにした。

10

【 0 0 1 6 】

このように半導体ウエハの一面に積層形成されたレジスト層を各半導体集積回路の各電極  
が露出するようにパターニングする場合、半導体集積回路の電極ピッチが狭い場合にも各  
電極にそれぞれ対応させてレジスト層に位置精度良く狭ピッチで開口を形成できる。この  
開口精度はウエハ径が大きくなっても変化しない。またこのレジスト層の各開口をそれぞ  
れ介して各半導体集積回路の各電極上にバンパ用の金属材料を蒸着する場合、当該半導体集  
積回路の各電極上に均一な組成でかつ高さのばらつきが少なく第1のバンパ層を形成する  
ことができる。

20

【 0 0 1 7 】

【発明の実施の形態】

以下図面について、本発明の一実施例を詳述する。

【 0 0 1 8 】

図1(A)～図2(E)は実施例による半導体装置の製造方法を示すものであり、まずウ  
エハに所定の処理を施すことにより、その一面に複数の半導体ICを形成し(図1(A)  
)、この後ウエハ20の一面20A上に、図1(B)のように各半導体ICの各A1電極  
22のパッド径を制限しながらポリイミド等からなるパツジベーション膜23を形成する  
。

30

【 0 0 1 9 】

次いで図1(C)に示すように、このウエハ20の一面20A上に全面に亘ってTi、Cu及びAu等の金属材料をスパッタリングすることによりバリアメタル層24を形成する。  
この後このバリアメタル層24上にフォトレジストを塗布することによりレジスト層を形  
成した後、このレジスト層を、露光し、現像することにより、図1(D)のように各半導  
体ICの各A1電極22及びその周辺部のみが残るようにパターニングする。

【 0 0 2 0 】

続いて図1(E)に示すように、ウエハ20の一面20A上に形成されたバリアメタル層  
24のうち、各半導体ICの各A1電極22及びその周辺部上以外のバリアメタル層24  
をエッチヤントを用いてエッチングすることにより除去し、この後図1(F)に示すよう  
に、残存するバリアメタル層24A上の各レジスト層25をそれぞれ剥離液を用いて除去  
する。

40

【 0 0 2 1 】

さらにこの後図1(G)に示すように、再びパツシベーション膜23上に高粘度のフォト  
レジストを塗布することによりレジスト層26を形成すると共に、この後このレジスト層  
26を露光し、現像するようにしてパターニングすることにより、レジスト層26に各半  
導体ICの各A1電極22及びその周辺部のみがそれぞれ露出するように複数の開口26  
Aを形成する。

50

## 【0022】

続いてこのレジスト層26の各開口26Aをそれぞれ介してSn及びPb等のはんだ材をウエハ20の一面20A上に蒸着することにより、図2(A)に示すように、各半導体ICの各電極22及びその周辺部上にはんだ層27Aを形成し、この後図2(B)に示すように、上述のはんだ材の蒸着工程(図2(B))時においてレジスト層26上に形成されたはんだ層27B上に粘着テープ30を貼り付けた後、これを引き剥がす。

## 【0023】

この際粘着テープ30としては、レジスト層26及びはんだ層27B間の密着力よりも粘着力が強いものを用いるようにし、これによりレジスト層26上に形成されたはんだ層27Bを粘着テープ30と一緒に剥ぎ取るようにする。従つてこの工程の終了後、ウエハ20の一面20A上には、図2(C)に示すように、レジスト層26の開口26A内にのみ(すなわち各半導体ICの各電極22上にのみ)はんだ層27Aが残存する。

さらにこの後図2(D)に示すように、ウエハ20の一面20A上からレジスト層26を剥離液を用いて除去する。因に、このような方法により各半導体ICの各A1電極22上に形成されたはんだ層27Aの組成は、蒸着時におけるPb及びSnの蒸気圧の違いにより、上層にSn成分が多くなっている。

## 【0024】

この後このはんだ層27Aの表面にフラックスをコーティングし、当該はんだ層27Aを加熱溶融し、球状に整形した後、フラックスを洗浄液を使用し除去する。これにより図2(E)に示すように、各半導体ICの各A1電極22上にそれぞれ球形状のはんだバンプ31を形成することができる。

さらにこの後このウエハ20を、各半導体ICをそれぞれ個別に切り離すように分割する。これにより各A1電極22上にそれぞれ球形状のはんだバンプ31が形成されてなるICチップを得ることができる。

## 【0025】

ここでこの実施例の場合、はんだ材の蒸着工程(図2(A))では、はんだ層27A、28Bの厚みがレジスト層26の厚みの1.3倍以下になるようにはんだ層27A、28Bを形成するようにする。

これは実験的に、はんだ層27A、27Bの厚みがレジスト層26の厚みの1.3倍以上になると、レジスト層26の開口26A内に形成されたはんだ層27Aの一部も粘着テープ30に粘着し、これらが当該粘着テープ30と一緒にウエハ20の一面20A上から剥がれることによりA1電極22上にはんだバンプ31が形成されないおそれがあるためである。

## 【0026】

従つてはんだ材の蒸着工程(図2(A))において、上述のようにはんだ層27A、27Bの厚みがレジスト層26の厚みの1.3倍以下となるように制御することにより、このようなはんだバンプ31の欠落を未然に防止することができる。

## 【0027】

以上の構成において、この実施例では、各半導体ICの各電極22上に形成された各バリアメタル層24A上にはんだ層27Aを形成する工程(図1(G)~図2(D))を、パッシベーション膜23上にフोटレジストを塗布することによりレジスト層26を形成すると共に、当該レジスト層26を、各半導体ICの各電極22及びその周辺部がそれぞれ露出する開口26Aを有するようにパターンニングした後、このレジスト層26をマスクとして各半導体ICの各A1電極22上に形成された各バリアメタル層24A上にはんだを蒸着することにより行う。

## 【0028】

従つてこの方法では、はんだ材の蒸着工程(図2(A))においてマスクとなるレジスト層26を通常のプロセスを用いてパターンニングしている分、各開口26Aを狭いピッチで位置精度良く形成できる。またこの精度はウエハ20の径が大きくなっても変化しないため、ウエハ20が大口径でかつ各半導体ICが狭電極ピッチである場合にもこれら

10

20

30

40

50

各半導体ＩＣの各電極２２にそれぞれ対応させて精度良くはんだ層２６の開口２６Ａを形成することができる。

【００２９】

さらにこの方法では、このようにして形成されたレジスト層２６の各開口２６Ａをそれぞれ介して各半導体ＩＣの各電極２２上にはんだ層２７Ａを形成する際に蒸着法を用いるため、これら各電極２２上に均一な組成でかつ高さのばらつきが少なくはんだ層２７Ａ（及びはんだバンプ３１）を形成することができる。

【００３０】

従つてこの実施例のような半導体装置の製造方法を用いることによつて、１枚のウエハ２０あたりのＩＣチップの収量を増加させ得ると共に、その分コストも低減させることができ、かつ各半導体ＩＣの各電極２２上に高さのばらつきが少なくはんだ層２７Ａ（及びはんだバンプ３１）を形成し得る分、このＩＣチップを配線基板に実装する際の当該ＩＣチップと配線基板との間の接続不良を低減できる。

【００３１】

以上の構成によれば、ウエハ２０の一面２０Ａ上に成膜されたパツシベーション膜２３上にフोटレジストを塗布することによりレジスト層２６を形成し、当該レジスト層２６を露光し、現像することによつて当該レジスト層２６に各半導体ＩＣの各電極２２にそれぞれ対応させて開口２６Ａを形成すると共に、このレジスト層２６の各開口２６Ａをそれぞれ介して露出する各半導体ＩＣの各電極２２上に蒸着法によりはんだ材を蒸着するようにしてはんだ層２７Ａを形成するようにしたことにより、ウエハ２０の口径に関わりなくレジスト層２６の各開口２６Ａを精度良く形成し得ると共に各半導体ＩＣの各電極２２上に均一な組成で高さのばらつきが少なくはんだ層２７Ａを形成することができ、かくして大口径なウエハから形成される、狭電極ピッチの各半導体ＩＣの各電極上に位置精度良く、かつ均一な組成で高さのそろつたはんだバンプを形成することができる半導体装置の製造方法を実現できる。

【００３２】

なお上述の実施例においては、本発明をウエハ２０に形成された各半導体ＩＣの各電極２２上にはんだバンプ３１を形成する際に適用するようにした場合について述べたが、本発明はこれに限らず、各半導体ＩＣの各電極２２上にはんだ材以外のバンプ用の金属材料からなるバンプを形成する場合にも適用して好適なものである。

【００３３】

また上述の実施例においては、レジスト層２６上に形成された各はんだ層２７Ｂを除去する際、粘着テープ３０を利用するようにした場合について述べたが、本発明はこれに限らず、この他種々の方法を適用できる。この場合はんだ材の蒸着工程（図２（Ａ））では、必要に応じてはんだ層２７Ａ、２７Ｂの厚みがレジスト層２６の厚みの１.３倍以上となるように制御しても良い。

【００３４】

【発明の効果】

上述のように本発明によれば、一面に複数の半導体集積回路が形成された半導体ウエハの一面全面上に、フोटレジストからなるレジスト層を形成すると共に当該レジスト層をパターンニングすることによりレジスト層に各半導体集積回路の各電極及びその周辺部のみがそれぞれ露出するように複数の開口を形成し、当該レジスト層の各開口をそれぞれ介して半導体ウエハの一面上にバンプ用の金属材料を厚みがレジスト層の１.３倍以下となるように蒸着することにより、各半導体集積回路の各電極上にそれぞれ第１のバンプ層を積層形成するとともに、レジスト層上にバンプ用の金属材料からなる第２のバンプ層を積層形成し、第１のバンプ層上には貼り付けず、第２のバンプ層上のみ粘着テープを貼り付けた後、当該粘着テープを引き剥がすことによりレジスト層上から第２のバンプ層を除去し、この後レジスト層を半導体ウエハの一面上から除去した後、第１のバンプ層を加熱溶解して整形するようにして半導体装置を製造するようにしたことにより、半導体ウエハの口径に関わりなくかつ半導体集積回路の電極ピッチが狭い場合にも各電極にそれぞれ対応させて位

10

20

30

40

50

置精度良くレジスト層に開口を形成できると共に、このレジスト層の各開口をそれぞれ介して各半導体集積回路の各電極上にパンプ用の金属材を均一な組成でかつ高さのばらつきが少なく供給することができ、かくして大口径なウエハから形成される狭電極ピッチの半導体チップの各電極上に位置精度良く、かつ均一な組成で高さのそろったパンプを形成することができる半導体装置の製造方法を実現できる。

【図面の簡単な説明】

【図 1】実施例による半導体製造方法に適用するはんだパンプ形成方法の説明に供する断面図である。

【図 2】実施例による半導体製造方法に適用するはんだパンプ形成方法の説明に供する断面図である。

【図 3】従来のメタルマスク法によるはんだパンプの形成工程を示す断面図である。

【図 4】従来のめつき法によるはんだパンプの形成工程を示す断面図である。

【符号の説明】

20 …… ウエハ、20A、21A …… 一面、21 …… 半導体 IC、22 …… 電極、23 …… パツシベーション膜、24、24A …… バリアメタル層、25、26 …… レジスト層、27A、27B …… はんだ層、30 …… 粘着テープ、31 …… はんだパンプ。

【図 1】

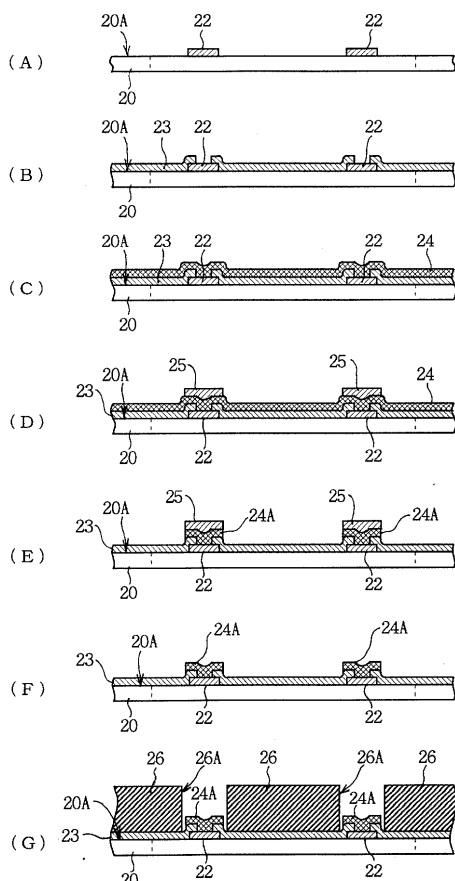


図 1 実施例による半導体装置の製造方法 (1)

【図 2】

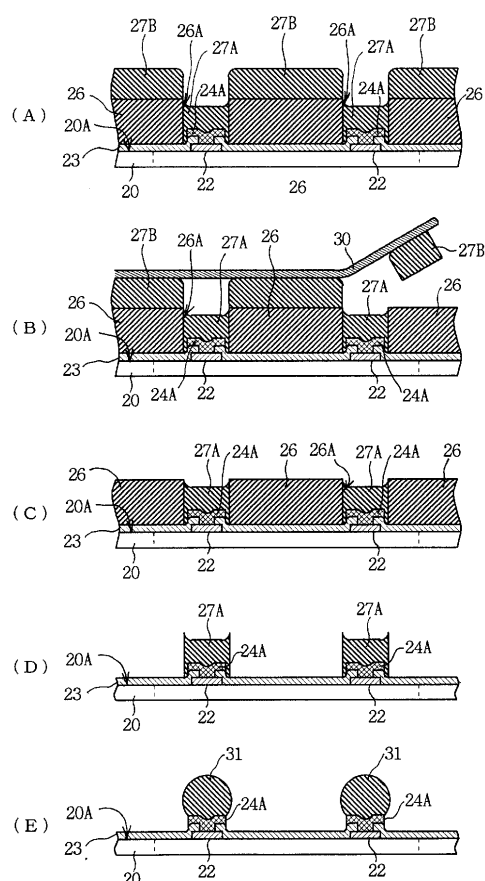


図 2 実施例による半導体装置の製造方法 (2)

【図 3】

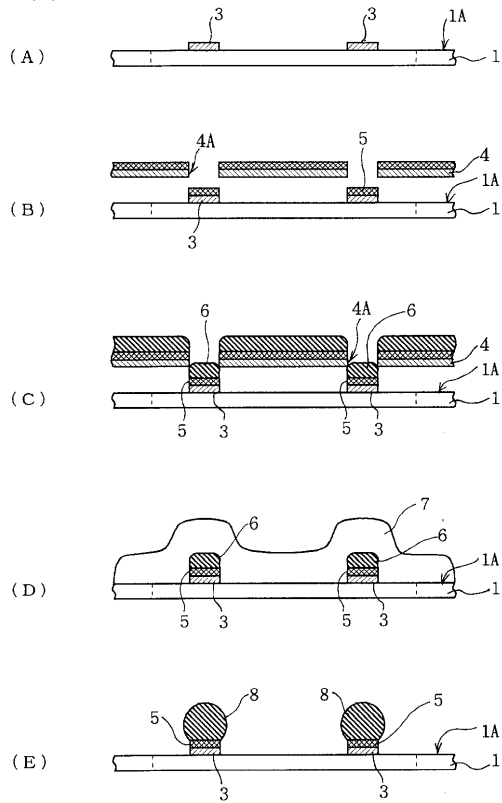


図3 従来のメタルマスク法によるはんだバンプの形成工程

【図 4】

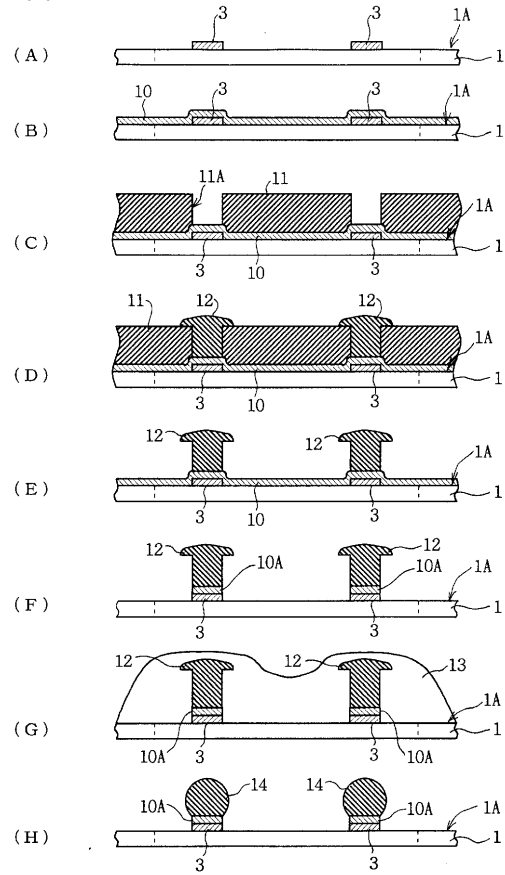


図4 従来のメッキ法によるはんだバンプの形成工程



---

フロントページの続き

審査官 田中 永一

- (56)参考文献 特開平 2 - 8 2 6 2 5 ( J P , A )  
特開昭 5 6 - 1 6 9 3 2 5 ( J P , A )  
特開平 2 - 9 0 6 2 4 ( J P , A )  
特開平 9 - 8 2 7 1 1 ( J P , A )

- (58)調査した分野(Int.Cl.<sup>7</sup>, D B 名)

H01L 21/60

H01L 21/301