



[12] 发明专利申请公开说明书

[21] 申请号 200410050129.X

H01L 27/12 H01L 21/84
H01L 21/336 H01L 21/8234

[43] 公开日 2005 年 2 月 9 日

[11] 公开号 CN 1577889A

[22] 申请日 2004.6.23

[74] 专利代理机构 北京东方亿思专利代理有限公司
代理人 柳春雷

[21] 申请号 200410050129.X

[30] 优先权

[32] 2003.6.27 [33] US [31] 10/607, 632

[71] 申请人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 罗伯特·S·周

斯科特·A·黑尔兰德

布雷恩·S·多伊 休曼·达塔

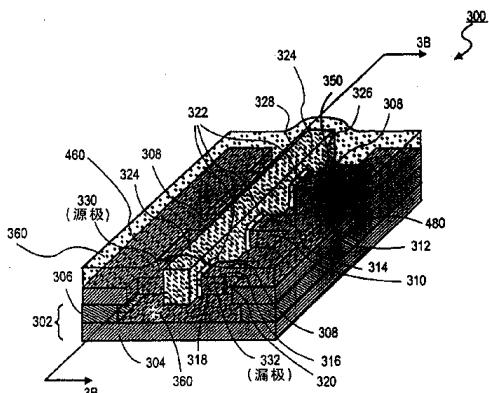
贝恩·叶海·吉恩

权利要求书 4 页 说明书 18 页 附图 7 页

[54] 发明名称 具有应力施加层的非平面器件及制造方法

[57] 摘要

本发明公开了具有应力施加层的非平面器件及制造方法。包括半导体主体的半导体器件被形成在绝缘衬底上，所述半导体主体具有顶表面和横向相对的侧壁。在半导体主体的顶表面上、在半导体主体的横向相对侧壁上形成栅极电介质层。在半导体主体顶表面上的栅极电介质上、以及与半导体主体的横向相对侧壁上的栅极电介质邻接来形成栅电极。然后与半导体主体邻接形成薄膜，其中该薄膜在半导体主体中产生应力。



1. 一种半导体器件，包括：

5 形成在衬底之上的半导体主体，所述半导体主体具有顶表面与横向相
对的侧壁；

栅极电介质，所述栅极电介质在所述半导体主体的所述顶表面上、以
及在所述半导体主体的所述横向相对的侧壁上形成；

10 栅电极，所述栅电极在所述半导体主体的所述顶表面上的所述栅极电
介质上、以及与所述半导体主体的所述横向相对的侧壁上的所述栅极电介
质邻接形成；和

膜，所述膜与所述半导体主体邻接形成，其中所述膜在所述半导体主
体中产生应力。

2. 如权利要求 1 所述的半导体器件，其中，所述膜在所述半导体主体
中产生压应力。

15 3. 如权利要求 1 所述的半导体器件，其中，所述膜在所述半导体主体
中产生拉应力。

4. 如权利要求 1 所述的半导体器件，其中，所述膜具有拉应力。

5. 如权利要求 1 所述的半导体器件，其中，所述膜具有压应力。

6. 如权利要求 5 所述的半导体器件，其中，所述受压膜包括氮化硅。

20 7. 如权利要求 1 所述的半导体器件，其中，所述半导体主体是单晶硅
膜。

8. 如权利要求 1 所述的半导体器件，其中，所述半导体主体选自由
硅、锗、锗化硅、砷化镓、InSb、GaP、GaSb 以及碳纳米管所组成的组。

9. 一种三栅极晶体管，包括：

25 在绝缘衬底上形成的单晶硅主体，所述硅主体具有与底表面相对的顶
表面、以及第一和第二横向相对的侧壁；

栅极电介质，所述栅极电介质在所述半导体主体的所述顶表面上、以
及在所述半导体主体的所述第一和第二横向相对的侧壁上形成；

栅电极，所述栅电极在所述硅主体的所述顶表面上的所述栅极电介质

上、以及与所述硅主体的所述第一和第二横向相对的侧壁上的所述栅极电介质邻接形成；

一对源/漏区，所述一对源/漏区形成在所述栅电极的相对两侧的所述硅主体中；和

5 围绕着所述硅主体和所述栅电极形成的应力产生膜，所述膜在所述器件的沟道区域中提供应力。

10. 如权利要求 9 所述的三栅极晶体管，其中，所述薄膜具有压应力并在所述沟道区域中产生拉应力。

11. 如权利要求 10 所述的三栅极晶体管，其中，所述薄膜包括氮化硅膜。

10 12. 如权利要求 9 所述的三栅极晶体管，其中，所述薄膜具有拉应力并在所述半导体主体的所述沟道区域中施加压应力。

13. 如权利要求 10 所述的三栅极晶体管，其中，所述半导体主体沟道区域被掺杂成具有 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的浓度水平的

15 P型导电性。

14. 如权利要求 12 所述的三栅极晶体管，其中，所述半导体主体的所述沟道区域被掺杂成具有 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的浓度水平的 N型导电性。

15 15. 如权利要求 9 所述的三栅极晶体管，其中，所述薄膜完全包围所述半导体主体和所述栅电极。

16. 如权利要求 9 所述的三栅极晶体管，其中，在所述薄膜和所述半导体主体的底部之间形成薄的生长氧化物层。

17. 一种形成半导体器件的方法，包括：

在绝缘衬底上形成具有顶表面和横向相对侧壁的半导体主体；

25 在所述半导体主体的所述顶表面上、以及在所述半导体主体的所述横向相对的侧壁上形成栅极电介质；

在所述半导体主体的所述顶表面上的所述栅极电介质上、以及与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接形成栅电极；以及

与所述半导体主体邻接形成薄膜，其中所述薄膜在所述半导体主体中产生应力。

18. 如权利要求 17 所述的方法，其中，所述薄膜在所述半导体主体中产生压应力。

5 19. 如权利要求 17 所述的方法，其中，所述薄膜在所述半导体主体中产生拉应力。

20. 如权利要求 17 所述的方法，其中，所述薄膜具有拉应力。

21. 如权利要求 17 所述的方法，其中，所述薄膜具有压应力。

22. 如权利要求 17 所述的方法，其中，所述半导体主体包括单晶硅
10 膜。

23. 如权利要求 17 所述的方法，其中，所述半导体主体选自由硅、
锗、锗化硅、砷化镓、InSb、GaP、GaSb 以及碳纳米管所组成的组。

24. 一种形成非平面晶体管的方法，包括：

将在绝缘衬底上形成的单晶硅膜图案化成硅主体，所述硅主体具有与
15 形成在所述绝缘膜上的底表面相对的顶表面、以及第一和第二横向相对的
侧壁；

在所述硅主体的所述顶表面上、以及在所述硅主体的所述侧壁上形成
栅极电介质层；

在所述硅主体之上以及所述绝缘衬底之上沉积栅极材料；

20 图案化所述栅极材料，以在所述硅主体的所述顶表面上的所述栅极电
介质层上、以及与所述硅主体的所述侧壁上的所述栅极电介质邻接形成栅
电极，所述栅电极具有横向相对侧壁，所述栅电极的所述横向相对侧壁垂
直于所述硅主体的所述横向相对侧壁延伸；

25 在所述栅电极的所述横向相对侧壁的相对两侧上的所述半导体主体中
形成一对源/漏区，其中在所述硅主体中所述源/漏区之间的区域形成沟道
区域；

从所述硅主体沟道区域的一部分之下以及所述硅主体的所述源区和漏
区的一部分之下，去除所述绝缘衬底的一部分；以及

在所述栅电极下方所述硅主体的所述暴露部分之下，以及所述栅电极

下方所述源区和漏区的所述暴露部分之下，形成其中具有应力的膜。

25. 如权利要求 24 所述的方法，其中，所述薄膜具有压应力，所述压应力在所述沟道区域中产生拉应力。

26. 如权利要求 24 所述的方法，其中，所述薄膜具有拉应力，所述拉应力在所述半导体主体的所述沟道区域中产生压应力。

27. 如权利要求 24 所述的方法，还包括与所述硅主体的所述横向相对侧壁和所述栅电极的所述横向相对侧壁邻接来形成所述薄膜。

28. 如权利要求 24 所述的方法，其中，所述形成所述薄膜的步骤被持续，直到所述硅主体和所述栅电极被所述薄膜完全包围。

10 29. 如权利要求 24 所述的方法，还包括在暴露所述半导体主体之后，以及形成所述薄膜之前，对所述半导体主体的所述底部进行氧化。

具有应力施加层的非平面器件及制造方法

5 技术领域

本发明涉及半导体集成电路制造的领域，更具体地，本发明涉及具有应力施加层（stress incorporation layer）的非平面晶体管。

背景技术

10 为了提高器件性能，人们已经提出了绝缘体上硅（SOI）晶体管，用于制造新型的集成电路。图 1 图示了标准的完全耗尽的绝缘体上硅（SOI）晶体管 100。SOI 晶体管 100 包括具有绝缘层 104 的单晶硅衬底 102，所述绝缘层 104 例如是形成在单晶硅衬底 102 上的埋入氧化物。单晶硅主体 106 被形成在绝缘层 104 上。栅极电介质层 108 被形成在单晶硅 15 主体 106 上，并且栅电极 110 被形成在栅极电介质 108 上。源极 112 和漏极 114 区域沿栅电极 110 横向相对的两侧形成在硅主体 106 中。

完全耗尽的 SOI 已经作为一种晶体管结构被提出，该晶体管结构利用理想的亚阈值梯度，以获得最优化的导通电流/关断电流比。为了利用晶体管 100 实现理想的亚阈值梯度，硅主体 106 的厚度必须是晶体管的栅极长度（ L_g ）的约 1/3 大小，或者 $T_{Si}=L_g/3$ 。但是，当栅极长度缩减，特别是当栅极长度接近 30nm 时，对于不断减小硅膜厚度（ T_{Si} ）的需要使得此方法越来越不切实际。对于 30 纳米的栅极长度，所要求的硅主体厚度被认为需要小于 10 纳米，对于 20 纳米的栅极长度，所要求的硅主体厚度需要到约 6 纳米。制造厚度小于 10 纳米的薄硅膜被认为是极其困难的。一方面，获得一个纳米数量级的晶片均匀性是非常困难的挑战。另一方面，如下的情况，即能够接触这些薄膜来形成加高的源/漏区域以降低结电阻，变成几乎是不可能的，因为在栅极刻蚀以及栅极刻蚀和隔片刻蚀之后的各种清洗的过程中，源/漏区域中的薄硅层被消耗，留下的硅 106 不足以使硅在上面生长。

已经提出了诸如图 2A 和 2B 中示出的双栅极 (DG) 器件，来解决硅厚度的问题。双栅极 (DG) 器件 200 包括形成在绝缘衬底 204 上的硅主体 202。栅极电介质 206 被形成在硅主体 202 的两侧，并且邻接被形成在硅主体 202 两侧的栅极电介质 206 来形成栅电极 208。足够厚的诸如氮化硅的绝缘层 209 将栅电极 208 与硅主体 202 的顶部电隔离。

双栅极 (DG) 器件 200 实质上具有两个栅极，一个栅极位于器件沟道两侧中的一侧。因为双栅极器件 200 在沟道的每一侧都具有栅极，所以硅主体的厚度 (T_{Si}) 可以是单栅极器件的硅主体厚度的两倍，并仍然实现完全耗尽的晶体管的作用。也就是说，利用双栅极器件 200，在 $T_{Si}=(2 \times L_g)/3$ 的情况下可以形成完全耗尽的晶体管。但是，双栅极 (DG) 器件 200 最可能制造的形式，要求利用比用于图案化器件的栅极长度的光刻术小 0.7 倍的光刻术，来对主体 202 进行图案化。为了获得高密度的集成电路，通常理想的是对于栅电极 208 的栅极长度 (L_g) 进行最具侵蚀性的光刻术。虽然，双栅极结构使硅膜的厚度变为两倍（因为现在在沟道的两侧都存在栅极），但是这些结构极难制造。例如，硅主体 202 要求可以制造具有约 5: 1 的高宽比（高度比宽度）的硅主体 202 的硅主体刻蚀。

发明内容

为了解决上述问题，提出了本发明。根据本发明的一个方面，提供了一种半导体器件，其包括：形成在衬底之上的半导体主体，所述半导体主体具有顶表面与横向相对的侧壁；栅极电介质，所述栅极电介质在所述半导体主体的所述顶表面上、以及在所述半导体主体的所述横向相对的侧壁上形成；栅电极，所述栅电极在所述半导体主体的所述顶表面上的所述栅极电介质上、以及与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接形成；和膜，所述膜与所述半导体主体邻接形成，其中所述膜在所述半导体主体中产生应力。

根据本发明的另一个方面，提供了一种三栅极晶体管，其包括：在绝缘衬底上形成的单晶硅主体，所述硅主体具有与底表面相对的顶表面、以及第一和第二横向相对的侧壁；栅极电介质，所述栅极电介质在所述半导

体主体的所述顶表面上、以及在所述半导体主体的所述第一和第二横向相对的侧壁上形成；栅电极，所述栅电极在所述硅主体的所述顶表面上的所述栅极电介质上、以及与所述硅主体的所述第一和第二横向相对的侧壁上的所述栅极电介质邻接形成；一对源/漏区，所述一对源/漏区形成在所述5 栅电极的相对两侧的所述半导体主体中；和围绕着所述硅主体和所述栅电极形成的应力产生膜，所述膜在所述器件的沟道区域中产生应力。

根据本发明的另一个方面，提供了一种形成半导体器件的方法，其包括：在绝缘衬底上形成具有顶表面和横向相对侧壁的半导体主体；在所述半导体主体的所述顶表面上、以及在所述半导体主体的所述横向相对的侧10 壁上形成栅极电介质；在所述半导体主体的所述顶表面上的所述栅极电介质上、以及与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接形成栅电极；以及与所述半导体主体邻接形成薄膜，其中所述薄膜在所述半导体主体中产生应力。

根据本发明的另一个方面，提供了一种形成非平面晶体管的方法，其15 包括：将在绝缘衬底上形成的单晶硅膜图案化成硅主体，所述硅主体具有与形成在所述绝缘膜上的底表面相对的顶表面、以及第一和第二横向相对的侧壁；在所述硅主体的所述顶表面上、以及在所述硅主体的所述侧壁上形成栅极电介质层；在所述硅主体之上以及所述绝缘衬底之上沉积栅极材料；图案化所述栅极材料，以在所述硅主体的所述顶表面上的所述栅极电20 介质层上、以及与所述硅主体的所述侧壁上的所述栅极电介质邻接形成栅电极，所述栅电极具有横向相对侧壁，所述栅电极的所述横向相对侧壁垂直于所述硅主体的所述横向相对侧壁延伸；在所述栅电极的所述横向相对侧壁的相对两侧上的所述半导体主体中形成一对源/漏区，其中在所述硅主体中所述源/漏区之间的区域形成沟道区域；从所述硅主体沟道区域的一部分之下以及所述硅主体的所述源区和漏区的一部分之下，去除所述绝缘衬底的一部分；以及在所述栅电极下方所述硅主体的所述暴露部分之下，以及所述栅电极下方所述源区和漏区的所述暴露部分之下，形成其中具有应力的膜。

附图说明

图 1 是耗尽的衬底晶体管的横截面视图的示图。

图 2A 和图 2B 图示了双栅极耗尽的衬底晶体管。

图 3A 和图 3B 是根据本发明具有应力施加膜的三栅极晶体管的图示。

5 图 4 是根据本发明实施例的三栅极晶体管的图示。

图 5A-5E 图示了根据本发明实施例制造具有应力施加膜的三栅极晶体管的方法。

10 图 6 是图示了可以被用来获得部分耗尽的和完全耗尽的三栅极晶体管的主体高度和主体宽度的曲线，所述三栅极晶体管具有 30 纳米和 20 纳米的栅极长度 (Lg) 。

具体实施方式

15 本发明是一种具有应力施加层的新型三栅极或非平面晶体管结构及其制造方法。在下面的描述中给出了很多具体细节，以便于充分理解本发明。在另外一些例子里，没有对公知的半导体工艺和制造技术进行详细的描述，以避免不必要地模糊本发明。

20 本发明是一种新型的非平面或三栅极晶体管结构及其制造方法。这种三栅极晶体管包括应力膜，所述应力膜围绕器件的沟道区域形成，来对沟道区域提供应力以提高载流子的迁移率。更大的载流子迁移率使得晶体管的驱动电流增大。在本发明的一个实施例中，在沟道区域之下形成应力膜，以使得其完全包围沟道。通过用应力膜完全包围沟道区域，应力膜对沟道的所有侧面提供应力，由此在大面积上提供应力，而最大化并提高器件性能。诸如应力类型（例如压应力或拉应力）和应力大小之类的膜应力特性可以变化，以优化不同晶体管类型（例如 PMOS 和 NMOS）的性能。

25 在本发明的一个实施例中，三栅极晶体管是绝缘体上半导体 (SOI) 晶体管。三栅极晶体管理想地用于完全耗尽衬底晶体管应用中。三栅极晶体管包括在衬底上形成的薄半导体主体，该衬底可以是绝缘衬底或半导体衬底。栅极电介质被形成在半导体主体的顶表面上和多个侧壁上。在半导体主体顶表面上的栅极电介质上、与在半导体主体侧壁上形成的栅极电介质

邻接形成栅电极。在栅电极相对两侧的半导体主体中形成源区和漏区。因为栅电极和栅极电介质在三侧围绕半导体主体，所以晶体管实际上具有三个单独的沟道和栅极。晶体管的栅极“宽度”等于半导体主体这三侧中每一个之和。可以通过将几个三栅极晶体管连接到一起来形成更大“宽度”的晶体管。

因为在半导体主体中形成有三个单独的沟道，所以当晶体管被“导通”时，半导体主体可以被完全耗尽，由此可以形成栅极长度小于30纳米的完全耗尽的晶体管，而不需要使用超薄的半导体主体或者要求将半导体主体光刻图案化至小于器件的栅极长度(L_g)的尺寸。也就是说，本发明的三栅极晶体管的结构使得能够制造完全耗尽的晶体管，其中半导体主体的厚度和半导体主体的宽度等于器件的栅极长度。因为本发明的新型三栅极晶体管可以以完全耗尽的方式工作，所以该器件的特征在于理想的(即非常陡峭的)亚阈值斜率(理想的是在25℃下为60 mV/decade)，以及小于100 mV/V(理想的是约60 mV/V)的减小的漏极导致势垒下降(DIBL)短沟道效应，这导致当器件被“关断”时更低的漏电流，从而得到更低的功耗。

在图3A和3B中示出根据本发明实施例的具有应力施加膜的三栅极晶体管300的示例。(图3B是图3A穿过一个半导体主体308的栅电极324所取的横截面图。)在衬底302上形成三栅极晶体管300。在本发明的一个实施例中，衬底302是包括下部的单晶硅衬底304的绝缘衬底，诸如二氧化硅膜的绝缘层306被形成在所述单晶硅衬底304上。然而，三栅极晶体管300可以被形成在任何公知的绝缘衬底上，所述绝缘衬底例如是由二氧化硅、氮化物、氧化物和蓝宝石形成的衬底。在本发明的一个实施例中，衬底302可以是半导体衬底，例如但不限于单晶硅衬底和砷化镓衬底。

三栅极晶体管300包括半导体主体308，并通常包括在绝缘衬底302的绝缘体306上形成的多个半导体主体308。半导体主体308可以由任何公知的半导体材料形成，在所述半导体材料中可以通过施加应力来提高载流子的迁移率，所述半导体材料例如但不限于硅(Si)和Ge含量少于

约 25% 的锗化硅 (Si_xGe_y)。三族—五族 (III-V) 半导体，例如砷化镓 (GaAs)、InSb、GaP 和 GaSb 也可通过向其施加应力而得到改善。人们认为直接带隙材料不会通过向其施加应力而得到改善，而非直接带隙的将得到改善。半导体主体 308 由这样的材料形成，即其可通过施加外部电控制而可逆地从绝缘状态变到导电状态。当希望晶体管 300 具有最佳的电性能时，半导体主体 308 理想地是单晶膜。例如，当晶体管 300 被用于高性能应用中，例如被用于诸如微处理器的高密度电路中时，半导体主体 308 是单晶膜。然而，当晶体管 300 被用于对性能的要求不那么苛刻的应用，例如用于液晶显示器中时，半导体主体 308 可以是多晶膜。绝缘体 306 使半导体主体 308 与单晶硅衬底 302 绝缘。在本发明的一个实施例中，半导体主体 308 是单晶硅膜。（多个）半导体主体 308 中的每个都具有一对横向相对的侧壁 310 和 312，所述一对侧壁 310 和 312 被定义出半导体主体宽度 314 的距离所隔开。此外，每个半导体主体 308 具有顶表面 316，所述顶表面 316 与形成在衬底 302 上的底表面 318 相对。顶表面 316 和底表面 318 之间的距离定义出主体高度 320。在本发明的一个实施例中，主体高度 320 基本上等于主体宽度 314。在本发明的一个实施例中，主体 308 具有小于 30 纳米并且理想的是小于 20 纳米的宽度 314 和高度 320。在本发明的一个实施例中，主体高度 320 在主体宽度 314 的 1/2 到主体宽度 314 的两倍之间。

三栅极晶体管 300 具有栅极电介质层 322。如图 3A 和 3B 所示，在各半导体主体 308 的三个侧面上并围绕这三个侧面来形成栅极电介质层 322。如图 3 所示，在主体 308 的侧壁 312 上或者邻接侧壁 312、顶表面 316 上、侧壁 310 上或者邻接侧壁 310 形成栅极电介质层 322。栅极电介质层 322 可以是任何公知的栅极电介质层。在本发明的一个实施例中，栅极电介质层是二氧化硅 (SiO_2)、氧氮化硅 (SiO_xN_y) 或者氮化硅 (Si_3N_4) 电介质层。在本发明的一个实施例中，栅极电介质层 322 是厚度被形成至 5 到 20 埃之间的氧氮化硅膜。在本发明的一个实施例中，栅极电介质层 322 是诸如金属氧化物电介质的高 K 栅极电介质层，所述金属氧化物电介质例如但不限于五氧化二钽 (Ta_2O_5)、氧化钛 (TiO_2)、氧化铪

(HfO_2)、 HfSiOxNy 、氧化锆 (ZrO_2) 和氧化镧 (LaO_2)。栅极电介质层 322 可以是其他类型的高 K 电介质，例如但不限于 PZT。

三栅极晶体管 300 具有栅电极 324。如图 3A 和 3B 所示，在栅极电介质层 322 上并围绕其形成栅电极 324。这样来形成栅电极 324，即在半导体主体 308 的侧壁 312 上形成的栅极电介质 322 上或者邻接所述栅极电介质 322、在半导体主体 308 的顶表面 316 上形成的栅极电介质 322 上、在半导体主体 308 的侧壁 310 上形成的栅极电介质层 322 上或者邻接所述栅极电介质层 322 来形成。栅电极 324 具有一对横向相对的侧壁 326 和 328，所述一对侧壁 326 和 328 被定义出晶体管 300 的栅极长度 (L_g) 330 的距离所隔开。在本发明的一个实施例中，栅电极 324 的横向相对的侧壁 326 和 328 在与半导体主体 308 的横向相对的侧壁 310 和 312 垂直的方向上延伸。

栅电极 324 可以由任何合适的栅电极材料形成。在本发明的一个实施例中，栅电极 324 由被掺杂至浓度为 1×10^{19} 原子/ cm^3 至 1×10^{21} 原子/ cm^3 之间的多晶硅组成。在本发明的一个实施例中，栅电极可以是金属栅电极，例如但不限于钨、钽、钛以及它们的氮化物或者各种金属系统的合金。在本发明的一个实施例中，栅电极由具有 3.9-5.3eV 之间的功函数的材料所形成。应该理解，栅电极 324 不必是单一的材料，而可以是若干薄膜的复合堆叠，例如但不限于多晶硅/金属电极或者金属/多晶硅电极。

三栅极晶体管 300 具有源区 330 和漏区 332。如图 3A 所示，源区 330 和漏区 332 被形成在栅电极 324 相对两侧的半导体主体 308 中。源区 330 和漏区 332 形成诸如 N 型或者 P 型导电性的同一导电类型。在本发明的一个实施例中，源区 330 和漏区 332 具有 1×10^{19} 原子/ cm^3 至 1×10^{21} 原子/ cm^3 之间的掺杂浓度。源区 330 和漏区 332 可以形成均一的浓度或者可以包括不同浓度或者掺杂分布 (doping profile) 的子区域，诸如尖端 (tip) 区域 (例如，源/漏延伸区)。在本发明的一个实施例中，当晶体管 300 是对称的晶体管时，源区 330 和漏区 332 将具有相同的掺杂浓度和分布。在本发明的一个实施例中，当三栅极晶体管 300 被形成为非对称晶体管时，则源区 330 和漏区 332 的掺杂浓度和特征可以不同，以便获得特定的电特

性。

半导体主体 308 位于源区 330 和漏区 332 之间的部分，限定出晶体管 300 的沟道区域 350。沟道区域 350 还可以被限定为半导体主体 308 中由栅电极 324 所围绕的区域。但是，有时源/漏区可以通过例如扩散稍微地延伸到栅电极的下方，以限定出稍微小于栅电极长度 (L_g) 的沟道区域。在本发明的一个实施例中，沟道区域 350 是本征或者未掺杂的单晶硅。在本发明的一个实施例中，沟道区域 350 是掺杂的单晶硅。当沟道区域 350 被掺杂时，其通常被掺杂到 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的导电水平。在本发明的一个实施例中，当沟道区域被掺杂时，其通常被掺杂成与源区 330 和漏区 332 相反的导电类型。例如，当源漏区是 N 型导电性时，沟道区域将被掺杂至 P 型导电性。类似地，当源漏区是 P 型导电性时，沟道区域将是 N 型导电性。这样，三栅极晶体管 300 可以分别被形成为 NMOS 晶体管或者 PMOS 晶体管。沟道区域 350 可以是被均匀掺杂的，或者可以是被非均匀掺杂的或者以不同的浓度进行掺杂，以提供特定的电特性和性能特性。例如，如果需要的话，沟道区域 350 可以包括公知的“晕圈 (halo)”区域。

如图 3A 和 3B 所示，通过提供围绕半导体主体三个侧面的栅电极和栅极电介质，三栅极晶体管的特征在于具有三个沟道和三个栅极：在半导体主体 308 的侧面 312 上在源区和漏区之间延伸的第一个 (g1)；在半导体主体 308 的顶表面 316 上在源区和漏区之间延伸的第二个 (g2)；在半导体主体 308 的侧壁 310 上在源区和漏区之间延伸的第三个 (g3)。晶体管 300 的栅极“宽度” (G_w) 是三个沟道区域的宽度的总和。也就是说，晶体管 300 的栅极宽度等于硅主体 308 在侧壁 310 处的高度 320，加上硅主体 308 在顶表面 316 处的宽度，加上硅主体 308 在侧壁 312 处的高度 320。通过使用耦合到一起的多个器件（例如如图 3A 所示，由单个栅电极 324 所围绕的多个硅主体 308），可以得到更大“宽度”的晶体管。

如上所述，晶体管 300 的栅极“宽度”等于由晶体管 300 的半导体主体 308 所生成的三个栅极宽度的总和。为了制造具有更大栅极宽度的晶体管，晶体管 300 可以包括如图 3A 中所示的附加的或者多个半导体主体或

者指状物 308。如图 3A 和 3B 所示，每一个半导体主体 308 具有形成在其顶表面和侧壁上的栅极电介质层 322。在每一半导体主体 308 上的各个栅极电介质 322 上或者邻接所述各个栅极电介质 322 形成栅电极 324。如图 3A 所示，每一个半导体主体 308 还包括源区 330 和漏区 332，所述源区 330 和漏区 332 被形成在栅电极 324 的相对两侧的半导体主体 308 中。在本发明的一个实施例中，每一个半导体主体 308 形成有与其他的半导体主体 308 相同的宽度和高度（厚度）。在本发明的一个实施例中，如图 3A 所示，半导体主体 308 的每一个源区 330 和漏区 332 通过用来形成半导体主体 308 的半导体材料而被电耦合在一起，以形成源极焊盘（landing pad）460 和漏极焊盘 480。或者，可以通过用来将各种晶体管 300 电互连到一起成为功能电路的更高层面的金属化（例如，金属 1、金属 2、金属 3...），将源区 330 和漏区 332 耦合在一起。如图 3A 所示的晶体管 300 的栅极宽度等于由每一个半导体主体 308 所产生的栅极宽度的总和。这样，可以形成具有任意所需栅极宽度的三栅极晶体管 300。

此外，如图 3A 和 3B 所示，本发明的三栅极器件包括向器件的沟道区域 350 施加应力的膜 360。通过向沟道区域施加合适的应力，器件载流子（即电子或空穴）的迁移率可以被增大并提高器件性能。在本发明的一个实施例中，如图 3A 和 3B 所示，在半导体主体 308 的暴露部分上并围绕该暴露部分形成应力施加膜 360。此外，在本发明的一个实施例中，在栅电极 324 之上并围绕该栅电极 324 来形成应力施加膜 360。在本发明的一个实施例中，直接在半导体主体 308 的暴露部分 322 上，以及直接在半导体主体 308 的侧面 310 和 312 上或与其邻接来形成应力施加膜 360。此外，在本发明的一个实施例中，还直接在栅电极 324 上并邻接该栅电极 324 来形成应力施加膜 360。

此外，在本发明的一个实施例中，如图 3A 和 3B 所示，应力施加膜 360 还被直接形成在半导体主体 308 的底表面 318 之下，包括形成在半导体主体 308 的沟道区域 350 之下。可以通过首先去除半导体主体之下埋入氧化物或绝缘体 306 的一部分，并随后用应力施加膜回填该区域，来在半导体主体之下形成应力施加膜。通过直接将应力施加膜纳入在半导体主体

308 沟道区域 350 的底表面之下，应力材料 360 就完全包围了沟道，并从沟道的所有侧面而不仅仅是顶部来提供应力。

在本发明的一个实施例中，膜 360 具有压应力，使得半导体主体尤其是半导体主体的沟道区域受拉应力。受拉应力的沟道区域提高了电子的迁移率，因此对用于载流子为电子的 NMOS 器件中是理想的。在本发明的一个实施例中，应力施加膜 360 是这样的膜，即其具有合适的压应力，以在半导体主体的沟道区域中产生 0.5-5.0 GPa 之间并理想的是约 1 GPa 的拉应力。在本发明的一个实施例中，应力施加膜 360 具有 10-200 纳米之间的厚度。在本发明的一个实施例中，应力膜 360 将载流子的迁移率提高 20-80%。

在本发明的一个实施例中，膜 360 具有拉应力，使得半导体主体 308 尤其是半导体主体的沟道区域 350 受压应力。受压应力的沟道区域提高了空穴的迁移率，因此对用于载流子为空穴的 PMOS 器件中是理想的。在本发明的一个实施例中，应力施加膜 360 是这样的膜，即其具有合适的拉应力，以在半导体主体 308 的沟道区域中产生 0.5-5.0 GPa 之间的压应力。在本发明的一个实施例中，薄膜 360 是具有拉应力的氮化硅膜。

在本发明的一个实施例中，在半导体主体的底侧 318 上形成薄氧化物或钝化膜 319，以帮助减小寄生漏电效应。在本发明的一个实施例中，钝化膜 319 包括 SiO₂ 并可形成为大于约 1 纳米的厚度。

因为沟道区域 350 在三个侧面上被栅电极 324 和栅极电介质 322 所围绕，所以晶体管 300 可以以完全耗尽的方式工作，其中，当晶体管 300 被“导通”时，沟道区域 350 完全耗尽，由此提供完全耗尽的晶体管的有利电特性和性能。就是说，当晶体管 300 被“导通”时，在沟道区域 350 中形成耗尽区域，并同时在区域 350 的表面处形成反型层（即在半导体主体的侧表面和顶表面上形成反型层）。反型层具有与源漏区相同的导电类型，并且在源区和漏区之间形成导电沟道，以允许电流在其间流动。耗尽区域耗尽来自反型层下方的自由载流子。耗尽区域延伸到沟道区域 350 的底部，因此晶体管可以被称为是“完全耗尽的”晶体管。相对于非完全耗尽的或者部分耗尽的晶体管，完全耗尽的晶体管的电性能特性提高了。例

如，使晶体管 300 在完全耗尽的方式下工作，为晶体管 300 提供了理想的或者非常陡峭的亚阈值斜率。即使当被制造成具有小于 30 nm 的半导体主体厚度时，该三栅极晶体管也可以被制成具有小于 80 mV/decade 并且理想的是约 60 mV/decade 的非常陡峭的亚阈值斜率。此外，当使晶体管 300 在 5 完全耗尽的方式下工作时，晶体管 300 具有改善的漏极导致势垒下降（DIBL）效应，这提供了更好的“关断”状态漏流，实现了更低的漏流并由此降低了功耗。在本发明的一个实施例中，三栅极晶体管 300 具有小于 100 mV/V 且理想的是小于 40 mV/V 的 DIBL 效应。

图 6 是两条曲线 602 和 604 的示图，所述两条图线 602 和 604 给出了 10 将产生完全耗尽的（F.D）或者部分耗尽的（P.D）三栅极晶体管的主体高度和主体宽度，其中所述三栅极晶体管分别具有 30 nm（602）和 20 nm（604）的栅极长度（ L_g ）。在本发明的一个实施例中，主体高度、主体宽度和栅极长度被选择为具有将形成完全耗尽的晶体管的尺寸。在其他的实施例中，三栅极晶体管具有将形成部分耗尽的晶体管的主体高度、主体 15 宽度和栅极长度。

本发明的三栅极晶体管可以被认为是非平面晶体管，因为沟道区域 350 的反型层被形成在半导体主体 308 中的水平方向上以及垂直方向上。本发明的半导体器件也可以被认为是非平面器件，因为来自栅电极 324 的电场被从水平侧（g2）以及垂直侧（g1 和 g3）上施加。

20 在本发明的一个实施例中，如图 4 所示，三栅极晶体管 300 可以包括其他膜或特征，例如在形成应力施加膜 360 之前形成的硅化物 430、硅或其他半导体膜 410 和侧壁隔片 420。例如在本发明的一个实施例中，在半导体主体 308 的源区 330 和漏区 332 上形成半导体膜 410，以形成“加高”的源漏区。半导体膜 410 可以是硅膜或者例如锗化硅（ Si_xGe_y ）的硅合金。在本发明的一个实施例中，半导体膜 410 是被形成为与源区 330 和漏区 332 相同导电类型的单晶硅膜。在本发明的一个实施例中，半导体膜可以是硅合金，例如其中硅构成合金的大约 1 到 99 原子百分数的锗化硅。半导体膜 410 不必是单晶半导体膜，在一个实施例中可以是多晶膜。可以通过一对电介质侧壁隔片 420，例如氮化硅或氧化硅或其复合物，来

将半导体膜 410 与栅电极 324 电隔离。如图 4 所示，侧壁隔片 420 沿着栅电极 324 的横向相对侧壁 326 和 328 延伸，由此将半导体膜 410 与栅电极 324 隔离。在本发明的一个实施例中，侧壁隔片 420 具有 20-200 埃之间的厚度。通过向半导体主体的源区 330 和漏区 332 增加硅或半导体膜，并形成“加高”的源漏区，源漏区的厚度增加，由此降低了到晶体管 300 的源/漏接触电阻，而改善了其电特性和性能。

在本发明的一个实施例中，在源区 330 和漏区 332 上形成硅化物膜 430，例如但不限于是硅化钛、硅化镍和硅化钴。在本发明的一个实施例中，如图 4 所示，在硅主体 308 的硅膜 410 上形成硅化物膜 430。但是也可直接在硅主体 308 的顶表面 316 上形成硅化物膜 430。例如，可以通过首先在硅主体上形成诸如未掺杂硅膜的硅膜，然后在硅化工艺过程中完全消耗该硅膜，来在硅主体 308 上形成硅化物膜 430。电介质隔片 420 使得硅化物膜 430 能够以自对准工艺（即 salicide 工艺）形成在半导体主体 308 或硅膜 410 上。

此外，在本发明的一个实施例中，也可以在栅电极 324 顶部形成半导体或硅膜 440，也可以在栅电极 324 的顶表面上形成硅化物膜 450。硅化物膜 450 和硅膜 440 通常与硅主体 308 上的硅化物膜 430 和硅膜 410 同时形成。在栅电极上的硅化物膜 450 上形成硅膜 440，降低了到栅极的接触电阻，由此提高了晶体管 300 的电性能。

在图 5A-5E 中图示了根据本发明实施例的制造三栅极晶体管的方法。三栅极晶体管的制造开始于衬底 502。如图 5A 所示，在衬底 502 上形成硅或者半导体膜 508。在本发明的一个实施例中，衬底 502 是绝缘衬底，例如图 5A 中所示的。在本发明的一个实施例中，绝缘衬底 502 包括下部的单晶硅衬底 504 和顶部的诸如二氧化硅膜或者氮化硅膜之类的绝缘层 506。绝缘层 506 将半导体膜 508 与衬底 504 隔离，并且在实施例中被形成至 200 埃至 2000 埃之间的厚度。绝缘层 506 有时被称为“埋入氧化物”层。当硅或者半导体膜 508 被形成在绝缘衬底 502 上时，就制造出了绝缘体上硅或者半导体（SOI）衬底 500。在本发明的其他实施例中，衬底 502 可以是半导体衬底，例如但不限于单晶硅衬底和砷化镓衬底。

虽然半导体膜 508 理想的是硅膜，但是在其他实施例中它可以是其他类型的半导体膜，在所述半导体膜中当受应力作用时可以提高载流子的迁移率，所述半导体膜例如但不限于是 Ge 含量少于 25% 的锗化硅 (Si_xGe_y)，以及III-V 材料，例如砷化镓 (GaAs)、InSb、GaP、GaSb。

5 在本发明的一个实施例中，半导体膜 508 是本征的（即未掺杂的）硅膜。在其他实施例中，半导体膜 508 被掺杂成具有 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的浓度水平的 p 型或者 n 型导电性。半导体膜 508 可以被原位掺杂（即当被沉积时进行掺杂）或者在其被形成在衬底 502 上之后通过例如离子注入来进行掺杂。在形成之后进行掺杂可以允许在相同绝缘衬底上容易地制造出 PMOS 以及 NMOS 三栅极器件。此时的半导体主体掺杂水平就决定了器件的沟道区域的掺杂水平。

10 半导体膜 508 被形成至这样的厚度，即所述厚度近似地等于所制造三栅极晶体管的后续形成的（多个）半导体主体所期望的高度。在本发明的一个实施例中，半导体膜 508 具有小于 30 纳米且理想的是小于 20 纳米的厚度或者高度 509。在本发明的一个实施例中，半导体膜 508 被形成至这样的厚度，即所述厚度近似地等于所制造三栅极晶体管的所期望的栅极“长度”。在本发明的一个实施例中，形成比器件所期望的栅极长度更厚的半导体膜 508。在本发明的一个实施例中，半导体膜 508 被形成至这样的厚度，即所述厚度将可以使所制造的三栅极晶体管对于其所设计栅极长度 (Lg) 以完全耗尽的方式工作。半导体膜 508 可以以任何公知的方法被形成在绝缘衬底 502 上。在被称为 SIMOX 技术的、形成绝缘体上硅衬底的一种方法中，氧原子以高剂量被注入到单晶硅衬底中，然后进行退火以在衬底之中形成埋入氧化物 506。单晶硅衬底中在埋入氧化物以上的部分成为硅膜 508。目前用于形成 SOI 衬底的另一种技术是外延硅膜转移技术，其通常被称为键合 SOI。在此技术中，第一硅晶片具有在其表面生长的薄氧化物，其将在以后作为 SOI 结构中的埋入氧化物 506。接着，将高剂量的氢注入到第一硅晶片中，以在第一晶片的硅表面之下形成高应力区域。此第一晶片然后被翻转并被键合到第二硅晶片的表面。第一晶片随后沿着由氢注入所产生的高应力平面解理。这得到了在顶部具有薄硅层的

SOI 结构，而埋入氧化物位于在单晶硅衬底上面的所有结构之下。诸如 HCl 磨平或者化学机械抛光 (CMP) 之类的公知磨平技术可以被用来将半导体膜 508 的顶表面磨平至其所期望的厚度。

此时，如果需要的话，可以在 SOI 衬底 502 之中形成隔离区域（没有 5 示出），以便将待形成于其中的各个晶体管相互隔离。可以通过将衬底膜 508 围绕三栅极晶体管的部分由例如公知的光刻和刻蚀技术刻蚀掉，并随后用诸如 SiO_2 的绝缘膜回填被刻蚀区域，来形成隔离区域。

接着，如图 5B 所示，利用标准的光刻和刻蚀技术，在半导体膜 508 中定义出用于三栅极晶体管的半导体主体或者鳍状物 520。在本发明的一个实施例中，鳍状物或者主体 520 被图案化成具有宽度 518，所述宽度 518 等于或者大于所制造晶体管栅极长度 (L_g) 的所期望的宽度。这样，用于制造晶体管的最苛刻的光刻术约束与栅电极图案化相关联，而不是与半导体主体或者鳍状物定义相关联。在本发明的一个实施例中，半导体主体或者鳍状物将具有宽度 518，所述宽度 518 小于或者等于 30 纳米且理想的是小于或者等于 20 纳米。在本发明的一个实施例中，半导体主体或者鳍状物具有近似地等于硅主体高度 509 的宽度 518。在本发明的一个实施例中，鳍状物或者主体 520 具有宽度 518，所述宽度 518 为半导体主体高度 509 的 1/2 到半导体主体高度 509 的两倍之间。

此外，如图 5B 所示，还可以使用光刻和刻蚀步骤来由半导体膜形成 20 源极焊盘 522 和漏极焊盘 524。焊盘可以被用来将所制造晶体管的各个源区连接起来，并将各个漏区连接起来。

半导体膜 508 可以通过公知的光刻和刻蚀技术而被图案化成鳍状物和 25 焊盘，这些技术通常包括：通过本领域所熟知的掩蔽、曝光并显影毯覆 (blanket) 沉积的光刻胶膜来形成光刻胶掩模，然后对齐光刻胶掩模来刻蚀半导体膜，以分别形成一个或多个硅主体或者鳍状物 520 以及源极和漏极焊盘 522 和 524。刻蚀半导体膜 508，直至暴露出下面的埋入氧化物层 506 为止。可以使用诸如各向异性等离子体刻蚀或者反应离子刻蚀之类的公知半导体刻蚀技术，对齐光刻胶掩模来刻蚀半导体膜 508。在半导体膜 508 被刻蚀以形成半导体主体或者鳍状物 520 (以及源极/漏极焊盘 522 和

524, 如果需要的话)之后, 通过诸如化学剥离和 O₂ 灰化之类的公知技术去除光刻胶掩模, 以制造出如图 5B 中所示的衬底。

接着, 在每一个半导体主体 520 上并围绕其形成栅极电介质层 526。也就是说, 栅极电介质层 526 被形成在每一个半导体主体 520 的顶表面 527 上, 并被形成在每一个半导体主体 520 的横向相对的侧壁 528 和 529 上。栅极电介质可以是沉积的电介质或者生长的电介质。在本发明的一个实施例中, 栅极电介质层 526 是利用干法/湿法氧化工艺生长的二氧化硅电介质膜。在本发明的一个实施例中, 使氧化硅膜生长到 5 埃至 15 埃之间的厚度。在本发明的一个实施例中, 栅极电介质膜 526 是沉积的电介质, 例如但不限于诸如金属氧化物电介质之类的高介电常数膜, 所述金属氧化物电介质例如为五氧化二钽 (Ta₂O₅)、氧化钛 (TiO₂)、氧化铪 (HfO₂)、HfSiO_xN_y、氧化锆 (ZrO₂) 和氧化镧 (LaO₂), 或者为其他的高 K 电介质, 例如 PZT 和 BST。可以通过诸如化学气相沉积 (CVD) 之类的任何公知技术来形成高介电常数膜。

接着, 还是如图 5C 所示, 形成栅电极 530。如图 5C 所示, 这样来形成栅电极 530, 即在每个半导体主体 520 顶表面 527 上形成的栅极电介质层 526 上、在每个半导体主体侧壁 528 和 529 上形成或者与其邻接形成的栅极电介质 526 上或者邻接所述栅极电介质 526 来形成。栅电极 530 具有与在绝缘衬底 502 上形成的底表面相对的顶表面 532, 并具有一对横向相对的侧壁 534 和 536。横向相对的侧壁 534 和 536 之间的距离定义出三栅极晶体管的栅极长度 (Lg) 538。通过将合适的栅电极材料毯覆沉积在衬底之上, 并随后将该材料图案化成电极 530, 可以形成栅电极 530。栅电极可以被形成为 200 埃到 3000 埃之间的厚度 533。在实施例中, 栅电极的厚度或者高度 533 至少是半导体主体 520 高度 509 的至少三倍。然后利用公知的光刻和刻蚀技术来图案化栅电极材料, 以由栅电极材料来形成栅电极 530。在本发明的一个实施例中, 栅电极材料包括多晶硅。在本发明的另一个实施例中, 栅电极材料包括多晶态的锗化硅。在本发明的又一个实施例中, 栅电极材料可以包括诸如钨、钽及其氮化物的金属膜。可以通过公知技术来形成栅电极 530, 例如通过将栅电极材料毯覆沉积在图 5B 的衬

底之上，并随后用公知的光刻和刻蚀技术将该栅电极材料图案化。在本发明的一个实施例中，用于定义出栅电极 530 的光刻工艺，利用了用于制造三栅极晶体管的最小值的或者最小尺寸的光刻工艺。（就是说，在本发明的一个实施例中，栅电极 530 的栅极长度 (Lg) 538 具有由光刻术所限定的晶体管最小特征尺寸。）在本发明的一个实施例中，栅极长度 538 小于或者等于 30 纳米，且理想的是小于或者等于 20 纳米。

接着，在栅电极 530 相对两侧的半导体主体 520 中形成晶体管的源漏区。在本发明的一个实施例中，源漏区包括尖端或源/漏延伸区域。如图 5D 所示，通过为形成尖端区域 540 和 542 而将掺杂剂 544 置于栅电极 530 两侧 532、534 的半导体主体 520 之中，可以分别形成源和漏延伸区域 540 和 542。对于 PMOS 三栅极晶体管，半导体鳍状物或者主体 520 被掺杂成 P 型导电性并被掺杂至 1×10^{20} 原子/cm³ 至 1×10^{21} 原子/cm³ 的浓度。对于 NMOS 三栅极晶体管，半导体鳍状物或者主体 520 被 n 型导电性离子掺杂至 1×10^{20} 原子/cm³ 至 1×10^{21} 原子/cm³ 的浓度。在本发明的一个实施例中，通过离子注入来掺杂硅膜。在本发明的一个实施例中，离子注入发生在垂直方向上（即垂直于衬底 502 的方向）。当栅电极 530 是多晶硅栅电极时，其可以在离子注入工艺过程中被掺杂。栅电极 530 起到掩模的作用，以防止离子注入步骤掺杂三栅极晶体管的（多个）沟道区域 548。沟道区域 548 是半导体主体 520 位于栅电极 530 下方或者被栅电极 530 所围绕的部分。如果栅电极 530 是金属电极，则可以使用电介质硬掩模来防止离子注入工艺过程中的掺杂。在其他的实施例中，可以使用诸如固体源扩散之类的其他方法来掺杂半导体主体，以形成源极和漏极延伸。

在本发明的实施例中，在形成源/漏区或者源/漏延伸区域之前，可以在硅主体中形成“晕圈”区域。晕圈区域是形成在器件的沟道区域 548 中的掺杂区域，并且晕圈区域具有与器件的沟道区域的掺杂相同的导电性，但是具有比器件的沟道区域稍高的掺杂浓度。晕圈区域可以通过利用大角度的离子注入技术，由栅电极下方的离子注入掺杂剂来形成。

接着，如果需要的话，图 5C 中所示的衬底可以被进一步处理，以形成附加的特征，例如重掺杂的源极/漏极接触区域、为形成加高的源漏区而

在源漏区和栅电极上沉积的硅、以及在源极/漏极接触区域和栅电极上形成硅化物。

接着，如图 5D 所示，位于半导体鳍状物或者主体之下并与其邻接的埋入氧化物层 506 被去除，以在埋入氧化物层中形成气隙 560。可以通过 5 使用选择性刻蚀来去除埋入氧化物层，该选择性刻蚀优选地刻蚀埋入绝缘膜，而不会明显地刻蚀掉半导体主体。当半导体主体是硅并且埋入绝缘层 506 是氧化硅时，可以利用缓冲 HF 刻蚀剂来选择性地刻蚀掉埋入氧化硅层。应该认识到可以利用任何合适的湿法或干法刻蚀技术来形成气隙 560，该技术可以选择性地刻蚀掉埋入绝缘层，而不会刻蚀掉半导体主 10 体。选择性大于 10 的刻蚀剂是所期望的。

埋入绝缘体刻蚀可以在有或没有图案化层的晶片上进行，这取决于器件的布局。通常将利用被图案化的光刻胶掩模，其使随后要接收应力膜的晶体管暴露出来，并覆盖将不包括应力膜的那些晶体管。

在本发明的一个实施例中，在从半导体鳍状物或者主体之下去除埋入 15 绝缘膜之后，可以进行快速的氧化或钝化步骤来钝化被暴露的鳍状物的底部，以减小寄生漏电效应。可以使用任何合适的氧化或钝化工艺来形成钝化电介质。在本发明的一个实施例中，鳍状物的底部被 SiO₂ 钝化，以形成厚度大于约 1 纳米的钝化氧化物膜。

在去除下面的绝缘膜 506 并完成钝化或氧化之后，可以开始应力施加 20 膜 560 的填充步骤。应力施加膜 560 必须是绝缘膜，以防止从源极到漏极的短路。应力施加膜的目的是在器件的沟道区域中提供应力。应力施加膜中的应力类型取决于被制造器件的类型。对于载流子是电子的 NMOS 器件，沟道区域需要受拉应力，以提高电子的迁移率。为了使沟道区域受拉应力，应力施加膜 560 需要是受压膜。此外，用于形成应力施加膜 560 的 25 工艺应该是例如气相沉积的保形工艺，该工艺可以将膜均等地毯覆沉积在垂直和水平表面上，并能够填充在半导体主体之下。所期望的是，应力施加膜能够完全填充器件鳍状物或者主体之下的区域。通过以下可以有助于这一点，即让鳍状物更窄或者让下面的绝缘膜层 506 更厚，以提高沟道区域之下填充的高宽比。在本发明的一个实施例中，应力施加膜是受压氮化

硅膜。在本发明的一个实施例中，NMOS 器件被制造成具有受压氮化硅膜，通过利用反应物气体混合物的化学气相沉积（CVD）来形成该氮化硅膜，所述混合物包括二氯硅烷（DCS）和氨（NH₃）。也可以使用 BTBAS 来代替 DCS。这样一种工艺将可以通过在垂直和水平表面上进行等同的沉积来将氮化硅膜毯覆沉积在衬底上，并使得能够填充半导体主体之下的气隙。
5

对于载流子是空穴的 PMOS 器件，沟道区域需要受压，以增加空穴的迁移率。为了使沟道受压，应力施加膜需要是受拉膜。在本发明的一个实施例中，应力施加膜是受拉氮化硅膜。

10 在本发明的一个实施例中，如图 5E 所示，应力施加膜被形成为这样的厚度，其足以完全填充沟道区域和半导体主体之下的气隙区域，并完全包围半导体主体和栅电极。应力施加膜完全包围器件并在大范围内提供应力，这导致沟道中提高迁移率的所期望应力。此外，在本发明的一个实施例中，在沉积过程中调制膜的应力特性，从而为器件性能而对膜进行优化。
15

在沉积完成之后，可以使用掩蔽和刻蚀步骤将应力施加膜从不需要的区域去除，并且可以以正常的方式继续处理以形成“后端（back end）”特征，例如将单个晶体管电耦合成功能电路的金属互连和层间电介质。

这样，就描述了具有应力施加膜的新型非平面器件及其制造方法。

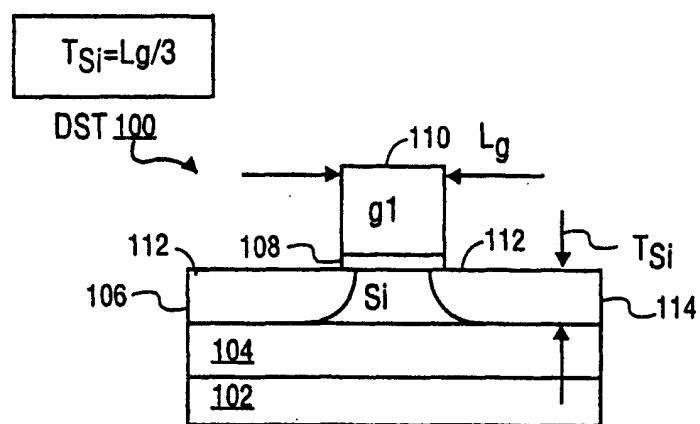


图 1

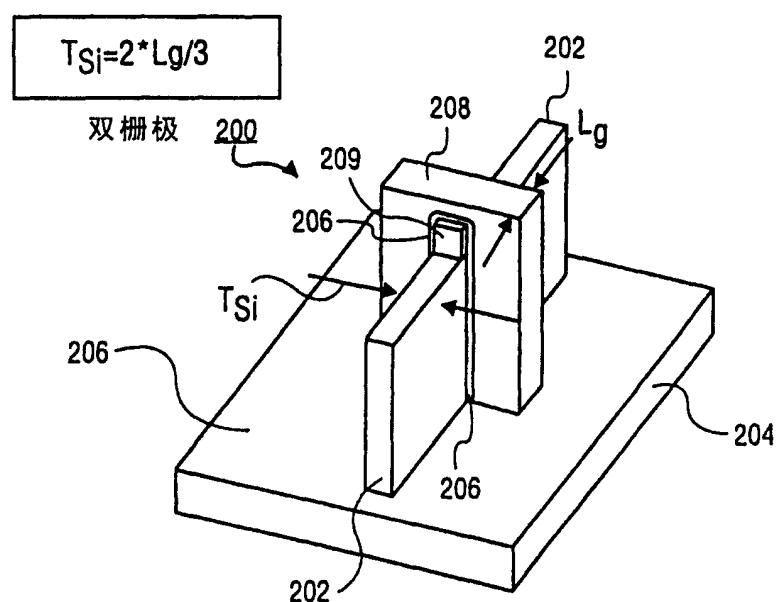


图 2 A

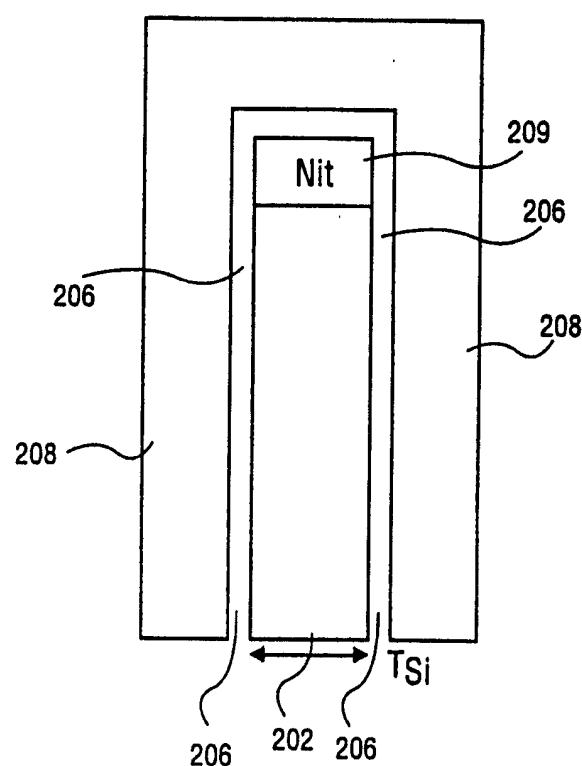
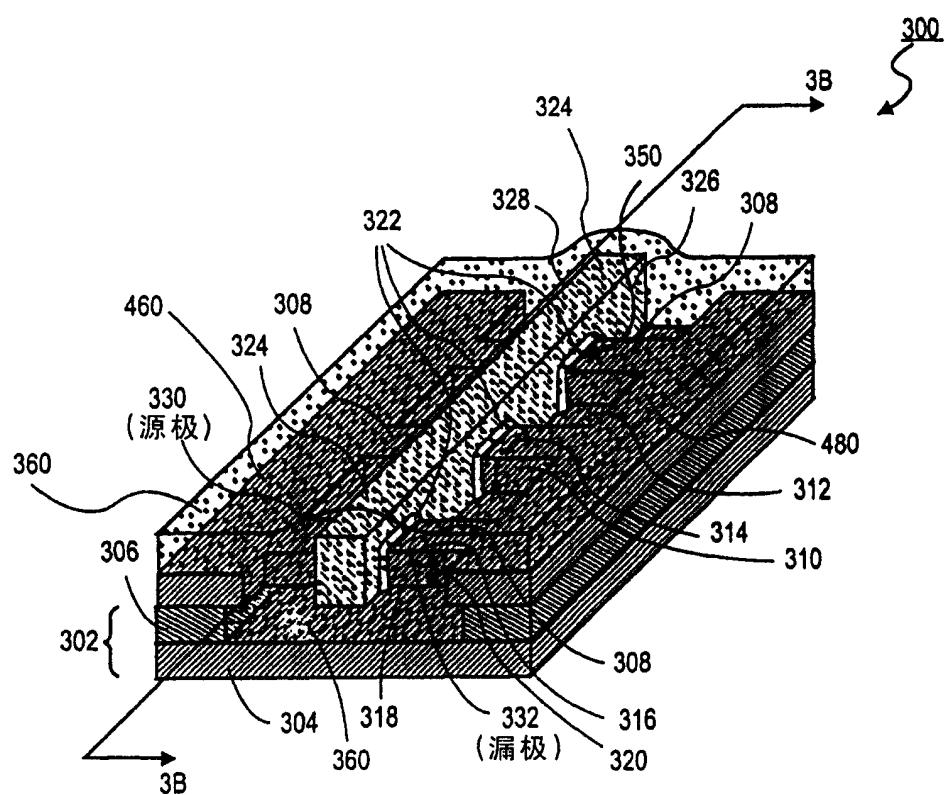


图2B



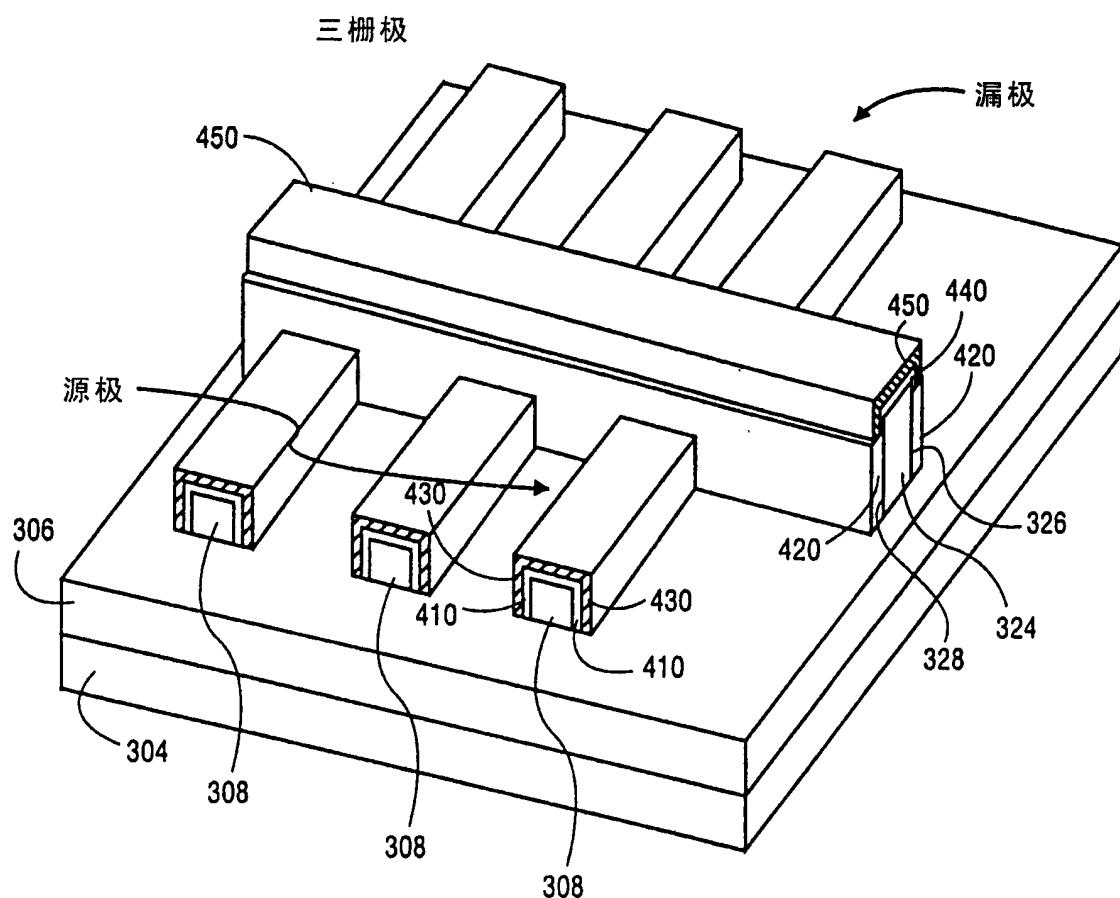


图4

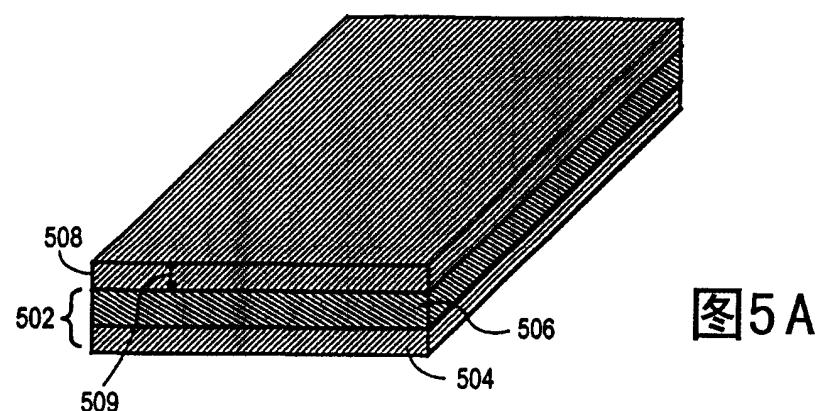


图5A

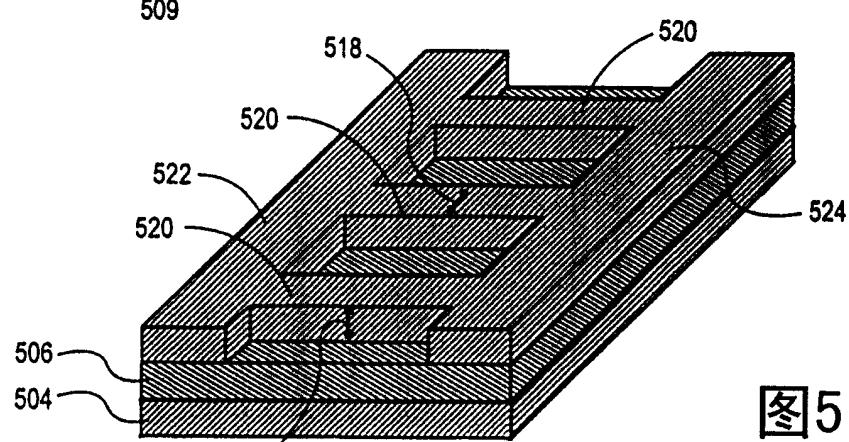


图5B

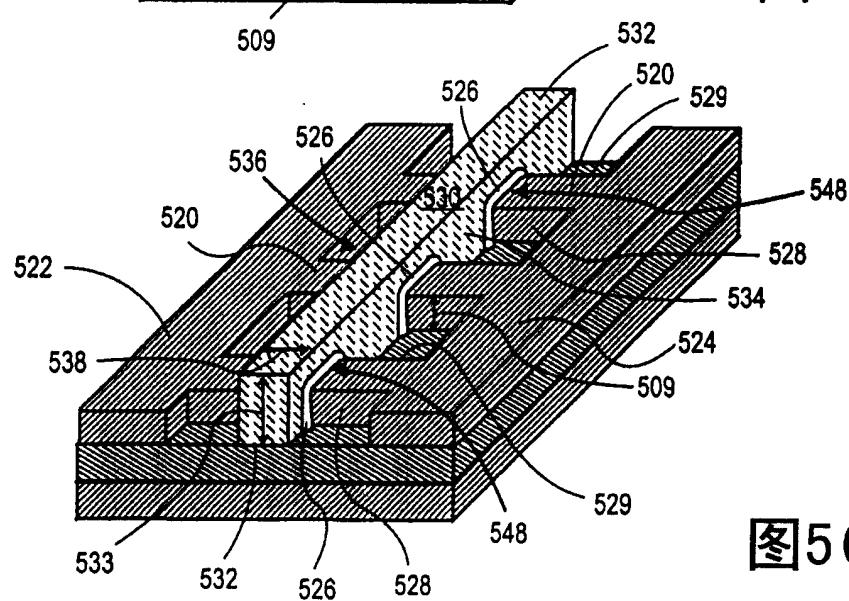


图5C

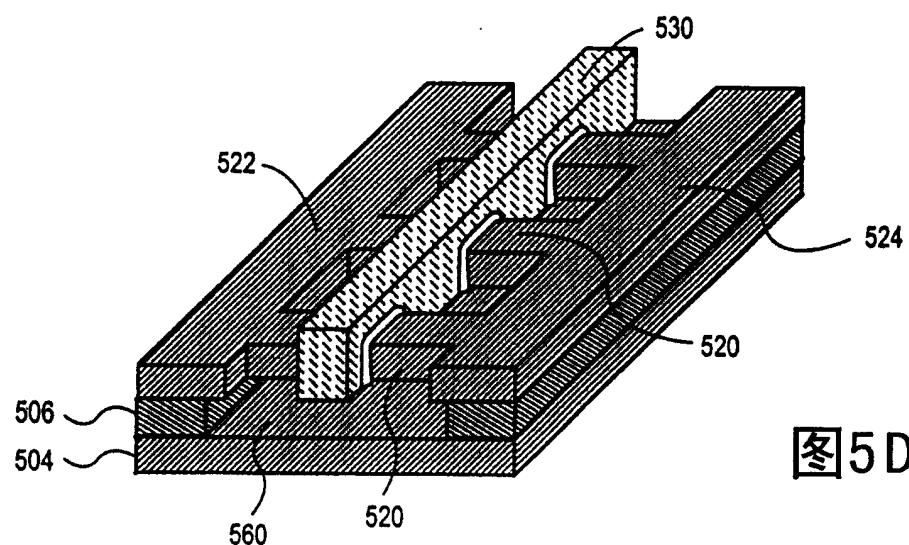


图5D

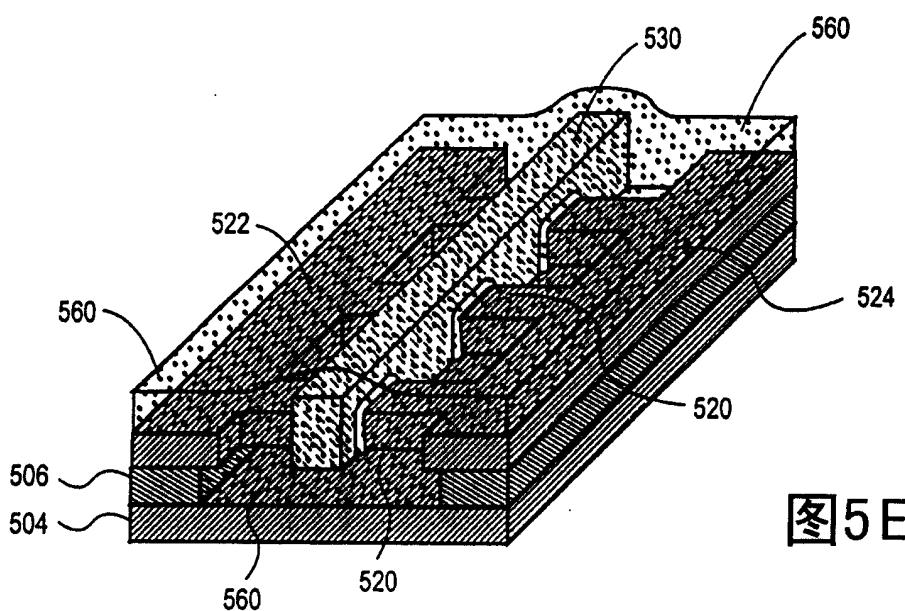


图5E

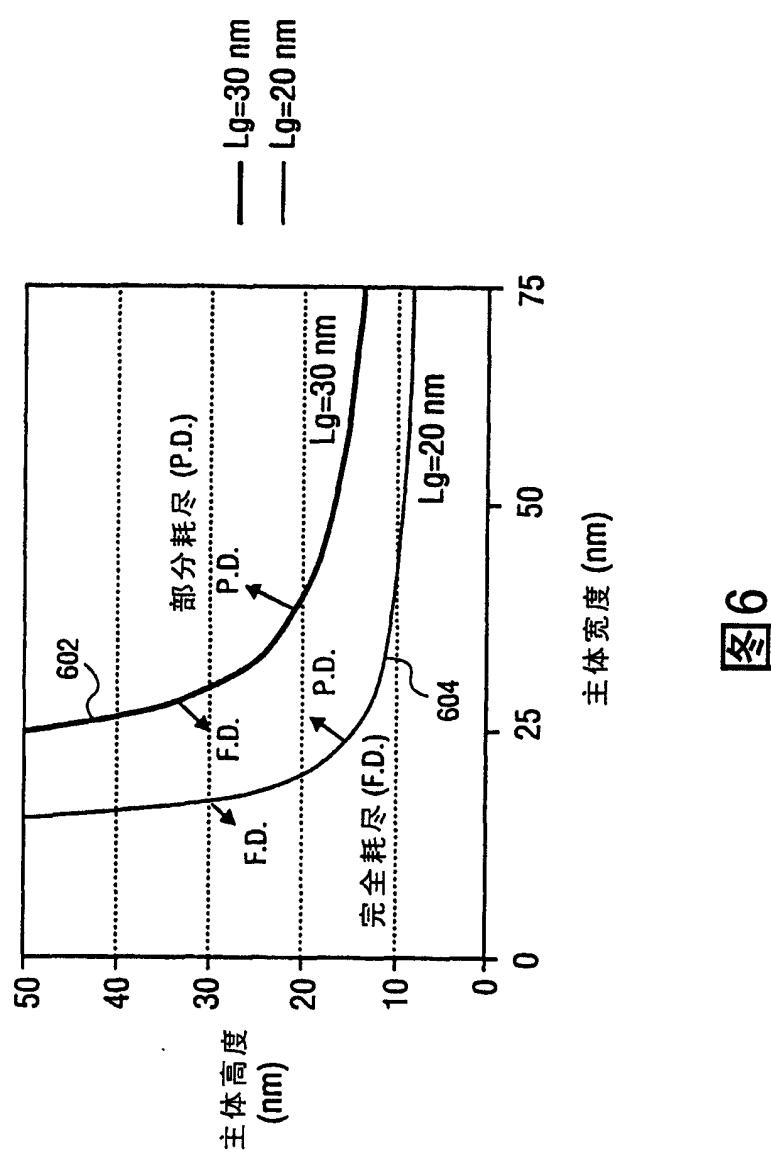


图6