

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 17 日 (17.12.2015)



(10) 国际公布号
WO 2015/188405 A1

- (51) 国际专利分类号:
H02M 3/158 (2006.01)
- (21) 国际申请号: PCT/CN2014/080957
- (22) 国际申请日: 2014 年 6 月 27 日 (27.06.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410250230.3 2014 年 6 月 9 日 (09.06.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹丹 (CAO, Dan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳汇智睿达专利商标事务所 (普通合伙) (SHENZHEN RONDA PATENT AND TRADE-MARK LAW OFFICE); 中国广东省深圳市福田区深南中路与广深高速公路交界东南金运世纪大厦 04 层 04G, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: CIRCUIT AND METHOD FOR ADJUSTING OUTPUT VOLTAGE

(54) 发明名称: 一种用于调整输出电压的电路及方法

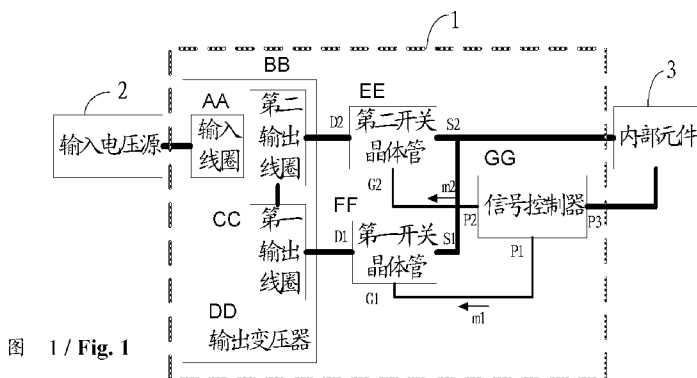


图 1 / Fig. 1

- 2 INPUT VOLTAGE SOURCE
3 INTERNAL ELEMENT
AA INPUT COIL
BB SECOND OUTPUT COIL
CC FIRST OUTPUT COIL
DD OUTPUT TRANSFORMER
EE SECOND SWITCH TRANSISTOR
FF FIRST SWITCH TRANSISTOR
GG SIGNAL CONTROLLER

(57) Abstract: A circuit for adjusting an output voltage is disposed between an input voltage source and an internal element, and comprises an output transformer, a signal controller, and first and second switch transistors. The output transformer comprises an input coil and first and second output coils that are connected in series. The first switch transistor is connected to the first output coil and the internal element. The second switch transistor is connected to the second output coil and the internal element. The signal controller is connected to the internal element, and is further separately connected to the first and second switch transistors. The signal controller automatically monitors and acquires startup voltages of internal elements and performs comparison, outputs a different level signal according to a comparison result, drives the switch transistors connected to the first and second output coils to be closed or opened, and controls output of voltages of different magnitudes. A voltage output mode does not need to be changed to satisfy use of different internal elements having relatively large voltage differences, thereby implementing objects of achieving compatibility of output voltages in a wide range and reducing a design cost and period.

(57) 摘要:

[见续页]



一种用于调整输出电压的电路，设置于输入电压源和内部元件之间，包括输出变压器、信号控制器、第一及第二开关晶体管；其中，输出变压器包括输入线圈、及相串联的第一、第二输出线圈，第一开关晶体管连接第一输出线圈与内部元件，第二开关晶体管连接第二输出线圈与内部元件，信号控制器连接内部元件，还分别连接第一及第二开关晶体管。信号控制器自动监测并获取内部元件的启动电压并进行比较，根据比较结果输出不同的电平信号，驱动与第一、第二输出线圈相连的开关晶体管闭合或断开，控制不同大小的电压输出。无需更改电压输出模式，满足电压差较大的不同内部元件的使用，实现兼容宽范围的输出电压、降低设计成本和周期的目的。

一种用于调整输出电压的电路及方法

本申请要求于 2014 年 6 月 9 日提交中国专利局、申请号为 201410250230.3、发明名称为“一种用于调整输出电压的电路及方法”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及电子技术领域，尤其涉及一种用于调整输出电压的电路及方法。

背景技术

由于电子设备如电视机、显示器、音响及电脑等的内部元件所使用的直流电压不尽相同，因此，在电子设备中，通常将输入的直流电压转换成不同的输出电压以供电子设备中不同的内部元件使用。

目前，往往采用固定的电压输出模式将输入的直流电压转换成输出电压用来满足电子设备内部指定元件的使用，其缺点在于：当输出电压所连接的内部元件发生改变，当前内部元件与前一内部元件之间所需输出电压相差较大时，使得该电压输出模式无法满足当前内部元件的使用要求，需要重新设计电压输出转变模式，从而增加了设计成本和设计周期。

发明内容

本发明实施例所要解决的技术问题在于，提供一种背光模组及液晶显示装置，能够将量子点材料牢固的固定在背光模组中，并且能够简单快速的组装。

为了解决上述技术问题，本发明采用的第一种技术方案为：一种用于调整输出电压的电路，设置于输入电压源和内部元件之间，包括输出变压器、

第一开关晶体管、第二开关晶体管以及信号控制器；其中，

所述输出变压器包括连接所述输入电压源的输入线圈，以及位于次级的第一输出线圈和第二输出线圈；其中，所述第一输出线圈与所述第二输出线圈相串联，且所述第一输出线圈的电压输出端与所述第一开关晶体管的漏极相连，所述第二输出线圈的电压输出端与所述第二开关晶体管的漏极相连；

所述信号控制器包括与所述第一开关晶体管的栅极相连的第一电平信号输出端，与所述第二开关晶体管的栅极相连的第二电平信号输出端，以及与所述内部元件的一端相连的输入端，其用于根据所述内部元件的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后，在所述第一电平信号输出端输出第一电平信号，以及在所述第二电平信号输出端输出第二电平信号；

所述第一开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第一电平信号输出端输出的第一电平信号的高低，实现所述内部元件与所述第一输出线圈之间的导通或断开，其中，在导通时，输出所述第一输出线圈的输出电压给所述内部元件；

所述第二开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第二电平信号输出端输出的第二电平信号的高低，实现所述内部元件与所述第二输出线圈之间的导通或断开，其中，在导通时，输出所述第一输出线圈与所述第二输出线圈的叠加输出电压给所述内部元件。

其中，所述信号控制器包括第一比较器和第二比较器；其中，

所述第一比较器包括与所述内部元件的一端相连的输入端和所述第一电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第一电压阈值进行比较

后，在所述第一电平信号输出端输出所述第一电平信号；

所述第二比较器包括与所述内部元件的一端相连的输入端和所述第二电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第二电压阈值进行比较后，在所述第二电平信号输出端输出所述第二电平信号；其中，所述预设的第一电压阈值与所述预设的第二电压阈值相等。

其中，当所述获得的启动电压小于所述预设的第一电压阈值时，所述第一电平信号为高电平信号且所述第二电平信号为低电平信号，所述信号控制器驱动所述第一开关晶体管闭合及驱动所述第二开关晶体管断开，实现所述内部元件与所述第一输出线圈之间的导通，输出所述第一输出线圈的输出电压给所述内部元件。

其中，当所述获得的启动电压大于所述预设的第一电压阈值时，所述第一电平信号为低电平信号且所述第二电平信号为高电平信号，所述信号控制器驱动所述第一开关晶体管断开及驱动所述第二开关晶体管闭合，实现所述内部元件与所述第二输出线圈之间的导通，输出所述第一输出线圈与所述第二输出线圈的叠加输出电压给所述内部元件。

为了解决上述技术问题，本发明采用的第二种技术方案为：一种用于调整输出电压的电路，设置于输入电压源和内部元件之间，包括输出变压器、第一开关晶体管、第二开关晶体管、第三开关晶体管、逻辑运算器以及信号控制器；其中，

所述输出变压器包括连接所述输入电压源的输入线圈，以及位于次级的第一输出线圈、第二输出线圈和第三输出线圈；其中，所述第三输出线圈设置于所述第一输出线圈与所述第二输出线圈之间，并与所述第一输出线圈及

所述第二输出线圈三者相串联，且所述第一输出线圈的电压输出端与所述第一开关晶体管的漏极相连，所述第二输出线圈的电压输出端与所述第二开关晶体管的漏极相连，所述第三输出线圈的电压输出端与所述第三开关晶体管的漏极相连；

所述信号控制器具有与所述第一开关晶体管的栅极相连的第一电平信号输出端，与所述第二开关晶体管的栅极相连的第二电平信号输出端，以及与所述内部元件的一端相连的输入端，其用于根据所述内部元件的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后，在所述第一电平信号输出端输出第一电平信号，以及在所述第二电平信号输出端输出第二电平信号；

所述逻辑运算器具有与所述第一电平信号输出端相连的第一端，与所述第二电平信号输出端相连的第二端，以及与所述第三开关晶体管的栅极相连的第三端，或所述逻辑运算器具有与所述第二电平信号输出端相连的第一端，与所述第一电平信号输出端相连的第二端，以及与所述第三开关晶体管的栅极相连的第三端，其用于根据所述第一电平信号及所述第二电平信号的高低，确定通过所述第三端输出给所述第三开关晶体管的第三电平信号的高低；其中，当所述第一电平信号且所述第二电平信号均为低电平信号或高电平信号时，所述第三电平信号为高电平信号；当所述第一电平信号为低电平信号且所述第二电平信号为高电平信号，或所述第一电平信号为高电平信号且所述第二电平信号为低电平信号时，所述第三电平信号为低电平信号；

所述第一开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第一电平信号输出端输出的第一电平信号的高低，实现所述内部元件与所述第一输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈

的输出电压给所述内部元件；

所述第二开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第二电平信号输出端输出的第二电平信号的高低，实现所述内部元件与所述第二输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈、所述第二输出线圈及所述第三输出线圈三者的叠加输出电压给所述内部元件；

所述第三开关晶体管的源极与所述内部元件的另一端相连，用于根据所述逻辑运算器输出的第三电平信号的高低，实现所述内部元件与所述第三输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈及所述第三输出线圈的叠加输出电压给所述内部元件。

其中，所述信号控制器包括第一比较器和第二比较器；其中，

所述第一比较器包括与所述内部元件的一端相连的输入端和所述第一电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第一电压阈值进行比较后，在所述第一电平信号输出端输出所述第一电平信号；

所述第二比较器包括与所述内部元件的一端相连的输入端和所述第二电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第二电压阈值进行比较后，在所述第二电平信号输出端输出所述第二电平信号；其中，所述预设的第二电压阈值大于所述预设的第一电压阈值。

其中，所述逻辑运算器包括第四开关晶体管和与所述第四开关晶体管相并联的第五开关晶体管；其中，

所述第四开关晶体管的漏极与所述第五开关晶体管的漏极相连，还与所

述第三开关晶体管的栅极相连,所述第四开关晶体管的源极与所述第五开关晶体管的源极相连,所述第四开关晶体管的栅极与所述第一电平信号输出端相连,所述第五开关晶体管的栅极与所述第二电平信号输出端相连;或

所述第四开关晶体管的漏极与所述第五开关晶体管的漏极相连,还与所述第三开关晶体管的栅极相连,所述第四开关晶体管的源极与所述第五开关晶体管的源极相连,所述第四开关晶体管的栅极与所述第二电平信号输出端相连,所述第五开关晶体管的栅极与所述第一电平信号输出端相连。

其中,当获得的启动电压小于所述预设的第一电压阈值时,所述第一电平信号为高电平信号且所述第二电平信号为低电平信号,得到所述第三电平信号为低电平信号,所述信号控制器驱动所述第一开关晶体管闭合,驱动所述第二开关晶体管及所述第三开关晶体管断开,实现所述内部元件与所述第一输出线圈之间的导通,输出所述第一输出线圈的输出电压给所述内部元件。

其中,当获得的启动电压位于所述预设的第一电压阈值和所述预设的第二电压阈值之间时,所述第一电平信号且所述第二电平信号均为低电平信号,得到所述第三电平信号为高电平信号,所述信号控制器驱动所述第三开关晶体管闭合,驱动所述第一开关晶体管及所述第二开关晶体管断开,实现所述内部元件与所述第三输出线圈之间的导通,输出所述第一输出线圈和所述第三输出线圈的叠加输出电压给所述内部元件。

其中,当获得的启动电压大于所述预设的第二电压阈值时,所述第一电平信号为低电平信号且所述第二电平信号为高电平信号,得到所述第三电平信号为低电平信号,所述信号控制器驱动所述第二开关晶体管闭合,驱动所述第一开关晶体管及所述第三开关晶体管断开,实现所述内部元件与所述第二输出线圈之间的导通,输出所述第一输出线圈、所述第二输出线圈及所述

第三输出线圈三者的叠加输出电压给所述内部元件。

为了解决上述技术问题，本发明采用的第三种技术方案为：一种用于调整输出电压的方法，所述方法包括：

获得内部元件的启动电压，并根据所述获得的内部元件的启动电压，确定所述电路中的第一电平信号及第二电平信号；其中，所述第一电平信号为高电平信号或低电平信号，所述第二电平信号为高电平信号或低电平信号；

根据所述确定的第一电平信号及第二电平信号，通过所述电路中的信号控制器驱动所述电路中与各输出线圈相连的各开关晶体管闭合或断开，从而控制输出电压的大小。

本发明所提供的用于调整输出电压的电路和方法，具有如下有益效果：

由于电路中的各输出线圈均与开关晶体管相连，通过获得的内部元件的启动电压确定电路中的第一电平信号及第二电平信号的高低，信号控制器驱动各开关晶体管闭合或断开，从而控制输出线圈的组数输出不同大小的电压，因此无需更改电压输出模式，就能满足输出电压相差较大的不同内部元件之间的使用要求，实现兼容宽范围的输出电压、降低设计成本和缩短设计周期的目的。

附图说明

图1为本发明第一实施例提供的用于调整输出电压的电路的一连接示意图；

图2为本发明第一实施例提供的用于调整输出电压的电路的又一连接示意图；

图3为本发明第二实施例提供的用于调整输出电压的电路的一连接示意图；

图4为本发明第二实施例提供的用于调整输出电压的电路的又一连接示意图;

图5为本发明第二实施例提供的用于调整输出电压的电路的又一连接示意图;

图6为本发明第二实施例提供的用于调整输出电压的电路的又一连接示意图;

图7为本发明第二实施例提供的用于调整输出电压的电路的一电路原理图;

图8为本发明第三实施例提供的用于调整输出电压的方法的流程图。。

具体实施方式

下面参考附图对本发明的优选实施例进行描述。

结合参见图1和图7,为本发明用于调整输出电压的电路的实施例。

如图1和图2所示,为本发明第一实施例提供的用于调整输出电压的电路的连接示意图。本发明第一实施例中用于调整输出电压的电路1,设置于输入电压源2和内部元件3之间,该电路1包括输出变压器、第一开关晶体管、第二开关晶体管以及信号控制器;其中,

输出变压器包括连接输入电压源2并获得该输入电压源2输入电压的输入线圈,以及位于次级的第一输出线圈和第二输出线圈,该第一输出线圈及第二输出线圈均用于将输入电压进行电压转换的;其中,第一输出线圈与第二输出线圈相串联,且第一输出线圈的电压输出端与第一开关晶体管的漏极D1相连,第二输出线圈的电压输出端与第二开关晶体管的漏极D2相连;

信号控制器具有与第一开关晶体管的栅极G1相连的第一电平信号输出端P1,与第二开关晶体管的栅极G2相连的第二电平信号输出端P2,以及

与内部元件 3 的一端相连的输入端 P3，该信号控制器用于通过输入端 P3 获得内部元件 3 的启动电压，并根据获得的内部元件 3 的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后，在第一电平信号输出端 P1 输出第一电平信号 m1，以及在第二电平信号输出端 P2 输出第二电平信号 m2；

第一开关晶体管的源极 S1 与内部元件 3 的另一端相连，用于根据第一电平信号输出端输出的第一电平信号 m1 的高低，实现内部元件 3 与第一输出线圈的导通或断开，其中，在导通时，输出第一输出线圈的输出电压给内部元件 3；

第二开关晶体管的源极 S1 与内部元件 3 的另一端相连，用于根据第二电平信号输出端输出的第二电平信号 m2 的高低，实现内部元件 3 与第二输出线圈的导通或断开，其中，在导通时，输出第一输出线圈及第二输出线圈的叠加输出电压给内部元件 3。

更进一步的，信号控制器包括第一比较器和第二比较器，该第一比较器中预设第一电压阈值，该第二比较器中预设第二电压阈值，预设的第一电压阈值与预设的第二电压阈值相等；其中，

第一比较器包括与内部元件 3 的一端相连的输入端和与第一电平信号输出端 P1，该第一比较器用于通过输入端获得内部元件 3 的启动电压，并根据获得的内部元件 3 的启动电压与预设的第一电压阈值进行比较后，在第一电平信号输出端 P1 输出第一电平信号 m1；

第二比较器包括与内部元件 3 的一端相连的输入端和第二电平信号输出端 P2，该第二比较器用于通过输入端获得内部元件 3 的启动电压，并根据获得的内部元件 3 的启动电压与预设的第二电压阈值进行比较后，在第二电平

信号输出端 P2 输出第二电平信号 m2。

此时，由于输出线圈为两组，判别的电压阈值相等，即第一电压阈值等于第二电压阈值，因此当获得的启动电压小于预设的第一电压阈值时，第一电平信号 m1 为高电平信号且第二电平信号 m2 为低电平信号，当获得的启动电压大于或等于预设的第一电压阈值时，第一电平信号 m1 为低电平信号且第二电平信号 m2 为高电平信号。

在第一电平信号 m1 为高电平信号且第二电平信号 m2 为低电平信号时（即启动电压小于预设的第一电压阈值），信号控制器驱动第一开关晶体管闭合及驱动第二开关晶体管断开，实现内部元件 3 与第一输出线圈之间的导通，输出第一输出线圈的输出电压给内部元件 3；在第一电平信号 m1 为低电平信号且第二电平信号 m2 为高电平信号时（即启动电压大于预设的第一电压阈值），信号控制器驱动第一开关晶体管断开及驱动第二开关晶体管闭合，实现内部元件 3 与第二输出线圈之间的导通，输出第一输出线圈和第二输出线圈的叠加输出电压给内部元件 3。

本发明第一实施例中一种用于调整输出电压的电路的工作原理为：信号控制器自动监测并获取内部元件（如发光二极管）的启动电压，将启动电压在信号控制器中进行比较后，根据比较结果输出不同的电平信号，从而通过信号控制器驱动与各输出线圈相连的开关晶体管闭合或断开，控制输出不同大小的电压，满足不同内部元件的使用要求。换句话说，设计人员相应的也可以根据不同内部元件的启动电压及实际需要，在无需改变电压输出模式的情况下，调整输入线圈与输出线圈的匝数比值。

作为一个例子，输出线圈包括第一输出线圈和第二输出线圈，其中，输入线圈与第一输出线圈的匝数比为 1: A，输入线圈与第一、第二输出线圈

二者之和的匝数比为 $1:B$ ；当内部元件的启动电压 $U_0 < \text{第一电压阈值 } U_1$ 时，连接第一输出线圈的第一开关晶体管 K_1 闭合，连接第二输出线圈的第二开关晶体管 K_2 断开，使得输出线圈采用第一输出线圈，其在第一输出线圈上的输出电压 $V_o = A * \text{输入电压 } V_i > U_0$ ，为了满足输出电压 $V_o = \text{内部元件的启动电压 } U_0$ ，可以调整输入线圈与第一输出线圈的匝数比实现；同理，当内部元件的启动电压 $U_0 > \text{第一电压阈值 } U_1$ 时，连接第一输出线圈的第一开关晶体管 K_1 断开，连接第二输出线圈的第二开关晶体管 K_2 闭合，使得输出线圈采用两组，即第一输出线圈和第二输出线圈，其在第二输出线圈上的输出电压 $V_o = B * \text{输入电压 } V_i > U_0$ ，为了满足输出电压 $V_o = \text{内部元件的启动电压 } U_0$ ，可以调整输入线圈与第一、第二输出线圈的匝数比实现。

相应于本发明第一实施例的用于调整输出电压的电路，本发明第二实施例还提供一种用于调整输出电压的电路，不仅仅具有本发明第一实施例中所述的用于调整输出电压的电路的构成及连接关系，还新增了第三输出线圈、第三开关晶体管以及逻辑运算器。

如图 3 至图 6 所示，为本发明第二实施例提供的用于调整输出电压的电路的连接示意图。本发明第二实施例中用于调整输出电压的电路 1，设置于输入电压源 2 和内部元件 3 之间，该电路 1 包括输出变压器、第一开关晶体管、第二开关晶体管、第三开关晶体管、逻辑运算器以及信号控制器；其中，

输出变压器包括连接输入电压源 2 并获得该输入电压源 2 输入电压的输入线圈，以及位于次级的第一输出线圈、第二输出线圈和第三输出线圈，第一输出线圈、第二输出线圈和第三输出线圈均用于将输入电压进行电压转换；其中，第三输出线圈设置于第一输出线圈与第二输出线圈之间，与第一输出线圈及第二输出线圈三者相串联，且第一输出线圈的电压输出端与第一

开关晶体管的漏极 D1 相连, 第二输出线圈的电压输出端与第二开关晶体管的漏极 D2 相连, 第三输出线圈的电压输出端与第三开关晶体管的漏极 D3 相连;

信号控制器具有与第一开关晶体管的栅极 G1 相连的第一电平信号输出端 P1, 与第二开关晶体管的栅极 G2 相连的第二电平信号输出端 P2, 以及与内部元件 3 的一端相连的输入端 P3, 该信号控制器用于通过输入端 P3 获得内部元件 3 的启动电压, 并根据获得的内部元件 3 的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后, 在第一电平信号输出端 P1 输出第一电平信号 m1, 以及在第二电平信号输出端 P2 输出第二电平信号 m2; 其中, 所述预设的第二电压阈值大于所述预设的第一电压阈值;

逻辑运算器的第一端 L1 与第一电平信号输出端 P1 相连, 第二端 L2 与第二电平信号输出端 P2 相连, 第三端 L3 与第三开关晶体管的栅极 G3 相连, 或该逻辑运算器的第一端 L1 与第二电平信号输出端 P2 相连, 第二端 L2 与第一电平信号输出端 P1 相连, 第三端 L3 与第三开关晶体管的栅极 G3 相连;

该逻辑运算器用于根据第一电平信号 m1 及第二电平信号 m2 的高低, 确定通过第三端 L3 输出给第三开关晶体管的第三电平信号 m3 的高低; 其中, 当第一电平信号 m1 且第二电平信号 m2 均为低电平信号或高电平信号时, 第三电平信号 m3 为高电平信号; 当第一电平信号 m1 为低电平信号且第二电平信号 m2 为高电平信号, 或第一电平信号 m1 为高电平信号且第二电平信号 m2 为低电平信号时, 第三电平信号 m3 为低电平信号;

第一开关晶体管的源极 S1 与内部元件 3 的另一端相连, 用于根据第一电平信号输出端输出的第一电平信号 m1 的高低, 实现内部元件 3 与第一输出线圈导通或断开, 其中, 在导通时, 输出第一输出线圈的输出电压给内部

元件 3;

第二开关晶体管的源极 S1 与内部元件 3 的另一端相连, 用于根据第二电平信号输出端输出的第二电平信号 m2 的高低, 实现内部元件 3 与第二输出线圈导通或断开, 其中, 在导通时, 输出第一输出线圈、第二输出线圈及第三输出线圈三者的叠加输出电压给内部元件 3;

第三开关晶体管的源极 S3 与内部元件 3 的一端相连, 用于根据第三电平信号 m3 的高低, 实现内部元件 3 与第三输出线圈导通或断开, 输出所述第一输出线圈及第三输出线圈的叠加输出电压给内部元件 3。

此时, 输出线圈为三组, 用于拓宽输出电压的范围, 在信号控制器中的预设的第二电压阈值应大于预设的第一电压阈值, 这样就可以扩大内部元件的启动电压比较范围, 从而扩大不同内部元件的使用范围。当获得的启动电压小于预设的第一电压阈值时, 第一电平信号 m1 为高电平信号及第二电平信号 m2 为低电平信号, 得到第三电平信号 m3 为低电平信号; 当获得的启动电压位于预设的第一电压阈值和预设的第二电压阈值之间时, 第一电平信号 m1 及第二电平信号 m2 均为低电平信号, 得到第三电平信号 m3 为高电平信号; 当获得的启动电压大于预设的第二电压阈值时, 第一电平信号 m1 为低电平信号及第二电平信号 m2 为高电平信号, 得到第三电平信号 m3 为低电平信号。

更进一步的, 信号控制器包括第一比较器和第二比较器, 该第一比较器中预设第一电压阈值, 该第二比较器中预设第二电压阈值; 其中,

第一比较器包括与内部元件 3 的一端相连的输入端和第一电平信号输出端 P1, 该第一比较器用于通过输入端获得内部元件 3 的启动电压, 并根据获得的内部元件 3 的启动电压与预设的第一电压阈值进行比较后, 在第一电

平信号输出端 P1 输出第一电平信号 m1;

第二比较器包括与内部元件的一端相连的输入端和第二电平信号输出端 P2, 该第二比较器用于通过输入端获得内部元件 3 的启动电压, 并根据获得的内部元件 3 的启动电压与预设的第二电压阈值进行比较后, 在第二电平信号输出端 P2 输出第二电平信号 m2。

更进一步的, 所逻辑运算器包括第四开关晶体管和与第四开关晶体管相并联的第五开关晶体管; 其中,

第四开关晶体管的漏极 D4 与第五开关晶体管的漏极 D5 相连, 还与第三开关晶体管的栅极 G3 相连, 第四开关晶体管的源极 S4 与第五开关晶体管的源极 S5 相连, 第四开关晶体管的栅极 G4 与第一电平信号输出端 P1 相连, 第五开关晶体管的栅极 G5 与第二电平信号输出端 P2 相连; 或

第四开关晶体管的漏极 D4 与第五开关晶体管的漏极 D5 相连, 还与第三开关晶体管的栅极 G3 相连, 第四开关晶体管的源极 S4 与第五开关晶体管的源极 S5 相连, 第四开关晶体管的栅极 G4 与第二电平信号输出端 P2 相连, 第五开关晶体管的栅极 G5 与第一电平信号输出端 P1 相连。

当获得的启动电压小于预设的第一电压阈值时, 第一电平信号 m1 为高电平信号及第二电平信号 m2 为低电平信号, 得到第三电平信号 m3 为低电平信号, 信号控制器驱动第一开关晶体管闭合, 驱动第二开关晶体管及第三开关晶体管断开, 实现内部元件 3 与第一输出线圈之间的导通, 输出第一输出线圈的输出电压给内部元件 3。

当获得的启动电压位于预设的第一电压阈值和预设的第二电压阈值之间时, 第一电平信号 m1 及第二电平信号 m2 均为低电平信号, 得到第三电平信号 m3 为高电平信号, 信号控制器驱动第三开关晶体管闭合, 驱动第一

开关晶体管及第二开关晶体管断开，实现内部元件 3 与第三输出线圈之间的导通，输出第一输出线圈及第三输出线圈的叠加输出电压给内部元件 3。

当获得的启动电压大于预设的第二电压阈值时，第一电平信号 m1 为低电平信号及第二电平信号 m2 为高电平信号，得到第三电平信号 m3 为低电平信号，信号控制器驱动第二开关晶体管闭合，驱动第一开关晶体管及第三开关晶体管断开，实现内部元件 3 与第二输出线圈之间的导通，输出第一输出线圈、第二输出线圈及第三输出线圈三者的叠加输出电压给内部元件 3。

本发明第二实施例中一种用于调整输出电压的电路的工作原理与本发明第一实施例中所述的用于调整输出电压的电路的工作原理相同，在此不再赘述。

作为一个例子，输出线圈包括第一输出线圈、第二输出线圈和第三输出线圈，第三输出线圈位于第一输出线圈和第二输出线圈之间，其中，输入线圈与第一输出线圈的匝数比为 $1:A$ ，输入线圈与第一、第三输出线圈二者之和的匝数比为 $1:B$ ，输入线圈与第一、第二及第三输出线圈三者之和的匝数比为 $1:C$ ；

当内部元件的启动电压 $U_0 < \text{第一电压阈值 } U_1$ 时，连接第一输出线圈的第一开关晶体管 K1 闭合，连接第二输出线圈的第二开关晶体管 K2 及连接第三输出线圈的第三开关晶体管 K3 断开，使得输出线圈采用第一输出线圈，其在第一输出线圈上的输出电压 $V_0 = A * \text{输入电压 } V_i > U_0$ ，为了满足输出电压 $V_0 = \text{内部元件的启动电压 } U_0$ ，可以调整输入线圈与第一输出线圈的匝数比实现；

同理，当第一电压阈值 $U_2 > \text{内部元件的启动电压 } U_0 > \text{第一电压阈值 } U_1$ 时，连接第一输出线圈的第一开关晶体管 K1 断开及连接第二输出线圈的第

二开关晶体管 K2 断开, 连接第三输出线圈的第三开关晶体管 K3 闭合, 使得输出线圈采用两组, 即第一输出线圈和第三输出线圈, 其在第三输出线圈上的输出电压 $V_o = B \cdot \text{输入电压 } V_i > U_0$ 且输出电压 $V_o < C \cdot \text{输入电压 } V_i$, 为了满足输出电压 $V_o = \text{内部元件的启动电压 } U_0$, 可以调整输入线圈与第一、第三输出线圈的匝数比实现;

同理, 当内部元件的启动电压 $U_0 > \text{第二电压阈值 } U_2$ 时 (即也 $> \text{第一电压阈值 } U_1$), 连接第一输出线圈的第一开关晶体管 K1 断开及连接第三输出线圈的第三开关晶体管 K3 断开, 连接第二输出线圈的第二开关晶体管 K2 闭合, 使得输出线圈采用三组, 即第一输出线圈、第三输出线圈和第二输出线圈, 其在第二输出线圈上的输出电压 $V_o = C \cdot \text{输入电压 } V_i > U_0$, 为了满足输出电压 $V_o = \text{内部元件的启动电压 } U_0$, 可以调整输入线圈与第一、第二及第三输出线圈的匝数比实现。

如图 7 所示, 为本发明第二实施例提供的用于调整输出电压的电路的一电路原理图, 方框中的电路为用于调整输出电压的电路, 该电路获得输入电压源的输入电压 V_{in} , 经输出变压后输出电压给内部元件 LED。其中,

输出变压器包括输入线圈 N1, 以及位于次级的第一输出线圈 N2、第二输出线圈 N4 和第三输出线圈 N3, 第一输出线圈 N2、第二输出线圈 N4 和第三输出线圈 N3 三者相串联;

信号控制器包括第一比较器 OP2 和第二比较器 OP1, 二者均获得内部元件 LED 的启动电压 FB, 在第一比较器 OP2 中与为第一电压阈值的 V_{ref2} 进行比较后, 输出的电平信号 OutPut2 为第一电平信号, 在第二比较器 OP1 中与为第二电压阈值的 V_{ref1} 进行比较后, 输出的电平信号 OutPut1 为第二电平信号;

逻辑运算器包括第四开关晶体管 Q17 和第五开关晶体管 Q18, 二者相并联且分别获得不同的电平信号, 输出第三电平信号给第三开关晶体管 Q13;

第一开关晶体管 Q2 连接第一输出线圈 N2 与内部元件 LED 之间, 获得为第一电平信号的 OutPut2, 导通时, 输出第一输出线圈 N2 的输出电压给内部元件 LED;

第二开关晶体管 Q1 连接第二输出线圈 N4 与内部元件 LED 之间, 获得为第二电平信号的 OutPut1, 导通时, 输出第一输出线圈 N2、第二输出线圈 N4 及第三输出线圈 N3 三者的叠加输出电压给内部元件 LED;

第三开关晶体管 Q13 连接第三输出线圈 N3 与内部元件 LED 之间, 导通时, 输出第一输出线圈 N2 及第三输出线圈 N3 的叠加输出电压给内部元件 LED。

结合参见图 8, 为本发明用于调整输出电压的方法的实施例。

如图 7 所示, 为本发明第三实施例提供的用于调整输出电压的方法的流程图。本发明第三实施例中用于调整输出电压的方法, 其在本发明第一实施例或本发明第二实施例中的用于调整输出电压的电路中实现, 所述方法包括:

步骤 S101、获得内部元件的启动电压, 并根据所述获得的内部元件的启动电压, 确定所述电路中的第一电平信号及第二电平信号; 其中, 所述第一电平信号为高电平信号或低电平信号, 所述第二电平信号为高电平信号或低电平信号;

步骤 S102、根据所述确定的第一电平信号及第二电平信号, 驱动所述电路中与各输出线圈相连的各开关晶体管闭合或断开, 从而控制输出电压的大小。

本发明所提供的用于调整输出电压的电路和方法，具有如下有益效果：

由于电路中的各输出线圈均与开关晶体管相连，通过获得的内部元件的启动电压确定电路中的第一电平信号及第二电平信号的高低，信号控制器驱动各开关晶体管闭合或断开，从而控制输出线圈的组数输出不同大小的电压，因此无需更改电压输出模式，就能满足输出电压相差较大的不同内部元件之间的使用要求，实现兼容宽范围的输出电压、降低设计成本和缩短设计周期的目的。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分步骤是可以通过程序来指令相关的硬件来完成，所述的程序可以存储于一计算机可读取存储介质中，所述的存储介质，如 ROM/RAM、磁盘、光盘等。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此依本发明权利要求所作的等同变化，仍属本发明所涵盖的范围。

权 利 要 求

1、一种用于调整输出电压的电路，设置于输入电压源和内部元件之间，其中，包括输出变压器、第一开关晶体管、第二开关晶体管以及信号控制器；其中，

所述输出变压器包括连接所述输入电压源的输入线圈，以及位于次级的第一输出线圈和第二输出线圈；其中，所述第一输出线圈与所述第二输出线圈相串联，且所述第一输出线圈的电压输出端与所述第一开关晶体管的漏极相连，所述第二输出线圈的电压输出端与所述第二开关晶体管的漏极相连；

所述信号控制器包括与所述第一开关晶体管的栅极相连的第一电平信号输出端，与所述第二开关晶体管的栅极相连的第二电平信号输出端，以及与所述内部元件的一端相连的输入端，其用于根据所述内部元件的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后，在所述第一电平信号输出端输出第一电平信号，以及在所述第二电平信号输出端输出第二电平信号；

所述第一开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第一电平信号输出端输出的第一电平信号的高低，实现所述内部元件与所述第一输出线圈之间的导通或断开，其中，在导通时，输出所述第一输出线圈的输出电压给所述内部元件；

所述第二开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第二电平信号输出端输出的第二电平信号的高低，实现所述内部元件与所述第二输出线圈之间的导通或断开，其中，在导通时，输出所述第一输出线圈与所述第二输出线圈的叠加输出电压给所述内部元件。

2、如权利要求 1 所述的电路，其中，所述信号控制器包括第一比较器

和第二比较器；其中，

所述第一比较器包括与所述内部元件的一端相连的输入端和所述第一电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第一电压阈值进行比较后，在所述第一电平信号输出端输出所述第一电平信号；

所述第二比较器包括与所述内部元件的一端相连的输入端和所述第二电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第二电压阈值进行比较后，在所述第二电平信号输出端输出所述第二电平信号；其中，所述预设的第一电压阈值与所述预设的第二电压阈值相等。

3、如权利要求 2 所述的电路，其中，当所述获得的启动电压小于所述预设的第一电压阈值时，所述第一电平信号为高电平信号且所述第二电平信号为低电平信号，所述信号控制器驱动所述第一开关晶体管闭合及驱动所述第二开关晶体管断开，实现所述内部元件与所述第一输出线圈之间的导通，输出所述第一输出线圈的输出电压给所述内部元件。

4、如权利要求 2 所述的电路，其中，当所述获得的启动电压大于所述预设的第一电压阈值时，所述第一电平信号为低电平信号且所述第二电平信号为高电平信号，所述信号控制器驱动所述第一开关晶体管断开及驱动所述第二开关晶体管闭合，实现所述内部元件与所述第二输出线圈之间的导通，输出所述第一输出线圈与所述第二输出线圈的叠加输出电压给所述内部元件。

5、一种用于调整输出电压的电路，设置于输入电压源和内部元件之间，其中，包括输出变压器、第一开关晶体管、第二开关晶体管、第三开关晶体

管、逻辑运算器以及信号控制器；其中，

所述输出变压器包括连接所述输入电压源的输入线圈，以及位于次级的第一输出线圈、第二输出线圈和第三输出线圈；其中，所述第三输出线圈设置于所述第一输出线圈与所述第二输出线圈之间，并与所述第一输出线圈及所述第二输出线圈三者相串联，且所述第一输出线圈的电压输出端与所述第一开关晶体管的漏极相连，所述第二输出线圈的电压输出端与所述第二开关晶体管的漏极相连，所述第三输出线圈的电压输出端与所述第三开关晶体管的漏极相连；

所述信号控制器具有与所述第一开关晶体管的栅极相连的第一电平信号输出端，与所述第二开关晶体管的栅极相连的第二电平信号输出端，以及与所述内部元件的一端相连的输入端，其用于根据所述内部元件的启动电压与预设的第一电压阈值及预设的第二电压阈值进行比较后，在所述第一电平信号输出端输出第一电平信号，以及在所述第二电平信号输出端输出第二电平信号；

所述逻辑运算器具有与所述第一电平信号输出端相连的第一端，与所述第二电平信号输出端相连的第二端，以及与所述第三开关晶体管的栅极相连的第三端，或所述逻辑运算器具有与所述第二电平信号输出端相连的第一端，与所述第一电平信号输出端相连的第二端，以及与所述第三开关晶体管的栅极相连的第三端，其用于根据所述第一电平信号及所述第二电平信号的高低，确定通过所述第三端输出给所述第三开关晶体管的第三电平信号的高低；其中，当所述第一电平信号且所述第二电平信号均为低电平信号或高电平信号时，所述第三电平信号为高电平信号；当所述第一电平信号为低电平信号且所述第二电平信号为高电平信号，或所述第一电平信号为高电平信号

且所述第二电平信号为低电平信号时，所述第三电平信号为低电平信号；

所述第一开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第一电平信号输出端输出的第一电平信号的高低，实现所述内部元件与所述第一输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈的输出电压给所述内部元件；

所述第二开关晶体管的源极与所述内部元件的另一端相连，用于根据所述第二电平信号输出端输出的第二电平信号的高低，实现所述内部元件与所述第二输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈、所述第二输出线圈及所述第三输出线圈三者的叠加输出电压给所述内部元件；

所述第三开关晶体管的源极与所述内部元件的另一端相连，用于根据所述逻辑运算器输出的第三电平信号的高低，实现所述内部元件与所述第三输出线圈的导通或断开，其中，在导通时，输出所述第一输出线圈及所述第三输出线圈的叠加输出电压给所述内部元件。

6、如权利要求 5 所述的电路，其中，所述信号控制器包括第一比较器和第二比较器；其中，

所述第一比较器包括与所述内部元件的一端相连的输入端和所述第一电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第一电压阈值进行比较后，在所述第一电平信号输出端输出所述第一电平信号；

所述第二比较器包括与所述内部元件的一端相连的输入端和所述第二电平信号输出端，其用于通过所述输入端获得所述内部元件的启动电压，并根据所述获得的内部元件的启动电压与所述预设的第二电压阈值进行比较

后，在所述第二电平信号输出端输出所述第二电平信号；其中，所述预设的第二电压阈值大于所述预设的第一电压阈值。

7、如权利要求 6 所述的电路，其中，所述逻辑运算器包括第四开关晶体管和与所述第四开关晶体管相并联的第五开关晶体管；其中，

所述第四开关晶体管的漏极与所述第五开关晶体管的漏极相连，还与所述第三开关晶体管的栅极相连，所述第四开关晶体管的源极与所述第五开关晶体管的源极相连，所述第四开关晶体管的栅极与所述第一电平信号输出端相连，所述第五开关晶体管的栅极与所述第二电平信号输出端相连；或

所述第四开关晶体管的漏极与所述第五开关晶体管的漏极相连，还与所述第三开关晶体管的栅极相连，所述第四开关晶体管的源极与所述第五开关晶体管的源极相连，所述第四开关晶体管的栅极与所述第二电平信号输出端相连，所述第五开关晶体管的栅极与所述第一电平信号输出端相连。

8、如权利要求 7 所述的电路，其中，当获得的启动电压小于所述预设的第一电压阈值时，所述第一电平信号为高电平信号且所述第二电平信号为低电平信号，得到所述第三电平信号为低电平信号，所述信号控制器驱动所述第一开关晶体管闭合，驱动所述第二开关晶体管及所述第三开关晶体管断开，实现所述内部元件与所述第一输出线圈之间的导通，输出所述第一输出线圈的输出电压给所述内部元件。

9、如权利要求 7 所述的电路，其中，当获得的启动电压位于所述预设的第一电压阈值和所述预设的第二电压阈值之间时，所述第一电平信号且所述第二电平信号均为低电平信号，得到所述第三电平信号为高电平信号，所述信号控制器驱动所述第三开关晶体管闭合，驱动所述第一开关晶体管及所述第二开关晶体管断开，实现所述内部元件与所述第三输出线圈之间的导

通，输出所述第一输出线圈和所述第三输出线圈的叠加输出电压给所述内部元件。

10、如权利要求 7 所述的方法，其中，当获得的启动电压大于所述预设的第二电压阈值时，所述第一电平信号为低电平信号且所述第二电平信号为高电平信号，得到所述第三电平信号为低电平信号，所述信号控制器驱动所述第二开关晶体管闭合，驱动所述第一开关晶体管及所述第三开关晶体管断开，实现所述内部元件与所述第二输出线圈之间的导通，输出所述第一输出线圈、所述第二输出线圈及所述第三输出线圈三者的叠加输出电压给所述内部元件。

11、一种用于调整输出电压的方法，其中，所述方法包括：

获得内部元件的启动电压，并根据所述获得的内部元件的启动电压，确定所述电路中的第一电平信号及第二电平信号；其中，所述第一电平信号为高电平信号或低电平信号，所述第二电平信号为高电平信号或低电平信号；

根据所述确定的第一电平信号及第二电平信号，通过所述电路中的信号控制器驱动所述电路中与各输出线圈相连的各开关晶体管闭合或断开，从而控制输出电压的大小。

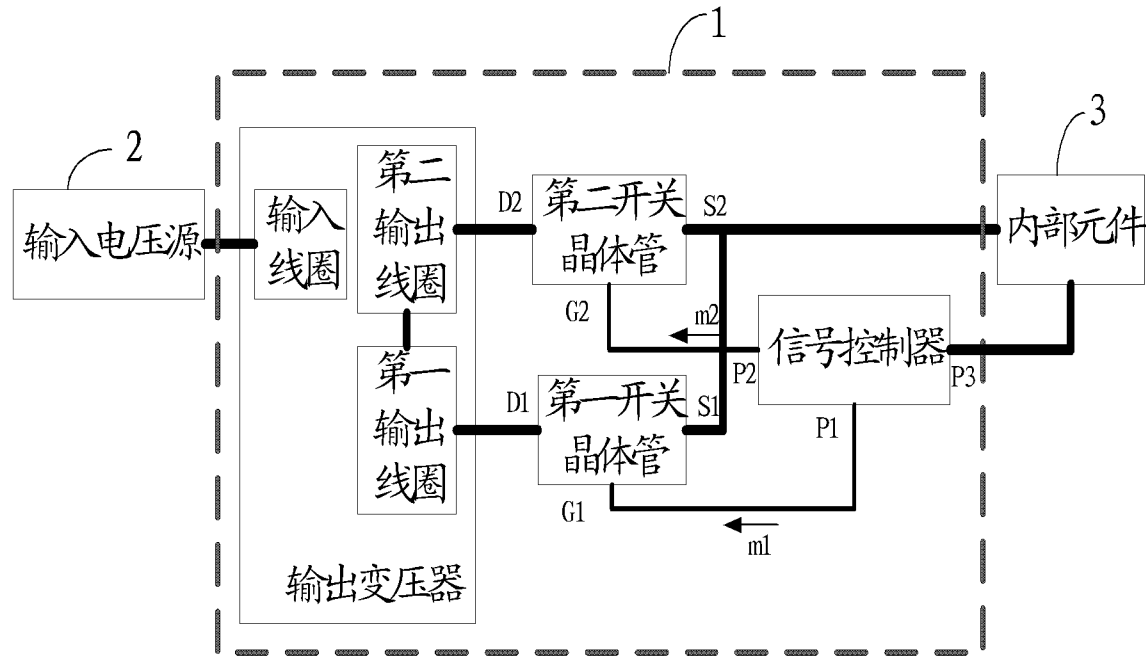


图 1

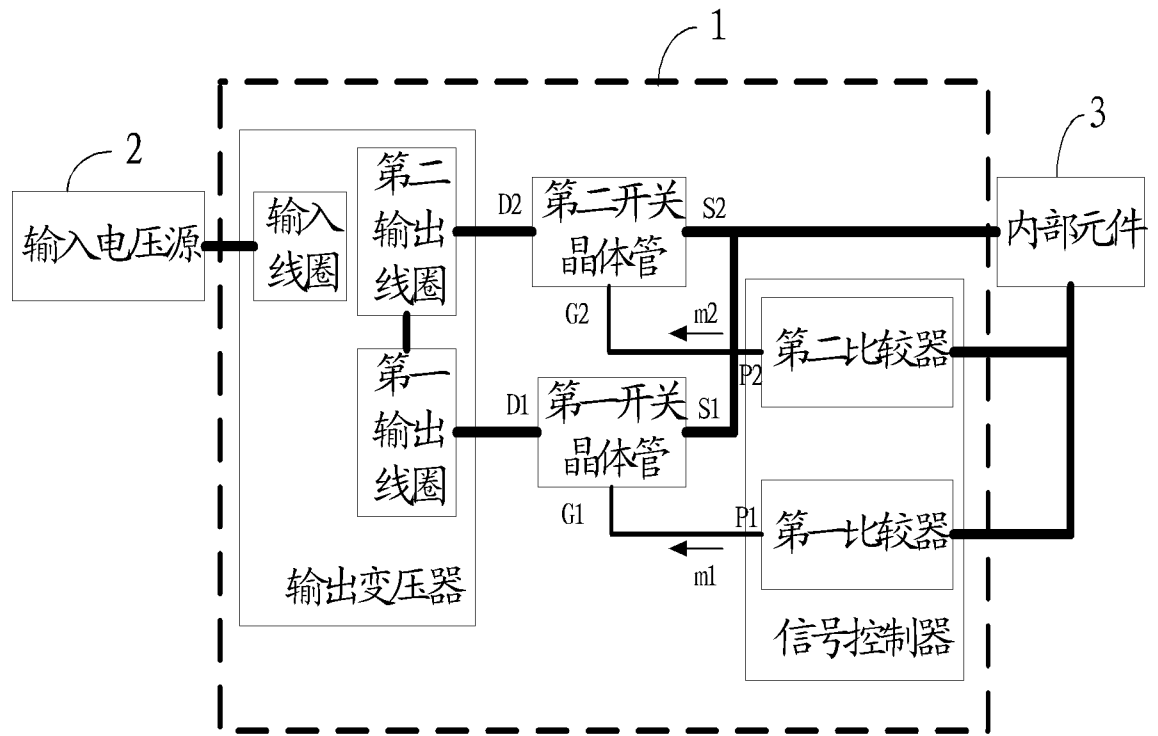


图 2

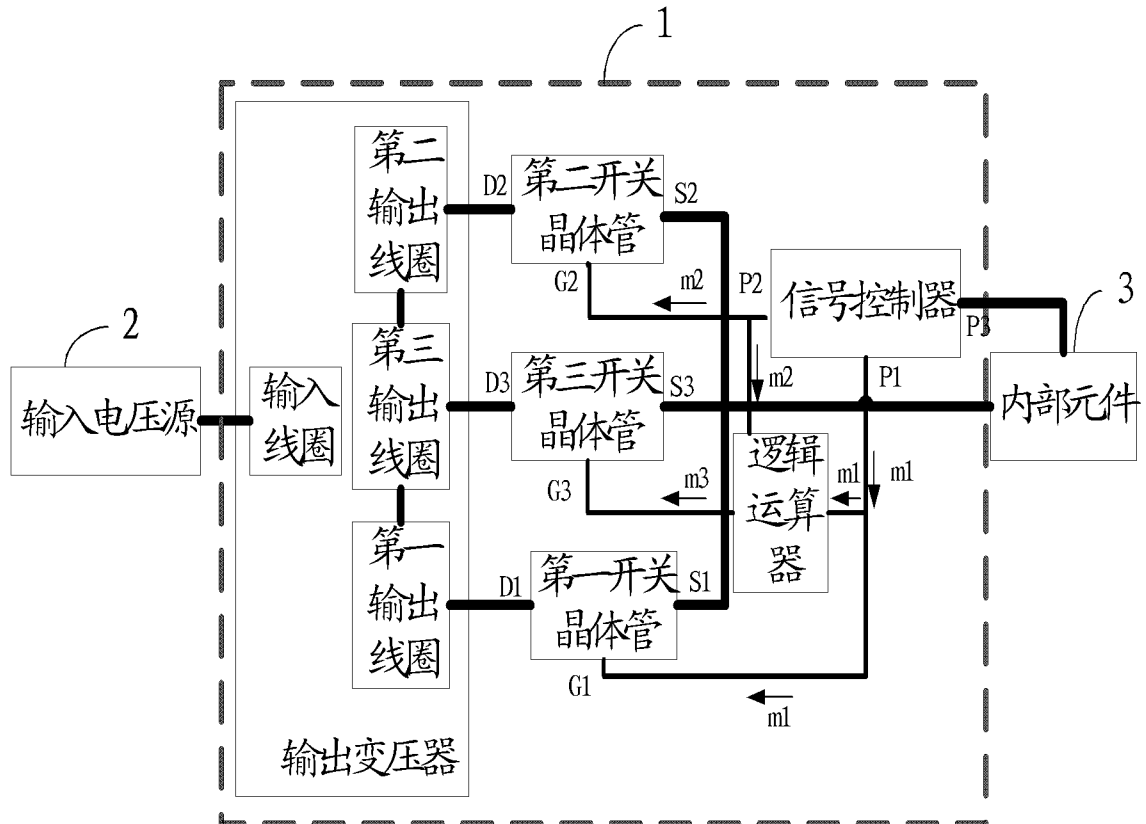


图 3

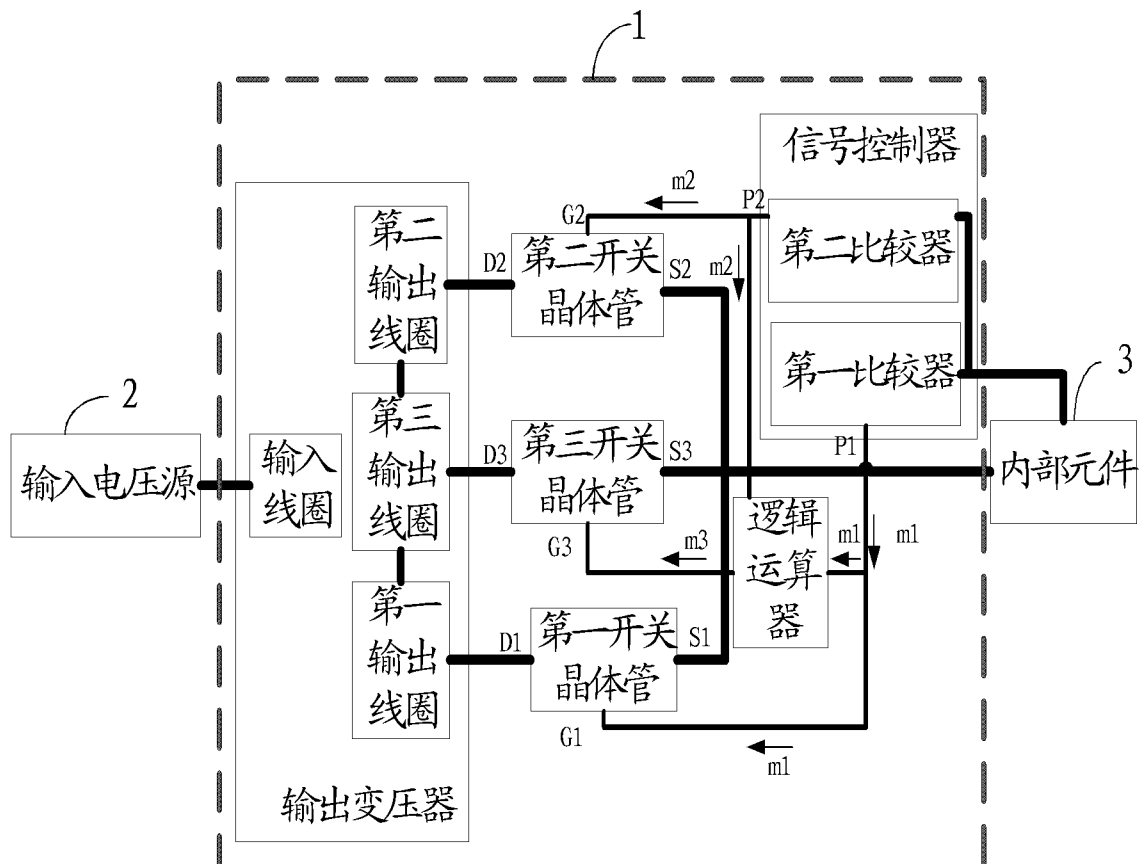


图 4

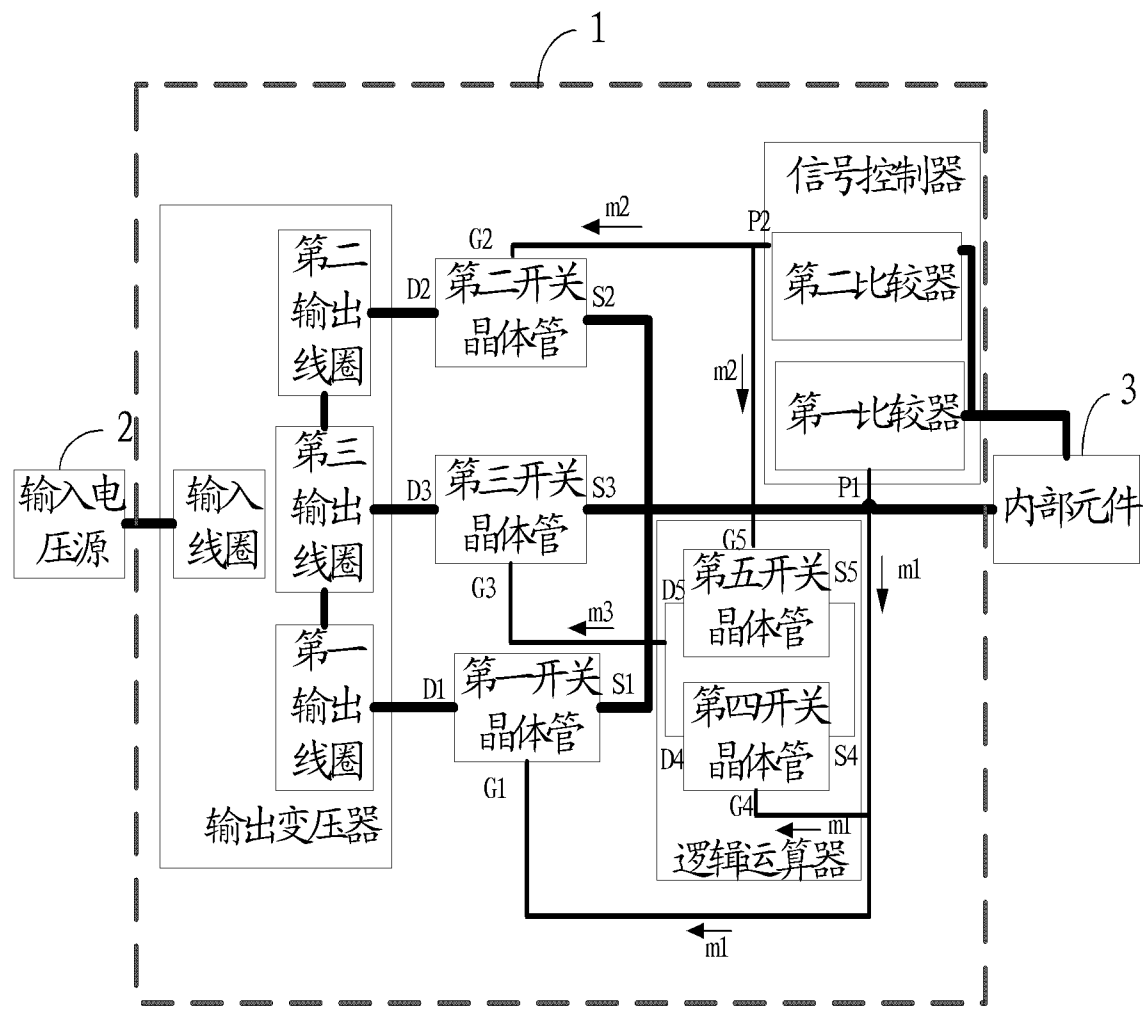


图 5

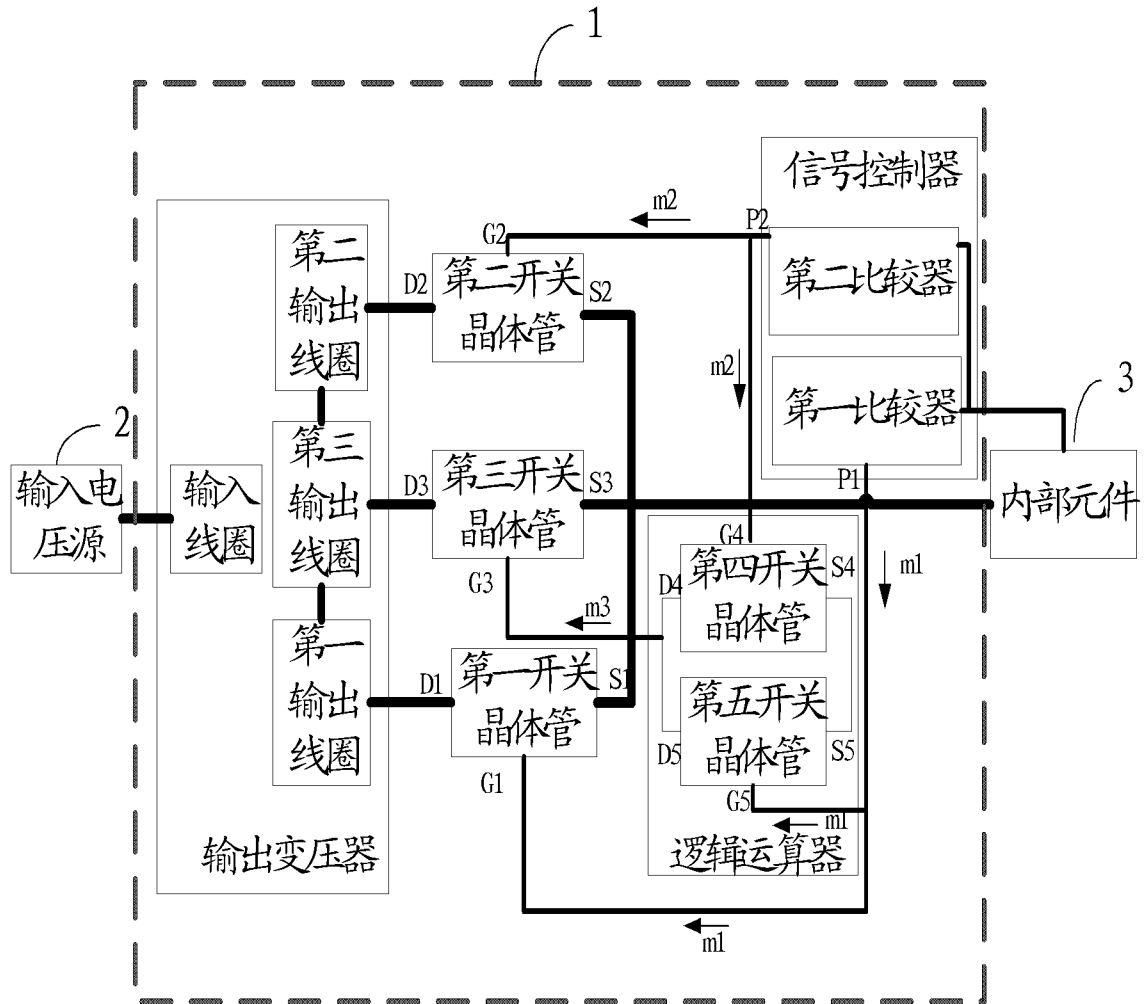


图 6

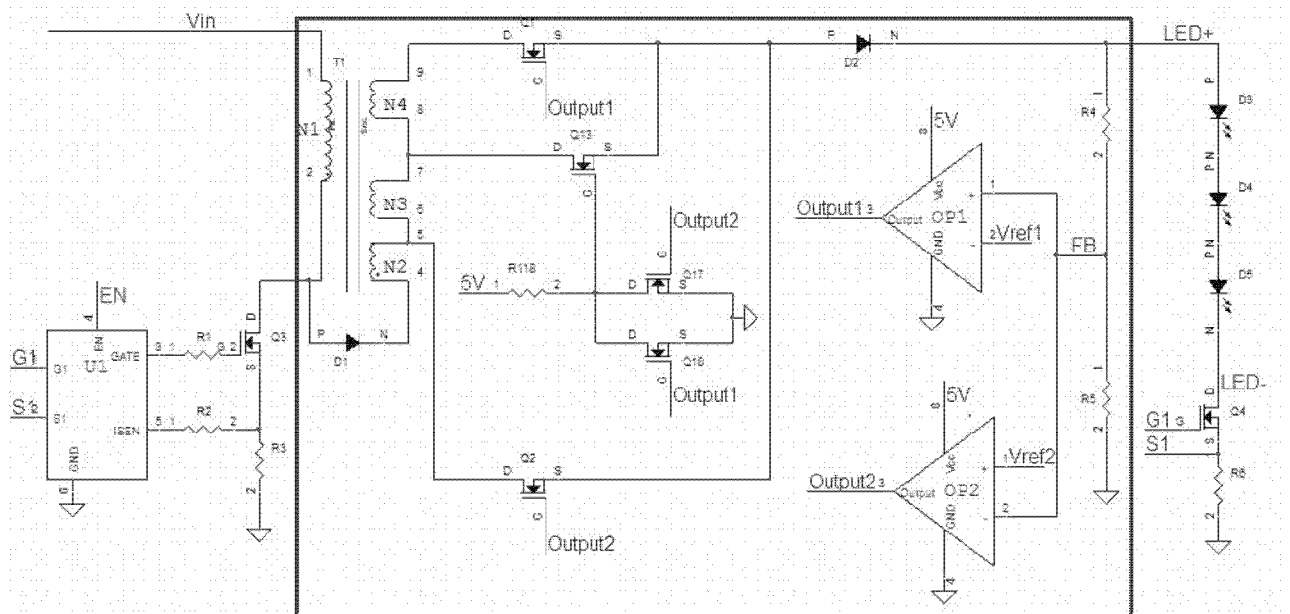


图 7

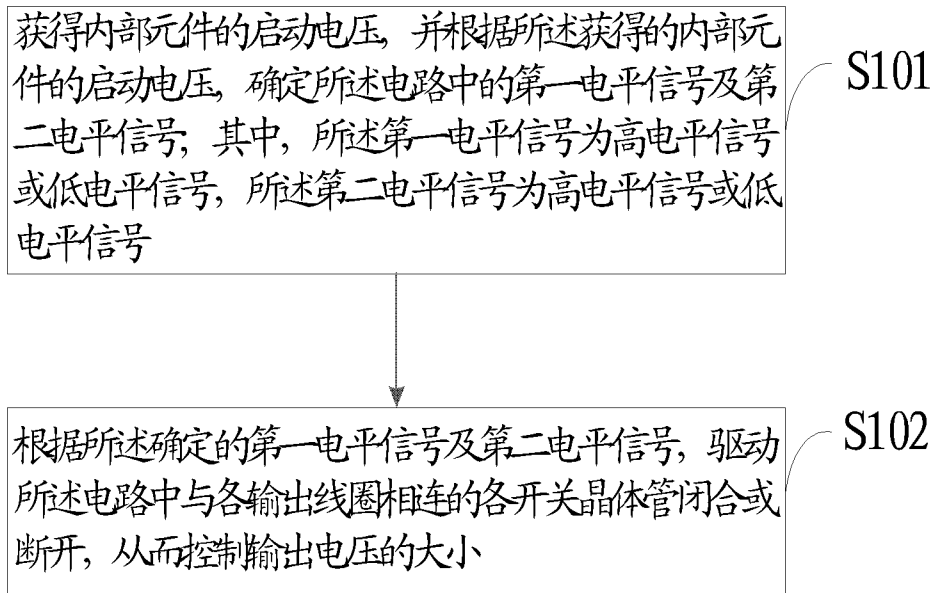


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/080957

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/158 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M; G05F 1

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, CNTXT, EPODOC, WPI: threshold value, starting voltage, threshold voltage, first, second, multiple, output voltage, adjust, coil, winding, series, transformer, start, startup, transistor, switch, compare

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1813394 A (INTEL CORPORATION), 02 August 2006 (02.08.2006), description, pages 3-4, and figures 1-2	1-4, 11
A	CN 101512475 A (MITSUBISHI ELECTRIC CORP.), 19 August 2009 (19.08.2009), the whole document	1-11
A	CN 101471174 A (SHENZHEN MINDRAY BIO-MEDICAL ELECTRONICS CO., LTD.), 01 July 2009 (01.07.2009), the whole document	1-11
A	EP 2390750 A1 (CSKK HKG LTD. et al.), 30 November 2011 (30.11.2011), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 December 2014 (18.12.2014)	Date of mailing of the international search report 04 January 2015 (04.01.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer HUANG, Shan Telephone No.: (86-10) 62413762

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/080957

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1813394 A	02 August 2006	CN 100585993 C	27 January 2010
		US 7193397 B2	20 March 2007
		WO 2005006524 A2	20 January 2005
		EP 1639692 A2	29 March 2006
		WO 2005006524 A3	09 June 2005
		US 2004263135 A1	30 December 2004
		WO 2005006524 A8	28 July 2005
CN 101512475 A	19 August 2009	EP 2056191 A4	20 October 2010
		CN 101512475 B	23 May 2012
		US 2009257260 A1	15 October 2009
		JP 4575446 B2	04 November 2010
		US 8120367 B2	21 February 2012
		WO 2008072329 A1	19 June 2008
		KR 101067180 B1	22 September 2011
		KR 20090068239 A	25 June 2009
		EP 2056191 A1	06 May 2009
CN 101471174 A	01 July 2009	CN 101471174 B	26 January 2011
EP 2390750 A1	30 November 2011	AU 2009338258 A1	29 July 2010
		JP 4934224 B2	16 May 2012
		US 2011273149 A1	10 November 2011
		RU 2487391 C2	10 July 2013
		RU 2010151824 A	27 February 2013
		CN 201955695 U	31 August 2011
		CA 2728107 A1	29 July 2010
		JP 2012501618 A	19 January 2012
		WO 2010085005 A1	29 July 2010
		SG 171705 A1	29 August 2011

国际检索报告

国际申请号

PCT/CN2014/080957

A. 主题的分类

H02M 3/158(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H02M; G05F1

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, CNTXT, EPODOC, WPI: 输出电压, 调节, 变压器, 线圈, 绕组, 开关, 晶体管, 串联, 阈值, 启动电压, 开启电压, 第一, 第二, 多, 比较, output voltage, adjust, coil, winding, series, transformer, start, startup, transistor, switch, compare

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1813394 A (英特尔公司) 2006年 8月 02日 (2006 - 08 - 02) 说明书第3-4页、图1-2	1-4, 11
A	CN 101512475 A (三菱电机株式会社) 2009年 8月 19日 (2009 - 08 - 19) 全文	1-11
A	CN 101471174 A (深圳迈瑞生物医疗电子股份有限公司) 2009年 7月 01日 (2009 - 07 - 01) 全文	1-11
A	EP 2390750 A1 (CSKK HKG LTD. 等) 2011年 11月 30日 (2011 - 11 - 30) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 12月 18日

国际检索报告邮寄日期

2015年 1月 04日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

黄珊

电话号码 (86-10)62413762

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/080957

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1813394	A	2006年 8月 02日	CN	100585993	C	2010年 1月 27日
				US	7193397	B2	2007年 3月 20日
				WO	2005006524	A2	2005年 1月 20日
				EP	1639692	A2	2006年 3月 29日
				WO	2005006524	A3	2005年 6月 09日
				US	2004263135	A1	2004年 12月 30日
				WO	2005006524	A8	2005年 7月 28日
				EP	2056191	A4	2010年 10月 20日
CN	101512475	A	2009年 8月 19日	CN	101512475	B	2012年 5月 23日
				US	2009257260	A1	2009年 10月 15日
				JP	4575446	B2	2010年 11月 04日
				US	8120367	B2	2012年 2月 21日
				WO	2008072329	A1	2008年 6月 19日
				KR	101067180	B1	2011年 9月 22日
				KR	20090068239	A	2009年 6月 25日
				EP	2056191	A1	2009年 5月 06日
CN	101471174	A	2009年 7月 01日	CN	101471174	B	2011年 1月 26日
EP	2390750	A1	2011年 11月 30日	AU	2009338258	A1	2010年 7月 29日
				JP	4934224	B2	2012年 5月 16日
				US	2011273149	A1	2011年 11月 10日
				RU	2487391	C2	2013年 7月 10日
				RU	2010151824	A	2013年 2月 27日
				CN	201955695	U	2011年 8月 31日
				CA	2728107	A1	2010年 7月 29日
				JP	2012501618	A	2012年 1月 19日
				WO	2010085005	A1	2010年 7月 29日
				SG	171705	A1	2011年 8月 29日

表 PCT/ISA/210 (同族专利附件) (2009年7月)