

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3557797号  
(P3557797)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月28日(2004.5.28)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/60

H O 1 L 21/92 6 O 2 H

H O 1 L 21/28

H O 1 L 21/28 3 O 1 R

H O 1 L 21/92 6 O 3 D

請求項の数 3 (全 8 頁)

<p>(21) 出願番号 特願平8-189553                  (22) 出願日 平成8年7月18日(1996.7.18)                  (65) 公開番号 特開平10-41303                  (43) 公開日 平成10年2月13日(1998.2.13)                  審査請求日 平成14年8月29日(2002.8.29)</p>	<p>(73) 特許権者 000005223                  富士通株式会社                  神奈川県川崎市中原区上小田中4丁目1番1号                  (74) 代理人 100108187                  弁理士 横山 淳一                  (72) 発明者 清水 浩三                  神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内                  (72) 発明者 赤松 俊也                  神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内                  審査官 田中 永一</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体のチップ或いはパッケージ上に形成されたはんだバンプの下地電極膜が、チタン、ニッケル、クロム、ニッケル、金の順に積層された膜からなることを特徴とする半導体装置。

【請求項2】

前記チタンと前記クロムの間のニッケル膜の膜厚は0.5~1μmであり、かつ前記クロムと前記金の間のニッケル膜の膜厚は0.5~1μmであることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記下地電極膜はクロム膜が200~2000の厚さであることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ヘアチップをフリップチップ接合して構成される半導体パッケージおよびBGA、QFP等とプリント基板を接合してなるマルチチップモジュール(MCM)といった半導体装置に関する。

【0002】

【従来の技術】

図5は従来の説明図である。

図において、1は半導体チップ、2ははんだバンプ、4はNi膜、6はAu膜である。

【0003】

近年、電子部品の高密度実装化に伴い、入出力端子数の多端子化、および端子間のピッチの微細化が進行し、CMOS素子と基板の接合方法として、ワイヤボンディング法から、配線長が短く一括接合が可能なフリップチップ接合を行なっている。

【0004】

フリップチップ接合では、はんだバンプ、電極を介して直接LSIと基板を接合している。接合に用いるはんだ材料としては、これまでに鉛(Pb)-錫(Sn)系の合金が多く使用されていた。

10

【0005】

しかし、Pbは複数の同位体が存在し、それら同位体はウラン(U)、トリウム(Th)の崩壊系列中の、中間生成物あるいは最終生成物であり、崩壊の際、He原子を放出する崩壊を伴うことから、はんだ中より線を生じる。そしてその線がCMOS素子に到達してソフトエラーを発生する。

【0006】

また、Pbは土壌に流出すると酸性雨によって溶け出し、環境に影響を及ぼすことがわかっており、環境の面からもPbを使わないはんだ材料が強く求められている。

【0007】

そこで、Pb系はんだに代わる材料として、Snに銀(Ag)、Bi(蒼鉛)、アンチモン(Sb)、亜鉛(Zn)を混合或いは添加したはんだ材料がつかわれ始めている。

20

【0008】

これらのはんだ材料は、混合する量あるいは添加量は、使用するはんだ材料の温度階層によって異なるが、CMOS素子等のはんだ接合においては、Snの組成比が90%以上含まれる、200以上の比較的高融点のはんだ材料が用いられている。

【0009】

【発明が解決しようとする課題】

従来、Pb系はんだ接合に用いる下地電極膜の材料としては、図5に示すようにCMOS等の半導体チップ1のアルミニウム(Al)電極上から順に、チタン(Ti)膜3、ニッケル(Ni)膜4、金(Au)膜6の膜構成となっている。これまでの半導体チップ1接合に用いる、例えばPb-5%Snといったはんだ材料では、Snの組成は10%以下であり、上述の下地電極の膜構成によって信頼性の高い接合体を形成することができた。

30

【0010】

しかし、Snの組成比が90%以上であるSn系のはんだ材料を使用した場合、上述の下地電極の膜構成で接合を行なうと、最も膜厚の大きいNi膜4は、はんだ接合工程の際の温度サイクル間にはんだバンプ2中のSnと反応してはんだ中に拡散し、その結果、下地電極におけるNi膜4の膜厚は減少し、接合強度の低下、さらにはバンプ欠け、破断等が生じるといった問題が生じた。

【0011】

本発明は、以上の点を鑑み、下地電極膜の材料のNiがはんだ材料中へ拡散するのを遅らせるか、或いは阻止する半導体装置の製造方法を提供することを目的とする。

40

【0012】

【課題を解決するための手段】

図1は本発明の原理説明図である。

図において、1は半導体チップ、2ははんだバンプ、3はTi膜、4はNi膜、5はCr膜、6はAu膜、7はNiである。

【0013】

本発明では、下地電極膜の材料のNiがはんだ材料の中へ拡散するのを遅らせるために、図1に示すように、Ni膜4中にSnに対する拡散を抑制する金属層を設けること、およびNi膜4の膜厚を大きくしてはんだ付け工程が終了した時点でも下地電極膜にNiが残

50

存し得る膜厚とすること等により、上記の問題点を解決する。

【0014】

すなわち、クロム(Cr)膜5をNi膜4の中間に挿入することにより、以下に述べる効果が得られる。

はんだ付け工程中において、はんだ接合部では、図2(a)に平面図で模式拡大図で、また図2(b)に断面図で示すように、はんだ側のNiが前述の図5に示すように、はんだのSn中に拡散が進行し、Cr膜5が直接Snと接触する。SnとCrは濡れ性が低く、金属化合物を形成しないため、反応速度は低下する。しかし、Cr膜5の膜厚は200~2000程度と薄く、スパッタ直後は図1に示すように積層状態となっているが、転写やウエットバック等のはんだ付け工程中に、図2(a)に平面図で模式拡大図で、また図2(b)に断面図で示すように、Cr膜5にある欠陥(隙間)にNi7が拡散移動してそれが島状に分布しており、徐々にNi7がCrとともに拡散するため、接合強度を損なうことなくNi7の拡散速度を抑制することができる。

10

【0015】

また、Ni膜4の膜厚を1μm以上にすることによって、はんだ付けプロセス終了時において、下地電極膜上に0.5μm程度のNi膜4が残っており、良好な接合体を得ることができる。

【0016】

ここで、Cr膜5の膜厚を200~2000に限定した理由として、200以下ではCr膜5による拡散抑制効果は得られず、また、2000以上では、Si側のNi膜4の拡散はCr膜5によって遮られ、Cr膜5の上でははんだをはじき、パンプ欠けを生じるためである。

20

【0017】

すなわち、本発明の目的は、半導体のチップ1或いはパッケージ上に形成されたはんだパンプ2の下地電極膜が、チタン、ニッケル、クロム、ニッケル、金の順に積層された膜からなることにより、

また、前記下地電極膜はNi膜4が1μmを超える厚さであることにより、

また、前記下地電極膜はクロム膜が200~2000の厚さであることにより達成される。

【0018】

【発明の実施の形態】

図1は本発明の原理説明図兼一実施例の説明図、図3は本発明を適用した半導体パッケージ断面構造図、図4は本発明を適用したMCM外観図である。

30

【0019】

図において、1は半導体チップ、2ははんだパンプ、3はTi膜、4はNi膜、5はCr膜、6はAu膜、8はAlN基板、9はCu-ポリイミド薄膜配線層、10は外部リード、11はキャップ、12はMCM基板である。

【0020】

本発明の実施例について、先ず図1により説明する。

表1に膜構成、およびはんだ付け後の接合状態、パンプ欠けについて示す。

40

【0021】

【表1】

## 下地電極の膜構成

	Sample No.	はんだ	膜構成 (Å)					バンプ 欠け	Ni膜厚 (はんだ付け後) μm	
			Ti	Ni	Cr	Ni	Au			
本発明	1	表1参照	1000	2000	0	2000	1000	有	0.0	
	2				100			有	0.0	
	3				200			有	0.0	
	4				1000			有	0.0	
	5				2000			有	0.0	
	6				5000			有	0.0	
	7			5000	0	5000	1000	無	0.2	
	8				100			無	0.2	
	9				200			無	0.3	
	10				1000			無	0.3	
	11				2000			無	0.3	
	12				5000			有	0.0	
	13				10000	0	10000	1000	無	1.2
	14					100			無	1.2
	15					200			無	1.2
	16					1000			無	1.2
	17					2000			無	1.2
	18					5000			無	1.2
	19				1000	5000	0	0	1000	有
従来例	20	Pb-5% Sn	1000	5000	0	0	1000	無	0.3	

10

20

30

## 【0022】

本発明の第一の実施例では、LSI等の半導体チップ1に対して、はんだバンプ2の電極として、Ti膜3を1000、Ni膜4を1μm、Cr膜5を1000、Ni膜4を1μm、Au膜6を1000の厚さに蒸着法あるいはスパッタ法により形成する。

## 【0023】

はんだ材料は、表2に示す組成の合金の内、融点240~245のNo6、融点230~235のNo9、融点221のNo16の三種類で評価した。

## 【0024】

## 【表2】

はんだ合金リスト (%)

	No	Sn	Ag	Sb	Bi	Pb	融点(℃)
本実施例	6	95		5			240~245
	7	90		10			245~250
	8	95.5	3.5	1			225~226
	9	92	3	5			225~230
	10	88	2	10			230~235
	11	95			5		220~225
	12	90			10		215~220
	16	96.5	3.5				221
従来例	17	5				95	305~315
	18	5				95	305~315

10

20

## 【0025】

そして、図3に断面図で示すように、半導体チップ1に対してめっき法およびはんだボールによってはんだバンプ2を形成し、フラックスを塗布した後、コンベア炉中でAlN基板8とフリップチップ接合を行なった。はんだ付けの条件はリフロー温度が最高で融点+30で、リフロー時間は12分、その内最高温度には2分間保つ。

## 【0026】

尚、はんだバンプ径は100μmであり、バンプ間のピッチは210μmである。第二の実施例では、LSI等の半導体チップ1に対して、はんだバンプ2の下地電極膜として、Ti膜3を1000、Ni膜4を2000、5000、1μm、Cr膜5を1000、Ni膜4を2000、5000、1μm、Au膜6を1000の厚さに蒸着法あるいはスパッタ法により形成し、Ni膜4の膜厚を変えた影響を調べた。そして、第一の実施例と同様にして、フリップチップ接合を行なった。

30

## 【0027】

その結果、Ni膜4の膜厚が2000+2000ではんだ付け終了後において、バンプ欠けが数十個見られたのに対して、Ni膜4の膜厚が5000×2の場合、1μm×2の場合は、いずれもバンプ欠けが生じないで、良好なはんだ接合体が得られた。

## 【0028】

第三の実施例では、LSI等の半導体チップ1に対して、はんだバンプ2の電極として、Ti膜3を1000、Ni膜4を2000、5000、1μmに可変、Cr膜5を200~2000、Ni膜4を2000、5000、1μmに可変、Auを1000の厚さに蒸着法あるいはスパッタ法により形成し、Niの膜厚とともに、Crの膜厚を変えて、その影響を調べた。そして、第一、第二の実施例と同様にして、フリップチップ接合を行なった。

40

## 【0029】

その結果、Ni膜4の膜厚が2000×2の場合、あるいはCr膜5の膜厚が2000以上でNi膜4の膜厚が5000×2以下の場合には、はんだ付け終了後においてバンプ欠けが数十個見られたのに対して、Ni膜4の膜厚が5000×2で、Cr膜5の膜厚が200~2000の場合は、いずれもバンプ欠けが生じないで、良好なはんだ接合体が得られた。

## 【0030】

50

次に、第一～第三の実施例により作製したCMOSデバイスを用い、図3に示すような半導体パッケージを作製した。

続いて、第一の実施例と同じ工程により作製したCMOSデバイス、およびその他のデバイスを搭載して、図4に示すようなマルチチップモジュール構成体を作製した。

#### 【0031】

その結果、表1に示すように、各はんだ材料とも、Ni膜4は0.2μm以上残存しており、良好なはんだ接合部を作製できた。

本発明はCMOS等の半導体チップ1のフリップチップ接合のみならず、Snを主成分としたはんだで接合を行なうその他のBGA、QFP等の接合方式においても、その電極材料として使うことにより同様の効果が期待される。

10

#### 【0032】

##### 【発明の効果】

以上説明したように、Pbフリー化に対応したSn系のはんだ合金でフリップチップ接合、あるいは他の接合方式の電極に対して本発明を実施することにより、パンプ欠け、はんだ付け不良といった障害を発生することなく、良好なはんだ接合部を形成することができる。

##### 【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明のCr膜の作用の説明図

【図3】本発明を適用した半導体パッケージ断面構造図

20

【図4】本発明を適用したMCM外観図

【図5】従来例の説明図

##### 【符号の説明】

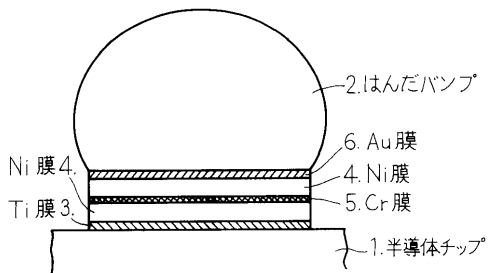
図において、

- 1 半導体チップ
- 2 はんだバンプ
- 3 Ti膜
- 4 Ni膜
- 5 Cr膜
- 6 Au膜
- 7 Ni
- 8 AlN基板
- 9 Cu-ポリイミド薄膜配線層
- 10 外部リード
- 11 キャップ
- 12 MCM基板

30

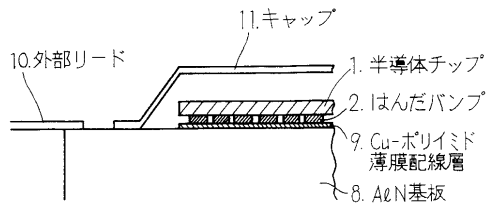
【図1】

本発明の原理説明図



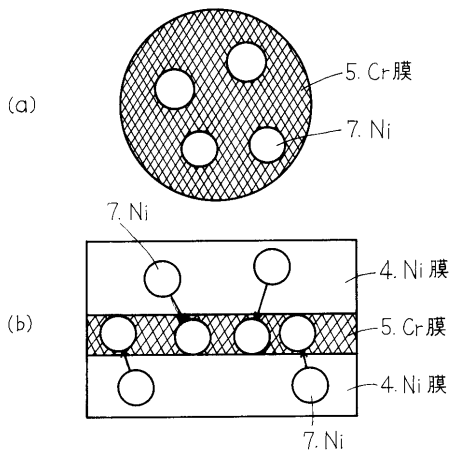
【図3】

本発明を適用した半導体パッケージ断面構造図



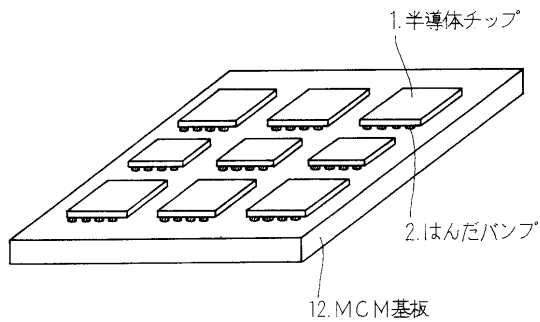
【図2】

本発明のCr膜の作用の説明図



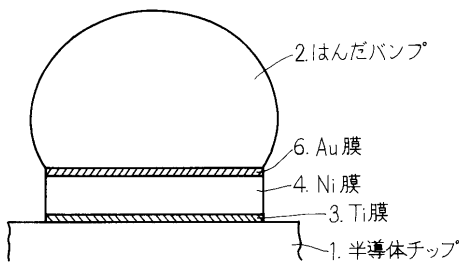
【図4】

本発明を適用したMCM外観図



【図5】

従来例の説明図



---

フロントページの続き

- (56)参考文献 特開平08-148522(JP,A)  
特開平06-188284(JP,A)  
特開平06-177134(JP,A)  
特開平01-155641(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/60  
H01L 21/92  
H01L 21/28 301