



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0079338  
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/32 (2016.01)  
G09G 3/36 (2006.01)  
(52) CPC특허분류  
G09G 3/20 (2013.01)  
G09G 3/3266 (2013.01)  
(21) 출원번호 10-2015-0189784  
(22) 출원일자 2015년12월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
민태현  
서울특별시 관악구 조원로14길 16, 101호 (조원동, 윤정아파트)  
봉준호  
광주광역시 북구 금호로86번길 30, 101동 301호 (운암동, 중흥파크)  
(74) 대리인  
특허법인인벤투스

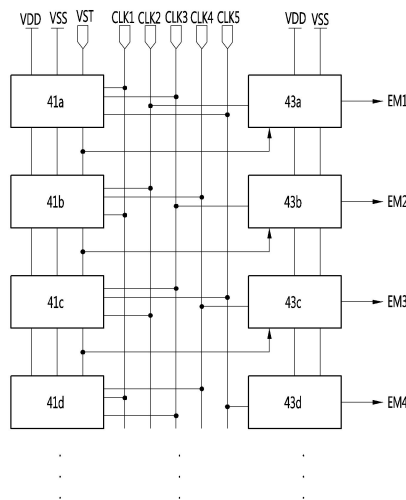
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **게이트 구동회로 및 이를 포함하는 표시장치**

**(57) 요약**

본 발명은 스캔신호를 생성하는 쉬프트레지스터 및 에미션 신호를 생성하는 인버터가 복수의 클럭신호를 서로 공유함으로써, 게이트 구동회로의 클럭신호 배선을 줄일 수 있다. 따라서, 본 발명은 게이트 구동회로의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 효과가 있다.

**대표도** - 도2



(52) CPC특허분류

**G09G 3/3677** (2013.01)

G09G 2230/00 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 클럭신호라인;

상기 복수의 클럭신호라인으로부터 복수의 클럭신호를 입력받고 스캔신호를 생성하는 쉬프트레지스터; 및

상기 복수의 클럭신호를 입력받고 에미션 신호를 생성하는 인버터를 포함하고,

상기 쉬프트레지스터 및 인버터는 복수의 클럭신호를 공유하는 게이트 구동회로.

#### 청구항 2

제1 항에 있어서,

상기 쉬프트레지스터의 스타트 타이밍 신호를 제공하는 게이트 스타트 펄스 입력단자 및 입력배선을 더 포함하는 게이트 구동회로.

#### 청구항 3

제1 항에 있어서,

상기 복수의 클럭신호는 5가지 위상을 갖는 게이트 구동회로.

#### 청구항 4

복수의 클럭신호 및 게이트 제어신호를 발생하는 타이밍 컨트롤러;

복수의 화소를 갖는 표시패널; 및

상기 표시패널의 가장자리에 복수의 클럭신호라인 및 상기 복수의 클럭신호라인으로부터 복수의 클럭신호를 입력받고 스캔신호를 생성하는 쉬프트레지스터 및 상기 복수의 클럭신호를 입력받고 에미션신호를 생성하는 인버터를 포함하는 게이트 구동회로;

상기 게이트 구동회로는 상기 쉬프트레지스터 및 인버터는 복수의 클럭신호를 공유하는 표시장치.

#### 청구항 5

제4 항에 있어서,

상기 쉬프트레지스터의 스타트 타이밍 신호를 제공하는 게이트 스타트 펄스 입력단자 및 입력배선을 더 포함하는 표시장치.

#### 청구항 6

제4 항에 있어서,

상기 복수의 클럭신호는 5가지 위상을 갖는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시장치에 관한 것이다.

**배경 기술**

[0002] 휴대폰(Mobile Phone), 노트북, 컴퓨터와 같은 각종 포터블기기(portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되고 있다.

[0003] 상기 평판표시장치 중에 유기발광 표시장치는 자발광 소자를 이용함으로써, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점을 갖는다.

[0004] 일반적인 유기발광 표시장치는 각각의 화소에 유기발광소자를 포함하는 표시패널, 상기 표시패널의 데이터 라인에 데이터를 공급하기 위한 데이터 구동회로와, 표시패널의 게이트 라인에 게이트 펄스를 공급하기 위한 게이트 구동회로와, 데이터 구동회로 및 게이트 구동회로를 제어하기 위한 타이밍 컨트롤러를 구비한다. 상기 게이트 구동회로는 타이밍 컨트롤러로부터 입력되는 게이트 제어신호에 응답하여 게이트라인들에 스캔신호 및 에미션신호를 순차적으로 공급한다. 표시패널은 상기 스캔신호에 의해 수평 라인의 트랜지스터가 턴-온되고, 상기 에미션신호를 통해서 각각의 화소의 발광 타임이 결정된다.

[0005] 일반적인 게이트 구동회로는 스캔신호를 생성하는 쉬프트레지스터와 에미션신호를 생성하는 인버터(Inverter)를 포함하고, 표시패널의 가장자리에 GIP(Gate In Panel)로 구성될 수 있다.

[0006] 그러나, 일반적인 게이트 구동회로는 상기 쉬프트레지스터 및 인버터가 다수의 제어신호, 예컨대 게이트 스타트 펄스를 포함하여 상기 쉬프트레지스터에 제공되는 4이상의 클럭신호들 및 인버터에 제공되는 4이상의 클럭신호를 포함하여 각각의 신호들에 의한 배선 수에 의해 면적이 증가하는 문제가 있었다. 일반적인 게이트 구동회로는 표시장치의 베젤(bezel) 영역이 넓어지는 문제가 있었다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 게이트 구동회로의 배선구조를 간소화할 수 있는 게이트 구동회로 및 이를 포함하는 표시장치를 제공하는데 그 목적이 있다.

[0008] 본 발명은 게이트 구동회로의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 게이트 구동회로 및 이를 포함하는 표시장치를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0009] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 게이트 구동회로는 스캔신호를 생성하는 쉬프트레지스터 및 에미션신호를 생성하는 인버터가 복수의 클럭신호를 서로 공유함으로써, 게이트 구동회로의 클럭신호 배선을 줄일 수 있다. 즉, 본 발명의 게이트 구동회로의 클럭신호 배선을 줄일 수 있다.

[0010] 실시 예는 게이트 구동회로의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 효과가 있다.

**발명의 효과**

[0011] 본 발명에 따른 표시장치는 쉬프트레지스터 및 인버터가 클럭신호들을 공유하여 게이트 구동회로의 클럭신호 배선을 줄일 수 있다.

[0012] 실시 예는 클럭신호를 공유하는 쉬프트레지스터 및 인버터를 갖는 게이트 구동회로에 의해 클럭신호 배선구조를 간소화할 수 있다. 실시 예는 일반적인 게이트 구동회로의 적어도 8개 이상의 클럭배선을 5개로 줄일 수 있다.

[0013] 실시 예는 게이트 구동회로의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0014] 도 1은 본 발명의 실시 예에 따른 표시장치의 구성을 개략적으로 도시한 블록도이다.

도 2는 실시 예의 게이트 구동회로를 도시한 도면이다.

도 3은 실시 예의 게이트 구동회로의 제1 스테이지의 구성을 도시한 도면이다.

도 4는 실시 예의 게이트 구동회로 입력신호 및 출력신호를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0016] 본 발명의 실시 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0017] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0022] 본 발명의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0023] 이하, 본 발명의 실시 예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0024] 도 1은 본 발명의 실시 예에 따른 표시장치의 구성을 개략적으로 도시한 블록도이고, 도 2는 실시 예의 게이트 구동회로를 도시한 도면이고, 도 3은 실시 예의 게이트 구동회로의 제1 스테이지의 구성을 도시한 도면이다.

[0025] 도 1 내지 도 3에 도시된 바와 같이, 실시 예의 표시장치는 유기 발광 표시장치(OLED)일 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 표시장치는 액정표시장치(LCD), 전계방출 표시장치(FED), 플라즈마 디스플레이 패널(PDP), 전기영동 표시장치(EPD)일 수 있다.

[0026] 상기 표시장치는 표시패널(2), 타이밍 컨트롤러(8), 게이트 구동회로(4) 및 데이터 구동회로(6)를 포함할 수 있다.

- [0027] 상기 표시패널(2)은 표시영역과 비표시영역으로 구분될 수 있다. 상기 표시패널(2)은 복수의 게이트 라인(G1 내지 Gn) 및 복수의 데이터 라인(D1 내지 Dm)과 상기 복수의 게이트 라인(G1 내지 Gn) 및 복수의 데이터 라인(D1 내지 Dm)의 교차영역 마다 배치된 픽셀(P)을 포함할 수 있다. 여기서, 상기 픽셀(P)은 광을 발광하는 유기발광소자 및 상기 유기발광소자를 구동하는 구동소자들을 포함할 수 있다.
- [0028] 상기 표시패널(2)이 액정층을 포함하는 액정표시패널일 경우, 상기 액정표시패널은 서로 대면되는 제1 및 제2 투명기판과 상기 제1 및 제2 투명기판 사이의 액정층을 포함할 수 있다. 상기 액정표시패널은 복수의 게이트 라인(G1 내지 Gn) 및 복수의 데이터 라인(D1 내지 Dm)을 포함할 수 있고, 상기 복수의 게이트 라인(G1 내지 Gn)과 복수의 데이터 라인(D1 내지 Dm)의 교차영역에 위치한 트랜지스터를 포함하고, 상기 트랜지스터들에 각각 접속된 액정셀, 화소전극, 및 스토리지 캐패시터 등을 포함할 수 있다.
- [0029] 상기 타이밍 컨트롤러(8)는 외부로부터 입력되는 RGB 데이터(RGB)를 표시패널(2)의 크기 및 해상도 등에 알맞게 정렬하고 정렬된 디지털 영상 데이터를 데이터 구동회로(6)에 공급한다. 상기 타이밍 컨트롤러(8)는 외부로부터 입력되는 동기신호들 예를 들어, 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync) 등을 이용하여 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 생성하고 이를 게이트 구동회로(4)와 데이터 구동회로(6)에 각각 공급한다.
- [0030] 상기 데이터 구동회로(6)는 COG(Chip on Glass)방식으로 표시패널(2) 내에 실장될 수 있다. 상기 데이터 구동회로(6)는 상기 데이터 제어신호 중 소스 스타트 펄스(SSP; Source Start Pulse)와 소스 쉬프트 클럭(SSC; Source Shift Clock) 등을 이용하여 타이밍 컨트롤러(8)로부터 입력되는 디지털 영상 데이터를 아날로그의 데이터 전압으로 변환한다. 그리고, 소스 출력 인에이블(SOE; Source Output Enable) 신호에 응답하여 데이터 전압을 각 데이터 라인(D1 내지 Dm)에 공급한다.
- [0031] 상기 게이트 구동회로(4)는 상기 게이트 제어신호(GCS)를 이용하여 상기 게이트 라인(G1 내지 Gn)에 스캔신호 및 에미션 신호를 공급할 수 있다. 상기 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 게이트 라인을 지시하는 게이트 스타트 펄스(GSP; Gate Start Pulse)와 쉬프트레지스터(41a, 41b, 41c, 41d)에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 화소(P) 내 트랜지스터의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 구동회로(4)의 출력을 지시하는 게이트 출력 인에이블(GOE; Gate Output Enable) 신호를 포함할 수 있다.
- [0032] 실시 예의 게이트 구동회로(4)는 GIP(Gate In Panel) 방식으로 표시패널(2)의 비표시영역 내에 실장될 수 있다.
- [0033] 실시 예의 게이트 구동회로(4)는 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)를 포함할 수 있다. 상기 복수의 쉬프트레지스터(41a, 41b, 41c, 41d)는 상기 게이트 제어신호를 이용하여 스캔신호(SCAN1)를 생성하고, 상기 복수의 인버터(43a, 43b, 43c, 43d)는 상기 게이트 제어신호 및 상기 스캔신호를 에미션 신호(EM1)를 생성할 수 있다. 여기서, 상기 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)는 제1 내지 제5 클럭신호(CLK1 내지 CLK5)를 공유할 수 있다. 실시 예는 상기 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)는 제1 내지 제5 클럭신호(CLK1 내지 CLK5)를 공유함으로써, 클럭신호 배선을 5개까지 줄일 수 있다. 상기 제1 내지 제5 클럭신호(CLK1 내지 CLK5)는 5가지 위상을 가질 수 있다. 실시 예의 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)는 5가지 위상의 제1 내지 제5 클럭신호(CLK1 내지 CLK5)를 공유할 수 있다. 상기 게이트 구동회로(4)는 제1 쉬프트레지스터(41a)에 제공되는 게이트 스타트 펄스(GSP)가 입력되는 게이트 스타트 펄스 입력단자(VST) 및 게이트 스타트 펄스 입력배선을 더 포함할 수 있다.
- [0034] 실시 예는 게이트 스타트 펄스(GSP)를 제외한 클럭신호들을 공유하는 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)를 포함하는 게이트 구동회로(4) 구조에 의해 일반적인 게이트 구동회로보다 클럭배선을 8개에서 5개로 줄여 게이트 구동회로(4)의 배선구조를 간소화할 수 있다.
- [0035] 실시 예는 게이트 구동회로(4)의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 효과가 있다.
- [0036] 예컨대, 제1 스테이지(STG1)을 일례로 설명하면, 제1 쉬프트레지스터(41a)는 클럭단자에 제1 클럭신호(CLK1), 제3 클럭신호(CLK3) 및 제5 클럭신호(CLK5)가 제공되고, 제1 인버터(43a)는 클럭단자에 제2 클럭신호(CLK2)가 제공될 수 있다.
- [0037] 상기 제1 쉬프트 레지스터(41a)는 제1 내지 제9 트랜지스터(T1 내지 T9) 및 제1 구동 캐패시터(CB1)를 포함할

수 있다.

- [0038] 상기 제1 트랜지스터(T1)는 게이트 스타트 펄스(VST)와 게이트 전극이 접속되고, 고전위전압(VDD)과 드레인 전극이 접속되고, 제2 트랜지스터(T2)의 드레인전극에 소스전극이 접속된다.
- [0039] 상기 제2 트랜지스터(T2)는 제5 클럭신호(CLK5)가 입력되는 클럭단자에 게이트전극이 접속되고, 상기 제1 트랜지스터(T1)의 소스전극에 드레인전극이 접속되고, Q1노드(Q1)에 소스전극이 접속된다.
- [0040] 상기 제3 트랜지스터(T3)는 QB1노드(QB1)에 게이트전극이 접속되고, 제4 트랜지스터(T4)의 소스전극에 드레인 전극이 접속되고, 저전위전압(VSS)에 소스전극이 접속된다.
- [0041] 상기 제4 트랜지스터(T4)는 고전위전압(VDD)에 게이트전극이 접속되고, 제3 트랜지스터(T3)의 드레인전극에 소스전극이 접속되고, 상기 제2 트랜지스터(T2)의 소스전극에 드레인전극이 접속된다.
- [0042] 상기 제5 트랜지스터(T5)는 제3 클럭신호(CLK3)가 공급되는 단지에 게이트전극이 접속되고, 고전위전압(VDD)에 드레인전극이 접속되고, QB1노드(QB1)에 소스전극이 접속된다.
- [0043] 상기 제6 트랜지스터(T6)는 게이트 스타트 펄스(VST)에 게이트전극이 접속되고, 제5 트랜지스터(T5)의 소스전극에 드레인전극이 접속되고, 저전위전압(VSS)에 소스전극이 접속된다.
- [0044] 상기 제7 트랜지스터(T7)는 상기 제4 트랜지스터(T4)의 소스전극에 게이트전극이 접속되고, QB1노드(QB1)에 드레인전극이 접속되고, 저전위전압(VSS)에 소스전극이 접속된다.
- [0045] 상기 제8 트랜지스터(T8)는 Q1노드(Q1)에 게이트전극이 접속되고, 제1 클럭신호(CLK1)가 공급되는 단자에 드레인 전극이 접속되고, 게이트 라인에 제공되는 스캔신호(SCAN1)가 출력되는 출력노드(Vout1)와 소스전극이 접속된다. 여기서 게이트 전극과 소스전극 사이에는 제1 구동 캐패시터(CB1)가 위치한다.
- [0046] 상기 제9 트랜지스터(T9)는 QB1노드(QB1)에 게이트전극이 접속되고, 제8 트랜지스터(T8)의 소스전극에 드레인 전극이 접속되고, 저전위 전압(VSS)에 소스전극이 접속된다.
- [0047] 상기 제1 인버터(43a)는 제10 내지 제15 트랜지스터(T10 내지 T15) 및 제2 구동 캐패시터(CB2)를 포함할 수 있다.
- [0048] 상기 제10 트랜지스터(T10)는 제2 클럭신호(CLK2)가 공급되는 단자에 게이트전극이 접속되고, 고전위전압(VDD)에 드레인전극이 접속되고, Q2노드(Q2)에 소스전극이 접속된다.
- [0049] 상기 제11 트랜지스터(T11)는 QB2노드(QB2)에 게이트전극이 접속되고, Q2노드(Q2)에 드레인전극이 접속되고, 저전위전압(VSS)에 소스전극이 접속된다.
- [0050] 상기 제12 트랜지스터(T12)는 에미션 신호(EM1) 출력라인에 게이트전극이 접속되고, 고전위전압(VDD)에 드레인 전극이 접속되고, 제14 트랜지스터(T14)의 소스전극 및 제15 트랜지스터(T15)의 드레인전극에 소스전극이 접속된다.
- [0051] 상기 제13 트랜지스터(T13)는 Q2노드(Q2)에 게이트전극이 접속되고, 고전위전압(VDD)에 드레인전극이 접속되고, 에미션 신호(EM1) 출력라인(Vout2)에 소스전극이 접속된다. 여기서, 상기 제13 트랜지스터(T13)의 게이트전극과 소스전극 사이에는 제2 구동 캐패시터(CB2)가 배치된다.
- [0052] 상기 제14 트랜지스터(T14)는 QB2노드(QB2)에 게이트전극이 접속되고, 에미션 신호(EM1) 출력라인에 드레인전극이 접속되고, 제12 트랜지스터(T12)의 소스전극에 소스전극이 접속된다.
- [0053] 상기 제15 트랜지스터(T15)는 QB2노드(QB2)에 게이트전극이 접속되고, 상기 제14 트랜지스터(T14)의 소스전극에 드레인전극이 접속되고, 저전위전압(VSS)에 소스전극이 접속된다.
- [0054] 도 4는 실시 예의 게이트 구동회로 입력신호 및 출력신호를 도시한 도면이다.
- [0055] 도 2 내지 도 4에 도시된 바와 같이, 실시 예의 게이트 구동회로는 제1 스테이지(STG1)에서 제1 쉬프트레지스터(41a)에 게이트 스타트 펄스(VST) 및 제5 클럭신호(CLK5)가 동기되어 입력되면, 제1 및 제2 트랜지스터(T1,T2)가 턴-온되어 Q1노드(Q1)에 하이(High) 상태가 된다. 또한, 상기 QB1노드(QB1)는 로우(Low)상태가 된다.
- [0056] 다음 제2 구간(a2)은 제1 클럭신호(CLK1)이 입력되면, 출력노드(Vout)로 하이(High)가 출력되고, Q1노드(Q1)는 제1 구동 캐패시터(CB1)에 의해 부트스트래핑(Bootstrapping)될 수 있다. 제1 인버터(43a)는 출력노드(Vout)로 하이(High)에 의해 제14 트랜지스터(T14)가 턴-온되어 에미션 신호(EM1)는 로우(Low) 상태가 된다. 이때, 제11

트랜지스터(T11)가 턴-온되어 제13 트랜지스터(T13)이 턴-오프된다.

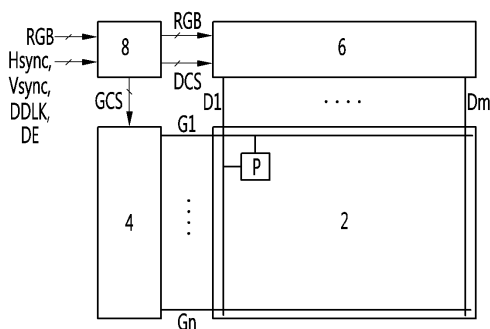
- [0057] 다음 제3 구간(a3)은 제2 클럭신호(CLK2)이 입력되면, 제13 트랜지스터(T13)가 턴-온되고, 에미션 신호(EM1)는 하이(High) 상태가 된다. 이후, 제1 클럭신호(CLK1)이 입력되어 에미션 신호(EM1)는 로우(Low) 상태가 된다.
- [0058] 다음 제4 구간(a4)은 제1 쉬프트레지스터(41a)에 제3 클럭신호(CLK3)가 입력되면, 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)가 턴-온되어 QB1노드(QB1)는 하이(High)가 되고, Q1노드(Q1)는 로우(Low) 상태가 된다. 이후, 제2 클럭신호(CLK2)가 입력되어 에미션 신호(EM1)는 하이(High) 상태가 된다.
- [0059] 다음 제5 구간(a5)은 제3 클럭신호(CLK3)가 입력되고, QB1노드(QB1)는 하이(High) 상태이므로 에미션 신호(EM1)는 하이(High) 상태는 유지된다.
- [0060] 실시 예는 상기 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)는 제1 내지 제5 클럭신호(CLK1 내지 CLK5)를 공유함으로써, 클럭신호 배선을 5개까지 줄일 수 있다. 실시 예는 게이트 스타트 펄스를 제외한 클럭신호들을 공유하는 복수의 쉬프트레지스터(41a, 41b, 41c, 41d) 및 복수의 인버터(43a, 43b, 43c, 43d)를 포함하는 게이트 구동회로 구조에 의해 일반적인 게이트 구동회로보다 클럭배선을 8개에서 5개로 줄여 게이트 구동회로(4)의 배선구조를 간소화할 수 있다.
- [0061] 실시 예는 게이트 구동회로(4)의 배선구조를 간소화하여 네로우 베젤(narrow bezel)을 구현할 수 있는 효과가 있다.
- [0062] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시 예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0063] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시 예를 한정하는 것이 아니며, 실시 예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시 예의 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

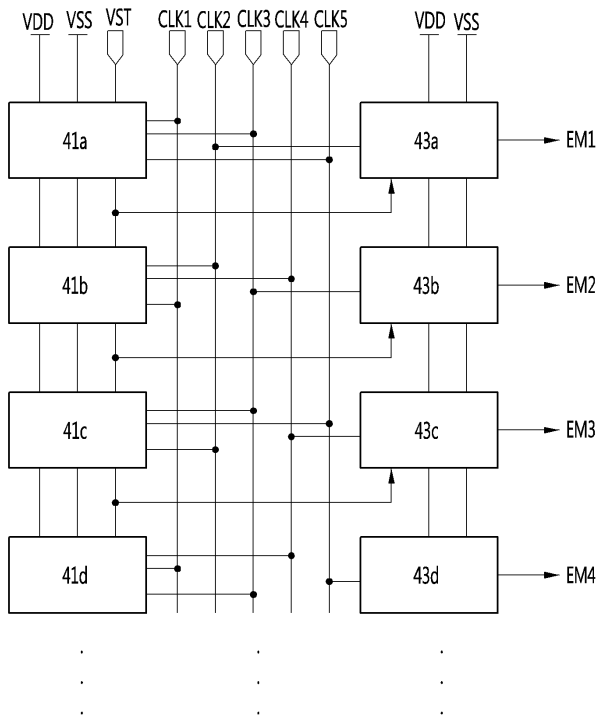
- [0064] 4: 게이트 구동회로
- 41a, 41b, 41c, 41d: 복수의 쉬프트레지스터
- 43a, 43b, 43c, 43d: 복수의 인버터

**도면**

**도면1**

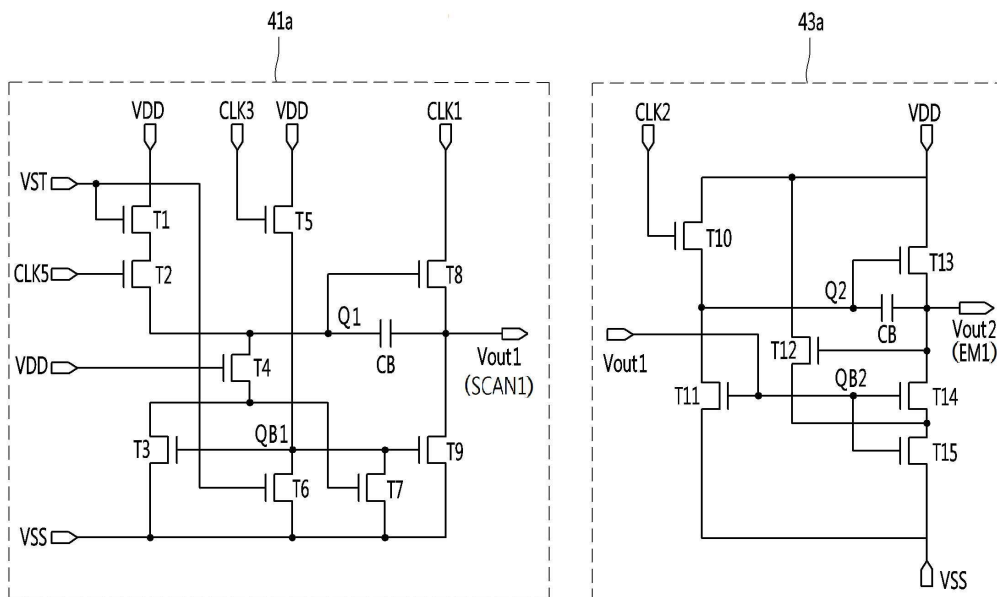


도면2



도면3

STG1



도면4

