



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I587477 B

(45)公告日：中華民國 106 (2017) 年 06 月 11 日

(21)申請案號：102125293

(22)申請日：中華民國 102 (2013) 年 07 月 15 日

(51)Int. Cl. : H01L27/02 (2006.01) H01L23/31 (2006.01)

(30)優先權：2012/07/30 美國 13/561,811

(71)申請人：奇異電器公司(美國) GENERAL ELECTRIC COMPANY (US)
美國

(72)發明人：格達 艾朗 維盧派克夏 GOWDA, ARUN VIRUPAKSHA (IN)；麥克考奈利 保羅 艾倫 MCCONNELEE, PAUL ALAN (US)；喬罕 夏卡堤 辛夫 CHAUHAN, SHAKTI SINGH (IN)

(74)代理人：陳長文

(56)參考文獻：

US 6306680B1

US 7190581B1

US 2006/0103005A1

US 2006/0128069A1

US 2010/0230800A1

審查人員：林士淵

申請專利範圍項數：15 項 圖式數：12 共 27 頁

(54)名稱

可靠表面安裝積體功率模組

RELIABLE SURFACE MOUNT INTEGRATED POWER MODULE

(57)摘要

本發明揭示一種產生經改良之熱機械可靠性及更穩固之第二階封裝互連件之表面安裝封裝結構。該表面安裝封裝結構包含一子模組，該子模組具有一介電層，半導體裝置附接至該介電層，一第一階金屬互連結結構電耦合至該等半導體裝置，且一第二階 I/O 連接件電耦合至該第一階互連件且形成於與該等半導體裝置相對之一側上之該介電層上，其中該第二階 I/O 連接件經組態以將該子模組連接至一外部電路。該子模組之該等半導體裝置附接至一多層基板結構之第一表面，其中一介電材料定位於該介電層與該多層基板結構之間以填充該表面安裝結構中之間隙且為其提供額外結構完整性。

A surface mount packaging structure that yields improved thermo-mechanical reliability and more robust second-level package interconnections is disclosed. The surface mount packaging structure includes a sub-module having a dielectric layer, semiconductor devices attached to the dielectric layer, a first level metal interconnect structure electrically coupled to the semiconductor devices, and a second level I/O connection electrically coupled to the first level interconnect and formed on the dielectric layer on a side opposite the semiconductor devices, with the second level I/O connection configured to connect the sub-module to an external circuit. The semiconductor devices of the sub-module are attached to the first surface of a multi-layer substrate structure, with a dielectric material positioned between the dielectric layer and the multi-layer substrate structure to fill in gaps in the surface-mount structure and provide additional structural integrity thereto.

I587477

TW I587477 B

充/底填充材料/囊封/
有機底填充材料/有機
底填充

發明摘要

※ 申請案號： 102125293

※ 申請日： 102. 7. 15

※IPC 分類：H01L 27/02 (2006.01)

H01L 23/31 (2006.01)

【發明名稱】

可靠表面安裝積體功率模組

RELIABLE SURFACE MOUNT INTEGRATED POWER MODULE

【中文】

本發明揭示一種產生經改良之熱機械可靠性及更穩固之第二階封裝互連件之表面安裝封裝結構。該表面安裝封裝結構包含一子模組，該子模組具有一介電層，半導體裝置附接至該介電層，一第一階金屬互連結構電耦合至該等半導體裝置，且一第二階I/O連接件電耦合至該第一階互連件且形成於與該等半導體裝置相對之一側上之該介電層上，其中該第二階I/O連接件經組態以將該子模組連接至一外部電路。該子模組之該等半導體裝置附接至一多層基板結構之第一表面，其中一介電材料定位於該介電層與該多層基板結構之間以填充該表面安裝結構中之間隙且為其提供額外結構完整性。

【英文】

A surface mount packaging structure that yields improved thermo-mechanical reliability and more robust second-level package interconnections is disclosed. The surface mount packaging structure includes a sub-module having a dielectric layer, semiconductor devices attached to the dielectric layer, a first level metal interconnect structure electrically coupled to the semiconductor devices, and a second level I/O connection electrically coupled to the first level interconnect and formed on the dielectric layer on a side opposite the semiconductor devices, with the second level I/O connection configured to connect the sub-module to an external circuit. The semiconductor devices of the sub-module are attached to the first surface of a multi-layer substrate structure, with a dielectric material positioned between the dielectric layer and the multi-layer substrate structure to fill in gaps in the surface-mount structure and provide additional structural integrity thereto.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 10 表面安裝封裝及互連結構/功率覆蓋結構/功率覆蓋封裝及互連結構
- 12 半導體裝置/電力半導體裝置/晶粒
- 14 功率覆蓋子模組
- 16 第二階輸入-輸出連接/第二階輸入-輸出連接/第二階封裝輸入-輸出連接件/第二階輸入-輸出互連件/輸入-輸出互連件/第二階模組互連件/第二階封裝輸入-輸出
- 17 焊料凸塊/平台柵格陣列焊料凸塊/球形柵格陣列焊料凸塊
- 18 多層基板結構/基板結構/結構
- 20 氧化鋁/瓷磚/磚/陶瓷基板/絕緣基板/陶瓷
- 22 直接接合銅層/頂部直接接合銅層/金屬材料/直接接合銅/銅襯墊/連接件/晶粒側直接接合銅層
- 24 直接接合銅層/底部直接接合銅層/金屬材料/直接接合銅/非晶粒側直接接合銅層/銅襯墊/連接件/層/非晶粒側直接接合銅
- 26 介電材料/囊封或模製化合物/底填充/底填充材料/囊封/有機底填充材料/有機底填充

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

可靠表面安裝積體功率模組

RELIABLE SURFACE MOUNT INTEGRATED POWER MODULE

【先前技術】

本發明之實施例一般而言係關於用於封裝半導體裝置之結構及方法，且更特定而言係關於一種產生經改良之熱機械可靠性及更穩固之第二階封裝互連件之表面安裝封裝結構。

表面安裝技術係一種用於構造其中將表面安裝組件或封裝直接安裝至印刷電路板(PCB)或其他類似外部電路之表面上之電子電路之方法。在工業中，表面安裝技術已替換其中將具有導線之組件配合至電路板中之孔中之穿孔技術構造方法。

一種常見類型之表面安裝之組件係一電力半導體裝置，該電力半導體裝置係在電力電子電路中用作一切換器或整流器之一半導體裝置(例如，切換模式電力供應器)。大多數電力半導體裝置僅在轉換模式(亦即，其打開或關閉)中使用，且因此針對此最佳化。諸多電力半導體裝置用於高電壓電力應用中且經設計以攜載大量電流且支援一大電壓。在使用中，高電壓電力半導體裝置藉助於一功率覆蓋(power overlay；POL)封裝及互連系統而表面安裝至一外部電路，其中POL封裝亦提供用以移除由裝置產生之熱且保護裝置免受外部環境影響之一方式。

一標準POL封裝製造製程通常以藉助於一黏合劑將一或多個電力半導體裝置放置至一介電層上開始。然後將金屬互連件(例如，銅互連件)電鍍至介電層上以形成至電力半導體裝置之一直接金屬連接，

以便形成一POL子模組。金屬互連件可呈一低輪廓(例如，小於200微米厚)平面互連結構之形式，該平面互連結構提供至及自電力半導體裝置之一輸入/輸出(I/O)系統之形成。然後使用用於電及熱連接之焊接互連件將POL子模組焊接至一陶瓷基板(具有DBC之氧化鋁、具有AMB Cu之AlN等)。然後使用一介電有機材料使用毛細管流動(毛細管底填充)、非流動性底填充或射出模製(模製化合物)來填充在POL介電層與陶瓷基板之間的圍繞半導體之間隙以形成POL封裝。

在現有表面安裝之POL封裝中，封裝之長期可靠性受由於構成材料之不同熱膨脹係數(CTE)所產生之熱機械應力限制。更具體而言，POL封裝之介電有機材料/底填充及陶瓷基板之不同CTE導致底填充及陶瓷基板之熱應力及彎曲應力。底填充及陶瓷基板之此等熱應力及彎曲應力可繼而導致封裝之翹曲。當封裝之翹曲發生時，封裝之第二階互連件之可靠性受影響。

因此，將期望提供具有減小封裝翹曲及熱應力之一基於應力平衡的設計策略之一表面安裝封裝，以使得可改良熱循環之封裝可靠性。將進一步期望此一封裝設計策略改良第二階互連件之可靠性。

【發明內容】

本發明之實施例藉由提供產生經改良之熱機械可靠性及更穩固之第二階封裝互連件之一表面安裝封裝結構來克服前述缺陷。

根據本發明之一項態樣，一表面安裝結構包含：一子模組，其具有一介電層及附接至該介電層之至少一個半導體裝置，其中該至少一個半導體裝置中之每一者包含由一半導體材料構成之一基板。該子模組亦包含：一第一階金屬互連結構，其電耦合至該至少一個半導體裝置，該第一階金屬互連結構延伸穿過通過該介電層形成之通孔以便連接至該至少一個半導體裝置；及一第二階輸入/輸出(I/O)連接件，其電耦合至該第一階金屬互連結構且形成於與該至少一個半導體裝置

相對之一側上之該介電層上，該第二階I/O連接件經組態以將該子模組連接至一外部電路。該表面安裝結構亦包含：一多層基板結構，其具有一第一表面及一第二表面，其中該子模組之該至少一個半導體裝置附接至該多層基板之該第一表面。該表面安裝結構進一步包含：一或多種介電材料，其定位於該介電層與該多層基板結構之該第一表面之間且至少部分地圍繞該子模組之該至少一個半導體裝置，該一或多種介電材料經組態以填充該表面安裝結構中之間隙且為其提供額外結構完整性。

根據本發明之另一態樣，製造一表面安裝封裝及互連結構之一方法包含構造包含至少一個半導體裝置及圍繞其形成之一封裝結構之一子模組之步驟，其中構造該子模組之步驟進一步包含：將至少一個半導體裝置附接至一介電層，在該介電質上方形成延伸穿過該介電層中之通孔以電連接至該至少一個半導體裝置之一第一階金屬互連結構，及在與該至少一個半導體裝置相對之一側上之該介電層上形成一第二階輸入/輸出(I/O)連接件，其中該第二階I/O連接件經組態以將該子模組連接至一外部電路。該方法亦包含以下步驟：形成一基板結構，該基板結構包含一中心基板層及在該中心基板層之相對側上之第一金屬層及第二金屬層，以使得該第一金屬層及該第二金屬層分別形成該基板結構之一第一表面及一第二表面。該方法進一步包含以下步驟：將該子模組附接至該基板結構之該第一表面，及在該介電層與該基板結構之該第一表面之間提供一介電填料材料，該介電填料材料至少部分地囊封該子模組之該至少一個半導體裝置。

根據本發明之另一態樣，一功率覆蓋(POL)封裝結構包含：一POL子模組，其具有：一介電層；複數個半導體裝置，其附接至該介電層；一第一階互連結構，其電耦合至該複數個半導體裝置且延伸穿過通過該介電層形成之通孔以便連接至該複數個半導體裝置；及一第

二階互連結構，其用以將該POL子模組電耦合至一外部電路結構，其中該第二階互連結構包括形成於該介電層及該第一階互連結構上方且經組態以形成至該外部電路結構之一互連之複數個焊料凸塊。該POL封裝結構亦包含：一多層基板結構，其具有一第一表面及一第二表面，其中該POL子模組之該複數個半導體裝置附接至該多層基板結構之該第一表面。該POL封裝結構之該多層基板結構進一步包含：一第一直接接合銅(DBC)層，其形成該多層基板結構之該第一表面；一第二DBC層，其形成該多層基板結構之該第二表面；及一陶瓷層，其夾在該第一DBC層與該第二DBC層之間。該POL封裝結構進一步包含：一囊封，其定位於該介電層與該多層基板結構之該第一表面之間且至少部分地圍繞該子模組之該複數個半導體裝置。

將自連同隨附圖式一起提供之本發明之較佳實施例之以下詳細說明更容易地理解此等及其他優點及特徵。

【圖式簡單說明】

圖式圖解說明當前預期用於實施本發明之實施例。

在圖式中：

圖1係根據本發明之一實施例之一功率覆蓋(POL)結構之一示意性剖面側視圖。

圖2至圖11係根據本發明之一實施例在一製造/建構製程之各種階段期間之一POL結構之示意性剖面側視圖。

圖12係根據本發明之另一實施例之一POL結構之一示意性剖面側視圖。

【實施方式】

本發明之實施例提供一種具有經改良之熱機械可靠性之表面安裝封裝，以及一種形成此一表面安裝封裝之方法。

參考圖1，展示根據本發明之一實施例之一表面安裝封裝及互連

結構10。在圖1中所展示之實施例中，表面安裝封裝結構10呈一功率覆蓋(POL)結構之形式，但應認識到，其他表面安裝封裝結構亦視為在本發明之範疇內。POL結構10其中包含一或多個半導體裝置12，該一或多個半導體裝置根據各種實施例可呈一晶粒、二極體、或其他電力電子裝置之形式。如圖1中所展示，在POL結構10中提供三個半導體裝置12，然而，應認識到，在POL結構10中可包含較大或較小數目個半導體裝置12。半導體裝置12封裝於一POL子模組14內，該POL子模組形成至電力半導體裝置12之一直接金屬連接，其中(舉例而言)該連接呈一低輪廓平面第一階互連結構之形式。

在POL子模組14上提供一第二階輸入-輸出(I/O)連接16以達成POL結構10至一外部電路(諸如一印刷電路板(PCB) (未展示))之表面安裝。根據一例示性實施例，第二階I/O連接16由平台柵格陣列(LGA)焊料凸塊17形成，平台柵格陣列焊料凸塊17經組態以附接/附加至PCB以將POL結構10電耦合至PCB，但亦可使用其他適合之第二階焊料互連件，諸如球形柵格陣列(BGA)焊料凸塊。LGA焊料凸塊17提供對高應力條件下之故障具抵抗力之一高度可靠互連結構。

如圖1中所展示，POL結構10亦包含POL子模組14附接至之一多層基板結構18。根據一例示性實施例，基板結構18由一瓷磚(例如，氧化鋁) 20構成，瓷磚20具有藉由一高溫結合製程接合至其兩側之一直接接合銅(DBC)層22、24，其中頂部DBC層22形成結構18之一「第一表面」且底部DBC層24形成結構18之一「第二表面」。針對該結合製程，可基於(舉例而言)磚20是由氧化鋁還是氮化鋁及氮化矽等構成而採用不同的硬鐸及直接接合技術。然後，在燒製之後蝕刻基板結構18之頂部DBC層22或「晶粒側DBC層」以基於半導體裝置12之數目/配置來按需要圖案化該層。使基板結構18之背側上之底部DBC層24或「非晶粒側DBC層」完全地或部分地曝露以提供出自POL結構10之高

效熱轉移。當在上文及下文中稱為「DBC層」時應認識到，可使用鋁替代銅作為金屬層，且因此將此一實施例視為在本發明之範疇內。因此，在下文中使用術語「DBC層」意欲囊括包含接合至一瓷磚(例如，氧化鋁) 20之兩側之任何適合金屬材料22、24 (諸如銅或鋁)之薄片之一基板結構18。如圖1中所展示，一介電材料26 (亦即，「介電填充材料」)亦提供於POL結構10上以填充POL結構10中之間隙，以便為POL結構10提供額外結構完整性。根據圖1中所展示之POL結構10之實施例，介電材料26呈一聚合物底填充(例如，毛細管底填充或非流動性底填充)、囊封、聚矽氧或模製化合物之形式。另一選擇係，且如下文將關於圖12更詳細論述，應認識到，介電材料26可由一陶瓷或介電薄片與一額外介電填充材料(底填充、模製化合物、聚矽氧或囊封)之一組合形成。

因此圖1之POL結構10經形成以使得第二階封裝I/O連接件16提供於第一階互連件側上以用於至一PCB或其他外部電路之第二階互連。POL結構10之特定構造產生經改良之熱機械可靠性及更穩固之第二階封裝I/O連接件16以及優越的電效能及熱效能。

現參考圖2至圖11，提供根據本發明之一實施例用於製造圖1之POL結構10之一技術之製程步驟之細節視圖。如首先在圖2至圖9中所展示，提供用於POL子模組14之一建構之製程步驟。參考圖2，POL子模組14之建構製程以一介電層30或「撓曲層」至一框架結構32上之放置及附接開始。介電層30呈一積層或膜之形式且放置於框架結構32上以在POL子模組14之建構製程期間提供穩定性。根據本發明之實施例，介電層30可由以下複數種介電材料中之一者形成：諸如Kapton®、Ultem®、聚四氟乙烯(PTFE)、Uplex®、聚砜材料(例如，Udel®, Radel®)或另一聚合物膜(諸如一液晶聚合物(LCP)或一聚醯亞胺材料)。

如圖3中所展示，在將介電層30固定至框架結構32之後，旋即將一黏合劑層34沈積於介電層30上。然後形成穿過黏合劑層34及介電層30之複數個通孔36，如圖4中所圖解說明。根據本發明之實施例，可藉助於一雷射剝蝕或雷射鑽孔製程、電漿蝕刻、光定義或機械鑽孔製程形成通孔36。在下一技術步驟中，藉助於黏合劑層34將一或多個半導體裝置12（例如，三個半導體裝置）固定至介電層30，如圖5中所圖解說明。爲了將半導體裝置12固定至介電層30，將半導體裝置12放置於黏合劑層34上，然後使黏合劑34固化以將半導體裝置12固定於介電層30上。根據本發明之一項實施例，且如圖5中所展示，半導體裝置12可係爲不同厚度/高度。爲了增加一半導體裝置12之一厚度/高度，可將一銅薄墊片37焊接至半導體裝置12中之一或多處，以便增加其厚度/高度以使得所有半導體裝置12之厚度/高度相等且半導體裝置12之一後表面「平面化」。

儘管穿過黏合劑層34及介電積層30之通孔36之形成在圖4中展示爲執行於將半導體裝置12放置至黏合劑層34上之前，但應認識到，半導體裝置12之放置可發生於通孔形成之前。亦即，取決於由通孔大小強加之約束，可首先將半導體裝置12放置於黏合劑層34及介電層30上，其中通孔36隨後形成於對應於形成於半導體裝置12上之複數個金屬化電路及/或連接襯墊(未展示)之位置處。此外，視需要，可採用預先鑽孔之通孔與後鑽孔之通孔之一組合。

現參考圖6及圖7，在將半導體裝置12固定於介電層30上且形成通孔36之後，通孔36經清潔(諸如透過一反應性離子蝕刻(RIE)去煙灰製程)且隨後經金屬化以形成第一階互連件38。通常透過濺鍍與電鍍應用之一組合形成第一階金屬互連件38，但應認識到亦可使用金屬沈積之其他無電極電鍍方法。舉例而言，可首先經由一濺鍍製程、後續接著將銅之一厚度增加至一所期望位準之一電鍍製程來施加一鈦黏合

層及銅晶種層。然後所施加之金屬材料隨後經圖案化成金屬互連件38(亦即，第一階互連件)，該等金屬互連件具有一所期望形狀且用作穿過介電層30及黏合劑層34形成之垂直饋通。金屬互連件38自半導體裝置12之電路及/或連接襯墊(未展示)延伸出、穿過通孔/開口36且跨越介電層30之一頂部表面39穿出。

如圖8中所展示，在經圖案化金屬互連件38上方施加一焊料遮罩層40以爲其銅薄墊片提供一保護性塗層。應認識到，替代焊料，層40可由除焊料之外的某些金屬材料(諸如Ni或Ni/Au)構成。如圖8中進一步所展示，將第二階I/O互連件16施加至介電層30之頂部上之焊料遮罩層40。在一項實施例中，I/O互連件16形成爲LGA或BGA焊料凸塊17，LGA或BGA焊料凸塊17焊接至焊料遮罩層40以達成POL結構10至一外部電路之表面安裝。焊料凸塊17提供對高應力條件下之故障具抵抗力之一高度可靠之第二階互連結構。

爲完成POL子模組14之建構，將POL子模組14單粒化且自框架結構32移除，如圖9中所圖解說明。因此提供一完整的POL子模組14，包含半導體裝置12、充當金屬垂直饋通之第一階金屬互連件38及用於POL子模組14至一外部電路(諸如一PCB)之表面安裝之第二階I/O互連件16。將POL子模組14處置爲一組件或多晶片模組。

現參考圖10，製造POL結構10之技術以欲結合至POL子模組14之一基板結構18之形成而繼續。基板結構18由一瓷磚(例如，氧化鋁)20構成，其中DBC 22、24之晶粒側及非晶粒側層藉由一高溫結合製程接合至其兩側。如圖10中所展示，基板結構18之晶粒側DBC層22經圖案化(諸如經由一蝕刻製程)以關聯於POL子模組14之半導體裝置12之數目/配置。根據一例示性實施例，基板結構18之背側上之非晶粒側DBC層24保持不被圖案化、作爲一連續層，以便提供基板結構18之較大彎曲強度。另外，非晶粒側DBC層24之整個表面可用於熱連接(亦

即，散熱片附接)。

如圖11中所展示，製造POL結構10之技術以將POL子模組14附接至基板結構18而繼續。根據本發明之一項實施例，藉助於一焊料材料42將POL子模組14附接至基板結構18，以便將POL子模組14與基板結構18固定在一起。亦即，將半導體裝置12中之每一者焊接至晶粒側DBC層22。然而，應認識到，亦可使用一導電黏合劑或燒結銀替代一焊料材料來將POL子模組14與基板結構18固定在一起。然後，如圖11中所展示，將填充POL結構10中之間隙的一聚合物底填充、囊封或模製化合物26 (例如，環氧樹脂或其他有機填充材料)提供於POL結構10上，以便約束介電層30且為POL結構10提供額外電絕緣及結構完整性。

如圖10及圖11中所展示，根據本發明之一例示性實施例，選擇性地執行基板結構18之形成以便最佳化POL結構10之熱效能。亦即，應認識到，在基板結構18中存在陶瓷基板20 (其通常具有一低CTE)與底填充26及銅襯墊/連接件22、24、38 (其通常具有一高CTE)之熱膨脹係數(CTE)之間的一不匹配，且此CTE不匹配可導致POL結構10之不平衡熱應力且藉此致使陶瓷/絕緣基板20、底填充材料26及/或第二階I/O互連件16 (亦即，BGA/LGA焊料凸塊17)之模組翹曲、彎曲應力及破裂。可藉由基板結構18之選擇性形成而最小化POL結構10之不平衡熱應力及藉此導致之翹曲、彎曲應力及破裂。在形成基板結構18時，非晶粒側DBC層24之一厚度(識別為44)及覆蓋面積(識別為46)經選擇性控制以最佳化POL結構10之熱效能。更具體而言，非晶粒側DBC層24之一體積與晶粒側DBC層22之體積之比率經選擇/經控制以使得底填充26及陶瓷基板20之熱應力/彎曲應力同時減小至可接受位準內。藉由將額外DBC體積提供至基板背側(亦即，非晶粒側)上之層24，非晶粒側上之DBC層24之熱膨脹可抵消底填充/囊封26在陶瓷基

板20之晶粒側上之膨脹，以使得減小熱應力/彎曲應力。

爲了判定非晶粒側DBC 24對晶粒側DBC 22之一適當體積比/體積不平衡以及DBC層24之一對應厚度44及覆蓋面積46，考量以下因素：(1)底填充材料26之體積及其已知材料性質，包含底填充材料之彈性模數、熱膨脹係數(CTE)以及斷裂應力及韌性；(2)晶粒12在POL子模組14內之密度、厚度及間隔；及(3)陶瓷基板20之厚度及材料性質，包含陶瓷基板之彈性模數及CTE。一般而言，較硬質之底填充材料26需要DBC層22與DBC層24之間的較大DBC體積不平衡以減小模組翹曲及彎曲應力，而順應性底填充材料需要較小體積不平衡。

根據本發明之一例示性實施例，針對用於電子封裝之一典型有機底填充材料26，非晶粒側DBC 24與晶粒側DBC 22之DBC體積比/體積不平衡將大於1且小於2.5。亦即，期望DBC體積比/體積不平衡在此範圍內，此乃因一平衡陶瓷基板(亦即，DBC比約爲1)將展現在熱循環期間的高度不平衡熱應力以及由於陶瓷20 (3 ppm/°C至9 ppm/°C)與典型的有機底填充26 (9 ppm/°C至50 ppm/°C)之間的高CTE不匹配所致的較大封裝曲率(翹曲)。藉由將非晶粒側DBC 24之DBC體積增加至晶粒側DBC 22之DBC體積的1與2.5倍之間，提供減小POL封裝曲率且達成更穩固之第二階模組互連件16之應力平衡。關於上文所列舉之1至2.5之範圍，應認識到，若底填充材料26之CTE極低，則非晶粒側DBC 24與晶粒側DBC 22之DBC體積比/體積不平衡可小於1，以使得最小化CTE不匹配。

現參考圖12，展示根據本發明之另一實施例之一POL結構50，其中不同介電元件用以填充在由晶粒12所佔據之區域中的介電層30與基板結構18之間的POL結構50中之間隙。如圖12中所展示，一陶瓷或介電薄片52定位於介電層30與多層基板結構18之間毗鄰介電層30。陶瓷/介電薄片52包含形成於其中以將晶粒12接納於其中之切口54。然後

將一聚合物底填充材料或模製化合物56定位於陶瓷/介電薄片52與多層基板結構18之間，以便填充陶瓷/介電薄片52與多層基板結構18之瓷磚/氧化鋁20之間的間隙58。與完全使用僅一介電填充材料56相較，用於填充介電層30與基板結構18之間的POL結構50之體積之一部分之陶瓷/介電薄片52之實施有益地使POL結構50較不易吸收濕氣且可進一步最小化POL結構50中之熱機械應力以便減少破裂、脫層等。

關於POL結構50，應認識到，爲了判定非晶粒側DBC 24與晶粒側DBC 22之一適當體積比/體積不平衡以及DBC層24之一對應厚度44及覆蓋面積46，考量陶瓷/介電薄片52及底填充材料56中之每一者之體積及已知熱機械材料性質。陶瓷/介電薄片52及底填充材料56中之每一者之彈性模數、熱膨脹係數(CTE)以及斷裂應力及韌性可彼此不同，且因此當判定體積比/體積不平衡時，考量每一單獨元件之此等材料性質。

有益地，本發明之實施例因此提供具有第二階封裝I/O 16之一POL封裝及互連結構10，該第二階封裝I/O提供於POL子模組14之撓曲側上(亦即，在介電層30之頂部上)以用於至一外部電路之第二階互連，且整個非晶粒側DBC層24可用於熱連接。POL結構10併入有減少封裝翹曲及熱應力之一基於應力平衡之設計策略，以使得可改良熱循環之封裝可靠性。非晶粒側DBC層24之熱膨脹抵消陶瓷基板20之晶粒側上之底填充/囊封膨脹，其中導致減小封裝曲率之應力平衡且達成更穩固之第二階模組互連件16。一非晶粒側DBC層24可經形成以針對一給定封裝設計(裝置大小、密度等)提供最佳DBC體積比/體積不平衡，其中非晶粒側DBC層24之體積判定係基於第二階裝配之封裝曲率要求，以及介電材料及絕緣材料之彎曲強度及韌性。

因此，根據本發明之一項實施例，一表面安裝結構包含：一子模組，其具有一介電層及附接至該介電層之至少一個半導體裝置，其

中該至少一個半導體裝置中之每一者包含由一半導體材料構成之一基板。該子模組亦包含：一第一階金屬互連結構，其電耦合至該至少一個半導體裝置，該第一階金屬互連結構延伸穿過通過該介電層形成之通孔以便連接至該至少一個半導體裝置；及一第二階輸入/輸出(I/O)連接件，其電耦合至該第一階金屬互連結構且形成於與該至少一個半導體裝置相對之一側上之該介電層上，該第二階I/O連接件經組態以將該子模組連接至一外部電路。該表面安裝結構亦包含：一多層基板結構，其具有一第一表面及一第二表面，其中該子模組之該至少一個半導體裝置附接至該多層基板之該第一表面。該表面安裝結構進一步包含：一或多種介電材料，其定位於該介電層與該多層基板結構之該第一表面之間且至少部分地圍繞該子模組之該至少一個半導體裝置，該一或多種介電材料經組態以填充該表面安裝結構中之間隙且為其提供額外結構完整性。

根據本發明之另一實施例，製造一表面安裝封裝及互連結構之一方法包含構造包含至少一個半導體裝置及圍繞其形成之一封裝結構之一子模組之步驟，其中構造該子模組之步驟進一步包含：將至少一個半導體裝置附接至一介電層，在該介電質上方形成延伸穿過該介電層中之通孔以電連接至該至少一個半導體裝置之一第一階金屬互連結構，及在與該至少一個半導體裝置相對之一側上之介電層上形成一第二階輸入/輸出(I/O)連接件，其中該第二階I/O連接件經組態以將該子模組連接至一外部電路。該方法亦包含以下步驟：形成一基板結構，該基板結構包含一中心基板層及在該中心基板層之相對側上之第一金屬層及第二金屬層，以使得該第一金屬層及該第二金屬層分別形成該基板結構之一第一表面及一第二表面。該方法進一步包含以下步驟：將該子模組附接至該基板結構之該第一表面，及在該介電層與該基板結構之該第一表面之間提供一介電填充材料，該介電填充材料至少部

分地囊封該子模組之該至少一個半導體裝置。

根據本發明之另一實施例，一功率覆蓋(POL)封裝結構包含：一POL子模組，該POL子模組具有：一介電層；複數個半導體裝置，其附接至該介電層；一第一階互連結構，其電耦合至該複數個半導體裝置且延伸穿過通過該介電層形成之通孔以便連接至該複數個半導體裝置；及一第二階互連結構，其用以將POL子模組電耦合至一外部電路結構，其中該第二階互連結構包括形成於該介電層及該第一階互連結構上方且經組態以形成至外部電路結構之一互連之複數個焊料凸塊。該POL封裝結構亦包含：一多層基板結構，其具有一第一表面及一第二表面，其中該POL子模組之該複數個半導體裝置附接至該多層基板結構之該第一表面。該POL封裝結構之該多層基板結構進一步包含：一第一直接接合銅(DBC)層，其形成該多層基板結構之該第一表面；一第二DBC層，其形成該多層基板結構之該第二表面；及一陶瓷層，其夾在該第一DBC層與該第二DBC層之間。該POL封裝結構進一步包含：一囊封，其定位於該介電層與該多層基板結構之該第一表面之間且至少部分地圍繞該子模組之該複數個半導體裝置。

儘管已結合僅有限數目個實施例詳細闡述本發明，但應容易地理解，本發明不限於此等所揭示之實施例。而是，本發明可經修改以併入此前未闡述但與本發明之精神及範疇相稱之之任何數目之變化、更改、替代或等效配置。另外，儘管已闡述本發明之各種實施例，但應理解，本發明之態樣可包含所闡述之實施例中之僅某些實施例。因此，不將本發明視為受前述說明限制，而僅受隨附申請專利範圍之範疇限制。

【符號說明】

10 表面安裝封裝及互連結構/功率覆蓋結構/功率覆蓋封裝及互連結構

- 12 半導體裝置/電力半導體裝置/晶粒
- 14 功率覆蓋子模組
- 16 第二階輸入-輸出連接/第二階輸入-輸出連接/第二階封裝
輸入-輸出連接件/第二階輸入-輸出互連件/輸入-輸出互
連件/第二階模組互連件/第二階封裝輸入-輸出
- 17 焊料凸塊/平台柵格陣列焊料凸塊/球形柵格陣列焊料凸
塊
- 18 多層基板結構/基板結構/結構
- 20 氧化鋁/瓷磚/磚/陶瓷基板/絕緣基板/陶瓷
- 22 直接接合銅層/頂部直接接合銅層/金屬材料/直接接合銅/
銅襯墊/連接件/晶粒側直接接合銅層
- 24 直接接合銅層/底部直接接合銅層/金屬材料/直接接合銅/
非晶粒側直接接合銅層/銅襯墊/連接件/層/非晶粒側直接
接合銅
- 26 介電材料/囊封或模製化合物/底填充/底填充材料/囊封/
有機底填充材料/有機底填充
- 30 介電層
- 32 框架結構
- 34 黏合劑層
- 36 複數個通孔/開口
- 37 銅薄墊片
- 38 第一階互連件/第一階金屬互連件/金屬互連件/銅襯墊/連
接件
- 39 頂部表面
- 40 焊料遮罩層/層/焊料遮罩
- 42 焊料材料

44	厚度/對應厚度
46	覆蓋面積
50	功率覆蓋結構
52	陶瓷或介電薄片
54	切口
56	聚合物底填充材料或模製化合物/介電填充材料/底填充材料
58	間隙

申請專利範圍

1. 一種表面安裝結構，其包括：

一子模組，該子模組包括：

一介電層；

至少一個半導體裝置，其附接至該介電層，其中該至少一個半導體裝置中之每一者包含由一半導體材料構成之一基板；

一第一階金屬互連結構，其電耦合至該至少一個半導體裝置，該金屬互連結構延伸穿過通過該介電層形成之通孔以便連接至該至少一個半導體裝置；及

一第二階輸入/輸出(I/O)連接件，其電耦合至該第一階金屬互連結構且形成於與該至少一個半導體裝置相對之一側上之該介電層上，該第二階I/O連接件經組態以將該子模組連接至一外部電路；

一多層基板結構，其具有一第一表面及一第二表面，其中該子模組之該至少一個半導體裝置附接至該多層基板之該第一表面；及

一或多種介電材料，其定位於該介電層與該多層基板結構之該第一表面之間且至少部分地圍繞該子模組之該至少一個半導體裝置，該一或多種介電材料經組態以填充該表面安裝結構中之間隙且為其提供額外結構完整性。

2. 如請求項1之表面安裝結構，其中該多層基板結構包括：

一陶瓷絕緣層；

一第一金屬層，其定位於該絕緣層之一側上以形成該多層基板結構之該第一表面；及

一第二金屬層，其定位於該絕緣層之另一側上以形成該多層基板結構之該第二表面。

3. 如請求項2之表面安裝結構，其中該第一金屬層及該第二金屬層包括第一直接接合銅(DBC)層及第二直接接合銅(DBC)層。
4. 如請求項3之表面安裝結構，其中該第一DBC層包括一經圖案化DBC層且該第二DBC層包括一經圖案化或未經圖案化DBC層。
5. 如請求項3之表面安裝結構，其中該第二DBC層之一體積大於或等於該第一DBC層之一體積。
6. 如請求項5之表面安裝結構，其中該第二DBC層之該體積介於該第一DBC層之該體積之1倍與2.5倍之間。
7. 如請求項5之表面安裝結構，其中該第二DBC層之一厚度或面積及對應體積係基於該一或多種介電材料之一厚度及材料性質、該至少一個半導體裝置之一密度、厚度及間隔以及該陶瓷絕緣層之一厚度及材料性質中之至少一者加以控制。
8. 如請求項7之表面安裝結構，其中該一或多種介電材料及該陶瓷絕緣層之該等材料性質包含一彈性模數、熱膨脹係數(CTE)以及斷裂應力及韌性中之至少一者。
9. 如請求項5之表面安裝結構，其中該第二DBC層與該第一DBC層之間的一體積比提供最小化其中之翹曲及熱應力之一應力平衡表面安裝封裝及互連結構。
10. 如請求項1之表面安裝結構，其中該一或多種介電材料包括定位於該介電層與該多層基板結構之該第一表面之間的一底填充材料、囊封、聚矽氧或模製化合物。
11. 如請求項1之表面安裝結構，其中一或多種介電材料包括：

一陶瓷或介電薄片，其定位於該介電層與該多層基板結構之該第一表面之間，該陶瓷或介電薄片具有形成於其中以接納該

至少一個半導體裝置之切口；及

一介電填料材料，其定位於該陶瓷或介電薄片與該多層基板結構之該第一表面之間以便填充該陶瓷或介電薄片與該多層基板結構之間的間隙。

12. 如請求項1之表面安裝結構，其中該第二階I/O連接件包括平台柵格陣列(LGA)焊料凸塊及球形柵格陣列(BGA)焊料凸塊中之一者。
13. 如請求項12之表面安裝結構，其進一步包括定位於該多層基板結構與該子模組之間以將該子模組固定至該多層基板結構之一焊料材料、一導電黏合劑或燒結金屬接點中之一者。
14. 如請求項1之表面安裝結構，其中該子模組包括一功率覆蓋(POL)子模組。
15. 如請求項1之表面安裝結構，其中該至少一個半導體裝置包括附接至該介電層之複數個半導體裝置。

圖式

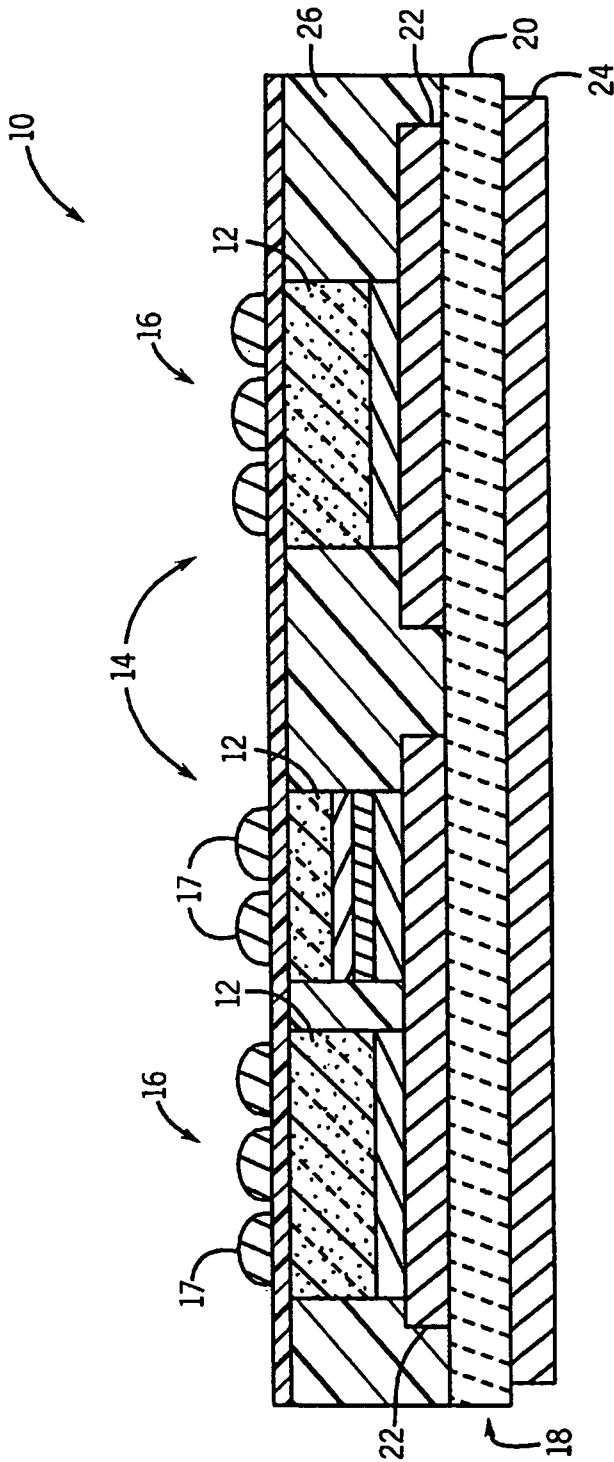


圖 1

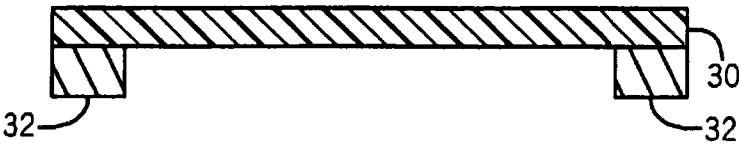


圖 2

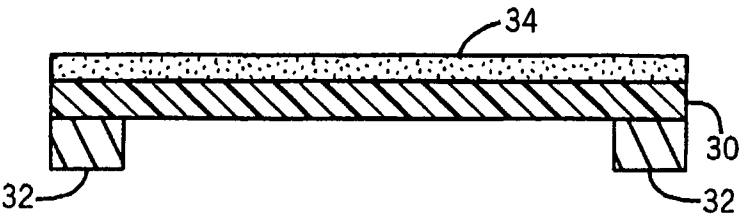


圖 3

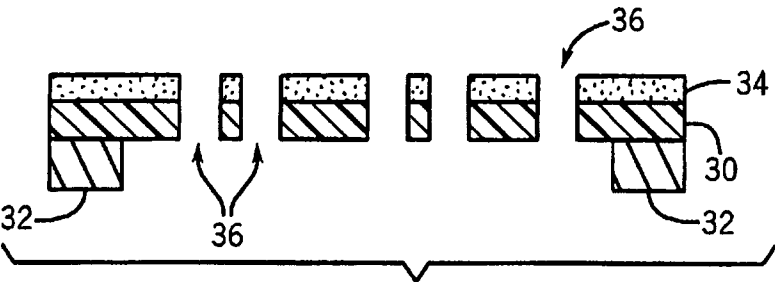


圖 4

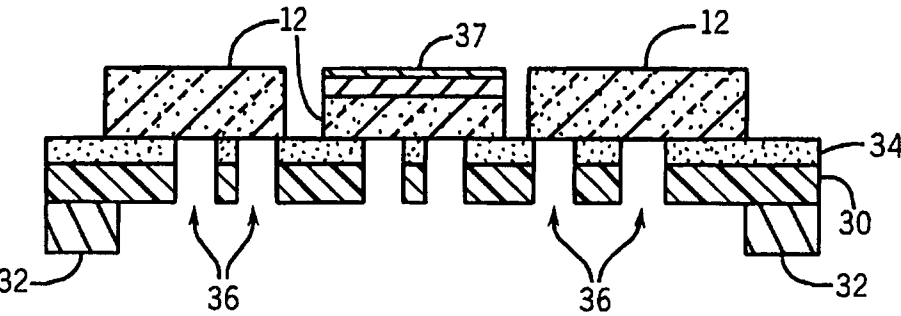


圖 5

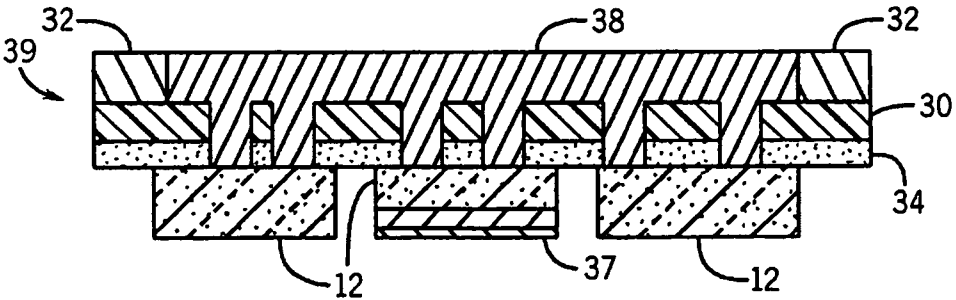


圖 6

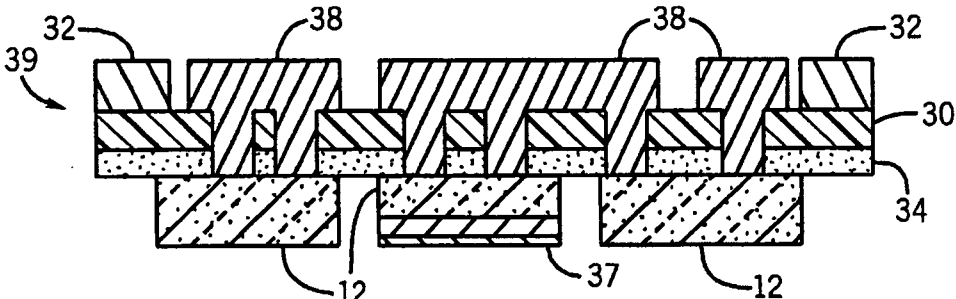


圖 7

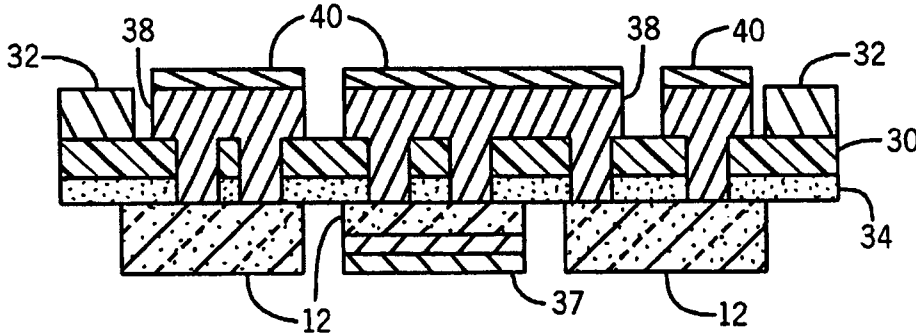


圖 8

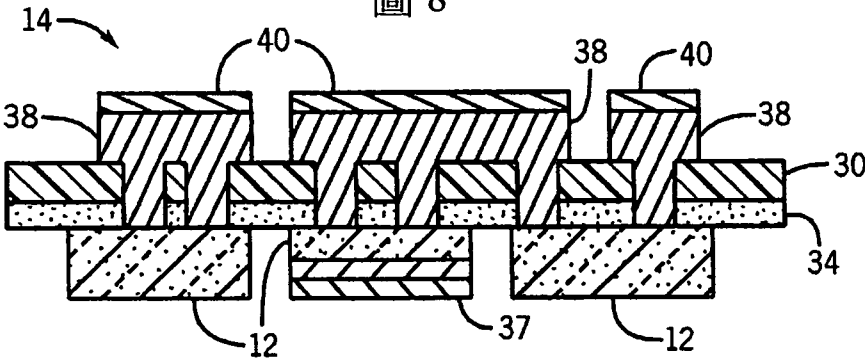


圖 9

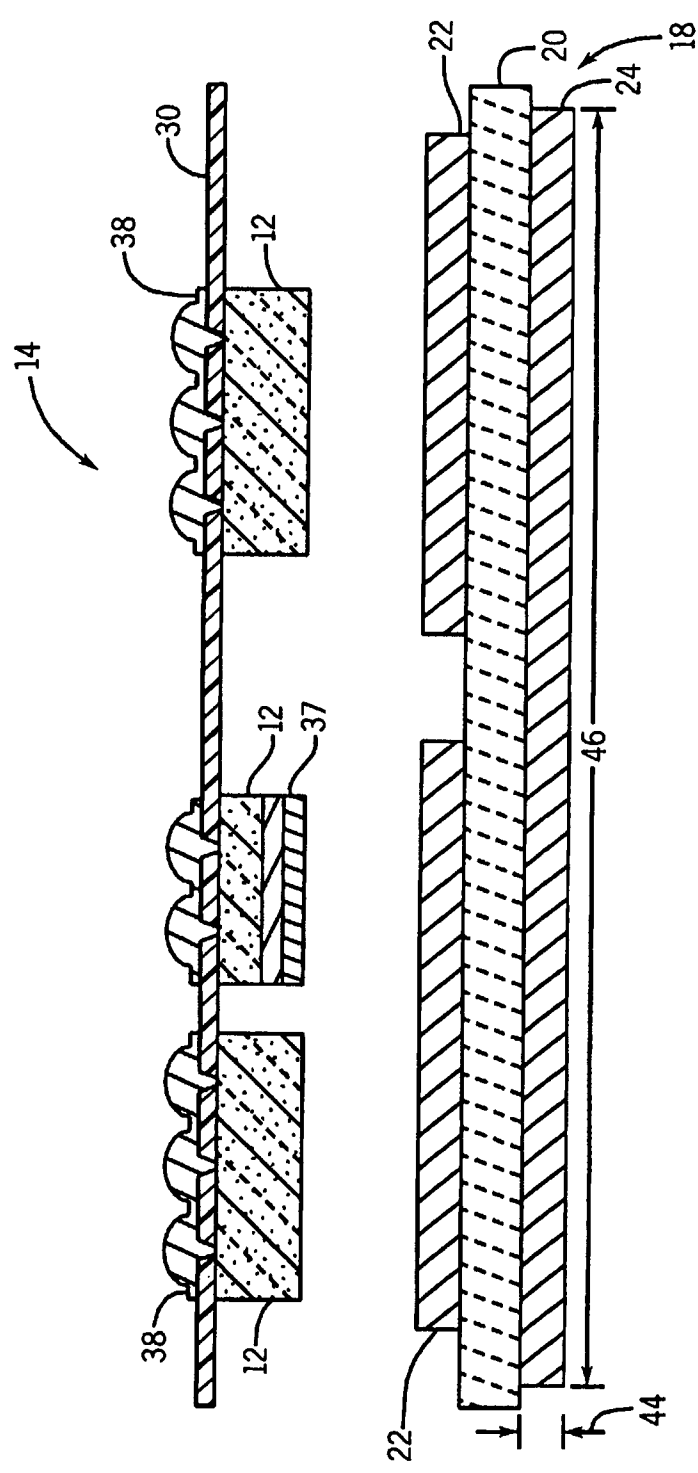


圖 10

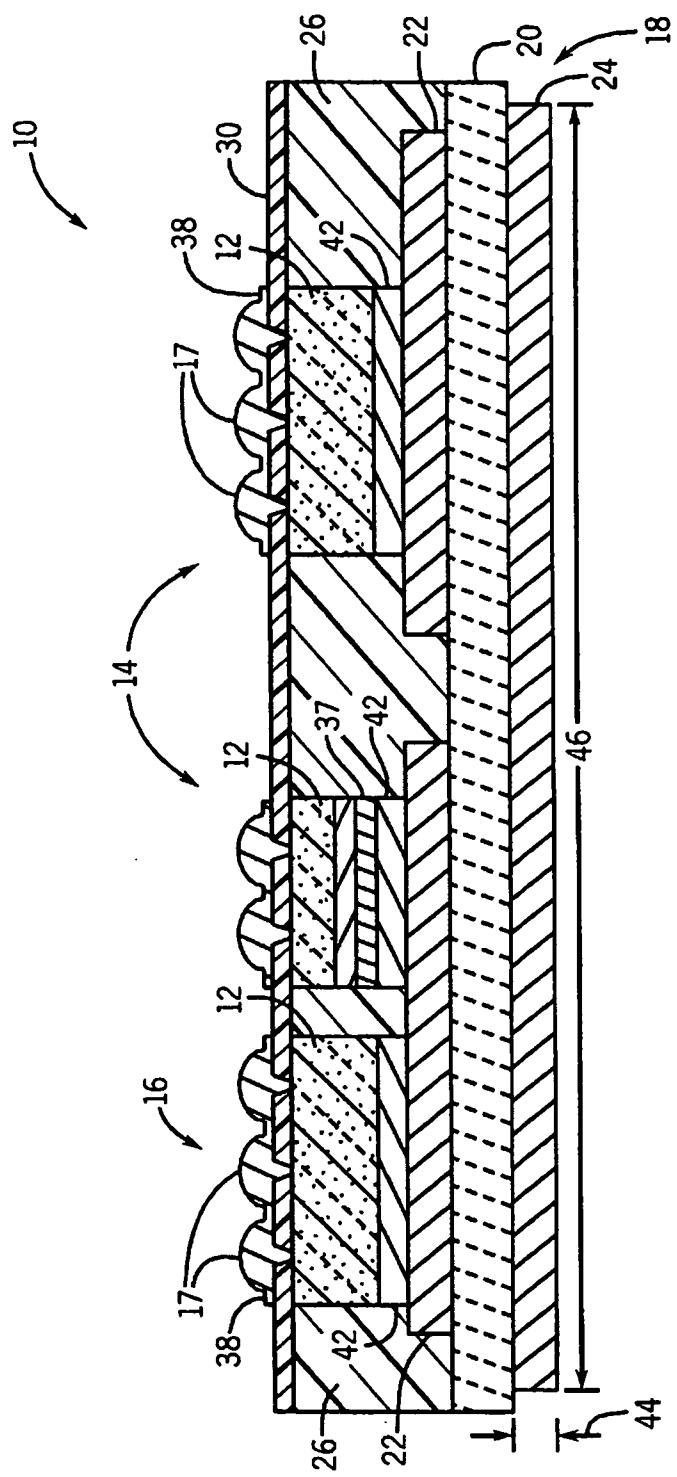
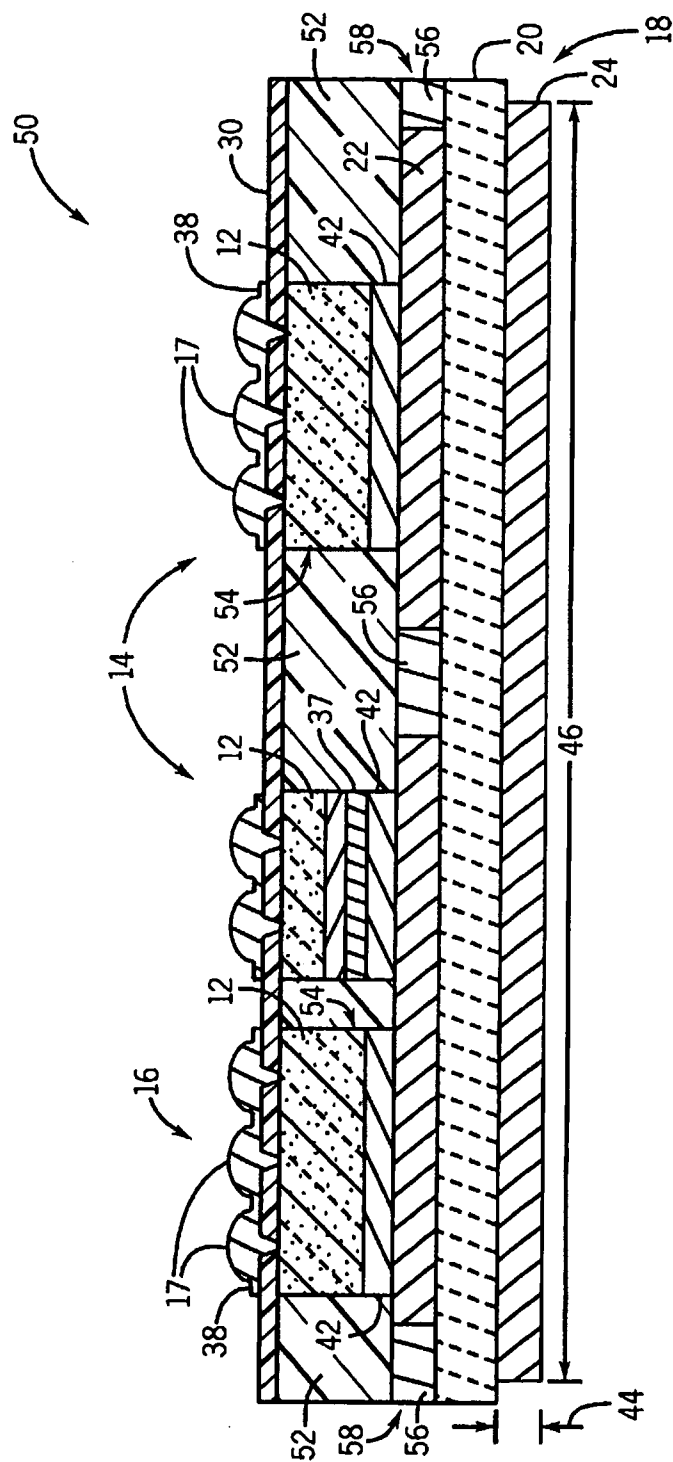


圖 11



12