

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 2 区分
【発行日】 平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】 特開 2000-174242 (P2000-174242A)

【公開日】 平成 12 年 6 月 23 日 (2000.6.23)

【出願番号】 特願 平 11-252181

【国際特許分類第 7 版】

H 0 1 L 27/115

H 0 1 L 21/76

H 0 1 L 27/10

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 21/76 L

【手続補正書】

【提出日】 平成 16 年 10 月 8 日 (2004.10.8)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

この半導体基板に形成された溝に半導体基板の面より突出した状態に埋め込まれた素子分離絶縁膜と、

前記半導体基板に形成された、浮遊ゲート電極を有するトランジスタとを備えた半導体装置において、

前記溝に埋め込まれた素子分離絶縁膜は、その上端部コーナーが後退処理されかつ、その後退処理部の下端が前記浮遊ゲート電極の側面に終端していることを特徴とする半導体装置。

【請求項 2】

半導体基板と、

この半導体基板に形成された溝に半導体基板の面より突出した状態に埋め込まれた素子分離絶縁膜と、

前記半導体基板に形成された、ゲート絶縁膜上に形成された浮遊ゲート電極を有するトランジスタと

を備えた半導体装置において、

前記溝に埋め込まれた素子分離絶縁膜は、その上端部コーナーが後退処理されかつ、その後退処理部の下端が前記浮遊ゲート電極の側面に終端していることを特徴とする半導体装置。

【請求項 3】

前記トランジスタは、前記浮遊ゲート電極上に層間ゲート絶縁膜を介して制御ゲート電極が積層された不揮発性メモリトランジスタである

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記後退処理部の下端が前記ゲート絶縁膜より上部に位置することを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記浮遊ゲート電極は、第 1 及び第 2 のゲート電極材料膜の積層膜により構成されている

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 6】

半導体基板にゲート絶縁膜を介してゲート電極材料膜及びマスク材料膜を順次堆積する工程と、

前記マスク材料膜、ゲート電極材料膜、ゲート絶縁膜及び半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、

前記マスク材料膜を残したまま前記溝にマスク材料膜の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、

前記マスク材料膜をその膜厚方向に少なくとも一部除去した後、前記素子分離絶縁膜の上端部コーナーを等方性エッチングにより後退させる工程と、

前記マスク材料膜を除去した後、前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。