

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5131997号  
(P5131997)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月16日(2012.11.16)

(51) Int.Cl. F I  
G O 1 R 31/28 (2006.01) G O 1 R 31/28 G

請求項の数 15 (全 25 頁)

(21) 出願番号	特願2009-514561 (P2009-514561)	(73) 特許権者	509272148
(86) (22) 出願日	平成19年6月9日(2007.6.9)		オトルソテック リミテッド ライアビリ
(65) 公表番号	特表2009-540302 (P2009-540302A)		ティ カンパニー
(43) 公表日	平成21年11月19日(2009.11.19)		アメリカ合衆国 デラウェア州 1980
(86) 国際出願番号	PCT/US2007/070821		8 ウィルミントン センターヴィル ロ
(87) 国際公開番号	W02007/146849	(74) 代理人	100077481
(87) 国際公開日	平成19年12月21日(2007.12.21)		弁理士 谷 義一
審査請求日	平成21年2月9日(2009.2.9)	(74) 代理人	100088915
(31) 優先権主張番号	60/804,283		弁理士 阿部 和夫
(32) 優先日	平成18年6月9日(2006.6.9)	(72) 発明者	ホーム パット
(33) 優先権主張国	米国 (US)		アメリカ合衆国 カリフォルニア州 95
(31) 優先権主張番号	60/805,087		035 ミルピタス ブルー リッジ ド
(32) 優先日	平成18年6月18日(2006.6.18)		ライヴ 2059
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 透過的なテスト法及びスキャンフリップフロップ

(57) 【特許請求の範囲】

【請求項1】

集積回路を設計する方法であって、

統合的テスト容易化設計(DTF)機能を有するそれぞれの論理ブロックを介してゲートレベルネットリストの記憶機能を実行することを含む、集積回路の少なくとも一部であるターゲット実行アーキテクチャ上に前記ゲートレベルネットリストをコンピュータ装置によりマッピングすることを備え、

前記論理ブロックは、

第1の出力と、第1のデータ入力と、第1のクロック入力とを備えるD型フリップフロップであって、前記第1のデータ入力は、ユーザデータ入力又はスキャンデータ入力のうちのいずれか1つに選択的に接続されており、かつ、前記第1のクロック入力は、コアクロック入力又はスキャンクロック入力のうちのいずれか1つに選択的に接続されているD型フリップフロップと、

第2の出力と、前記論理ブロックの第3の出力に接続される第2のデータ入力と、イネーブル信号に接続され第3の入力とを備えるD型ラッチと、

前記第1の出力と前記第2の出力とを受信して、前記イネーブル信号に基づいて前記第3の出力を選択的に出力するように構成された出力セレクタと、

を含み、

前記論理ブロックの第1のインスタンスの前記第3の出力を、前記論理ブロックの第2のインスタンスのスキャンデータ入力に結合することにより、スキャンチェーンが実現さ

れ、

前記スキッチェーンにおける前記論理ブロックの前記第 1 及び第 2 インスタンスの対応する前記第 1 のデータ入力及び前記第 1 のクロック入力論理的に同一であり、かつ、前記第 1 のデータ入力前記ユーザデータ入力に設定され、前記第 1 のクロック入力前記コアクロック入力に設定されたときにユーザモードで動作するように構成されており、

前記マッピングすることは、標準セルライブラリを用いる前記ターゲット実行アーキテクチャの論理アレイの機能ブロックを前記コンピュータ装置が実行することを備え、

前記論理アレイは、少なくとも 1 つの予め設計した下位層のベースアレイ部分と、少なくとも 1 つのオーダーメイドの上位層のベースアレイ部分とを含む

ことを特徴とする方法。

10

【請求項 2】

前記論理ブロックは、DFT 対応フリップフロップであることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記論理ブロックは、DFT 対応ラッチであることを特徴とする請求項 1 に記載の方法。

【請求項 4】

統合的テスト容易化設計機能を有する論理ブロックであって、

第 1 の出力と、第 1 のデータ入力と、第 1 のクロック入力とを備える D 型フリップフロップであって、前記第 1 のデータ入力は、ユーザデータ入力又はスキッチェーンデータ入力のうちのいずれか 1 つに選択的に接続されており、かつ、前記第 1 のクロック入力は、コアクロック入力又はスキッチェーンクロック入力のうちのいずれか 1 つに選択的に接続されている D 型フリップフロップと、

20

第 2 の出力と、前記論理ブロックの第 3 の出力に接続される第 2 のデータ入力と、イネーブル信号に接続され第 3 の入力とを備える D 型ラッチと、

前記第 1 の出力と前記第 2 の出力とを受信して、前記イネーブル信号に基づいて前記第 3 の出力を選択的に出力するように構成された出力セクタと、

第 1 の制御入力の機能として、前記ユーザデータ入力と前記スキッチェーンデータ入力との間で選択して前記第 1 のデータ入力を駆動するように構成される入力セクタと、

第 2 の制御入力の機能として、前記コアクロック入力と前記スキッチェーンクロック入力との間で選択して前記第 1 のクロック入力を駆動するように構成されるクロック入力セクタと、

30

を備え、

スキッチェーンが、前記論理ブロックの第 1 のインスタンスの第 3 の出力を、該論理ブロックの第 2 のインスタンスのスキッチェーンデータ入力に結合することにより実現され、

前記スキッチェーンの前記論理ブロックの前記第 1 および前記第 2 のインスタンスの対応する第 1 および第 2 の制御入力は論理的に等しく、前記第 1 の制御入力前記ユーザデータに設定され、前記第 2 の制御入力前記コアクロック入力に設定された場合、ユーザモードで動作するように構成され、

前記論理ブロックは、ゲートレベルネットリストの記憶機能を実行するために用いられ

40

集積回路の少なくとも一部であるターゲット実行アーキテクチャ上に前記ゲートレベルネットリストをマッピングすることは、標準セルライブラリを用いる前記ターゲット実行アーキテクチャの論理アレイの機能ブロックをコンピュータ装置が実行することを含み、

前記論理アレイは、少なくとも 1 つの予め設計した下位層のベースアレイ部分と、少なくとも 1 つのオーダーメイドの上位層のベースアレイ部分とを含む

ことを特徴とする論理ブロック。

【請求項 5】

前記第 1 の制御入力前記スキッチェーンデータ入力に設定され、前記第 2 の制御入力前記スキッチェーンクロック入力に設定された場合、前記スキッチェーンの前記論理ブロックの前

50

記第 1 および前記第 2 のインスタンスは、前記テストモードのシフトサブモードで動作するように構成される

ことを特徴とする請求項 4 に記載の論理ブロック。

【請求項 6】

前記出力セレクタは、第 3 の制御入力の機能として、前記第 1 の出力と前記第 2 の出力との間で選択するようにさらに構成されており、

前記第 1 の制御入力の前記ユーザデータ入力に設定され、前記第 3 の制御入力の前記第 2 の出力に設定された場合、前記スキャンチェーンの前記論理ブロックの前記第 1 および前記第 2 のインスタンスは、テストモードの取り込みサブモードで動作し、かつ、

前記論理ブロックは、前記論理ブロックの前記第 1 のインスタンスの取り込み結果が、前記論理ブロックの前記第 2 のインスタンスの取り込み結果に影響を及ぼさないように構成される

ことを特徴とする請求項 4 に記載の論理ブロック。

【請求項 7】

前記取り込みサブモードでは、前記ユーザデータ入力は、前記スキャンクロック入力、前記コアクロック入力、及び前記第 2 の制御入力の機能として前記第 1 の D 型フリップフロップ内に選択的にクロック制御されるように構成される、

ことを特徴とする請求項 6 に記載の論理ブロック。

【請求項 8】

前記 D 型フリップフロップは、コア非同期セット入力及びコア非同期リセット入力をさらに備え、

前記論理ブロックは、

非同期セット入力及び前記第 2 の制御入力の両方がアクティブ状態にある場合、前記コア非同期セット入力をアクティブに駆動する第 1 の非同期制御信号を生成するように構成されるセットゲーティング論理回路と、

非同期リセット入力及び前記第 2 の制御入力の両方がアクティブ状態にある場合、前記コア非同期リセット入力をアクティブに駆動する第 2 の非同期制御信号を生成するように構成されるリセットゲーティング論理回路と、

をさらに備え、

前記非同期セット入力および前記非同期リセット入力は、ユーザモード及び前記取り込みモードにおいてのみ有効となるように構成される、

ことを特徴とする請求項 6 に記載の論理ブロック。

【請求項 9】

前記第 1 及び第 2 の非同期制御信号が同時にアクティブに駆動される場合、該第 1 の非同期制御信号と該第 2 の非同期制御信号との間に立ち下がりエッジスキューを与えるように構成される少なくとも 1 つの遅延要素をさらに含む

ことを特徴とする請求項 8 に記載の論理ブロック。

【請求項 10】

コンピュータデバイスによる命令の実行に応じて前記コンピュータデバイスを有効にし、前記コンピュータデバイスに動作を実行させるように構成されるコンピュータ実行可能な命令を内部に記憶する非一時的コンピュータ可読媒体であって、前記動作は、

統合的テスト容易化設計 (DTF) 機能を有するそれぞれの論理ブロックを介して、前記ゲートレベルネットリストの記憶機能を実行することを含む集積回路のうちの少なくとも一部のターゲット実行アーキテクチャ上に前記ゲートレベルネットリストをマッピングするステップを含み、

前記論理ブロックは、

第 1 の出力と、第 1 のデータ入力と、第 1 のクロック入力とを備える D 型フリップフロップであって、前記第 1 のデータ入力は、ユーザデータ入力又はスキャンデータ入力のうちのいずれか 1 つに選択的に接続されており、かつ、前記第 1 のクロック入力は、コアクロック入力又はスキャンクロック入力のうちのいずれか 1 つに選択的に接続されている D

10

20

30

40

50

型フリップフロップと、

第2の出力と、前記論理ブロックの第3の出力に接続される第2のデータ入力と、イネーブル信号に接続され第3の入力とを備えるD型ラッチと、

前記第1の出力と前記第2の出力とを受信して、前記イネーブル信号に基づいて前記第3の出力を選択的に出力するように構成された出力セレクタと、

を含み、

スキランチェーンが、前記論理ブロックの第1のインスタンスの第3の出力を、該論理ブロックの第2のインスタンスのスキランデータ入力に結合することにより実現され、

前記スキランチェーンにおける前記論理ブロックの前記第1及び第2インスタンスの対応する前記第1のデータ入力及び前記第1のクロック入力論理的に同一であり、かつ、前記第1のデータ入力前記ユーザデータ入力に設定され、前記第1のクロック入力前記コアクロック入力に設定されたときにユーザモードで動作するように構成されており、

前記マッピングするステップは、標準セルライブラリを用いて前記ターゲット実行アーキテクチャの論理アレイの機能ブロックの実行を含み、

前記論理アレイは、少なくとも1つの予め設計した下位層、および少なくとも1つのオーダーメイドの上位層のベースアレイの一部を含む

ことを特徴とするコンピュータ可読媒体。

#### 【請求項11】

統合的テスト容易化設計機能を有する論理ブロックを動作するための方法であって、当該方法は、

ユーザデータ入力又はスキランデータ入力のうちの1つに選択的に接続される第1のデータ入力と、コアクロック入力又はスキランクロック入力のうちの1つによってクロックされる第1のクロック入力と、を有する前記論理ブロックのD型フリップフロップから、出力セレクタに第1の出力を出力することと、

前記論理ブロックの第3の出力に接続される第2のデータ入力と、イネーブル信号に接続される第3の入力と、を有するD型ラッチから、前記出力セレクタに第2出力を出力することと、

前記イネーブル信号に基づいて、前記第3の出力を前記出力セレクタが選択的に出力することと、

前記論理ブロックの第1のインスタンスの第3の出力を、前記論理ブロックの第2のインスタンスのスキランデータ入力に結合して、スキランチェーンを形成することと、

を備え、

前記スキランチェーンにおける前記論理ブロックの前記第1及び第2インスタンスの対応する前記第1のデータ入力及び前記第1のクロック入力論理的に同一であり、かつ、前記第1のデータ入力前記ユーザデータ入力に設定され、前記第1のクロック入力前記コアクロック入力に設定されたときにユーザモードで動作するように構成されており、

前記論理ブロックは、ゲートレベルネットリストの記憶機能を実行するために用いられ、

集積回路の少なくとも一部であるターゲット実行アーキテクチャ上に前記ゲートレベルネットリストをマッピングすることは、標準セルライブラリを用いる前記ターゲット実行アーキテクチャの論理アレイの機能ブロックをコンピュータ装置が実行することを含み、

前記論理アレイは、少なくとも1つの予め設計した下位層のベースアレイ部分と、少なくとも1つのオーダーメイドの上位層のベースアレイ部分とを含む

ことを特徴とする方法。

#### 【請求項12】

前記選択的に出力することは、故障の存在をコンピュータ装置が検出するために前記第3の出力を選択的に出力することを含むことを特徴とする請求項11に記載の方法。

#### 【請求項13】

ユーザモードにおいて、前記コアクロック入力を前記第1のクロック入力に接続し、前記ユーザデータ入力を前記第1のデータ入力に接続することと、

10

20

30

40

50

テストモードにおいて、前記スキャンクロック入力を前記第1のクロック入力に接続し、前記スキャンデータを前記第1のデータ入力に接続することと、を備えることを特徴とする請求項1に記載の方法。

【請求項14】

ユーザモードにおいて、前記コアクロック入力が前記第1のクロック入力に接続され、前記ユーザデータ入力が前記第1のデータ入力に接続され、

テストモードにおいて、前記スキャンクロック入力が前記第1のクロック入力に接続され、前記スキャンデータが前記第1のデータ入力に接続される、

ことを特徴とする請求項4に記載の論理ブロック。

【請求項15】

ユーザモードにおいて、前記コアクロック入力を前記第1のクロック入力に接続し、前記ユーザデータ入力を前記第1のデータ入力に接続することと、

テストモードにおいて、前記スキャンクロック入力を前記第1のクロック入力に接続し、前記スキャンデータを前記第1のデータ入力に接続することと、

を備えることを特徴とする請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願との相互参照)

本出願における優先権の利益の主張を、(該当するものがある場合、必要に応じて)添付の出願データシート、申請書、又は送付書の形でおこなう。本出願は、本出願の種類が許容する範囲で、全て本出願の所有者が所有する以下の出願をあらゆる目的で引用により組み入れる。

2006年6月9日出願された筆頭発明者Pat Hornによる「透過的なテスト法及びスキャンフリップフロップ」という名称の米国仮特許出願第60/804,283号(整理番号LS.2006.08号)、及び

2006年6月18日出願された筆頭発明者Pat Hornによる「透過的なテスト法及びスキャンフリップフロップ」という名称の米国仮特許出願第60/805,087号(整理番号LS.2006.08A号)

【0002】

技術分野：使用性能、使用効率、及び使用の有用性の改善を行うために、集積回路の設計においてテスト容易性の進歩が必要とされている。

【背景技術】

【0003】

関連技術：公知又は周知であると明示しない限り、本明細書における文脈上の、定義上の、又は比較上の目的を含む技術及び概念についての記述により、このような技術及び概念が既に周知、或いは従来技術の一部であると認められるとは解釈すべきではない。特許、特許出願、及び公報を含む本明細書に記載する全ての引用は(存在する場合)、明確に組み入れられるか否かに関わらず、あらゆる目的のためにその全体が引用により本明細書に組み入れられる。本明細書の記載内容は、上記引用のいずれもが、関連する従来技術であると認めたものであるとは解釈すべきでなく、これらの文献の実際の公開内容又は公開日に関して認めるものでもない。

【0004】

製造上の不具合に関して、集積回路チップをテストする必要がある。多くの場合、不良モデルを使用して製造上の不具合がモデル化される。縮退故障モデルは、最も基本的な不良モデルである。縮退故障は、回路内の特定の接続が、ローレベルになったままになる(「縮退する」)(0縮退又はSA0として知られている)、又はハイレベルになったままになる(「縮退する」)(1縮退又はSA1として知られている)時に発生する。ある接続におけるSA0故障は、回路がその接続上に値1(ハイ)をおくように制御されたにもかかわらず、1ではなく値0(ロー)が観測された時に検出される。ある接続におけるS

10

20

30

40

50

A 1 故障は、回路がその接続上に値 0 をおくように制御されたにもかかわらず、0 ではなく値 1 が観測された時に検出される。内部接続が容易に制御及び観測される回路は、内部接続を制御及び観測するのが困難な回路よりもテストしやすい。

【 0 0 0 5 】

スキャンテストは、集積回路の製造不良を検出するために幅広く使用されている技術である。スキャン対象回路では、フリップフロップのうちのいくつか又は全てが、スキャンフリップフロップに置き換えられる。全てのフリップフロップがスキャンフリップフロップである場合、スキャン対象回路は「完全スキャン」を使用していることになり、そうでなければ、その回路は「部分スキャン」を使用していることになる。スキャンは、回路の可制御性及び可観測性を高める方法を提供する。

10

【 0 0 0 6 】

m u x スキャンは、スキャンテストを実行する最も一般的な方法である。m u x スキャンフリップフロップは、通常動作モード及びスキャンシフトモードという 2 つのモードを有する。通常動作モード中、スキャンフリップフロップは、ユーザの望む（非テストモードの）挙動を実行する。スキャンシフトモード中、スキャンフリップフロップは、1 又はそれ以上のシフトレジスタ（スキャンチェーン）に相互接続される。

【 0 0 0 7 】

図 1 は、非同期リセットピン及び非同期プリセットピンを有する従来技術の m u x スキャンフリップフロップを示す図である。S E（スキャンイネーブル）ピンが値 0 である場合、フリップフロップは通常動作モードにある。S E ピンが値 1 である場合、フリップフロップはスキャンシフトモードにある。通常動作モードとスキャンシフトモードとの両方において、データをフリップフロップ内にクロック制御するために C L K ピンが使用される。R N 非同期ピン上の値が 0 であれば、フリップフロップに値 0 をロードする。S N 非同期ピン上の値が 0 であれば、フリップフロップに値 1 をロードする。S N 非同期プリセットピン及び R N 非同期リセットピンは両方とも、スキャンシフトモード中は値 1 のままでなければならない。そうでなければ、スキャンチェーン内に誤った値がロードされることになる。

20

【 0 0 0 8 】

フリップフロップは、リセット優先となるように設計することができる（すなわち S N 及び R N の両方が値 0 を有する場合、フリップフロップに値 0 が非同期でロードされる）。またフリップフロップは、プリセット優先となるように設計することもできる（S N 及び R N の両方が値 0 を有する場合、フリップフロップに値 1 が非同期でロードされる）。

30

【 0 0 0 9 】

スキャンフリップフロップをスキャンシフトモードにおき、クロックを印加することにより、スキャンフリップフロップ内に値をロードし（スキャンイン動作）、またスキャンフリップフロップから値を抽出することができる（スキャンアウト動作）。一般的なスキャンテストシーケンスは、スキャンイン、通常動作（1 又はそれ以上のクロックを回路に印加する）、及びスキャンアウトである。スキャンアウト値が良好な回路に対する予想値と一致しない場合、回路欠陥が検出される。1 つのスキャンテストシーケンスにより、複数の故障を検出することができる。

40

【 0 0 1 0 】

回路をテストするには、通常、複数のスキャンテストシーケンスが必要となる。通常、自動テストパターン生成（A T P G）プログラムにより、スキャンテストシーケンスが生成される。A T P G プログラムは、スキャンテストシーケンスを作成して故障を検出する際に、（値をスキャンインすることができる）制御点及び（値をスキャンアウトすることができる）観測点としてスキャンフリップフロップを使用する。一般に、一方の回路が完全スキャンを使用し、他方が部分スキャンを使用して同じ「通常動作」の挙動を行なう 2 つの回路が与えられたとすると、A T P G プログラムは、完全スキャンを使用する回路の方でより効果的に機能し、より高いパーセンテージの製造欠陥を検出可能なスキャンテストシーケンスを生成することができる。

50

## 【 0 0 1 1 】

スキャンテストを使用するために、回路は、多くの「テスト容易化設計ルール（DFTルール）」に従う必要がある。DFTルールに従うことにより、回路開発にかかる経費及び時間は増大する。DFTルール違反は補正しなければならず、設計者は、DFTルール違反を解決することにより、回路の通常動作の中に誤動作が持ち込まないようにすることも検証しなければならない。設計者は、いくつかのDFTルール違反を解決しないように選択を行うこともでき、このため違反しているスキャンフリップフロップを非スキャンフリップフロップに置き換えなければならず、部分スキャン設計が生じる結果となる。

## 【 0 0 1 2 】

設計者は、多くの場合FPGAで試作を行い、高性能及び/又は低経費が望まれる場合、FPGAベースの設計を、ゲートアレイ、論理アレイ、又は標準セルの実施構成に切り替える。FPGAデバイスは予めテストされるので、設計者は通常、設計を開発する際にスキャン及びそれに関連するDFTについて考慮しない。しかしながら、設計者には、ゲートアレイ、論理アレイ、又は標準セルの実施構成がテストされることを確実にする責任があり、通常はスキャンテストを使用する。この時点で、DFTルールに従うことにより、重要な設計変更が生じる可能性もある。設計者に対して透過的でありながら、「完全スキャン」に関連するテストの容易性をも提供するテスト方法論は、より速く市場に出すための大きな利点となる。

## 【 0 0 1 3 】

ゲートアレイなどの既存の技術及び論理アレイなどの新しい技術により、ユーザ設計回路を標準セルに実装した場合よりも、ユーザ設計回路を迅速に製造できるようになる。ゲートアレイ及び論理アレイは両方とも、ユーザ設計回路を実装するための配線で構成することができる予め設計した論理回路を使用する。オーダーメイド配線より前の製造段階は、ユーザ設計回路の設計前に行うことができる。

## 【 0 0 1 4 】

ゲートアレイにおける予め設計した論理回路は、通常、カスタム設計の論理回路を使用して実装されてきた。カスタム設計の論理回路は、通常、標準セルで実装される論理回路よりも設計及び検証に多くの時間を要する。

## 【 0 0 1 5 】

構造化アレイとしても知られており、最近では論理アレイとしても知られているモジュラーアレイは、標準セルを使用して、予め設計した論理回路を実装する。この技術は、2003年5月28日に出願され、2004年12月2日に公開番号US2004/0243966号として公開された米国特許出願第10/447,465号「標準セルの論理回路により定められるモジュラーアレイ」に記載されており、該特許は、本出願の所有者が所有するものであり、本発明の種類により許容される範囲内で、あらゆる目的で引用により本明細書に組み入れられる。標準セルから論理アレイの構成単位を構築することにより、カスタム設計の論理回路を使用して構成単位を実装する場合よりも、論理アレイを迅速に実装できるようになる。

## 【 0 0 1 6 】

ゲートアレイ及び論理アレイの両方が利用できるマクロが、予め設計した下位層のベースアレイ部分、及び少なくとも1つの上位層のオーダーメイド部分として実装される。これらのマクロは、必然的に予め選択され、予め配置される。（これは、従来の標準セル設計とは対照的なものであり、これにより、応用回路の設計者は、標準セルライブラリからコピーしたセルのインスタンスをほとんど制限なく選択し、配置できるようになる。）利用可能なマクロは、応用（ユーザ）回路ネットリストの対応する機能に割り当てられる。ゲートアレイでは、マクロはカスタム回路設計を使用して実装され、一般的に比較的原始的な機能である。論理アレイでは、マクロは、既存の標準セルライブラリ（多くの場合、論理アレイツールの販売元ではなくユーザにより指定される）を使用して実装され、一般的に原始的な機能と比較的高位の機能との両方を含む。

## 【 0 0 1 7 】

10

20

30

40

50

標準セルを使用して、論理アレイの予め設計した論理回路を実装するので、mux スキャンを確実に使用してユーザ設計回路をテストすることができる。しかしながら、設計者は、関連するあらゆる DFT ルールに従う必要がある。DFT ルールに簡単に自動的に準拠することを保証するとともに、論理アレイと互換性のあるテスト法を提供することにより、設計者にとって、製造されたユーザ設計回路を手に入れることがより容易かつ迅速にできるようになる。

【0018】

分割テストは、米国特許第 6,223,313 号及び第 6,611,932 号に記載されている概念であり、これらの特許は本出願の所有者が所有するものであり、本発明の種類により許容される範囲内で、あらゆる目的で引用により本明細書に組み入れられる。

10

【先行技術文献】

【特許文献】

【0019】

【特許文献 1】米国仮出願特許第 60/804,283 号

【特許文献 2】米国仮出願特許第 60/805,087 号

【特許文献 3】米国特許公開第 2004/0243966 号公報

【特許文献 4】米国特許第 6,223,313 号

【特許文献 5】米国特許第 6,611,932 号

【発明の概要】

【課題を解決するための手段】

20

【0020】

処理、製造の物品、装置、システム、組成物、及びコンピュータ可読記憶媒体、又はプログラム命令が光又は電子通信リンクを介して送信されるコンピュータネットワークなどのコンピュータ可読媒体のような数多くの方法で本発明を実現することができる。本明細書では、これらの実施構成又は本発明がとることができる他の任意の形を技術と呼ぶことができる。一般に、開示する処理の動作順序は、本発明の範囲内で変更することができる。詳細な説明では、上記で特定した分野における使用の性能、効率、及び有用性の向上を可能にする本発明の 1 又はそれ以上の実施形態についての説明を行う。詳細な説明は、詳細な説明の残り部分の速やかな理解を容易にするために序論を含む。序論は、本明細書で教示、説明する概念によるシステム、方法、製造の物品、及びコンピュータ可読媒体のうち 1 又はそれ以上の実施形態例を含む。結論においてさらに詳述するように、本発明は、発行される特許請求の範囲内における全ての可能な修正及び変更を含むものである。

30

【0021】

(ゲートアレイ、標準セル、又は論理アレイ設計を含む) IC 設計に関する論理ブロック(マクロセル)が、スキャンシフトに関連する DFT ルールへの準拠を本質的に保証するテスト容易化設計対応フリップフロップ(DFT 対応 FF)を実現する。テストスキャンチェーンは、論理ブロックのインスタンスをユーザ設計応用回路に透過的な(不可視の、隠れた)態様で結びつけることにより構成され、ユーザが挿入するテスト構造又は DFT に関する他の点について全く考慮せずにこのテストスキャンチェーンを設計することができる。取り込み及びスキャンアウトを介して、これらの DFT 対応 FF における全てのユーザピン上のユーザ非同期セット入力及びユーザ非同期リセット入力並びに全ての縮退故障を観測することができる。第 1 の種類のこれらの DFT 対応 FF は、応用回路を分割テストするためのアドレス指定可能な制御を特徴とする。第 2 の種類のこれらの DFT 対応 FF は、分割テストの必要をなくし、制御論理回路を単純化し、必要なテストベクトル数を低減させる統合的取り込みバッファリングを特徴とする。

40

【0022】

所定の設計フロー内に DFT 対応 FF セルを設けることにより、テストの容易性についてほとんど、或いは全く考慮せずに開発された既存の応用設計を(FPGA プロトタイプなどから)移植する際に、DFT ルールに透過的に簡単に自動的に準拠できるようになる。いくつかの実施形態では、個々の応用に固有の FF に DFT 対応 FF セルを使用すると

50

ともに、これらのDFT対応FFセルを相互接続してスキャンチェーンを形成することにより、DFTルールを遵守せずに設計されたゲートレベルネットリストが、全てのDFTルールに準拠するゲートレベルネットリストに一回の受け渡しで変換される。

#### 【0023】

様々な実施形態によれば、集積回路(チップ)設計用のゲートアレイ、標準セル、及び論理アレイ設計のフローでDFT対応FFセルが使用される。いくつかの標準セルフローでは、少なくとも1種類のDFT対応FFが標準セルライブラリに追加される。ゲートアレイ及び論理アレイのフローについては、予め配置された予め選択した論理マクロの組が、少なくとも1種類のDFT対応FFを含むように拡張される。いくつかの実施形態では、DFT対応FFマクロが、既存の標準セルライブラリから得られる構成要素を使用して実装される。他の実施形態では、DFT対応FFマクロが、カスタム回路設計として実装される。

10

#### 【図面の簡単な説明】

#### 【0024】

【図1】非同期リセットピン及び非同期プリセットピンを有する従来技術のmuxスキャンフリップフロップを示す図である。

【図2】第1のDFT対応FFの実施形態を示す図である。

【図3】本DFT対応FFの通常動作モード、スキャンシフトモード、及び取り込みモードに関する高レベル波形を示す図である。

【図4】コアフリップフロップのCLKピンにおける立ち上がりエッジ(MCLK信号)が望ましくない場合、DFT対応FFのCLKピンを値0に設定することを示す図である。

20

【図5】取り込みモードに関する高レベルの波形を示す図である。

【図6】DFT対応FFの変化を示す図である。

【図7】特にR及びSの両方が値1を有し、結果的にコアフリップフロップの最終取り込み値が1となる(プリセット優先)場合の取り込みモードに関する高レベル波形を示す図である。

【図8】「FREEZE\_\_LOW - 等価」信号を生成する代替の方法として、NORゲートを図2のDFT対応FFに追加することを示す図である。

【図9】「FREEZE\_\_LOW - 等価」信号を生成する代替の方法として、NORゲートを図6のDFT対応FFに追加することを示す図である。

30

【図10】CC又はCRのいずれか一方、或いは両方が値1に設定され、FREEZE\_\_LOWが値0の場合の、本実施構成に関連する真理値表を示す図である。

【図11】2つのインバータ及び2つのNORをDFT対応FF(前に図2に示した)に追加することにより、DFT対応FFが、DFT対応ラッチとして振る舞うことが如何にして可能になるかを示す図である。

【図12】1つのインバータをDFT対応FF(図2の)に追加することにより、DFT対応FFが、DFT対応バッファテストポイントとして振る舞うことが如何にして可能になるかを示す図である。

【図13】スキャンシフト中にはフリップフロップのように振る舞うが、通常動作及び取り込みモード中はラッチのように振る舞うDFT対応ラッチの実施形態を示す図である。

40

【図14】不安定回路の2つの例のうちの最初の例を示す図であり、この図14では、フリップフロップが0から1及び1から0の間で発振する。

【図15】この場合はリング発振器である非確定的回路の別の例を示す図である。

【図16】2つのDFT対応バッファが、ユーザ回路の機能に影響を及ぼすことなく、ユーザ回路を依然として発振させながら、如何にしてループを切断するかを示す図である。

【図17】1つのDFT対応バッファが、ユーザ回路の機能に影響を及ぼすことなく、ユーザ回路を依然として発振させながら、如何にしてループを切断するかを示す図である。

【図18】テストピンSDI、SCLK、FREEZE\_\_LOW、及び出力ピンQが示された状態のDFT対応FFの概略図である。

50

【図19】簡略化した(図18の)DFT対応FFを如何にして2次元アレイ内に配置し、行及び列アドレス指定を使用して選択することができるかを示す図である。

【図20】回路を分割する必要をなくし、ループの切断を単純化し、さらに回路をテストするのに必要とされるベクトル計数を低減させるDFT対応FFを示す図である。

【図21】図20のDFT対応FFのタイミングを示す図である。

【発明を実施するための形態】

【0025】

本発明の抜粋した詳細項目を示す添付図面と共に、本発明の1又はそれ以上の実施形態の詳細説明を以下に示す。これらの実施形態に関連して本発明について説明する。本発明の全ての実施形態を網羅的に説明することは、必要でも、現実的でも、或いは可能でもないことは十分に立証されている。従って、本明細書における実施形態は例示的なものにすぎないと理解され、本発明は、本明細書における実施形態のうちのいずれか又は全てに対して、或いはこれらによって明確に限定されるものではなく、本発明は、多くの代替物、修正物、及び同等物を含む。説明を単調にしないために、(以下に限定されるわけではないが、「最初の(first)」、「最後の(last)」、「ある(certain)」、「様々な(various)」、「さらなる(further)」、「他の(other)」、「特定の(particular)」、「選択した(select)」、「いくつかの(some)」、及び「顕著な(notable)」を含む)様々な単語表記を別の実施形態の組に適用することができるが、本明細書で使用するこのような表記は、品質、或いは任意の形の好み又は先入観を伝えることを明確に意図したものではなく、別個の組の間で便宜上区別することを意図したものにはすぎない。開示する処理のいくつかの動作の順序は、本発明の範囲内で変更することができる。複数の実施形態が、処理、方法、及び/又はプログラム命令の特徴の違いを説明する役割を果たす場合には必ず、他の実施形態は、予め又は動的に決定された基準に従って、複数の実施形態にそれぞれ対応する複数の動作モードのうちの1つを静的及び/又は動的に選択することが想定されている。以下の説明では数多くの特定の詳細について説明し、本発明を完全に理解できるようにする。これらの詳細は例示を目的として示すものであり、これらの特定の詳細のうちのいくつか又は全てを使用せずに、特許請求の範囲に従って本発明を実施することができる。説明を明確にする目的で、本発明に関する技術分野で公知の技術材料については、本発明が不必要に不明瞭にならないように詳細には説明していない。

【0026】

序論

この序論は、詳細な説明のより速やかな理解を容易にするためのみに含まれるものであり、任意の序論の段落は必然的に主題全体の概観であり、網羅的又は限定的な説明となることを意図するものではないため、本発明は、この序論で提示する概念(該当する明白な例がある場合には、これらを含む)に限定されるものではない。例えば、以下の序論は、記述スペース及び編集の都合上ある特定の実施形態のみに限定した概要情報を示している。最終的には特許請求の範囲につながる実施形態を含む多くの他の実施形態が存在し、本明細書の残り全体を通じてこれらについて説明する。

【0027】

実施形態例

この序論を詳細の説明に結論づけるにあたって、以下は、本明細書で説明する概念による様々な実施形態の種類についての補足説明を提供する、「EC」(組み合わせ例)として明確に列挙する少なくともいくつかの例を含む実施形態例の一群であり、これらの例は、互いに排他的、網羅的、又は限定的となることを意図されたものではなく、本発明はこれらの実施形態例には限定されず、むしろ発行する特許請求の範囲内の全ての可能な修正物及び変更物を含むものである。

【0028】

EC1)集積回路を設計する方法であって、

上記集積回路の製作処理及び処理に適合した標準セルライブラリを識別するステップと

10

20

30

40

50

複数の逐次記憶機能を含む、上記集積回路の少なくとも一部を特定するゲートレベルネットリストを受け取るステップと、

統合的テスト容易化設計機能を有するそれぞれのD F T対応記憶回路を介して上記ネットリストの個々の逐次記憶機能を実行することを含む、上記集積回路の少なくとも一部であるターゲット実行アーキテクチャ上に上記ゲートレベルネットリストをプログラムでマッピングするステップとを含み、

上記ネットリストにより指定される、上記集積回路の少なくとも一部の上記ターゲット実行アーキテクチャは、上記標準セルライブラリを使用して論理アレイの機能ブロックを実行し、該論理アレイは、予め設計した下位層のベースアレイ部分、及び少なくとも1つの上位層のオーダーメイド部分を有し、上記機能ブロックは、上記ネットリストの機能に割り当て可能であることを特徴とする方法。

10

【0029】

EC2) 上記D F T対応記憶回路はD F T対応フリップフロップであることを特徴とするEC1に記載の方法。

【0030】

EC3) 上記D F T対応記憶回路はD F T対応ラッチであることを特徴とするEC1に記載の方法。

【0031】

EC4) 上記ラッチはシミュレーションラッチであることを特徴とするEC3に記載の方法。

20

【0032】

EC5) 個々の逐次記憶機能は、クロック入力及び少なくとも1つの非同期制御入力を含む通常動作ピンを有することを特徴とするEC1に記載の方法。

【0033】

EC6) 上記D F T対応記憶回路は、上記通常動作ピン上のあらゆる縮退故障の可観測性を提供することを特徴とするEC5に記載の方法。

【0034】

EC7) 上記D F T対応記憶回路の上記テスト容易化設計機能は、上記集積回路の上記通常動作(すなわち非テストモード動作)に対して透過的であることを特徴とするEC1に記載の方法。

30

【0035】

EC8) 上記方法の少なくともいくつかは、設計者が制御するEDAツールを介して実行されることを特徴とするEC1に記載の方法。

【0036】

EC9) 上記ゲートレベルネットリストはテスト容易性を考慮せずに作成され、上記ネットリストが指定する逐次記憶機能は、統合的テスト容易化設計機能を有していないことを特徴とするEC1に記載の方法。

【0037】

EC9) 上記プログラムによるマッピングの前に、上記ゲートレベルネットリストを、テスト容易化設計ルールを組み込むべく修正する必要がないことを特徴とするEC1に記載の方法。

40

【0038】

EC10) 上記ネットリストに関する元々のターゲット実行アーキテクチャは、フィールドプログラマブルゲートアレイであることを特徴とするEC1に記載の方法。

【0039】

D F T対応フリップフロップ、ラッチ、及びバッファ

本明細書では、muxスキャンに関するD F Tルールの大部分の先天的な順守を保証するD F T対応F Fの実施形態について教示する。さらなる実施形態では、D F T対応F Fを分割テスト技術と組み合わせて、ユーザが挿入するいかなるテスト構造も必要とせずに

50

ユーザ設計回路をテストすることができる、換言すればユーザに対して透過的であるテスト法が実現される。

【 0 0 4 0 】

ハイレベルな表現では、D F T 対応 F F に含まれる論理回路は、正しいスキャンシフトモードを確実にし、データを観測する（取り込む）新しい方法を実現する。

【 0 0 4 1 】

図 2 は、D F T 対応 F F の実施構成を示す図である。ユーザピンは、D、C L K、R、S、及び Q である。（D F T 対応 F F がテストモードにない時などの）ユーザの機能的観点からすると、R が値 1 を有する場合、コアフリップフロップに値 0 が非同期的にロードされる。（D F T 対応 F F がテストモードにない時などの）ユーザの機能的観点からすると、S が値 1 を有する場合、コアフリップフロップに値 1 が非同期的にロードされる。現在の一般的な半導体技術では、通常 2 入力 N A N D ゲートは等価な駆動の 2 入力 O R ゲートよりも小さい面積を有するので、この図では、コアフリップフロップが、アクティブローの非同期 R N 及び S N ピンを有する一方で、D F T 対応 F F は、ユーザ制御の非同期リセット R ピン及びプリセット S ピンをアクティブハイ信号として実装する。この図は、D F T 対応 F F のコアフリップフロップがリセット優先を有し、すなわち D F T 対応 F F もまたリセット優先を実行すべきであることを示している。

【 0 0 4 2 】

これらのテストピンは、S D I（スキャンデータイン）、S C L K（スキャンクロック）、S E（スキャンイネーブル）、及び F R E E Z E \_ L O W（フリーズ - アクティブロー）である。スキャンチェーン内では、1 つの D F T 対応 F F の Q は、スキャンチェーン内の次の D F T 対応 F F の S D I に接続される。いくつかの D F T 対応 F F の実施構成は、独立した S D O（スキャンデータアウト）ピンを含むことができる。この場合、1 つの D F T 対応 F F の S D O が、スキャンチェーン内の次の D F T 対応 F F の S D I に接続される。

【 0 0 4 3 】

この D F T 対応 F F は、通常動作モード、スキャンシフトモード、及び取り込みモードという 3 つの動作モードを有する。通常なスキャンテストシーケンスは、スキャンイン、取り込みモード、及びスキャンアウトである。スキャンアウト値が良好な回路に対する期待値と一致しない場合、回路欠陥が検出される。図 3 は、この D F T 対応 F F の通常動作モード、スキャンシフトモード、及び取り込みモードに関する高レベルの波形を示す図である。（N ビットの深さのスキャンチェーンには、N 個のスキャンイン S C L K サイクル、及び N 個のスキャンアウト S C L K サイクルが存在する。）

【 0 0 4 4 】

D F T 対応 F F の S E ピンが値 0 であり、F R E E Z E \_ L O W が値 1 である場合、D F T 対応 F F は通常動作モードにある。

【 0 0 4 5 】

D F T 対応 F F の S E ピンが値 1 であり、F R E E Z E \_ L O W が値 0 である場合、D F T 対応 F F はスキャンシフトモードにある。スキャンシフトモード中、コアフリップフロップ上の非同期リセット R N ピン及び非同期プリセット S N ピンは、R 及び S 上の値とは関係なく値 1 に強制される。ユーザピン D 及び C L K もバイパスされ、S C L K を使用して、S D I データをコアフリップフロップ内にクロック制御する。スキャンシフトモード中、D F T 対応 F F は、コアフリップフロップが通常動作（ユーザ回路）の値により影響を受けないことを保証する。換言すれば、コアフリップフロップはユーザ回路入力に対して「フリーズ」される。

【 0 0 4 6 】

この結果、ユーザスキャンチェーン関連の D F T ルールは存在しないことになる。これは、設計者が、スキャンチェーンが正しくシフトすることを確実にするために通常必要とされる D F T 関連の論理回路をユーザ回路に追加する必要がないということの意味する。例えば、

10

20

30

40

50

スキャンシフトモード中、コアフリップフロップ上の非同期リセットRNピン及び及び非同期プリセットSNピンは、R及びS上の値に関係なく値1に強制され、このことは、設計者が、非同期プリセット信号及び非同期リセット信号を遮断するためにDFT関連の論理回路を追加する必要がないということの意味する。

スキャンシフトモード中、SCLK(ユーザピンCLKではない)はスキャンチェーンをクロック制御し、このことは、ユーザ回路が、立ち上がりエッジにクロック制御されたいくつかのフリップフロップ、及び立ち下がりエッジにクロック制御されたいくつかのフリップフロップ、複数のクロックドメイン、(クロック分割器などの)内部生成クロック、及び/又はゲートドクロックを有する場合に必要とされるDFT関連の論理回路を、設計者が追加する必要がないということの意味する。

10

## 【0047】

DFT対応FFがスキャンシフトモードを抜け出て、DFT対応FFのユーザピン上の値を観測するために取り込みモードに入る場合、DFT対応FFは取り込みモードにある。これに関連して、スキャンシフトモードを抜け出すことは「フリーズ解除する」又は「フリーズ解除」として知られており、一方スキャンシフトモードに入ることは、「フリーズする」又は「フリーズ」として知られている。

## 【0048】

取り込みモードでは、全てのユーザピン(D、CLK、S、及びR)上に存在するユーザ回路値を観測することができる。一例として、CLKの状態は、SCLK及びFREEZE\_\_LOWの操作を通じて推測することができる。DFT対応FFのSCLKピンが値0に設定され、DFT対応FFのCLKピンが値1である場合、FREEZE\_\_LOWが値0から値1へ遷移する際に、コアフリップフロップのCLKピンにおいて立ち上がりエッジが自動的に生成される。SE信号は値0であるため、コアフリップフロップは、そのD入力に存在する値にクロック制御を行う。図3の取り込みモード波形は、コアフリップフロップのCLKピンに与えられる立ち上がりエッジ(MCLK信号)を示す。しかしながら、DFT対応FFのSCLKピンが値0に設定される場合、コアフリップフロップのCLKピン(MCLK信号)は、図4に示すように(FREEZE\_\_LOWパルスに関わらず)一定の値0になったままとなる。この設計に固有であるが、DFT対応FFのCLKピン上に値0が存在する状態で、DFT対応FFのSCLKピンが値1に設定される場合、FREEZE\_\_LOWが値1から値0に遷移する際に、コアフリップフロップのCLKピンに立ち上がりエッジが与えられ(MCLK信号)、コアフリップフロップは、そのD入力に存在する値にクロック制御することになる。

20

30

## 【0049】

取り込みモード中、FREEZE\_\_LOW信号が(値1に)真にストロークされるため、ユーザRピン及びユーザSピン上の値が、コアフリップフロップの値に影響を与えることができる。単一の共通なFREEZE\_\_LOW信号を使用して、Rピン及びSピンの両方をイネーブルにし、また、コアフリップフロップに対するクロック(MCLK)にも影響を与える能力により、必要なテスト制御信号の総数が低減するようになる。図中のバッファは、FREEZE\_\_LOW\_\_delay信号に十分な遅延を加えて、DFT対応FFが取り込みモードに入る場合、R及びSの両方が値1を有していれば、コアフリップフロップに値0が正しくロードされることを確実にする。図5は、特にR及びSの両方が値1を有し、この結果、コアフリップフロップが最終取り込み値0(リセット優先)を有するようになる場合の取り込みモードに関する高レベル波形を示す図である。

40

## 【0050】

取り込みモード(及び当然ながら通常動作)中、Rピン及びSピン上のユーザ回路値は、コアフリップフロップの非同期リセット挙動及び非同期プリセット挙動を制御し、これにより、DFT対応FF内部のこれらの機能経路を検証できるようになる。

## 【0051】

全てのユーザピン上に存在する回路値を観測し、DFT対応FF内部の機能経路をチェックする能力は、最先端の進歩である。

50

## 【 0 0 5 2 】

図 6 は、D F T 対応 F F の変形例を示す図である。ユーザピンは、D、C L K、R、S、及び Q である。( D F T 対応 F F がテストモードにない時などの)ユーザの機能的観点からすると、R が値 1 を有する場合、コアフリップフロップに値 0 が非同期的にロードされる。( D F T 対応 F F がテストモードにない時などの)ユーザの機能的観点からすると、S が値 1 を有する場合、コアフリップフロップに値 1 が非同期的にロードされる。この図は、D F T 対応 F F のコアフリップフロップがプリセット優先を有し、すなわち D F T 対応 F F もまたプリセット優先を実行すべきであることを示している。図中のバッファは、F R E E Z E \_ L O W \_ d e l a y 信号に十分な遅延を加えて、D F T 対応 F F が取り込みモードに入る場合、R 及び S の両方が値 1 を有していれば、コアフリップフロップに値 1 が正しくロードされることを確実にする。図 7 は、特に R 及び S の両方が値 1 を有し、この結果、コアフリップフロップが最終取り込み値 1 (プリセット優先)を有するようになる場合の取り込みモードに関する高レベル波形を示す図である。

10

## 【 0 0 5 3 】

図 8 及び図 9 に示すように、個々の D F T 対応 F F に N O R ゲートを追加することにより、「F R E E Z E \_ L O W - 等価」信号を生成する代替方法が提供される。図 1 0 は、C C 又は C R のいずれか一方、或いは両方が値 1 に設定され、F R E E Z E \_ L O W が値 0 である時のこの実施構成に関連する真理値表を示す図である。この場合、テストピンは、S D I (スキャンデータ入力)、S C L K (スキャンクロック)、S E (スキャンイネーブル)、並びに C C (カッタ列)及び C R (カッタ行)である。2つの信号を使用して D F T 対応 F F をフリーズモードに入れることにより、D F T 対応 F F が標準的 2 次元アレイに配列された場合、D F T 対応 F F のサブセットをアドレス指定(選択)するのに便利な方法が提供される。また、N O R ゲートを、D F T 対応シミュレーションラッチ、D F T 対応バッファ、及び D F T 対応ラッチに追加することにより、これらを D F T 対応 F F と混ぜ合わせて標準的 2 次元アレイに配列できるようになる。

20

## 【 0 0 5 4 】

D F T 対応 F F はまた、ユーザ回路でラッチ挙動を実現することもできる。図 1 1 は、2つのインバータ及び2つの N O R を D F T 対応 F F に追加することにより、D F T 対応 F F が、如何にして D F T 対応ラッチとして振る舞えるようになるかを示す図である。ユーザピンは、L a t c h \_ D、L a t c h \_ E、及び Q である。テストピンは、S D I、S C L K、S E、及び F R E E Z E \_ L O W のままである。通常動作モード及び取り込みモードの両方において、L a t c h \_ E が値 1 を有する場合、コアフリップフロップの値は L a t c h \_ D の値に依存する。L a t c h \_ E が値 0 を有する場合、コアフリップフロップはその現在値を保持する。

30

## 【 0 0 5 5 】

D F T 対応 F F はまた、ユーザ回路内にバッファテストポイントを実現することもできる。図 1 2 は、1つのインバータを D F T 対応 F F (前に図 2 において示した)に追加することにより、D F T 対応 F F が、如何にして D F T 対応バッファテストポイントとして振る舞えるようになるかを示す図である。ユーザピンは、T A 及び T Z である。テストピンは、S D I、S C L K、S E、及び F R E E Z E \_ L O W のままである。通常動作モード及び取り込みモードの両方において、T A が値 1 を有する場合、コアフリップフロップの値(及び T Z ピン)は 1 となる。T A が値 0 を有する場合、コアフリップフロップの値(及び T Z ピン)は 0 となる。D F T 対応バッファテストポイントは、ユーザ回路の機能を修正することなく、ユーザ回路のテスト容易性を高めるのに役立つ。

40

## 【 0 0 5 6 】

後の説明では、(図 1 1 に示す)ラッチ挙動を実現する D F T 対応 F F を D F T 対応シミュレーションラッチと呼び、一方(図 1 2 に示す)バッファテストポイントを実現する D F T 対応 F F を D F T 対応バッファと呼ぶことにする。

## 【 0 0 5 7 】

図 1 3 は、スキャンシフト中はフリップフロップのように振る舞うが、通常動作及び取

50

り込みモード中にはラッチのように振る舞うDFT対応ラッチの実施形態を示す図である。ユーザピンはD、E、及びQである。テストピンは、SDI、SCLK、SE、及びFREEZE\_\_LOWのままである。DFT対応FFとDFT対応ラッチとを同じスキャンチェーン内に入れることができる。ユーザピンEがハイに維持された場合、DFT対応ラッチをDFT対応バッファとして使用することができる。

#### 【0058】

DFT対応FFの論理回路のいくつかを統合して集積セルにする実施形態が想定される。例として、別個のmuxとフリップフロップとの代わりにmuxスキャンフリップフロップ又はmuxフリップフロップを使用することができる。想定される他の実施形態では、DFT対応FFの論理回路の全てが1つの集積セルに統合される。

10

#### 【0059】

また、非同期リセットのみ、又は非同期プリセットのみを伴って、或いはいかなる非同期リセット又はプリセットも伴わずにDFT対応FFを実現することができる。これらの場合、適当な(単複の)NANDゲート及びバッファは必要でなくなり、最適化の名目で取り除くことができる。図11及び図12に示すmuxも同様に最適化の名目で取り除くことができる。

#### 【0060】

分割テストにおけるDFT対応フリップフロップの使用

次に、DFT対応FF、DFT対応シミュレーションラッチ、DFT対応バッファ、又はDFT対応ラッチ回路が、アドレス指定可能な制御及び分割テストと組み合わせられる実施形態について説明する。このテスト法では、複雑なDFTルール又はユーザが挿入するいかなるテスト構造も必要とせずに、ユーザ回路をテストすることができる。このテスト法はまた、「不安定な」回路をテストすることもでき、不安定な回路の2つの例を図14及び図15に示す。通常これらの回路は、通常のスキャンテストの観点からは非確定的及びテスト不可能であると考えられている。

20

#### 【0061】

図14では、フリップフロップは、0から1及び1から0の間で発振する。図を簡単にするために、フリップフロップのユーザピンのみを示しているが、これは一般にこのシナリオがフリップフロップに当てはまるからである。フリップフロップ出力が値0を有する場合、非同期プリセットSピンがアサートされ、フリップフロップに値1がロードされる。フリップフロップ出力が値1を有する場合、非同期リセットRピンがアサートされ、フリップフロップに値0がロードされる。既知の値をフリップフロップ内に取り込むことができる。しかしながら、このフリップフロップに対する取り込み(観測)値は、製造、温度、及び電圧により生じる速度の違いに起因して確定的なものではない。

30

#### 【0062】

図15は、この場合はリング発振器である非確定的な回路の別の例を示す図である。OZの値は、0から1に及び1から0に切り替わる。起動時の初期状態を十分に制御することができないため、電力が回路に印加された後の特定の時点XにおけるOZの値は非確定的である。OZがフリップフロップのユーザクロックピンを駆動している場合、時点Xにおけるこのフリップフロップの値を特定することもできず、これは、このフリップフロップに関する取り込み(観測)値も非確定的であることを意味する。

40

#### 【0063】

確定的な取り込み値を確実にする支援とするために、「ループ切断」として知られている概念を導入する。まず、回路内の構成要素の種類が、0\_\_break、1\_\_break、及び2\_\_breakという3つの異なるカテゴリに割り当てられる。計数を目的として、0\_\_breakは無視される一方で、2つの1\_\_breakは1つの2\_\_breakと等しい。

#### 【0064】

全ての組み合わせセルは、0\_\_breakのセルである。DFT対応シミュレーションラッチ(図11)、DFT対応バッファ(図12)、及びDFT対応ラッチ(図13)は

50

1\_\_breakのセルである。DFT対応FFは、これらのDFT対応FFのユーザ非同期プリセットピン又はユーザ非同期リセットピンを通じて遭遇した場合、1\_\_breakのセルである。DFT対応FFは、これらのDFT対応FFのユーザクロックピン又はDピンを通じて遭遇した場合、2\_\_breakのセルである。

【0065】

ループを検出するために、（一般に当業で知られている）グラフ探索技術を使用してユーザ回路全体が探索される一方で、遭遇した「切断」回数が記録される。サイクルが存在し（すなわちノードに2回以上辿り着き）、切断回数が1回以下の場合、ループが検出される。切断回数がゼロの場合、2つのDFT対応バッファを挿入してループを切断する。図16は、2つのDFT対応バッファが、ユーザ回路の機能に影響を及ぼすことなく、ユーザ回路を依然として発振させながら、如何にしてループを切断するかを示す図である。切断回数が1である場合、1つのDFT対応バッファを挿入してループを切断する。図17は、1つのDFT対応バッファが、ユーザ回路の機能に影響を及ぼすことなく、ユーザ回路を依然として発振させながら、如何にしてループを切断するかを示す図である。図16及び図17を簡略化するために、個々のDFT対応バッファからのユーザピンのみを示している。図16には同様に、DFT対応FFのユーザピンのみを示している。DFT対応バッファを挿入することにより、不安定な回路が確定的な取り込み値を有するようになり、よりテストしやすくなる。

10

【0066】

前述したように、DFT対応FFは、フリーズ解除される際にユーザピン上の値に影響され易くなる。DFT対応シミュレーションラッチ、DFT対応バッファ、及びDFT対応ラッチも同様に、フリーズ解除される際にユーザピン上の値に影響され易くなる。

20

【0067】

残りの説明では、別途指定しない限り、DFT対応FFに属する全ての概念及び能力は、DFT対応シミュレーションラッチ、DFT対応バッファ、及びDFT対応ラッチにも当てはまる。

【0068】

設計内の全てのDFT対応FFが一斉にフリーズ解除された場合、DFT対応FF内に取り込まれる値は、個々のDFT対応FFがフリーズ解除される順序に依存する。双方が同じユーザ設計回路を実装する欠陥のない2つの回路が速度差を有する可能性があり、この場合個々のチップが異なる値を取り込むようになる。

30

【0069】

速度差の結果、非確定的な値が取り込まれないことを確実にするために、以下の分割テストステップがとられる。

ユーザ設計回路内の全てのループを識別し、切断する。

ユーザ設計回路をパーティションに分割する。

さらに、一回に1つのパーティション毎にユーザ設計回路をテストする。

【0070】

DFT対応FFは、以下のアプローチを使用してパーティションに分割される。

同じパーティションに、「隣接する」DFT対応FFが存在することはできない。

40

2つのDFT対応FFは、一方からの出力が他方の状態に影響を及ぼす場合「隣接する」と考えられる。例えば、（1）一方のDFT対応FFのQ出力から直接、第2のDFT対応FF上の任意のユーザピンへ接続線が存在するか、或いは（2）（1）で説明した接続が存在するが、組み合わせ論理回路のみが追加で介在する場合、2つのDFT対応FFは隣接することになる。

パーティションは、当業で一般に知られているグラフ彩色技術により特定される。

【0071】

パーティションがテストされている時、テスト対象パーティション内のDFT対応FFは取り込みモードに入ることができるが、他の全てのパーティション内のDFT対応FFはフリーズされたままでなければならない。ユーザ回路を一回に1つのパーティション毎

50

にテストする（すなわち、一度に1つのパーティションのみを取り込みモードに入れる）ことにより、取り込み値は、個々のDFT対応FFがフリーズ解除される順序にその後依存しなくなる。換言すれば、分割テストは確定的な取り込み値を保証する。

【0072】

アドレス指定可能制御は、（本明細書で説明する種類の）DFT対応FFを個々に、グループで、又は全体で選択して、通常動作モード、スキャンシフトモード、及び取り込みモードで動作できるようにする方法である。アドレス選択を予め設計し、或いは配線接続することができる。

【0073】

予め設計したアドレス指定体系の1つのアプローチは、行及び列アドレス指定を利用するものであり、この場合、個々のDFT対応FFに一意の行及び列アドレスが割り当てられる。行及び列アドレス指定は、論理アレイ及びゲートアレイにおいて効率的なものとなる。行及び列アドレス指定により、論理アレイ（ゲートアレイ）内で実現することができるあらゆるユーザ設計回路をテストできるようになり、ユーザ設計回路についての先行知識は必要とされない。

10

【0074】

図18は、テストピンSDI、SCLK、FREEZE\_\_LOW及び出力ピンQを示した状態のDFT対応FFの概略図を示す図である。テストピンSE及びユーザピンは図示していない。

【0075】

図19は、簡略化した（図18の）DFT対応FFを如何にして2次元アレイ内に配置し、行及び列アドレス指定を使用して選択することができるかを示す図である。この例では、（右から左へ0からMまでの番号を振った）M+1個の列が存在し、（下から上へ0からNまでの番号を振った）N+1個の行が存在する。列内のDFT対応FFは、スキャンチェーンに接続される。この例では、M+1個のスキャンチェーンが存在する。各列は、（右から左へCC\_\_0からCC\_\_Mまでの番号を振った）独自の列選択線を有しているのに対し、各行は、（下から上へCR\_\_0からCR\_\_Nまでの番号を振った）独自の行選択線を有している。

20

【0076】

図19では、行は、その行の選択線を値1に設定することによりフリーズされ、一方列は、その列の選択線を値1に設定することによりフリーズされる。DFT対応FFは、その行選択線又は列選択線のいずれか一方、或いは両方が値1である場合、フリーズされる。図8及び図9には、この行及び列アドレス指定法と互換性のあるDFT対応FFの2つの例を示している。この場合、個々のDFT対応FFのCCテストピンは適当な列選択線に接続され、個々のDFT対応FFのCRテストピンは適当な行選択線に接続されることになる。

30

【0077】

行及び列選択線を使用することにより、DFT対応FFを個々に、グループで、又は全体でアドレス指定（フリーズ又はフリーズ解除）することができる。パーティションがテストされている時に、そのパーティション内のDFT対応FFのみを取り込みモードに入れるように選択することができる。

40

【0078】

DFT対応FFが、例えば標準セルASIC内の行及び列に配列されない場合、配線接続アドレス指定を使用して、ユーザ設計回路内のDFT対応FFのうちの個々、グループ、又は全てを選択することができる。配線接続アドレス指定は、ユーザ設計回路についての先行知識を必要とする。ユーザ設計回路内のDFT対応FFはパーティションに分割される。個々のパーティションは、別個の異なるFREEZE\_\_LOW信号を必要とする。所定のパーティション内の全てのDFT対応FFは、同じFREEZE\_\_LOW信号を共有する。スキャンシフトモード中は、全てのパーティションのFREEZE\_\_LOWが値0を有する。取り込みモード中は、1つのパーティションのFREEZE\_\_LOWのみが

50

、値0から1まで、1から0までの間で切り替わる。

【0079】

出力フリーズを伴うDFT対応FF

図20は、回路を分割する必要をなくし、ループ切断を単純化し、さらに回路をテストするのに必要とされるベクトル計数を低減させるDFT対応FF2000を示す図である。図9のDFT対応FF900内のCC及びCRからFREEZE\_\_LOWを生成するために使用されるNorゲート935は削除され、その代わりに単一のfreeze\_\_low信号がセル2000に組み込まれる。フリップフロップ2025の出力は、freeze\_\_outputと呼ぶ新しい信号で制御される2-1mux2040を通過する。mux2040のもう一方の入力はラッチ2030の出力に接続され、ラッチ2030のD入力 10  
は新しいmux2040の出力に接続され、そのイネーブル入力はfreeze\_\_output信号に接続される。

【0080】

図21は、図20のDFT対応FF2000のタイミングを例示す図である。図4のタイミングとは対照的に、通常動作及びscan\_\_shift\_\_mode中、フリーズ出力線はハイに保持され、取り込みモードサイクル中、freeze\_\_outputはローとなり、freeze\_\_lowパルスを取り入れる。

【0081】

図9のDFT対応FF900では、隣接するFFを独立した論理コーンに分割して、最初のパーティションにおけるテストが、隣接するFFの状態を不用意に変更しないことを 20  
保証するようにしたことを思い出されたい。独立したパーティションは、それぞれ独立したテストサイクルでテストされる。図20のDFT対応FF2000は、「隣接する」FFの出力が取り込まれる間に、このFFへの駆動刺激を効果的にフリーズするので、分割を無くすことが可能となる。分割がもはや不必要となるため、個々のCC及びCR線は、どのパーティションが取り込みモードにあるかを選択する必要がなくなる。CC及びCR線は、1つのfreeze\_\_lowの線に置き換えられる。さらに、パーティションが存在しないため、個々のテストサイクル中に全てのフロップを取り込むことができ、テストベクトルの総数が減少することになる。

【0082】

図20のDFT対応FF2000を使用する場合、自らのセット又はリセットピンにフ 30  
ィードバックを行うフリップフロップは今や問題ではなく、追加のループ切断要素を必要としないため、ループ切断も簡単になる。純粋な組み合わせループは依然として切断する必要があるが、あらゆる状況下において単一のループ切断要素のみしか必要としない。

【0083】

結論

文章及び図面を準備する便宜上のみの目的で、説明において特定の選択を行っているが、別途明示しない限り、これらの選択自体が、説明した実施形態の構造又は動作に関する追加情報を伝えるものであるとは解釈すべきでない。選択の例として、図の番号付けに使用される記号の特定の編成又は割り当て、並びに実施形態の特徴及び要素を識別及び参照 40  
するために使用する要素識別子(すなわち呼び名又は番号指定子)の特定の編成又は割り当てが挙げられる。

【0084】

説明及び理解を明確にするために、前述の実施形態についてある程度詳細に説明しているが、本発明は、提示するこれらの詳細事項に限定されるものではない。本発明の多くの実施形態が存在する。開示する実施形態は例示的なものであり、本発明を限定するものではない。

【0085】

上記の説明に一致する、構造、配列、及び用途における多くの変更が可能であり、これらの変更は発行する特許請求の範囲内にあることが理解できよう。例えば、相互接続及び機能ユニットのビット幅、クロック速度、及び使用した技術の種類を、個々の構成要素ブ 50

ロックにおける様々な実施形態に従って変更することができる。相互接続及び論理回路に付与した名称は単に例示的なものであり、説明した概念を限定するものであると解釈すべきではない。フローチャート及びフロー図の処理要素、実行要素、及び機能要素の順序及び配列は、様々な実施形態によって変更することができる。また別途特記しない限り、指定した値の範囲、使用した最大及び最小値、又は他の具体的な仕様は、単に説明した実施形態のものであるとともに実施技術における改善及び変更に従うことが予想され、本発明を限定するものであるとは解釈すべきでない。

【 0 0 8 6 】

説明したものの代わりに、当業において公知の機能的に同等な技術を採用して、様々な構成要素、サブシステム、機能、動作、ルーチン、及びサブルーチンを実現することができる。実施形態の多くの機能面は、実施形態に依存する設計制約の機能、及び（過去にハードウェアであった機能のソフトウェアへの移行を容易にする）より高速な処理、及び（過去にソフトウェアであった機能のハードウェアへの移行を容易にする）より高い集積密度という技術傾向の機能として、ハードウェア（すなわち、一般に専用回路）又はソフトウェア（すなわち、プログラムされたコントローラ又はプロセッサの何らかの態様で）のいずれかにおいて選択的に実現可能であることも理解されたい。様々な実施形態における特定の変更物として、以下に限定されるわけではないが、分割の相違、異なる形態要因及び設定、異なるオペレーティングシステム及び他のシステムソフトウェアの使用、異なるインターフェース規格、ネットワークプロトコル、又は通信リンクの使用、並びに特定の用途の固有の技術及び商取引上の制約に従って、本明細書で説明した概念の実施時に予想される他の変更物が挙げられる。

【 0 0 8 7 】

説明した実施形態の多くの態様についての最小の実施構成に必要なものを大幅に超える詳細状況及び環境状況で実施形態について説明した。当業者であれば、いくつかの実施形態では、残りの要素間の基本的な連携を変更せずに、開示した構成要素又は特徴が省略されていることを認識するであろう。従って、開示した詳細事項の大部分は、説明した実施形態の様々な態様の実現に必要でないことを理解されたい。残りの要素を従来技術と区別できる限りにおいて、省略した構成要素及び特徴は、本明細書で説明した概念を限定するものではない。

【 0 0 8 8 】

全てのこのような設計変更には、説明した実施形態により伝えられる教示にわたるわずかな変更が含まれる。また、本明細書で説明した実施形態は、他のコンピュータ用途及びネットワーク用途に対して幅広い適応可能性を有し、説明した実施形態の特定の用途又は産業に限定されるものではないことも理解されたい。従って本発明は、発行する特許請求の範囲内に含まれる全ての可能な修正物及び変更物を含むものであると解釈すべきである。

。

10

20

30

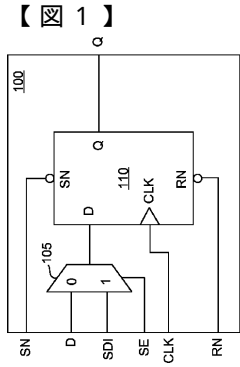


Fig. 1  
Prior Art

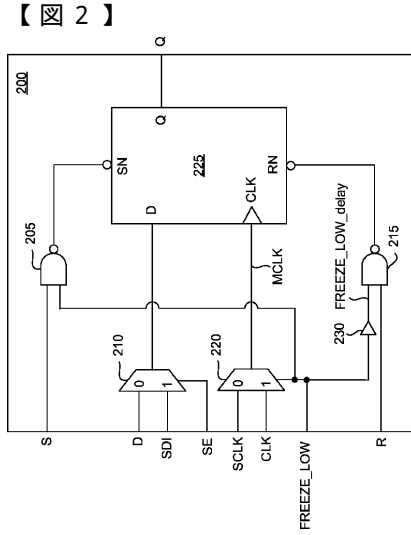


Fig. 2

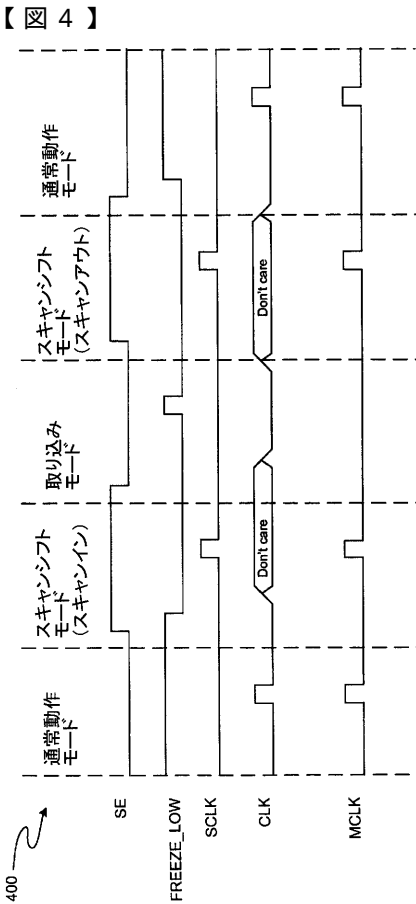


Fig. 4

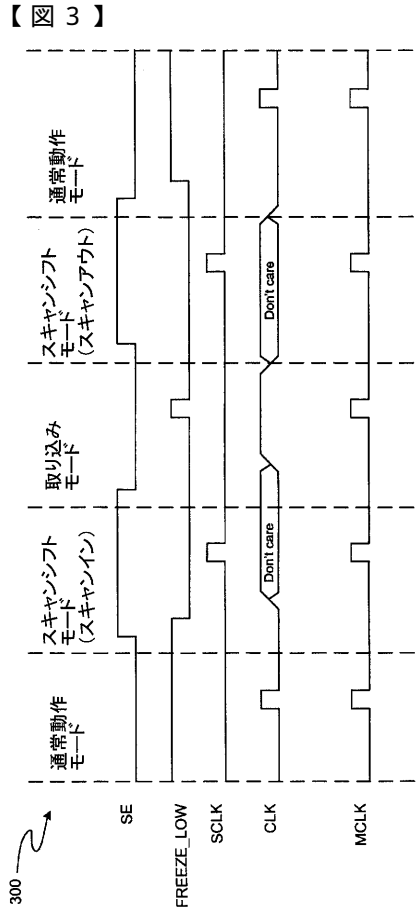


Fig. 3

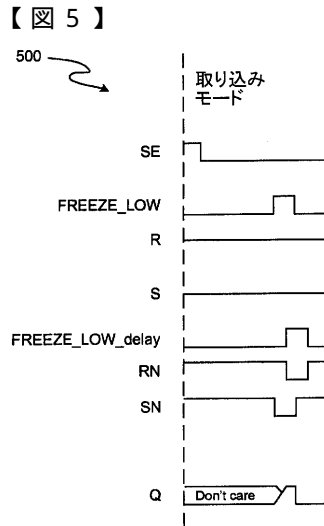


Fig. 5

【 図 6 】

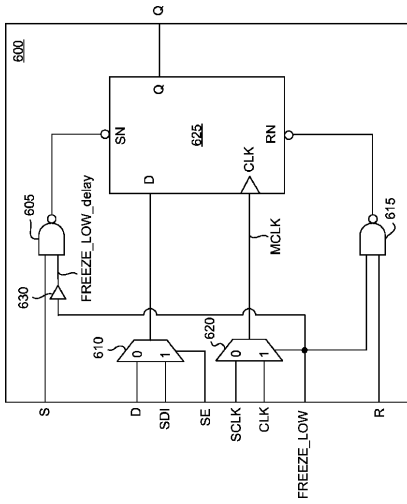


Fig. 6

【 図 7 】

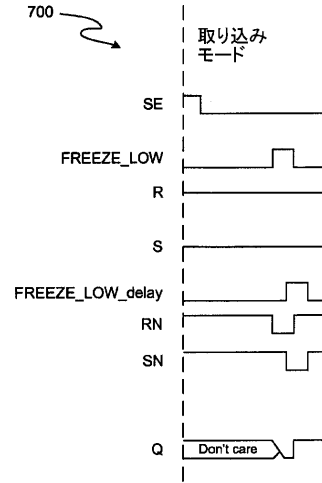


Fig. 7

【 図 8 】

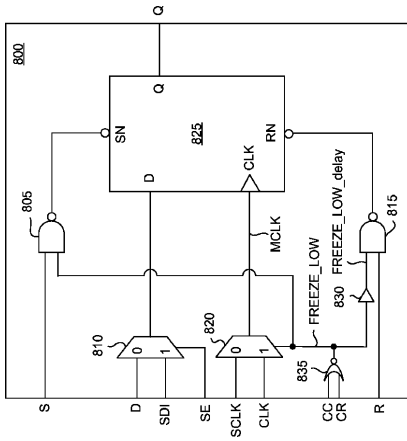


Fig. 8

【 図 9 】

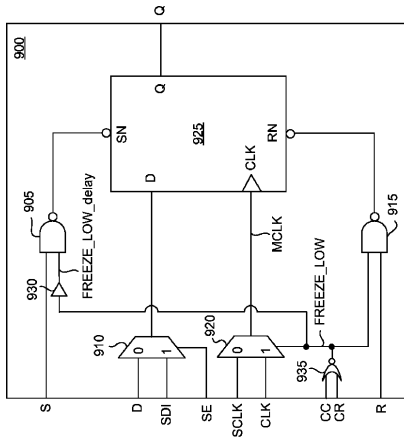


Fig. 9

【 図 10 】

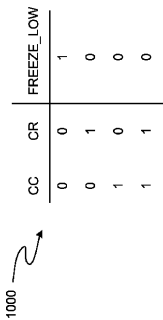


Fig. 10

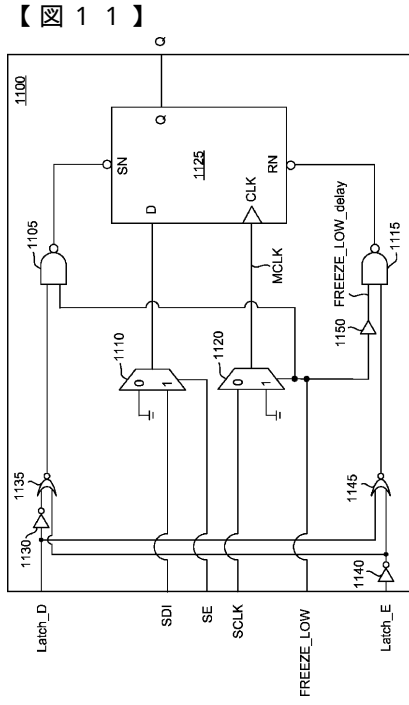


Fig. 11

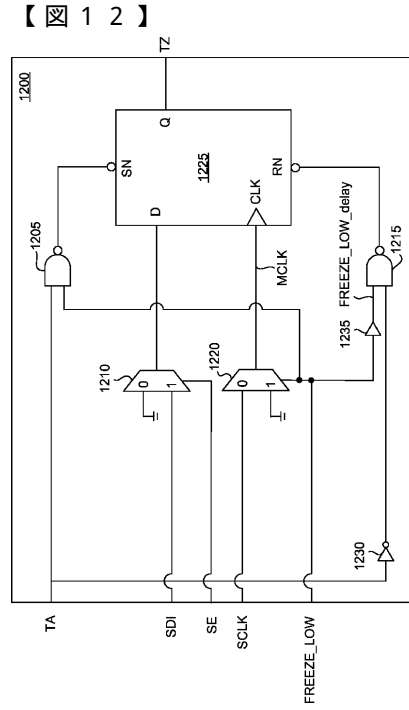


Fig. 12

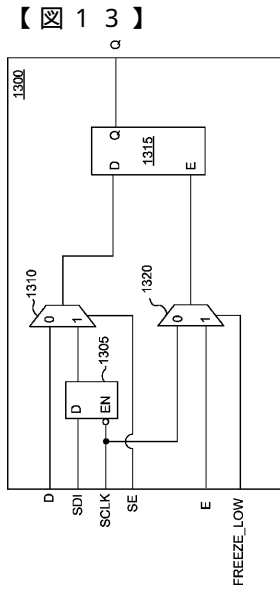


Fig. 13

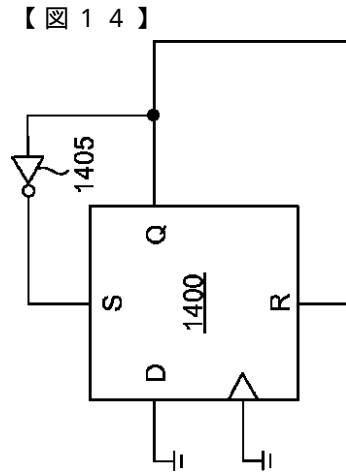


Fig. 14

【 図 1 5 】

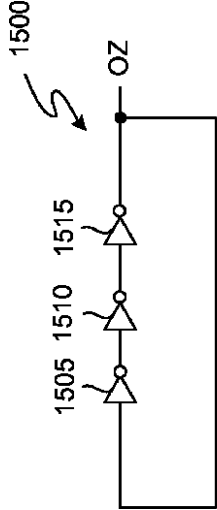


Fig. 15

【 図 1 6 】

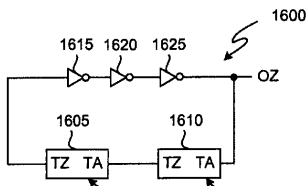


Fig. 16

図12からの  
DFT対応バッファ

【 図 1 7 】

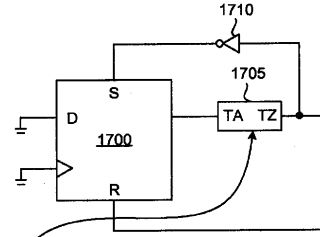


Fig. 17

図12からの  
DFT対応バッファ

【 図 1 8 】

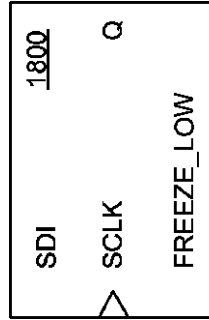


Fig. 18

【 図 1 9 】

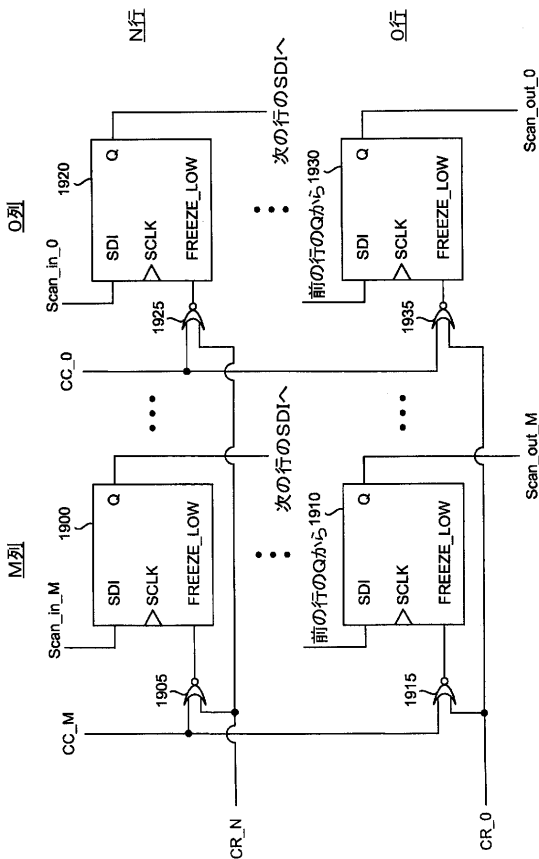


Fig. 19

【 図 2 0 】

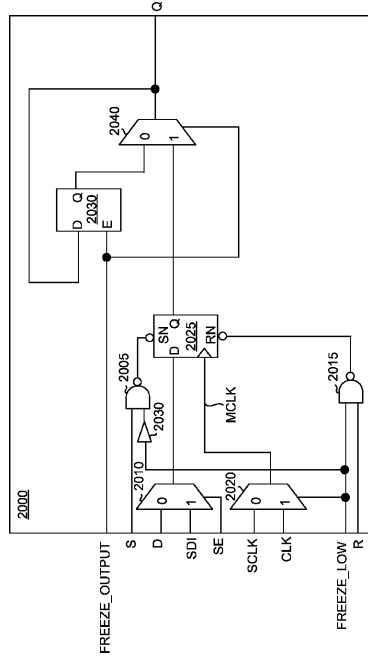


Fig. 20

【 図 2 1 】

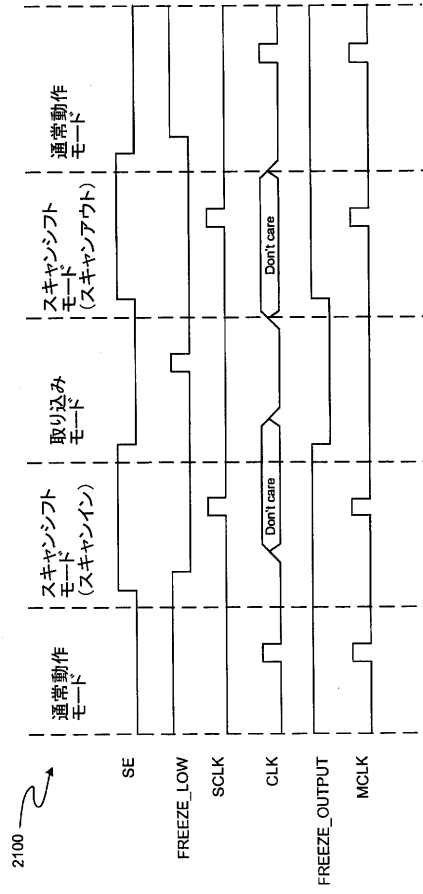


Fig. 21

## フロントページの続き

- (72)発明者 エブレット スティーヴン  
アメリカ合衆国 カリフォルニア州 9 4 5 3 6 フリーモント オランダ テラス 9 1 2
- (72)発明者 セングプタ ラビー  
アメリカ合衆国 カリフォルニア州 9 5 1 4 8 サン ホセ ロッキー ウォーター レーン  
3 2 5 6
- (72)発明者 ウェスト エリック  
アメリカ合衆国 カリフォルニア州 9 5 1 2 5 サン ホセ ネヴァダ アベニュー 1 1 6 0
- (72)発明者 スミス ライル  
アメリカ合衆国 カリフォルニア州 9 5 0 5 4 サンタ クララ スコット ブールヴァード  
3 2 5 5 スイート 2 - 1 0 2

審査官 吉岡 一也

- (56)参考文献 特開2003 - 043114 (JP, A)  
特表2003 - 503791 (JP, A)  
特開平04 - 072583 (JP, A)  
特開昭63 - 300528 (JP, A)  
特開平05 - 341016 (JP, A)  
特開2001 - 059856 (JP, A)  
特開2000 - 209074 (JP, A)  
特開平11 - 317429 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28