

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-26664  
(P2005-26664A)

(43) 公開日 平成17年1月27日(2005.1.27)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 7 K	5 F O 3 2
HO 1 L 21/336	HO 1 L 27/08 3 3 1 E	5 F O 4 8
HO 1 L 21/76	HO 1 L 29/78 3 0 1 D	5 F 1 1 0
HO 1 L 27/08	HO 1 L 29/78 3 0 1 W	5 F 1 4 0
HO 1 L 29/78	HO 1 L 29/78 3 0 1 G	

審査請求 未請求 請求項の数 10 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2004-61077 (P2004-61077)	(71) 出願人	000004260 株式会社デンソー
(22) 出願日	平成16年3月4日 (2004.3.4)		
(31) 優先権主張番号	特願2003-170019 (P2003-170019)	(74) 代理人	100068755 弁理士 恩田 博宣
(32) 優先日	平成15年6月13日 (2003.6.13)	(74) 代理人	100105957 弁理士 恩田 誠
(33) 優先権主張国	日本国 (JP)	(72) 発明者	白木 聡 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(72) 発明者	中山 喜明 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

最終頁に続く

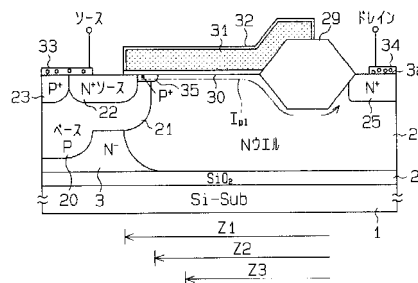
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 トレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる半導体装置およびその製造方法を提供する。

【解決手段】 N<sup>-</sup>シリコン層3における主表面3 aでの表層部にPベース領域2 0, 2 1とN<sup>+</sup>ソース領域2 2とN<sup>+</sup>ドレイン領域2 5が形成されている。主表面3 aに平面構造としてN<sup>+</sup>ソース領域2 2からN<sup>+</sup>ドレイン領域2 5に向かう方向においてソース領域2 2とドレイン領域2 5との間のベース領域2 0, 2 1を貫通するようにトレンチが形成されている。トレンチの内面においてゲート酸化膜を介してトレンチゲート電極が形成されている。主表面3 aの上にゲート酸化膜3 0を介してプレーナゲート電極3 1が形成されている。Pベース領域2 0, 2 1におけるプレーナゲート電極3 1と対向するチャンネル領域となる部位にP<sup>+</sup>領域3 5が形成されている。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体基板 ( 3 ) における主表面 ( 3 a ) での表層部に形成された第 2 導電型のベース領域 ( 2 0 , 2 1 ) と、

前記ベース領域 ( 2 0 , 2 1 ) 内における前記主表面 ( 3 a ) での表層部に前記ベース領域 ( 2 0 , 2 1 ) よりも浅く形成された第 1 導電型のソース領域 ( 2 2 ) と、

前記主表面 ( 3 a ) での表層部において前記ベース領域 ( 2 0 , 2 1 ) とは離間した位置に形成された第 1 導電型のドレイン領域 ( 2 5 ) と、

前記半導体基板 ( 3 ) の主表面 ( 3 a ) から掘られ、その平面構造として前記ソース領域 ( 2 2 ) からドレイン領域 ( 2 5 ) に向かう方向においてソース領域 ( 2 2 ) とドレイン領域 ( 2 5 ) との間のベース領域 ( 2 0 , 2 1 ) を貫通するように形成されたトレンチ ( 2 6 ) と、

前記トレンチ ( 2 6 ) の内面においてゲート絶縁膜 ( 2 7 ) を介して形成されたトレンチゲート電極 ( 2 8 ) と、

前記主表面 ( 3 a ) の上にゲート絶縁膜 ( 3 0 ) を介して形成されたプレーナゲート電極 ( 3 1 ) と、

前記ベース領域 ( 2 0 , 2 1 ) における前記プレーナゲート電極 ( 3 1 ) と対向するチャネル領域となる部位に形成された第 2 導電型の高濃度な不純物拡散領域 ( 3 5 ) と、  
を備えたことを特徴とする半導体装置。

10

## 【請求項 2】

第 1 導電型の半導体基板 ( 3 ) における主表面 ( 3 a ) での表層部に形成された第 2 導電型のベース領域 ( 2 0 , 2 1 ) と、

前記ベース領域 ( 2 0 , 2 1 ) 内における前記主表面 ( 3 a ) での表層部に前記ベース領域 ( 2 0 , 2 1 ) よりも浅く形成された第 1 導電型のソース領域 ( 2 2 ) と、

前記主表面 ( 3 a ) での表層部において前記ベース領域 ( 2 0 , 2 1 ) とは離間した位置に形成された第 1 導電型のドレイン領域 ( 2 5 ) と、

前記半導体基板 ( 3 ) の主表面 ( 3 a ) から掘られ、その平面構造として前記ソース領域 ( 2 2 ) からドレイン領域 ( 2 5 ) に向かう方向においてソース領域 ( 2 2 ) とドレイン領域 ( 2 5 ) との間のベース領域 ( 2 0 , 2 1 ) を貫通するように形成されたトレンチ ( 2 6 ) と、

前記トレンチ ( 2 6 ) の内面においてゲート絶縁膜 ( 2 7 ) を介して形成されたトレンチゲート電極 ( 2 8 ) と、

前記主表面 ( 3 a ) の上にゲート絶縁膜 ( 3 0 ) を介して形成されたプレーナゲート電極 ( 3 1 ) と、

前記ベース領域 ( 2 0 , 2 1 ) における前記トレンチゲート電極 ( 2 8 ) と対向するチャネル領域となる部位に形成された第 2 導電型の低濃度な不純物拡散領域 ( 6 0 ) と、  
を備えたことを特徴とする半導体装置。

20

30

## 【請求項 3】

第 2 導電型の半導体基板 ( 7 0 ) における主表面 ( 7 0 a ) の表層部に形成されたドリフト領域となる第 1 導電型のウエル領域 ( 7 1 ) 以外のバルク部分よりなるベース領域 ( 7 2 ) と、

前記ベース領域 ( 7 2 ) 内における前記半導体基板の主表面 ( 7 0 a ) での表層部に形成された第 1 導電型のソース領域 ( 2 2 ) と、

前記ウエル領域 ( 7 1 ) 内における前記半導体基板の主表面 ( 7 0 a ) での表層部に前記ウエル領域 ( 7 1 ) よりも浅く形成された第 1 導電型のドレイン領域 ( 2 5 ) と、

前記半導体基板の主表面 ( 7 0 a ) から掘られ、その平面構造として前記ソース領域 ( 2 2 ) からドレイン領域 ( 2 5 ) に向かう方向においてソース領域 ( 2 2 ) とドレイン領域 ( 2 5 ) との間のベース領域 ( 7 2 ) を貫通するように形成されたトレンチ ( 2 6 ) と、

前記トレンチ ( 2 6 ) の内面においてゲート絶縁膜 ( 2 7 ) を介して形成されたトレン

40

50

チゲート電極（２８）と、

前記主表面（７０ａ）の上にゲート絶縁膜（３０）を介して形成されたプレーナゲート電極（３１）と、  
を備えたことを特徴とする半導体装置。

【請求項４】

第１導電型の半導体基板（３）における主表面（３ａ）での表層部に形成された第２導電型のベース領域（２０，２１）と、

前記ベース領域（２０，２１）内における前記主表面（３ａ）での表層部に前記ベース領域（２０，２１）よりも浅く形成された第１導電型のソース領域（２２）と、

前記主表面（３ａ）での表層部において前記ベース領域（２０，２１）とは離間した位置に形成された第１導電型のドレイン領域（２５）と、 10

前記半導体基板（３）の主表面（３ａ）から掘られ、その平面構造として前記ソース領域（２２）からドレイン領域（２５）に向かう方向においてソース領域（２２）とドレイン領域（２５）との間のベース領域（２０，２１）を貫通するように形成されたトレンチ（２６）と、

前記トレンチ（２６）の内面においてゲート絶縁膜（２７）を介して形成されたトレンチゲート電極（２８）と、

前記主表面（３ａ）の上にゲート絶縁膜（３０）を介して形成され、前記トレンチゲート電極（２８）とは別体構造をなすプレーナゲート電極（３１）と、

前記トレンチゲート電極（２８）に第１のゲート電圧を印加するためのトレンチゲート用配線（８１）と、 20

前記プレーナゲート電極（３１）に第２のゲート電圧を印加するためのプレーナゲート用配線（８０）と、

を備えたことを特徴とする半導体装置。

【請求項５】

第１導電型の半導体基板（３）における主表面（３ａ）での表層部に形成された第２導電型のベース領域（２０，２１）と、

前記ベース領域（２０，２１）内における前記主表面（３ａ）での表層部に前記ベース領域（２０，２１）よりも浅く形成された第１導電型のソース領域（２２）と、

前記主表面（３ａ）での表層部において前記ベース領域（２０，２１）とは離間した位置に形成された第１導電型のドレイン領域（２５）と、 30

前記半導体基板（３）の主表面（３ａ）から掘られ、その平面構造として前記ソース領域（２２）からドレイン領域（２５）に向かう方向においてソース領域（２２）とドレイン領域（２５）との間のベース領域（２０，２１）を貫通するように形成されたトレンチ（２６）と、

前記トレンチ（２６）の内面において第１のゲート絶縁膜（２７）を介して形成されたトレンチゲート電極（２８）と、

前記主表面（３ａ）の上に、前記第１のゲート絶縁膜（２７）よりも厚い第２のゲート絶縁膜（３０）を介して形成されたプレーナゲート電極（３１）と、

を備えたことを特徴とする半導体装置。 40

【請求項６】

前記半導体基板（３，７０）における素子形成領域の周囲に形成した素子分離用トレンチ（１００）の内面に、トレンチゲート電極用ゲート絶縁膜（２７）と同一の絶縁膜（１０１）を形成するとともに当該膜（１０１）の内面にトレンチゲート電極（２８）を構成する膜と同一の膜（１０２）を形成し、さらに、当該膜（１０２）の内面に絶縁膜（１０３）を形成したことを特徴とする請求項１～５のいずれか１項に記載の半導体装置。

【請求項７】

前記半導体基板（３，７０）における素子形成領域の周囲に形成した素子分離用トレンチ（１１０）の内面に、トレンチゲート電極用ゲート絶縁膜（２７）よりも厚い絶縁膜（１１１）を形成するとともに当該膜（１１１）の内面にトレンチゲート電極（２８）を構成 50

する膜と同一の膜(112)を形成したことを特徴とする請求項1~5のいずれか1項に記載の半導体装置。

【請求項8】

前記半導体基板(3,70)における素子形成領域の周囲に形成する素子分離用トレンチを二重以上設け、各トレンチ(130,131)の内面に、トレンチゲート電極用ゲート絶縁膜(27)と同一の絶縁膜(132,134)を形成するとともに当該膜(132,134)の内面にトレンチゲート電極(28)を構成する膜と同一の膜(133,135)を形成したことを特徴とする請求項1~5のいずれか1項に記載の半導体装置。

【請求項9】

第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(20,21)と、

前記ベース領域(20,21)内における前記主表面(3a)での表層部に前記ベース領域(20,21)よりも浅く形成された第1導電型のソース領域(22)と、

前記主表面(3a)での表層部において前記ベース領域(20,21)とは離間した位置に形成された第1導電型のドレイン領域(25)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記ソース領域(22)からドレイン領域(25)に向かう方向においてソース領域(22)とドレイン領域(25)との間のベース領域(20,21)を貫通するように形成されたトレンチ(26)と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介して形成されたトレンチゲート電極(28)と、

前記主表面(3a)の上にゲート絶縁膜(30)を介して形成されたプレーナゲート電極(31)と、

を備えた半導体装置の製造方法であって、

第1導電型の半導体基板(3)の主表面(3a)にトレンチ(26)を形成する工程と、

前記トレンチ(26)の内壁を含む前記半導体基板(3)の主表面(3a)の上にゲート絶縁膜(27,30)を形成する工程と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介してトレンチゲート電極(28)を形成するとともに、前記主表面(3a)の上にゲート絶縁膜(30)を介してプレーナゲート電極(31)を形成する工程と、

第2導電型のベース領域(21)を形成するとともにプレーナゲート電極(31)をマスクとしたイオン注入にて第1導電型のソース領域(22)を形成する工程と、

ベース領域(21)における前記プレーナゲート電極(31)と対向するチャンネル領域となる部位に対し第2導電型の元素を斜めイオン注入して当該部位の不純物濃度を高くする工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項10】

第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(20,21)と、

前記ベース領域(20,21)内における前記主表面(3a)での表層部に前記ベース領域(20,21)よりも浅く形成された第1導電型のソース領域(22)と、

前記主表面(3a)での表層部において前記ベース領域(20,21)とは離間した位置に形成された第1導電型のドレイン領域(25)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記ソース領域(22)からドレイン領域(25)に向かう方向においてソース領域(22)とドレイン領域(25)との間のベース領域(20,21)を貫通するように形成されたトレンチ(26)と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介して形成されたトレンチゲート電極(28)と、

10

20

30

40

50

前記主表面(3a)の上にゲート絶縁膜(30)を介して形成されたプレーナゲート電極(31)と、

を備えた半導体装置の製造方法であって、

第1導電型の半導体基板(3)の主表面(3a)にトレンチ(26)を形成する工程と

、前記トレンチ(26)の内壁を含む前記半導体基板(3)の主表面(3a)の上にゲート絶縁膜(27, 30)を形成する工程と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介してトレンチゲート電極(28)を形成する工程と、

第2導電型のベース領域(21)および第1導電型のソース領域(22)を形成する工程と、

ベース領域(21)における半導体基板(3)の主表面(3a)の表層部のチャネル領域となる部位に対し第2導電型の元素をイオン注入して当該部位の不純物濃度を高くする工程と、

前記主表面(3a)の上にゲート絶縁膜(30)を介してプレーナゲート電極(31)を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

トレンチゲートとプレーナゲートの両方を利用した横型パワー素子が知られている。この素子構造は、従来のプレーナゲートの横型パワー素子に対して、深く電流を流し、かつチャネル密度を向上することでオン抵抗の低減を実現する。

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明者らは、プレーナゲートにより横方向に流す際の閾値電圧 $V_t$ と、トレンチゲートにより縦方向に流す際の閾値電圧 $V_t$ を決める部分の拡散層の濃度について検討を行った。その結果、図38に示すように、横方向の接合部の濃度は $1.6 \times 10^{17} / \text{cm}^3$ であるとともに縦方向の接合部の濃度は $8 \times 10^{17} / \text{cm}^3$ であることが分かった。このように、横方向よりも縦方向の接合の濃度が高いと、横方向に流す際の閾値電圧 $V_t$ よりも縦方向に流す際の閾値電圧 $V_t$ が高くなる。従って、トレンチゲートにより電流が深く流れることが抑制され、オン抵抗の低減が困難となる。

【0004】

本発明はこのような背景の下になされたものであって、その目的は、トレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

請求項1に記載の半導体装置は、ベース領域におけるプレーナゲート電極と対向するチャネル領域となる部位に形成された第2導電型の高濃度な不純物拡散領域を備えたことを特徴としている。これにより、トレンチゲート電極に対向するチャネル領域の不純物濃度と、プレーナゲート電極に対向するチャネル領域の不純物濃度との関係において、プレーナゲート電極に対向するチャネル領域の不純物濃度が高くなる。よって、トレンチゲート電極に対向するチャネル領域を通して電流を流す際の $V_t$ 値と、プレーナゲート電極に対向するチャネル領域を通して電流を流す際の $V_t$ 値との関係において、プレーナゲート電極に対向するチャネル領域を通して電流を流す際の $V_t$ 値が高くなる。その結果、従来構

10

20

30

40

50

造に比ベトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

【0006】

請求項2に記載の半導体装置は、ベース領域におけるトレンチゲート電極と対向するチャンネル領域となる部位に形成された第2導電型の低濃度な不純物拡散領域を備えたことを特徴としている。これにより、トレンチゲート電極に対向するチャンネル領域の不純物濃度と、プレーナゲート電極に対向するチャンネル領域の不純物濃度との関係において、トレンチゲート電極に対向するチャンネル領域の不純物濃度が低くなる。よって、トレンチゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値と、プレーナゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値との関係において、トレンチゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値が低くなる。その結果、従来構造に比ベトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

10

【0007】

請求項3に記載の半導体装置は、第2導電型の半導体基板における主表面の表層部に形成されたドリフト領域となる第1導電型のウエル領域以外のバルク部分よりなるベース領域を備えたことを特徴としている。これにより、トレンチゲート電極に対向するチャンネル領域の不純物濃度と、プレーナゲート電極に対向するチャンネル領域の不純物濃度との関係において、両者が等しくなる。よって、トレンチゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値と、プレーナゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値との関係において、両者が等しくなる。その結果、従来構造に比ベトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

20

【0008】

請求項4に記載の半導体装置は、主表面の上にゲート絶縁膜を介して形成され、トレンチゲート電極とは別体構造をなすプレーナゲート電極と、トレンチゲート電極に第1のゲート電圧を印加するためのトレンチゲート用配線と、プレーナゲート電極に第2のゲート電圧を印加するためのプレーナゲート用配線と、を備えたことを特徴としている。よって、プレーナゲート電極とトレンチゲート電極とを独立して電圧を制御し、横方向よりも縦方向に電流が流れるようにすることにより、深く電流を流し、かつ、チャンネル密度を向上することで、オン抵抗の低減を図ることができる。

30

【0009】

請求項5に記載の半導体装置は、トレンチの内面において第1のゲート絶縁膜を介して形成されたトレンチゲート電極と、主表面の上に、第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を介して形成されたプレーナゲート電極と、を備えたことを特徴としている。よって、トレンチゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値よりもプレーナゲート電極に対向するチャンネル領域を通して電流を流す際の $V_t$ 値の方が高くなる。その結果、トレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

【0010】

請求項6に記載のように、請求項1～5のいずれか1項に記載の半導体装置において半導体基板における素子形成領域の周囲に形成した素子分離用トレンチの内面に、トレンチゲート電極用ゲート絶縁膜と同一の絶縁膜を形成するとともに当該膜の内面にトレンチゲート電極を構成する膜と同一の膜を形成し、さらに、当該膜の内面に絶縁膜を形成する。このようにすると、素子分離耐圧を確保しつつトレンチゲート用の部材(トレンチ、ゲート絶縁膜、トレンチゲート電極)とトレンチ分離用の部材(トレンチ、絶縁膜、絶縁膜の内方に配する膜)を同時に形成することができる。

40

【0011】

請求項7に記載のように、請求項1～5のいずれか1項に記載の半導体装置において半導体基板における素子形成領域の周囲に形成した素子分離用トレンチの内面に、トレンチゲート電極用ゲート絶縁膜よりも厚い絶縁膜を形成するとともに当該膜の内面にトレンチ

50

ゲート電極を構成する膜と同一の膜を形成する。このようにすると、素子分離耐圧を確保しつつトレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することが可能となる。

#### 【0012】

請求項8に記載のように、請求項1～5のいずれか1項に記載の半導体装置において半導体基板における素子形成領域の周囲に形成する素子分離用トレンチを二重以上設け、各トレンチの内面に、トレンチゲート電極用ゲート絶縁膜と同一の絶縁膜を形成するとともに当該膜の内面にトレンチゲート電極を構成する膜と同一の膜を形成する。このようにすると、素子分離耐圧を確保しつつトレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することができる。

10

#### 【0013】

請求項9に記載の半導体装置の製造方法においては、第1導電型の半導体基板の主表面にトレンチを形成する。そして、トレンチの内壁を含む半導体基板の主表面の上にゲート絶縁膜を形成する。さらに、トレンチの内面においてゲート絶縁膜を介してトレンチゲート電極を形成するとともに、主表面の上にゲート絶縁膜を介してプレーナゲート電極を形成する。さらには、第2導電型のベース領域を形成するとともにプレーナゲート電極をマスクとしたイオン注入にて第1導電型のソース領域を形成する。そして、ベース領域におけるプレーナゲート電極と対向するチャンネル領域となる部位に対し第2導電型の元素を斜めイオン注入して当該部位の不純物濃度を高くする。その結果、請求項1に記載の半導体装置を得ることができる。

20

#### 【0014】

請求項10に記載の半導体装置の製造方法においては、第1導電型の半導体基板の主表面にトレンチを形成する。そして、トレンチの内壁を含む半導体基板の主表面の上にゲート絶縁膜を形成する。さらに、トレンチの内面においてゲート絶縁膜を介してトレンチゲート電極を形成する。さらには、第2導電型のベース領域および第1導電型のソース領域を形成する。そして、ベース領域における半導体基板の主表面の表層部のチャンネル領域となる部位に対し第2導電型の元素をイオン注入して当該部位の不純物濃度を高くする。さらに、主表面の上にゲート絶縁膜を介してプレーナゲート電極を形成する。その結果、請求項1に記載の半導体装置を得ることができる。

30

#### 【発明を実施するための最良の形態】

#### 【0015】

（第1の実施の形態）

以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

図1に、本実施形態における半導体装置の縦断面を示す。本実施形態においてはSOI基板を用いている。つまり、シリコン基板1の上に絶縁膜（シリコン酸化膜）2を介して薄い単結晶シリコン層（単結晶半導体層）3が形成され、SOI基板を構成している。単結晶シリコン層3において、絶縁膜2に達する素子分離用トレンチ4が形成され、このトレンチ4にて多数の素子形成島が区画形成されている。素子分離用トレンチ4に関して、トレンチ4の側面にはシリコン酸化膜5が形成されるとともに、シリコン酸化膜5の内方にはポリシリコン膜6が充填されている。図1において、第1の素子形成島はロジック部であり、このロジック部においてCMOSトランジスタが形成されている。また、第2の素子形成島はパワーMOS部であり、横型パワーMOSトランジスタ（トレンチゲート型LD MOS）が形成されている。以下の説明においてN型を第1導電型とするとともに、P型を第2導電型とする。

40

#### 【0016】

ロジック部におけるCMOSトランジスタに関してNチャンネルMOSとして、N<sup>-</sup>シリコン層3の表層部にはPウエル領域10が形成されている。Pウエル領域10の表層部にはN<sup>+</sup>ソース領域11とN<sup>+</sup>ドレイン領域12が離間して形成されている。また、Pウエル

50

領域 10 の上にはゲート酸化膜（図示略）を介してゲート電極 13 が配置されている。一方、PチャネルMOSとして、N<sup>-</sup>シリコン層 3 の表層部にはP<sup>+</sup>ソース領域 14 とP<sup>+</sup>ドレイン領域 15 が離間して形成され、さらに、N<sup>-</sup>シリコン層 3 の上にはゲート酸化膜（図示略）を介してゲート電極 16 が配置されている。

【0017】

パワーMOS部における横型MOSトランジスタについて説明する。図1でのY部の詳細を、図2, 3, 4を用いて説明する。図2は平面図であり、図2のA-A線での縦断面を図3に、図2のB-B線での縦断面を図4に示す。このMOSトランジスタにおいてN<sup>-</sup>シリコン層 3 を半導体基板として素子を作り込んでおり、N<sup>-</sup>シリコン層 3 の上面（3a）を半導体基板の主表面としている。

10

【0018】

図3において、N<sup>-</sup>シリコン層 3（基板の主表面 3a）での表層部にはPベース領域 20, 21 が形成されている。Pベース領域 21 はウエル領域であり、それよりもPベース領域 20 が深く形成されている。Pベース領域 20, 21 内におけるN<sup>-</sup>シリコン層 3（基板の主表面 3a）での表層部にはN<sup>+</sup>ソース領域 22 がPベース領域 21 よりも浅く形成されている。また、Pベース領域 20, 21 内におけるN<sup>-</sup>シリコン層 3（基板の主表面 3a）での表層部には、P<sup>+</sup>ベースコンタクト領域 23 がN<sup>+</sup>ソース領域 22 と隣接し、かつPベース領域 21 よりも浅く形成されている。

【0019】

N<sup>-</sup>シリコン層 3（基板の主表面 3a）での表層部にはNウエル領域 24 がPベース領域 21 と接するように形成されている。Nウエル領域 24 内におけるN<sup>-</sup>シリコン層 3（基板の主表面 3a）での表層部にはN<sup>+</sup>ドレイン領域 25 がPベース領域 20, 21 とは離間した位置に、Nウエル領域 24 よりも浅く形成されている。

20

【0020】

図4に示すように、N<sup>-</sup>シリコン層 3（基板）の主表面 3a からトレンチ 26 が掘られている。トレンチ 26 の平面構造として、図2に示すごとくN<sup>+</sup>ソース領域 22 からN<sup>+</sup>ドレイン領域 25 に向かう方向においてソース領域 22 とドレイン領域 25 との間のPベース領域 20, 21 を貫通するように形成されている。

【0021】

図4に示すように、トレンチ 26 の内面においてゲート酸化膜（ゲート絶縁膜） 27 を介してトレンチゲート電極 28 が形成されている。詳しくは、トレンチゲート電極 28 はリングドープされたポリシリコンを用いており、このポリシリコンがゲート電極としてトレンチ 26 に埋め込まれている。

30

【0022】

N<sup>-</sup>シリコン層 3（基板の主表面 3a）にはLOCOS酸化膜 29 が形成され、LOCOS酸化膜 29 はN<sup>+</sup>ソース領域 22 とN<sup>+</sup>ドレイン領域 25 との間に延設されている。また、図3に示すように、基板表面（主表面 3a）の上にゲート酸化膜（ゲート絶縁膜） 30 を介してプレーナゲート電極 31 が形成されている。このプレーナゲート電極 31 も前述のトレンチゲート電極 28 と同様にリングドープされたポリシリコンを用いている。プレーナおよびトレンチゲート電極（不純物ドープトポリシリコン膜）の表面にはシリコン酸化膜 32 が形成されている。

40

【0023】

N<sup>-</sup>シリコン層 3 の上にはソース電極 33 とドレイン電極 34 が形成されている。ソース電極 33 はN<sup>+</sup>ソース領域 22 およびP<sup>+</sup>ベースコンタクト領域 23 と電気的に接続されている。ドレイン電極 34 はN<sup>+</sup>ドレイン領域 25 と電気的に接続されている。

【0024】

そして、横型パワーMOSトランジスタがオフ時（ドレイン電位：正の所定電位，ゲート電位：0ボルト，ソース電位：0ボルト）の場合、電流は流れない。

一方、横型パワーMOSトランジスタがオン時（ドレイン電位：正の所定電位，ゲート電位：正の所定電位，ソース電位：0ボルト）の場合、Pベース領域 20, 21 における

50



トレンチゲート電極 28 に対向する部位およびプレーナゲート電極 31 に対向する部位に反転層が形成される。そして、図 2, 3 において  $I_{pl}$  にて示す電流経路にて  $N^+$  ソース領域 22 から、P ベース領域 20, 21 におけるプレーナゲート電極 31 に対向する部位 (反転層) を通して、ドリフト領域である  $N$  ウエル領域 24 を介して  $N^+$  ドレイン領域 25 に電流が流れる。また、図 2, 4 において  $I_{tr}$  にて示す電流経路にて  $N^+$  ソース領域 22 から、P ベース領域 20, 21 におけるトレンチゲート電極 28 に対向する部位 (反転層) を通して、ドリフト領域である  $N$  ウエル領域 24 を介して  $N^+$  ドレイン領域 25 に電流が流れる。このとき、電流経路  $I_{tr}$  は表面から離れた深い部分にまで形成され、そのためオン抵抗を小さくすることができる。このようにして、トレンチゲートとプレーナゲートの両方を利用した横型パワー素子構造の本トランジスタにおいては、従来のプレーナゲートの横型パワー素子に対して、深く電流を流し、かつチャネル密度を向上することでオン抵抗の低減を実現することができる。

10

#### 【0025】

さらに本実施形態では、図 3 に示すごとく、P ベース領域 20, 21 の表層部において P 型の高濃度な不純物拡散領域 ( $P^+$  領域 35) が形成されている。詳しくは、 $P^+$  領域 35 が P ベース領域 20, 21 におけるプレーナゲート電極 31 と対向するチャネル領域となる部位に形成されている。このように、ベース領域の一部に不純物濃度が高い領域 (35) が形成されている。

#### 【0026】

次に、製造方法を、図 5 ~ 図 9 を用いて説明する。

20

まず、図 5 に示すように、SOI 基板を用意する。つまり、シリコン基板 1 の上に絶縁膜 (シリコン酸化膜) 2 を介して  $N^-$  シリコン層 3 が形成された SOI 基板を用意する。そして、 $N^-$  シリコン層 3 にトレンチ 4 (図 1 参照) を形成するとともに、トレンチ 4 の側面にシリコン酸化膜 5 を形成し、さらに、シリコン酸化膜 5 の内方にポリシリコン膜 6 を充填する。これにより、トレンチ 4 にて多数の素子形成島に区画される。続いて、横型パワー MOS トランジスタ (トレンチゲート型 LDMOS) の形成島において、図 5 のごとく P ベース領域 20 および  $N$  ウエル領域 24 を形成する。

#### 【0027】

さらに、図 6 (a) に示すように、横型パワー MOS トランジスタ (トレンチゲート型 LDMOS) の形成島において、LOCOS 酸化膜 29 を形成する。そして、図 6 (b) に示すように、酸化膜 40, 41 を積層するとともにホトレジストを用いてトレンチ形成領域を開口する。酸化膜 40 の厚さは 425 程度であり、酸化膜 41 の厚さは 5000 程度である。引き続き、図 6 (c) に示すように、酸化膜 40, 41 の開口部から  $N^-$  シリコン層 3 をドライエッチングしてトレンチ 26 を形成する。さらに、ウエットエッチングにて反応生成物を除去する。

30

#### 【0028】

このようにして、 $N^-$  シリコン層 3 (基板の主表面 3a) にトレンチ 26 を形成する。

その後、図 7 (a) に示すように、熱酸化により、トレンチ 26 の内壁を含む  $N^-$  シリコン層 3 (基板の主表面 3a) の上にゲート酸化膜 27, 30 を形成する。ゲート酸化膜 27, 30 の膜厚は 500 程度である。さらに、図 7 (b) に示すように、不純物ドーパントポリシリコン膜 42 を 9000 程度成膜 (デポ) してトレンチ 26 内を不純物ドーパントポリシリコン膜 42 で埋め込む。そして、基板上の不純物ドーパントポリシリコン膜 42 をエッチバックして厚さを 3700 程度にする。さらに、反応生成物を除去するとともに洗浄する。

40

#### 【0029】

引き続き、基板上の不純物ドーパントポリシリコン膜 42 をホット工程・ドライエッチング工程を経てパターンニングして、図 8 (a) に示すように、プレーナゲート電極 31 とする。さらに、反応生成物を除去するとともに洗浄する。そして、不純物ドーパントポリシリコン膜 (31) の表面に、厚さ 600 の酸化膜 32 を形成する。さらに、1170, 30 分間のアニールを行ってトレンチ内面でのダメージ回復処理を行う。

50

## 【0030】

このようにして、トレンチ26の内面においてゲート酸化膜27を介してトレンチゲート電極28を形成するとともに、主表面3aの上にゲート酸化膜30を介してプレーナゲート電極31を形成する。

## 【0031】

引き続き、図8(b)に示すように、Pベース領域(ウエル)21を形成するとともに、プレーナゲート電極31をマスクとしたイオン注入にてN<sup>+</sup>ソース領域22およびN<sup>+</sup>ドレイン領域25を形成する(N<sup>+</sup>ソース領域22をセルフアラインにて形成する)。また、P<sup>+</sup>ベースコンタクト領域23を形成する。

## 【0032】

そして、図9に示すように、ベース領域21におけるプレーナゲート電極31と対向するチャネル領域となる部位に対しP型の元素を斜めイオン注入して当該部位の不純物濃度を高くする(P<sup>+</sup>領域35を形成する)。その後、コンタクトを形成するとともに配線を行う。その結果、図2, 3, 4に示す横型パワーMOSトランジスタ(トレンチゲート型LDMOS)が製造される。

## 【0033】

ポリシリコンセルフアラインを用いることにより、図1のロジック部(CMOS)のN<sup>+</sup>ソース領域11およびN<sup>+</sup>ドレイン領域12と、パワーMOS部のN<sup>+</sup>ソース領域22およびN<sup>+</sup>ドレイン領域25の形成を同時に行うことができ(工程を共有)でき、工程の簡略化を図ることができる。また、ソース拡散層(N領域)をセルフアラインにて形成することは、横方向の拡散層のパラッキを小さくでき、均一な動作を行わせる上で好ましく、電流経路に偏りが発生しにくくオン抵抗の上昇やESD耐量の低下を抑える上でも好ましい。

## 【0034】

さらに、トレンチゲートとプレーナゲートの両方を利用した横型パワー素子を有する半導体ICにおいて、本実施形態においては、図2, 3に示すように、ベース領域20, 21におけるプレーナゲート電極31と対向するチャネル領域となる部位にP<sup>+</sup>領域35を形成した。これにより、縦方向の閾値V<sub>t</sub>と横方向の閾値V<sub>t</sub>の相対的な関係をコントロールして、プレーナゲートよりもトレンチゲートでの閾値動作(V<sub>t</sub>動作)を低くし、より電流が深く流れるようにすることができる。その結果、低オン抵抗化かつ高ESD耐量化し、安価で、高品質のICを生産できる。

## 【0035】

つまり、従来は、図38に示したように、セルフアラインでソース拡散層(N<sup>+</sup>領域)を形成すると、横方向のV<sub>t</sub>と縦方向のV<sub>t</sub>を決める部分の拡散層の濃度が異なり、横方向よりも縦方向接合の濃度が高く、V<sub>t</sub>が高くなる。従って、トレンチゲートによる、電流が深く流れることが抑制され、オン抵抗の低減が困難となる。電流経路が横方向、つまり表面だけで流れる場合は、ESD耐量が低下することも予想される。

## 【0036】

これに対し、本実施形態においては、ポリシリコンゲート電極のエッジをマスクとした斜めイオン注入(P型イオン種)にて、図10に示すように、最表面の濃度を上げて、縦方向の接合部濃度を約 $5.0 \times 10^{16} / \text{cm}^3$ 、横方向の接合部濃度を約 $1.0 \times 10^{17} / \text{cm}^3$ にして、プレーナゲートよりもトレンチゲートでのV<sub>t</sub>動作を低くしている。その結果、より電流を深く流し、かつチャネル密度を向上し、これにより、オン抵抗の低減が実現される。また、電流経路をより深くすることで、発熱範囲を拡大し、高ESD耐量化も可能となる。

## 【0037】

効果確認のための実験を行ったので、図11を用いて説明する。

図11において、横軸には耐圧をとり、縦軸にはオン抵抗をとっている。サンプルとして、プレーナゲートのみを有するデバイスと、プレーナゲートとトレンチゲートの両方を有するデバイスを用いた。プレーナゲートとトレンチゲートの両方を有するデバイスは、

10

20

30

40

50

縦方向の閾値  $V_t$  と横方向の閾値  $V_t$  の相対的な関係をコントロールした場合としていない場合を比較した。さらに、図 3 において  $N$  ウエル領域 24 のソース側への広がりを  $Z_1$  としたとき、それよりも狭い  $Z_2$  ,  $Z_3$  としたデバイスもサンプルとして用いた。

【0038】

図 11 から、プレーナゲートのみデバイスから、プレーナゲートとトレンチゲートの両方を有するデバイスにすることでオン抵抗の低減効果が確認できた。また、プレーナゲートとトレンチゲートの両方を有するデバイスは、縦方向の閾値  $V_t$  と横方向の閾値  $V_t$  の相対的な関係をコントロールした場合は、しない場合に対して、オン抵抗低減効果が大きいことが確認できた。

【0039】

以上のように本実施形態は下記の特徴を有している。

(イ) 構造として、図 2 , 3 に示すように、ベース領域 20 , 21 におけるプレーナゲート電極 31 と対向するチャンネル領域となる部位に  $P^+$  領域 35 を形成した。これにより、トレンチゲート電極 28 に対向するチャンネル領域の不純物濃度と、プレーナゲート電極 31 に対向するチャンネル領域の不純物濃度との関係において、プレーナゲート電極 31 に対向するチャンネル領域の不純物濃度が高くなる。よって、トレンチゲート電極 28 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値と、プレーナゲート電極 31 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値との関係において、プレーナゲート電極 31 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値が高くなる。その結果、従来構造に比ベトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

(ロ) そのための製造方法として、図 9 に示すように、 $P$  ベース領域 21 におけるプレーナゲート電極 31 と対向するチャンネル領域となる部位に対し  $P$  型の元素を斜めイオン注入して当該部位の不純物濃度を高くする工程を有することにより、(イ) の構造が得られる。

(第 2 の実施の形態)

次に、第 2 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

【0040】

第 1 の実施の形態においてはポリシリコンゲート電極をマスクとした斜めイオン注入 ( $P$  型イオン種) にて、最表面の濃度を上げて、縦方向の  $V_t$  と横方向の  $V_t$  の相対的な関係をコントロールしていた。これに対し本実施形態では、次のようにしてチャンネル領域を  $P^+$  領域にしている。

【0041】

図 6 (a) , (b) , (c) に示したように、 $N^-$  シリコン層 3 (基板の主表面 3a) にトレンチ 26 を形成し、図 7 (a) に示したように、トレンチ 26 の内壁を含む  $N^-$  シリコン層 3 (基板の主表面 3a) の上にゲート酸化膜 27 , 30 を形成する。さらに、図 7 (b) に示した工程を経てトレンチ 26 の内面においてゲート酸化膜 27 を介してトレンチゲート電極 28 を形成する。つまり、図 8 (a) においては基板上に不純物ドーフトポリシリコン膜 (31) を残したが、本実施形態では残さない (主表面 3a の上におけるプレーナゲート電極はまだ形成しない)。

【0042】

この状態から、即ち、プレーナゲート電極を形成することなく、図 12 に示すように、レジストマスクを用いたイオン注入にて  $P$  ベース領域 21、 $N^+$  ソース領域 22 および  $N^+$  ドレイン領域 25、 $P^+$  ベースコンタクト領域 23 を形成する。そして、図 13 (a) に示すように、基板上にマスク 50 を形成し、 $P$  ベース領域 21 における  $N^-$  シリコン層 3 (基板の主表面 3a) の表層部のチャンネル領域となる部位に対し  $P$  型の元素を低加速イオン注入して当該部位の不純物濃度を高くする ( $P^+$  領域 51 を形成する)。

【0043】

さらに、図 13 (b) に示すように、基板上に不純物ドーフトポリシリコン膜を厚さ 3500 程度成膜し、ホト工程およびエッチング工程にてパターンニングしてプレーナゲ

10

20

30

40

50

ト電極 3 1 とする。さらに、不純物ドーフトポリシリコン膜 ( 3 1 ) の表面に酸化膜 3 2 を形成する。このようにして、N<sup>-</sup>シリコン層 3 ( 基板の主表面 3 a ) の上にゲート酸化膜 3 0 を介してプレーナゲート電極 3 1 を形成する。

【 0 0 4 4 】

その後、コンタクトを形成するとともに配線を行う。

( 第 3 の実施の形態 )

次に、第 3 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

【 0 0 4 5 】

図 1 4 には、本実施形態における横型 MOS トランジスタの平面図を示す。図 1 4 の A - A 線での縦断面を図 1 5 に、図 1 4 の B - B 線での縦断面を図 1 6 に、図 1 4 の C - C 線での縦断面を図 1 7 に示す。 10

【 0 0 4 6 】

図 1 4 , 1 7 に示すように、トレンチ 2 6 の内壁面における P ベース領域 ( P ウエル領域 ) 2 1 の表層部に P 型の低濃度な不純物拡散領域 ( P<sup>-</sup>領域 6 0 ) が形成されている。即ち、P ベース領域 2 0 , 2 1 におけるトレンチゲート電極 2 8 と対向するチャンネル領域となる部位に P<sup>-</sup>領域 6 0 が形成されている。このように、ベース領域の一部に不純物濃度が低い領域 ( 6 0 ) が形成されている。これにより、縦方向の閾値 V<sub>t</sub> と横方向の閾値 V<sub>t</sub> の相対的な関係をコントロールして、プレーナゲートよりもトレンチゲートでの閾値動作 ( V<sub>t</sub> 動作 ) を低くし、より電流が深く流れる。

【 0 0 4 7 】

20

次に、製造方法を説明する。

まず、横型パワー MOS トランジスタ ( トレンチゲート型 L D M O S ) の形成島において、図 1 5 の P ベース領域 2 0 および N ウエル領域 2 4 、 L O C O S 酸化膜 2 9 を形成する。さらに、図 1 8 ( a ) に示すように、N<sup>-</sup>シリコン層 3 をエッチングして、N<sup>-</sup>シリコン層 3 ( 基板の主表面 3 a ) にトレンチ 2 6 を形成する。その後、図 1 8 ( b ) に示すように、熱酸化により、トレンチ 2 6 の内壁を含む N<sup>-</sup>シリコン層 ( 基板 ) 3 の上にゲート酸化膜 2 7 , 3 0 ( 図 1 5 参照 ) を形成する。さらに、図 1 8 ( c ) に示すように、トレンチ 2 6 の内壁の表層部のチャンネル領域となる部位に対し、N 型イオン種を用いて斜めイオン注入して N<sup>+</sup>領域 6 1 を形成する。

【 0 0 4 8 】

30

そして、図 1 9 ( a ) に示すように、不純物ドーフトポリシリコン膜 6 2 を成膜してトレンチ 2 6 内を不純物ドーフトポリシリコン膜 6 2 で埋め込む。さらに、図 1 9 ( b ) に示すように、基板上の不純物ドーフトポリシリコン膜 6 2 をエッチバックして所定の厚さにし、さらに、不純物ドーフトポリシリコン膜 6 2 をパターニングしてプレーナゲート電極 3 1 ( 図 1 5 参照 ) とする。さらに、表面に酸化膜 3 2 を形成する。このようにして、トレンチ 2 6 の内面においてゲート酸化膜 2 7 を介してトレンチゲート電極 2 8 を形成するとともに、主表面 3 a の上にゲート酸化膜 3 0 を介してプレーナゲート電極 3 1 を形成する。

【 0 0 4 9 】

引き続き、図 1 7 に示すように、P ベース領域 ( P ウエル領域 ) 2 1 を形成するとともにプレーナゲート電極 3 1 をマスクとしたイオン注入にて N<sup>+</sup>ソース領域 2 2 を形成する。P ベース領域 ( P ウエル領域 ) 2 1 の形成時において図 1 4 , 1 7 に示す P<sup>-</sup>領域 6 0 が形成される。即ち、N<sup>+</sup>領域 6 1 に対し重ねるように P 領域 ( P ベース領域 2 1 ) を形成することにより元の N<sup>+</sup>領域 6 1 が P<sup>-</sup>領域 6 0 となる。 40

【 0 0 5 0 】

このように、予めトレンチ内壁面での表層部に、高加速イオン注入にて N<sup>+</sup>領域 6 1 を形成しておき、その後の P ベース領域 ( P ウエル領域 ) 2 1 の形成の際に、縦方向の V<sub>t</sub> が決定する部分の濃度を下げるようにする。

【 0 0 5 1 】

以上のように本実施形態は下記の特徴を有している。 50

(イ) 構造として、ベース領域 20, 21 におけるトレンチゲート電極 28 と対向するチャンネル領域となる部位に、図 14, 17 に示すように、P<sup>-</sup>領域 60 を形成した。これにより、トレンチゲート電極 28 に対向するチャンネル領域の不純物濃度と、プレーナゲート電極 31 に対向するチャンネル領域の不純物濃度との関係において、トレンチゲート電極 28 に対向するチャンネル領域の不純物濃度が低くなる。よって、トレンチゲート電極 28 に対向するチャンネル領域を通して電流を流す際の V<sub>t</sub> 値と、プレーナゲート電極 31 に対向するチャンネル領域を通して電流を流す際の V<sub>t</sub> 値との関係において、トレンチゲート電極 28 に対向するチャンネル領域を通して電流を流す際の V<sub>t</sub> 値が低くなる。その結果、従来構造に比ベトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

10

(ロ) そのための製造方法として、図 18 (c) に示すように、トレンチ 26 およびゲート酸化膜 27, 30 を形成した後に、トレンチ 26 の内壁の表層部のチャンネル領域となる部位に対し N 型の元素をイオン注入する。そして、トレンチゲート電極 28 およびプレーナゲート電極 31 を形成した後に、図 17 に示すように、P ベース領域 21 を形成する。これにより、(イ) の構造が得られる。

(第 4 の実施の形態)

次に、第 4 の実施の形態を、第 3 の実施の形態との相違点を中心に説明する。

【0052】

第 3 の実施の形態においては P ベース領域 21 を形成する前にトレンチ 26 の内壁の表層部のチャンネル領域となる部位に対し N 型の元素をイオン注入することにより P<sup>-</sup>領域 60 を形成した。これに対し本実施形態では、次のようにして P<sup>-</sup>領域 60 を形成している。

20

【0053】

図 7 (b) でのトレンチゲートの埋め込み用のポリシリコン膜 42 として、N 型不純物元素であるリンを高濃度にドーブしたものをを用いる。そして、その後の熱処理においてポリシリコン膜にドーブしたリンを、ゲート酸化膜 (シリコン酸化膜) 27 を通してシリコン基板側に拡散させて図 14 の P<sup>-</sup>領域 60 を形成する。このようにしてトレンチゲート電極のチャンネル表面濃度を下げる。

【0054】

以上のように、トレンチ 26 およびゲート酸化膜 27, 30 を形成した後に、トレンチ 26 の内面においてゲート酸化膜 27 を介して第 1 導電型の元素としてのリンをドーブしたトレンチゲート電極 28 を形成するとともに、主表面 3a の上にゲート酸化膜 30 を介してプレーナゲート電極 31 を形成する。さらに、P ベース領域 21 を形成するとともにプレーナゲート電極 31 をマスクとしたイオン注入にて N<sup>+</sup>ソース領域 22 を形成する。これにより、ドーブしたリンを基板側に拡散させることによって第 3 の実施の形態での (イ) の構造が得られる。

30

(第 5 の実施の形態)

次に、第 5 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

【0055】

図 20 には、本実施形態における横型 MOS トランジスタの縦断面を示す。

40

本実施形態においては、P 型シリコン層 (P 基板) 70 を用い、P 型シリコン層 (P 基板) 70 には N ウエル領域 71 を形成して、P 型シリコン層 (P 基板) 70 にてベース領域 72 を構成している。つまり、ベース領域 72 は、P 型シリコン層 70 (基板の主表面 70a) の表層部に形成されたドリフト領域となる N ウエル領域 71 以外のバルク部分よりなる。

【0056】

また、N<sup>+</sup>ソース領域 22 が、ベース領域 72 内における P 型シリコン層 70 (基板の主表面 70a) での表層部に形成されている。N<sup>+</sup>ドレイン領域 25 が、N ウエル領域 71 内における P 型シリコン層 70 (基板の主表面 70a) での表層部に N ウエル領域 71 よりも浅く形成されている。トレンチ 26 が P 型シリコン層の主表面 (基板の主表面) 7

50

0 a から掘られ、その平面構造として  $N^+$  ソース領域 22 から  $N^+$  ドレイン領域 25 に向かう方向においてソース領域 22 とドレイン領域 25 との間のベース領域 72 を貫通するように形成されている。トレンチゲート電極 28 がトレンチ 26 の内面においてゲート酸化膜 27 を介して形成されるとともに、プレーナゲート電極 31 が主表面 70 a の上にゲート酸化膜 30 を介して形成されている。

【0057】

この構成により、トレンチゲート電極 28 に対向するチャンネル領域の不純物濃度と、プレーナゲート電極 31 に対向するチャンネル領域の不純物濃度との関係において、両者が等しくなる。よって、トレンチゲート電極 28 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値と、プレーナゲート電極 31 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値との関係において、両者が等しくなる。その結果、従来構造に比べてトレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

10

【0058】

図 20 の応用例として、図 21 に示すように、ベース領域 72 におけるプレーナゲート電極 31 に対向するチャンネル領域となる部位に  $P^+$  領域 74 を形成してもよく、この場合には、横方向の  $V_t$  と縦方向の  $V_t$  の相関関係を更に所望にコントロールすることができる。あるいは、第 3 の実施の形態のように、ベース領域 72 におけるトレンチゲート電極 28 に対向するチャンネル領域となる部位に  $P^-$  領域を形成してもよい。

(第 6 の実施の形態)

次に、第 6 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

20

【0059】

図 22 には、図 2 に代わる本実施形態における横型 MOS トランジスタの平面図を示す。図 22 の A - A 線での縦断面を図 23 に、図 22 の B - B 線での縦断面を図 24 に示す。

【0060】

図 22 ~ 24 において、プレーナゲート電極 31 とトレンチゲート電極 28 とが分離されている。また、プレーナゲート電極 31 につながるアルミ配線 80 と、トレンチゲート電極 28 につながるアルミ配線 81 とが独立に設けられている。そして、アルミ配線 81 を通してトレンチゲート電極 28 に第 1 のゲート電圧  $G_1$  を印加するとともに、アルミ配線 80 を通してプレーナゲート電極 31 に第 2 のゲート電圧  $G_2$  を印加している。

30

【0061】

このようにして、プレーナゲートのアルミ配線 80 と、トレンチゲートのアルミ配線 81 とを独立して形成し、縦方向の  $V_t$  値と横方向の  $V_t$  値を独立して制御している。

プレーナゲートとトレンチゲートを独立して電圧を制御することにより、横方向よりも縦方向に電流が流れる。これによって、深く電流を流し、かつ、チャンネル密度を向上することでオン抵抗の低減を図ることができる。

【0062】

効果確認のための実験を行ったので、図 25 を用いて説明する。

図 25 において、横軸には耐圧をとり、縦軸にはオン抵抗をとっている。サンプルとして、プレーナゲートとトレンチゲートを独立して電圧制御しない場合と、独立して電圧制御した場合を比較した。つまり、縦方向の閾値  $V_t$  と横方向の閾値  $V_t$  の相対的な関係をコントロールした場合と、していない場合を比較した。さらに、図 23 において  $N$  ウェル領域 24 のソース側への広がりを  $Z_1$  としたとき、それよりも狭い  $Z_2$ ,  $Z_3$  としたデバイスもサンプルとして用いた。

40

【0063】

図 25 から、プレーナゲートとトレンチゲートを独立して電圧制御することでオン抵抗の低減効果が確認できた。つまり、縦方向の閾値  $V_t$  と横方向の閾値  $V_t$  の相対的な関係をコントロールした場合は、しない場合に対してオン抵抗低減効果が大きいことが確認できた。

【0064】

50

以上のように、主表面 3 a の上にゲート酸化膜（ゲート絶縁膜）30 を介して形成され、トレンチゲート電極 28 とは別体構造をなすプレーナゲート電極 31 と、トレンチゲート電極 28 に第 1 のゲート電圧 G1 を印加するためのアルミ配線（トレンチゲート用配線）81 と、プレーナゲート電極 31 に第 2 のゲート電圧 G2 を印加するためのアルミ配線（プレーナゲート用配線）80 と、を備えた。よって、プレーナゲート電極 31 とトレンチゲート電極 28 とを独立して電圧を制御し、横方向よりも縦方向に電流が流れるようにすることにより、深く電流を流し、かつ、チャンネル密度を向上することで、オン抵抗の低減を図ることができる。

（第 7 の実施の形態）

次に、第 7 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

10

【0065】

図 26 には、図 2 に代わる本実施形態における横型 MOS トランジスタの平面図を示す。図 26 の A - A 線での縦断面を図 27 に示す。

図 26, 27 においてトレンチゲートのゲート酸化膜（シリコン酸化膜）27 の膜厚  $t_2$  を、プレーナゲートのゲート酸化膜（シリコン酸化膜）30 の膜厚  $t_1$  よりも薄くしている（ $t_2 < t_1$ ）。これにより、トレンチゲート電極 28 による縦方向の  $V_t$  値よりも、プレーナゲート電極 31 による横方向の  $V_t$  値が高くなるように制御することができる。

【0066】

以上のように、トレンチ 26 の内面においてゲート酸化膜（第 1 のゲート絶縁膜）27 を介して形成されたトレンチゲート電極 28 と、主表面 3 a の上に、ゲート酸化膜（第 1 のゲート絶縁膜）27 よりも厚いゲート酸化膜（第 2 のゲート絶縁膜）30 を介して形成されたプレーナゲート電極 31 と、を備えている。よって、トレンチゲート電極 28 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値よりもプレーナゲート電極 31 に対向するチャンネル領域を通して電流を流す際の  $V_t$  値の方が高くなる。その結果、トレンチゲートによる縦方向の電流を流しやすくしてオン抵抗の低減を図ることができる。

20

（第 8 の実施の形態）

次に、第 8 の実施の形態を、第 1 の実施の形態との相違点を中心に説明する。

【0067】

図 28 には、図 2 に代わる本実施形態における横型 MOS トランジスタの平面図を示す。図 28 の A - A 線での縦断面を図 29 に示す。

30

図 28 の平面図に示すように、シリコン層 3 における横型 MOS トランジスタの周囲には素子分離用のトレンチ 100 が形成されている。ゲート用のトレンチ 26 と素子分離用のトレンチ 100 とは同時に形成され、図 29 に示すように、絶縁膜（埋め込みシリコン酸化膜）2 に達している。

【0068】

ここで、ゲート用のトレンチ 26 内において内壁にゲート酸化膜（シリコン酸化膜）27 が形成されるとともにその内方にトレンチゲート電極（ポリシリコンゲート電極）28 が配置されている。ゲート酸化膜（シリコン酸化膜）27 の膜厚は約 300 である。一方、素子分離用のトレンチ 100 においては図 29 に示すようにトレンチ内壁にシリコン酸化膜 101 が形成されるとともにその内面にはポリシリコン膜 102 が形成され、さらにその内壁にシリコン酸化膜 103 が形成（充填）されている。ゲート酸化膜（シリコン酸化膜）27 とシリコン酸化膜 101 とは同時に形成されるとともにトレンチゲート電極（ポリシリコンゲート電極）28 とポリシリコン膜 102 とは同時に形成される。よって、工程の簡素化を図るべくシリコン酸化膜 101 はゲート酸化膜（シリコン酸化膜）27 と同時に形成するので、膜厚は約 300 である。

40

【0069】

このように、ゲートトレンチのゲート酸化膜 27 は、オン抵抗の低減効果を出しやすい膜厚（約 300 ）で形成する。また、素子分離用のトレンチ 100 におけるシリコン酸化膜（トレンチ側壁酸化膜）101 の膜厚も同じ膜厚（約 300 ）であるが、埋め込み

50

ポリシリコン/酸化膜/埋め込みポリシリコンという構造を形成する。これにより、素子分離耐圧(50~150ボルト)が確保される。つまり、プレーナゲートの横型パワー素子に対して、深く電流を流し、かつチャネル密度を向上することでオン抵抗の低減を実現すべく、トレンチゲートを利用して深く電流を流す際に、オン抵抗の低減を実現するには酸化膜をゲート耐圧(約10ボルト)を確保しながら、できるだけ薄膜化したい(約300)。それに対し素子分離トレンチは、素子分離耐圧(50~150ボルト)を確保するため、トレンチ側壁酸化膜厚を厚く(約1000以上)する必要がある。そのため、トレンチゲートを利用した低オン抵抗化の実現と、素子分離トレンチの素子分離耐圧(100ボルト程度)の確保を両立すべく、素子分離用のトレンチ100において埋め込みポリシリコン/酸化膜/埋め込みポリシリコンという構造を採用した。

10

#### 【0070】

素子分離用のトレンチ100において、埋め込みポリシリコン/酸化膜/埋め込みポリシリコンの構造を形成するために、製造工程において次のようにする。

両方のトレンチ26, 100を同時に形成する。このとき、図28での素子分離用のトレンチ100の溝幅 $t_{11}$ を2 $\mu\text{m}$ 程度とし、ゲートトレンチ26の幅 $t_{10}$ を1 $\mu\text{m}$ 程度とし、素子分離トレンチの溝幅 $t_{11}$ をゲートトレンチの幅 $t_{10}$ よりも大きくする。その後、両方のトレンチ26, 100の内壁にシリコン酸化膜(27, 101)を同時に形成する。さらに、膜厚0.9 $\mu\text{m}$ 程度のポリシリコン膜をデポしてゲートトレンチ26をポリシリコン膜(28)で完全に埋め込むとともに、当該ポリシリコン膜をエッチバックする。ここで、素子分離用のトレンチ100においては完全にポリシリコン膜(102)で埋められていない。この素子分離用のトレンチ100内におけるポリシリコン膜102の表面を酸化させて素子絶縁耐圧を確保できる膜厚のシリコン酸化膜103を形成する。

20

#### 【0071】

以上のごとく本実施形態においては、半導体基板としてのシリコン層3における素子形成領域の周囲に形成した素子分離用トレンチ100の内面に、トレンチゲート電極用ゲート絶縁膜(27)と同一の絶縁膜(101)を形成するとともに当該膜(101)の内面にトレンチゲート電極28を構成する膜と同一の膜(102)を形成し、さらに、当該膜(102)の内面に絶縁膜(103)を形成した。よって、素子分離耐圧を確保しつつトレンチゲート用の部材(トレンチ、ゲート絶縁膜、トレンチゲート電極)とトレンチ分離用の部材(トレンチ、絶縁膜、絶縁膜の内方に配する膜)を同時に形成することができる。

30

#### 【0072】

この構成は第1の実施形態に限ることなく第2~第6の各実施形態において適用することができる。

(第9の実施の形態)

次に、第9の実施の形態を、第8の実施の形態との相違点を中心に説明する。

#### 【0073】

図30には、図28に代わる本実施形態における横型MOSトランジスタの平面を示す。図30のA-A線での縦断面を図31に示す。

40

本実施形態では第8の実施形態と同じ目的で別の構造および製造方法を用いている。

#### 【0074】

図30に示すように、トレンチゲートの酸化膜厚 $t_{20}$ よりも素子分離トレンチの酸化膜厚 $t_{21}$ を厚くしている。つまり、素子分離用トレンチ110の内面に、トレンチゲート電極用ゲート酸化膜27よりも厚いシリコン酸化膜111を形成するとともに当該シリコン酸化膜111の内面にトレンチゲート電極28を構成する膜と同一のポリシリコン膜112を形成している。

#### 【0075】

そのために製造工程において、図32に示すようにトレンチ26, 110を形成した後に、図33に示すように、トレンチ110の内壁に対し高濃度イオンを選択的に注入する

50



。その後熱酸化によりトレンチ 26, 110 の内壁にシリコン酸化膜を形成する。この熱酸化において、選択的にイオン注入した箇所において酸化が加速されて図 30, 31 に示すようにトレンチゲートの酸化膜厚  $t_{20}$  よりも素子分離トレンチの酸化膜厚  $t_{21}$  を厚くすることができる。

【0076】

このように、トレンチ 110 の内壁に対し高濃度イオンを選択的に注入することにより加速酸化効果によりトレンチゲートの酸化膜厚  $t_{20}$  よりも素子分離トレンチの酸化膜厚  $t_{21}$  を厚くする。これにより、素子分離耐圧を確保し、トレンチゲートを利用した低オン抵抗化を実現しながら、トレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することによって、安価で、高品質の IC を生産できる。

10

【0077】

以上のごとく本実施形態においては、半導体基板としてのシリコン層 3 における素子形成領域の周囲に形成した素子分離用トレンチ 110 の内面に、トレンチゲート電極用ゲート絶縁膜 (27) よりも厚い絶縁膜 (111) を形成するとともに当該膜 (111) の内面にトレンチゲート電極 28 を構成する膜と同一の膜 (112) を形成した。よって、素子分離耐圧を確保しつつトレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することが可能となる。

【0078】

この構成は第 1 の実施形態に限ることなく第 2 ~ 第 7 の各実施形態において適用することができる。

20

(第 10 の実施の形態)

次に、第 10 の実施の形態を、第 9 の実施の形態との相違点を中心に説明する。

【0079】

図 34 に示すように、トレンチ 26, 110 を形成するとともにトレンチ 26, 110 の内壁にシリコン酸化膜 120 を形成した後に、図 35 に示すように、マスク 125 でトレンチ 110 内のシリコン酸化膜 120 を覆い、かつ、トレンチ 26 内のシリコン酸化膜 120 を露出させる。この状態でトレンチ 26 内のシリコン酸化膜 120 をエッチングして所定の厚さ（約 300 ）にする。その後、トレンチ 26, 110 内にポリシリコンを埋め込む。これにより、図 30, 31 に示すようにトレンチゲートの酸化膜厚  $t_{20}$  よりも素子分離トレンチの酸化膜厚  $t_{21}$  を厚くすることができる。

30

【0080】

以上のごとく本実施形態においては、トレンチ 26, 110 の内壁にシリコン酸化膜 120 を形成した後に、マスク 125 を用いてトレンチ 26 内のシリコン酸化膜 120 をエッチングして所定の厚さ（約 300 ）にする。これにより、素子分離耐圧を確保し、トレンチゲートを利用した低オン抵抗化を実現しながら、トレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することによって、安価で、高品質の IC を生産できる。

40

(第 11 の実施の形態)

次に、第 11 の実施の形態を、第 8 の実施の形態との相違点を中心に説明する。

【0081】

図 36 には、図 28 に代わる本実施形態における横型 MOS トランジスタの平面を示す。図 36 の A - A 線での縦断面を図 37 に示す。

本実施形態においては、横型 MOS トランジスタの周囲に素子分離用トレンチを二重に形成している。つまり、横型 MOS トランジスタの周囲にトレンチ 130 を形成するとともに、そのトレンチ 130 の外方にトレンチ 131 を形成している。

【0082】

詳しくは、素子分離用トレンチ 130 の内壁にシリコン酸化膜 132 が形成されるとと

50

もにその内方にポリシリコン膜 133 が充填されている。同様に、素子分離用トレンチ 131 の内壁にシリコン酸化膜 134 が形成されるとともにその内方にポリシリコン膜 135 が充填されている。

【0083】

このように、横型 MOS トランジスタの周囲に素子分離用トレンチを二重に形成することにより、レイアウトのみで分離耐圧を向上させることができる。

なお、横型 MOS トランジスタの周囲に素子分離用トレンチを二重に形成したが、三重、四重といったように更に多重に形成してもよく、要は二重以上に形成することによりレイアウトのみで分離耐圧を向上させることができる。

【0084】

以上のごとく本実施形態においては、横型 MOS トランジスタの周囲に素子分離用トレンチを二重以上に形成している。これにより、素子分離耐圧を確保し、トレンチゲートを利用した低オン抵抗化を実現しながら、トレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することによって、安価で、高品質の IC を生産できる。

【0085】

つまり、半導体基板としてのシリコン層 3 における素子形成領域の周囲に形成する素子分離用トレンチを二重以上設け、各トレンチ 130, 131 の内面に、トレンチゲート電極用ゲート絶縁膜 (27) と同一の絶縁膜 (132, 134) を形成するとともに当該膜 (132, 134) の内面にトレンチゲート電極 28 を構成する膜と同一の膜 (133, 135) を形成した。よって、素子分離耐圧を確保しつつトレンチゲート用の部材（トレンチ、ゲート絶縁膜、トレンチゲート電極）とトレンチ分離用の部材（トレンチ、絶縁膜、絶縁膜の内方に配する膜）を同時に形成することができる。この構成は第 1 の実施形態に限ることなく第 2 ~ 第 7 の各実施形態において適用することができる。

【0086】

次に、上記第 3, 4 の実施形態から把握できる技術思想を以下に記載する。

(イ) 第 1 導電型の半導体基板 (3) における主表面 (3a) での表層部に形成された第 2 導電型のベース領域 (20, 21) と、

前記ベース領域 (20, 21) 内における前記主表面 (3a) での表層部に前記ベース領域 (20, 21) よりも浅く形成された第 1 導電型のソース領域 (22) と、

前記主表面 (3a) での表層部において前記ベース領域 (20, 21) とは離間した位置に形成された第 1 導電型のドレイン領域 (25) と、

前記半導体基板 (3) の主表面 (3a) から掘られ、その平面構造として前記ソース領域 (22) からドレイン領域 (25) に向かう方向においてソース領域 (22) とドレイン領域 (25) との間のベース領域 (20) を貫通するように形成されたトレンチ (26) と、

前記トレンチ (26) の内面においてゲート絶縁膜 (27) を介して形成されたトレンチゲート電極 (28) と、

前記主表面 (3a) の上にゲート絶縁膜 (30) を介して形成されたプレーナゲート電極 (31) と、

を備えた半導体装置の製造方法であって、

第 1 導電型の半導体基板 (3) の主表面 (3a) にトレンチ (26) を形成する工程と、

前記トレンチ (26) の内壁を含む前記半導体基板 (3) の上にゲート絶縁膜 (27, 30) を形成する工程と、

前記トレンチ (26) の内壁の表層部のチャネル領域となる部位に対し第 1 導電型の元素をイオン注入する工程と、

前記トレンチ (26) の内面においてゲート絶縁膜 (27) を介してトレンチゲート電極 (28) を形成するとともに、前記主表面 (3a) の上にゲート絶縁膜 (30) を介してプレーナゲート電極 (31) を形成する工程と、

10

20

30

40

50

第2導電型のベース領域(21)を形成するとともにプレーナゲート電極(28)をマスクとしたイオン注入にて第1導電型のソース領域(22)を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【0087】

この半導体装置の製造方法においては、第1導電型の半導体基板の主表面にトレンチを形成する。そして、トレンチの内壁を含む半導体基板の上にゲート絶縁膜を形成する。さらに、トレンチの内壁の表層部のチャンネル領域となる部位に対し第1導電型の元素をイオン注入する。さらには、トレンチの内面においてゲート絶縁膜を介してトレンチゲート電極を形成するとともに、主表面の上にゲート絶縁膜を介してプレーナゲート電極を形成する。そして、第2導電型のベース領域を形成するとともにプレーナゲート電極をマスクとしたイオン注入にて第1導電型のソース領域を形成する。その結果、請求項2に記載の半導体装置を得ることができる。

(口)第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(20, 21)と、

前記ベース領域(20, 21)内における前記主表面(3a)での表層部に前記ベース領域(20, 21)よりも浅く形成された第1導電型のソース領域(22)と、

前記主表面(3a)での表層部において前記ベース領域(20, 21)とは離間した位置に形成された第1導電型のドレイン領域(25)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記ソース領域(22)からドレイン領域(25)に向かう方向においてソース領域(22)とドレイン領域(25)との間のベース領域(20)を貫通するように形成されたトレンチ(26)と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介して形成されたトレンチゲート電極(28)と、

前記主表面(3a)の上にゲート絶縁膜(30)を介して形成されたプレーナゲート電極(31)と、

を備えた半導体装置の製造方法であって、

第1導電型の半導体基板(3)の主表面(3a)にトレンチ(26)を形成する工程と

、前記トレンチ(26)の内壁を含む前記半導体基板(3)の上にゲート絶縁膜(27, 30)を形成する工程と、

前記トレンチ(26)の内面においてゲート絶縁膜(27)を介して第1導電型の元素をドーブしたトレンチゲート電極(26)を形成するとともに、前記主表面(3a)の上にゲート絶縁膜(30)を介してプレーナゲート電極(31)を形成する工程と、

第2導電型のベース領域(21)を形成するとともにプレーナゲート電極(28)をマスクとしたイオン注入にて第1導電型のソース領域(22)を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【0088】

この半導体装置の製造方法においては、第1導電型の半導体基板の主表面にトレンチを形成する。そして、トレンチの内壁を含む半導体基板の上にゲート絶縁膜を形成する。さらに、トレンチの内面においてゲート絶縁膜を介して第1導電型の元素をドーブしたトレンチゲート電極を形成するとともに、主表面の上にゲート絶縁膜を介してプレーナゲート電極を形成する。そして、第2導電型のベース領域を形成するとともにプレーナゲート電極をマスクとしたイオン注入にて第1導電型のソース領域を形成する。その結果、ドーブした第1導電型の元素を基板側に拡散させることにより請求項2に記載の半導体装置を得ることができる。

【図面の簡単な説明】

【0089】

【図1】実施の形態における半導体装置の縦断面図。

【図2】第1の実施の形態における横型パワーMOSトランジスタの平面図。

10

20

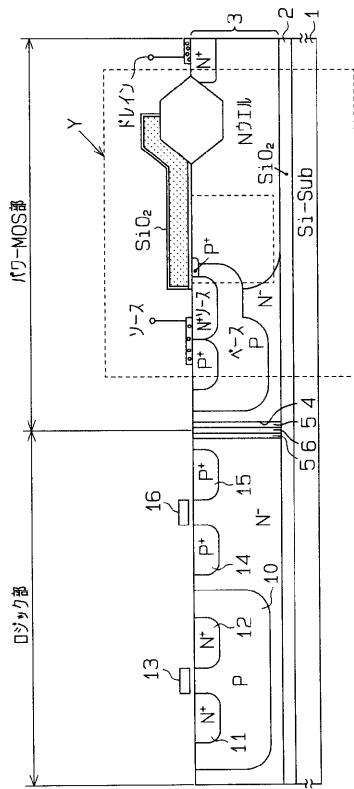
30

40

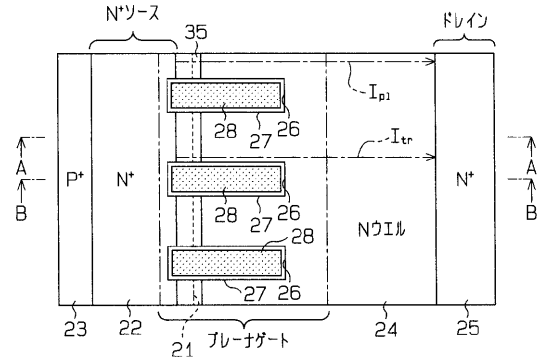
50

- 【図 3】図 2 の A - A 線での縦断面図。
- 【図 4】図 2 の B - B 線での縦断面図。
- 【図 5】半導体装置の製造工程を説明するための縦断面図。
- 【図 6】( a ) , ( b ) , ( c ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 7】( a ) , ( b ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 8】( a ) , ( b ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 9】半導体装置の製造工程を説明するための縦断面図。
- 【図 10】濃度分布を示す図。
- 【図 11】オン抵抗と耐圧の測定結果を示す図。
- 【図 12】第 2 の実施の形態における横型パワー MOS トランジスタの製造工程を説明するための縦断面図。 10
- 【図 13】( a ) , ( b ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 14】第 3 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 15】図 14 の A - A 線での縦断面図。
- 【図 16】図 14 の B - B 線での縦断面図。
- 【図 17】図 14 の C - C 線での縦断面図。
- 【図 18】( a ) , ( b ) , ( c ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 19】( a ) , ( b ) は半導体装置の製造工程を説明するための縦断面図。
- 【図 20】第 5 の実施の形態における横型パワー MOS トランジスタの縦断面図。
- 【図 21】横型パワー MOS トランジスタの縦断面図。 20
- 【図 22】第 6 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 23】図 22 の A - A 線での縦断面図。
- 【図 24】図 22 の B - B 線での縦断面図。
- 【図 25】オン抵抗と耐圧の測定結果を示す図。
- 【図 26】第 7 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 27】図 26 の A - A 線での縦断面図。
- 【図 28】第 8 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 29】図 28 の A - A 線での縦断面図。
- 【図 30】第 9 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 31】図 30 の A - A 線での縦断面図。 30
- 【図 32】半導体装置の製造工程を説明するための縦断面図。
- 【図 33】半導体装置の製造工程を説明するための縦断面図。
- 【図 34】第 10 の実施の形態における半導体装置の製造工程を説明するための縦断面図。
- 【図 35】半導体装置の製造工程を説明するための縦断面図。
- 【図 36】第 11 の実施の形態における横型パワー MOS トランジスタの平面図。
- 【図 37】図 36 の A - A 線での縦断面図。
- 【図 38】背景技術を説明するための濃度分布を示す図。
- 【符号の説明】
- 【0090】 40
- 3 ... N<sup>-</sup>シリコン層、3 a ... 主表面、20 ... P ベース領域、21 ... P ベース領域、22 ... N<sup>+</sup>ソース領域、25 ... N<sup>+</sup>ドレイン領域、26 ... トレンチ、27 ... ゲート酸化膜、28 ... トレンチゲート電極、30 ... ゲート酸化膜、31 ... プレーナゲート電極、33 ... ソース電極、34 ... ドレイン電極、35 ... P<sup>+</sup>領域、60 ... P<sup>-</sup>領域、70 ... P 型シリコン層、70 a ... 主表面、71 ... N ウェル領域、72 ... ベース領域、80 ... アルミ配線、81 ... アルミ配線、100 ... 素子分離用トレンチ、101 ... シリコン酸化膜、102 ... ポリシリコン膜、103 ... シリコン酸化膜、110 ... 素子分離用トレンチ、111 ... シリコン酸化膜、112 ... シリコン酸化膜、130 ... 素子分離用トレンチ、131 ... 素子分離用トレンチ、132 ... シリコン酸化膜、133 ... ポリシリコン膜、134 ... シリコン酸化膜、135 ... ポリシリコン膜。 50

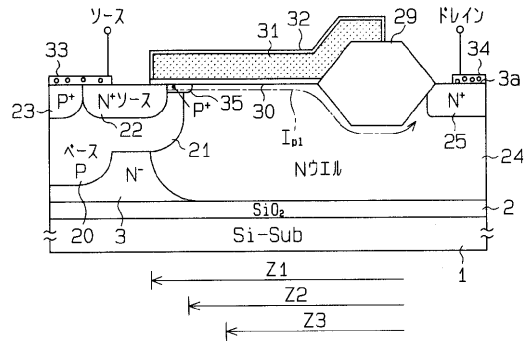
【 図 1 】



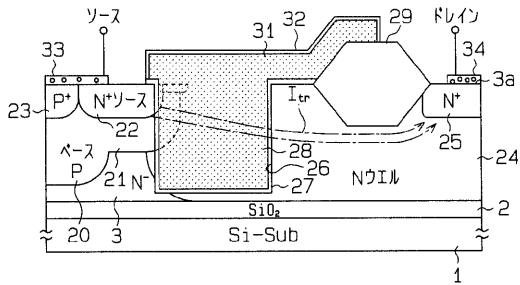
【 図 2 】



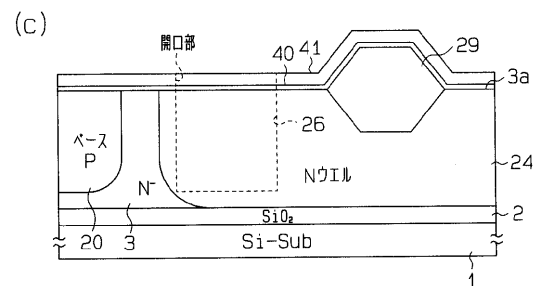
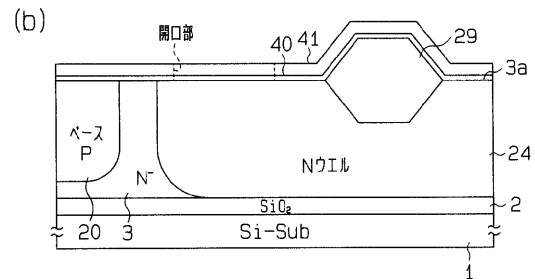
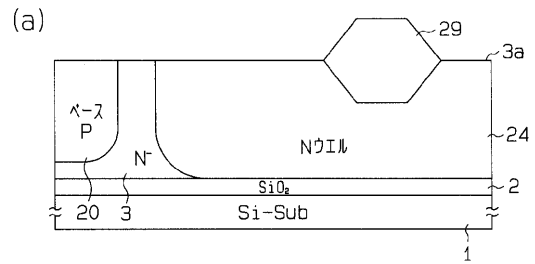
【 図 3 】



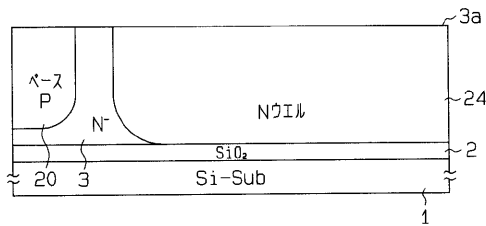
【 図 4 】



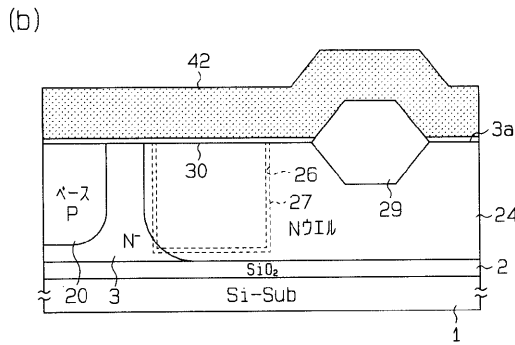
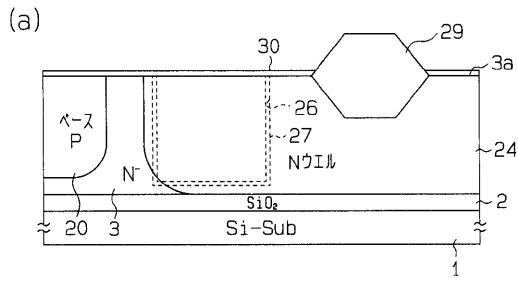
【 図 6 】



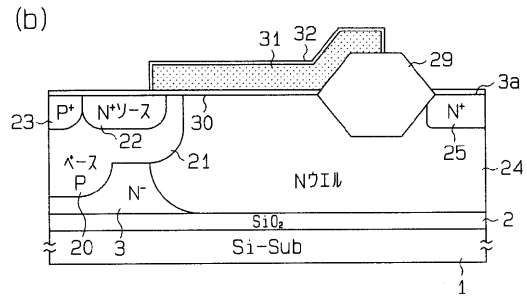
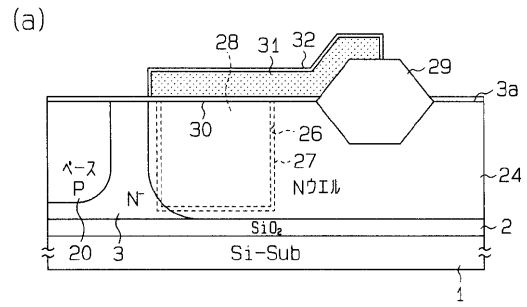
【 図 5 】



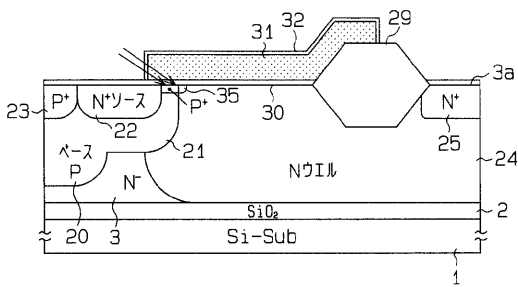
【図7】



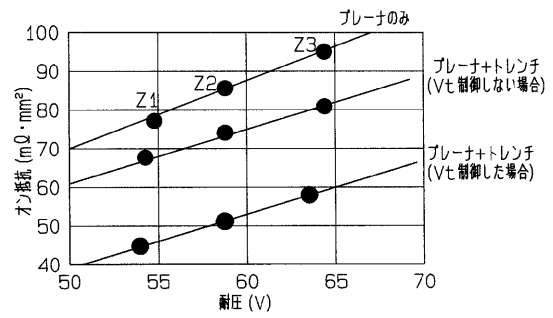
【図8】



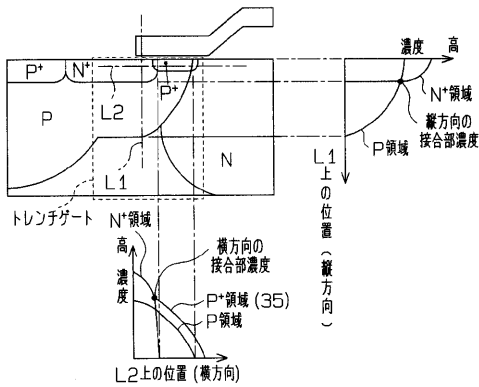
【図9】



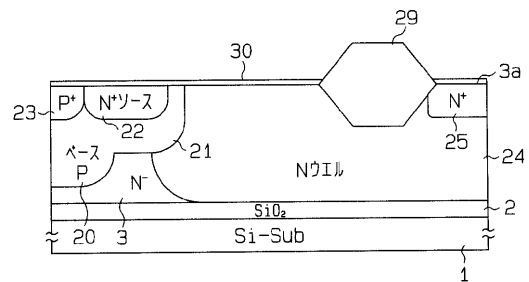
【図11】



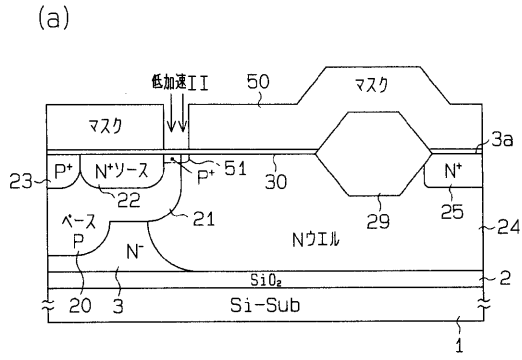
【図10】



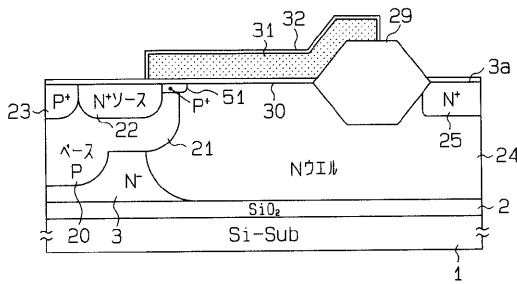
【図12】



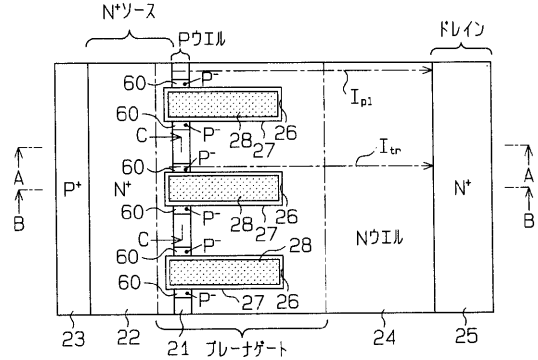
【 図 1 3 】



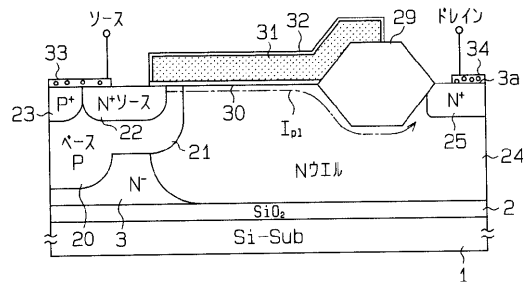
(b)



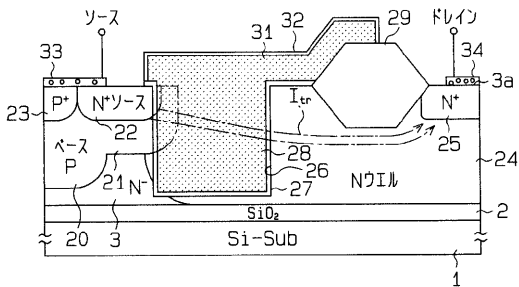
【 図 1 4 】



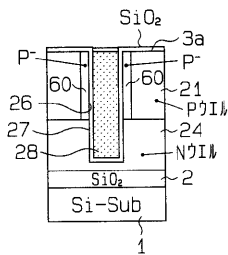
【 図 1 5 】



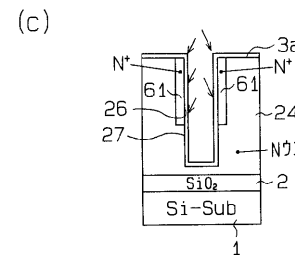
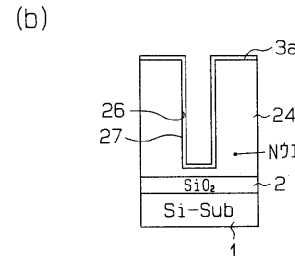
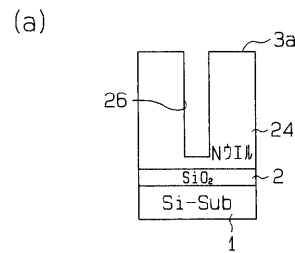
【 図 1 6 】



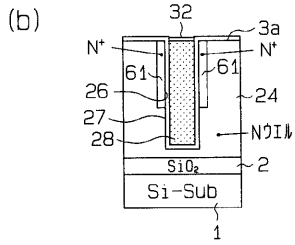
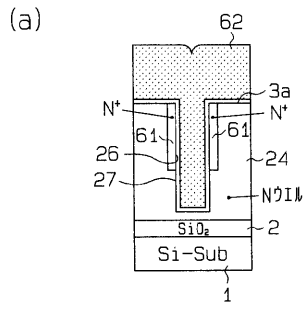
【 図 1 7 】



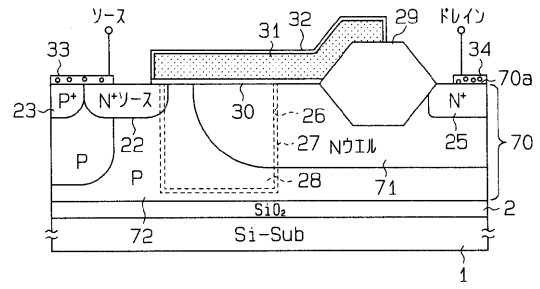
【 図 1 8 】



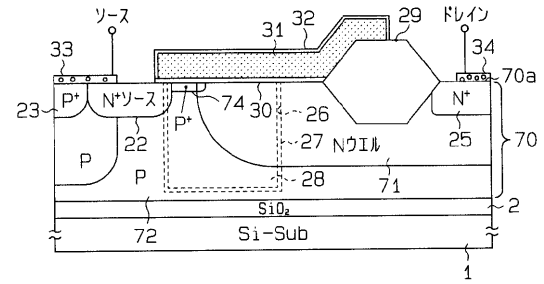
【図19】



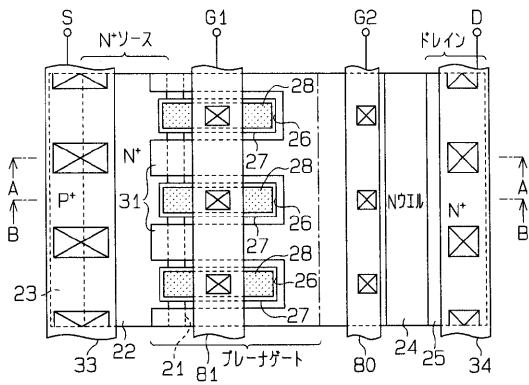
【図20】



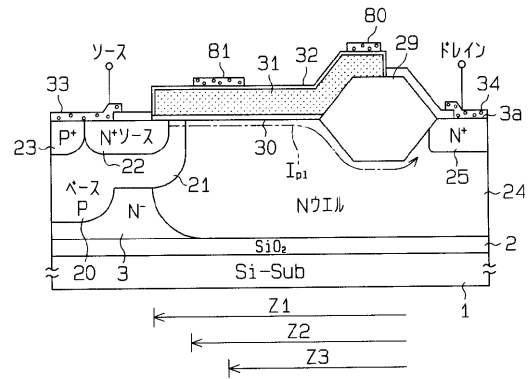
【図21】



【図22】

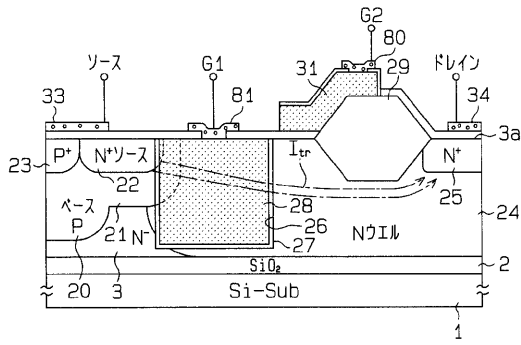


【図23】

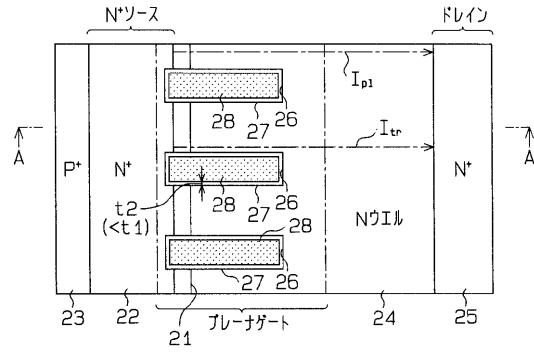




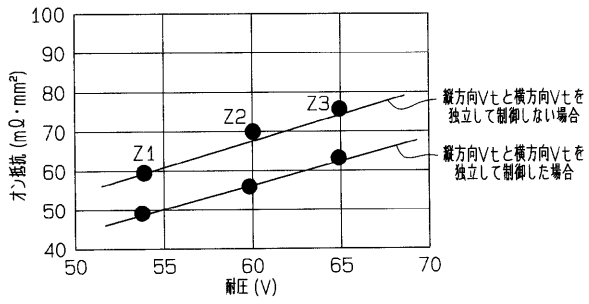
【 図 2 4 】



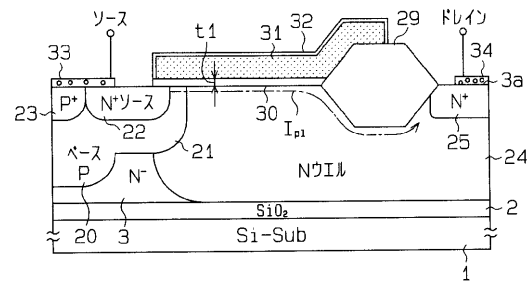
【 図 2 6 】



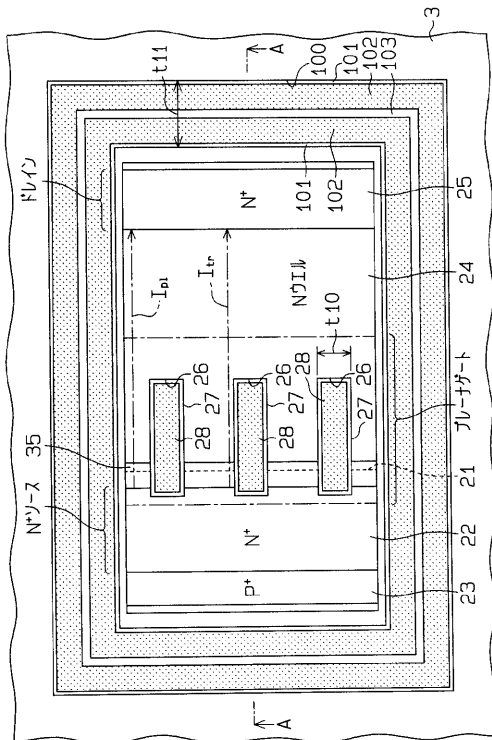
【 図 2 5 】



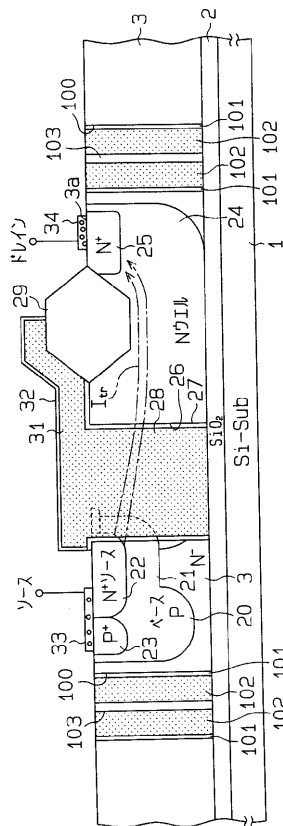
【 図 2 7 】



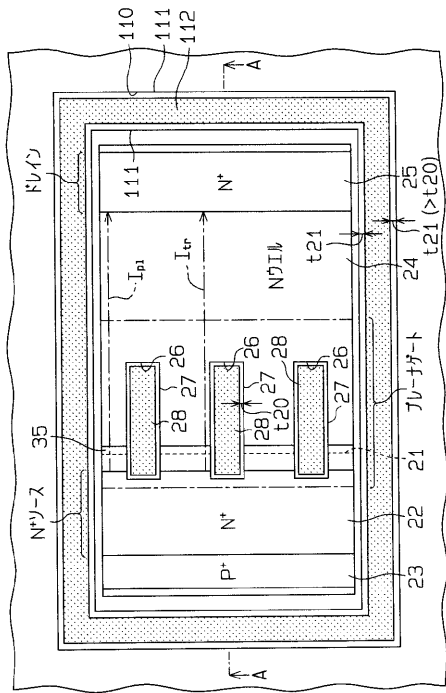
【 図 2 8 】



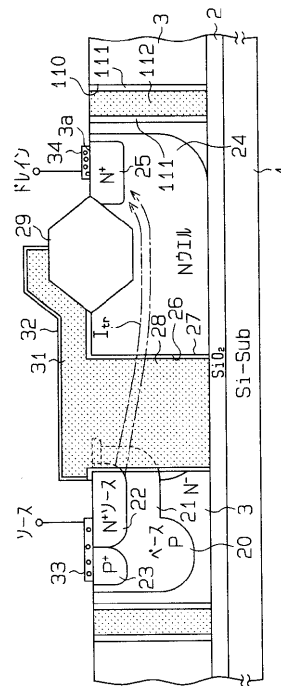
【 図 2 9 】



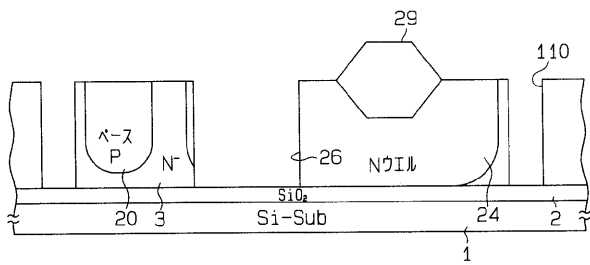
【図 30】



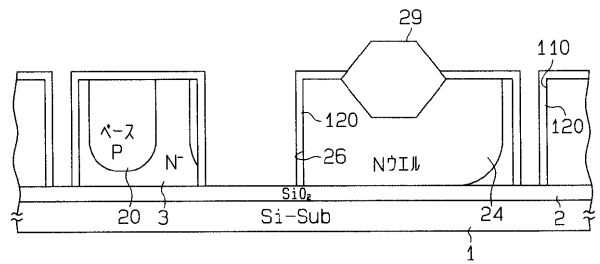
【図 31】



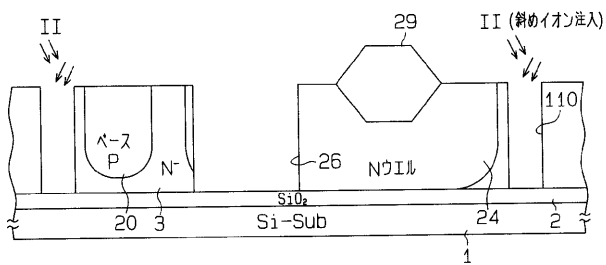
【図 32】



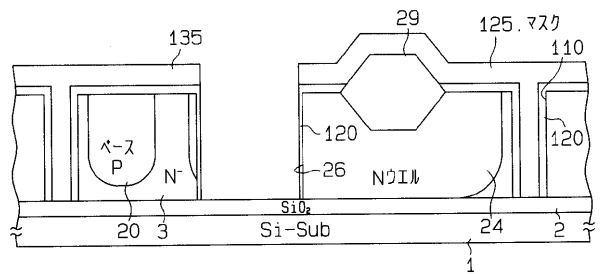
【図 34】



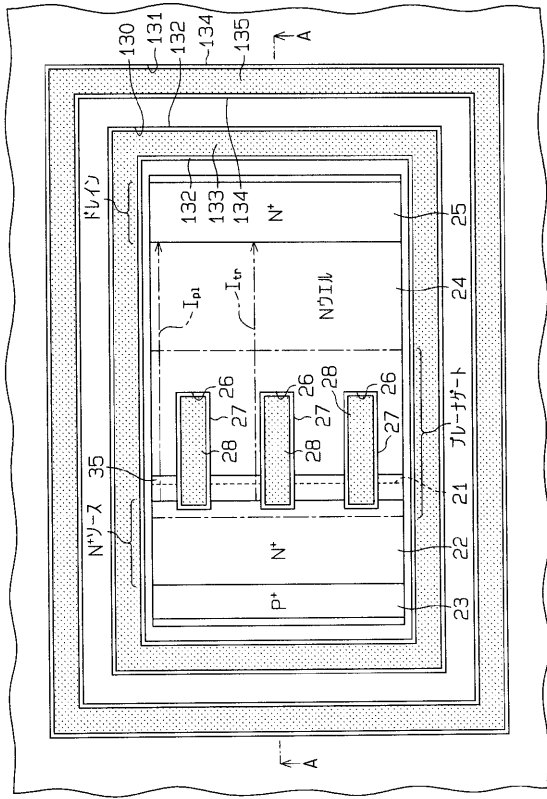
【図 33】



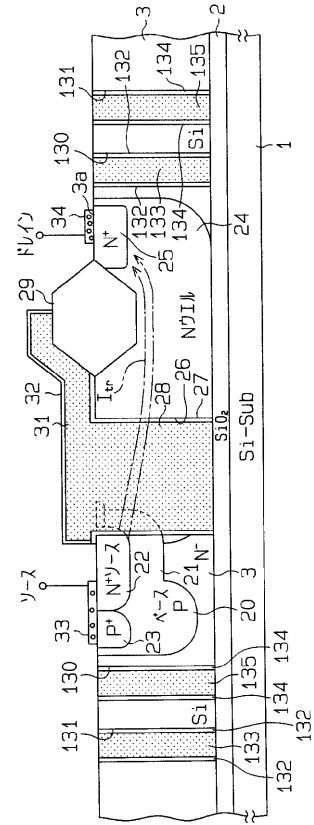
【図 35】



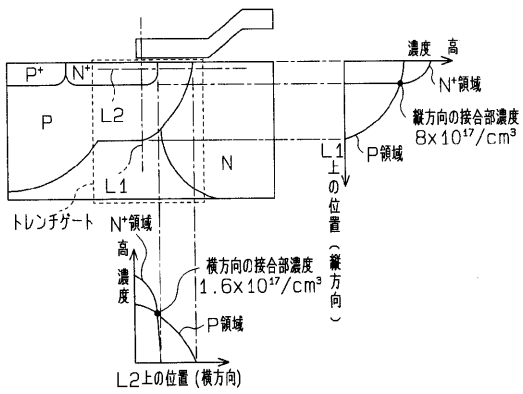
【図 36】



【図 37】



【図 38】



## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 7 S
	H 0 1 L 29/78	6 1 7 N
	H 0 1 L 21/76	L

(72)発明者 水野 祥司  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 中野 敬志  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 山田 明  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5F032 AA01 AA13 AA35 AA45 AA47 AA78 BA01 BB01 CA03 CA17  
CA20 CA24 DA01 DA23 DA24 DA34 DA44 DA53 DA74 DA77  
5F048 AA08 AB03 AB10 AC04 AC06 BA16 BB05 BB19 BC03 BC18  
BE04 BG06  
5F110 AA07 BB04 BB12 CC02 CC10 DD05 DD13 EE09 EE22 EE24  
EE29 EE48 FF02 FF23 GG02 GG12 GG22 GG36 GG52 HJ13  
HJ14 HM12 HM15 NN62 NN65 NN66 QQ08 QQ11  
5F140 AA30 AA38 AC36 BB01 BB05 BB13 BC07 BC08 BC09 BD19  
BE07 BF01 BF04 BF42 BF43 BF44 BF47 BF51 BG20 BG27  
BG31 BG38 BH13 BH17 BH30 BH38 BH43 BH47 BK13 BK22  
CA03 CB04 CB08 CF00