



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99800556.8

[45] 授权公告日 2004 年 3 月 31 日

[11] 授权公告号 CN 1144377C

[22] 申请日 1999.4.19 [21] 申请号 99800556.8

[30] 优先权

[32] 1998.4.18 [33] KR [31] 1998/13956

[86] 国际申请 PCT/KR99/00187 1999.4.19

[87] 国际公布 WO99/55011 英 1999.10.28

[85] 进入国家阶段日期 1999.12.15

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金宰烈 朴昌洙 姜熙原 孔骏镇

卢宗善 梁景喆

审查员 段成云

[74] 专利代理机构 北京市柳沈律师事务所

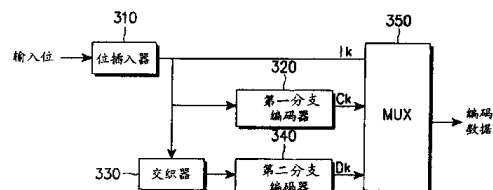
代理人 马 莹

权利要求书 2 页 说明书 28 页 附图 31 页

[54] 发明名称 信道编码装置

[57] 摘要

公开了一种在通信系统的递归系统编码器中采用具有终止效果的帧结构执行信道编码的装置。所述信道编码装置具有：一插入器，用于将至少一个预定位插入在输入数据位流的预定位置；一第一分支编码器，用于对所述位插入的数据位流进行编码，以产生第一奇偶校验符号流，并且输出所产生的作为第一奇偶校验符号流的奇偶校验符号；一交织器，用于对所述位插入的数据位流进行交织；和一第二分支编码器，用于对所述交织器的输出进行编码，以产生第二奇偶校验符号流，并且输出所产生的作为第二奇偶校验符号流的奇偶校验符号。



1. 一种信道编码装置，包括：
 - 一插入器，用于将至少一个预定位插入在输入数据位流的预定位位置；
 - 5 一第一分支编码器，用于对所述位插入的数据位流进行编码，以产生第一奇偶校验符号流，并且输出所产生的作为第一奇偶校验符号流的奇偶校验符号；
 - 一交织器，用于对所述位插入的数据位流进行交织；和
 - 一第二分支编码器，用于对所述交织器的输出进行编码，以产生第二奇偶校验符号流，并且输出所产生的作为第二奇偶校验符号流的奇偶校验符号。
- 10 2. 如权利要求1所述的信道编码装置，其中每一个所述第一和第二分支编码器都是一递归系统信道编码器。
3. 如权利要求1所述的信道编码装置，其中所述预定位插入位置分布是要输入到各个分支编码器的数据位流的后面部分。
- 15 4. 如权利要求1所述的信道编码装置，其中所述预定位插入位置以规则的间隔分布在输入数据位流中，并且与分支编码器中的存储器数目同样多的插入位被连续插入。
5. 如权利要求1所述的信道编码装置，其中所述信道编码器还包括：
 - 一选择器，用于选择所述位插入器的输出和所述信道编码器的输出，并
 - 20 将所选择的输出作为信道编码符号流输出。
6. 如权利要求5所述的信道编码装置，其中所述选择器是一多路复用器，该多路复用器顺序选择所述插入器的输出、所述第一奇偶校验符号流和所述第二奇偶校验符号流，并将所选择值作为信道编码符号流输出。
7. 如权利要求5所述的信道编码装置，其中每一个所述第一和第二分支
- 25 编码器都是一递归系统信道编码器。
8. 如权利要求5所述的信道编码装置，其中所述预定位插入位置分布是要输入到各个分支编码器的数据位流的后面部分。
9. 如权利要求1所述的信道编码装置，其中所述预定位为零位。
10. 如权利要求1所述的信道编码装置，其中所述信道编码器还包括：
 - 一多路复用器，用于对插入在从所述位插入器输出的数据位流中的预定
 - 30 位置的位进行穿孔，并将所述用于尾部位的奇偶校验符号插入在穿孔位置，

以输出信道编码数据。

11. 如权利要求 10 所述的信道编码装置, 其中所述多路复用器对插入的预定位进行穿孔, 并将与穿孔位数目同样多的奇偶校验符号插入在数据位流中的所述穿孔的位位置, 以便输出作为信道编码数据的输入帧大小的数据位流、排除了插入在穿孔位置的第一奇偶校验符号的第一奇偶校验符号、和排除了插入在穿孔位置的第二奇偶校验符号的第二奇偶校验符号。

12. 如权利要求 11 所述的信道编码装置, 其中由所述多路复用器插入在所述数据位流中的所述第一奇偶校验符号的一部分包括位于所述第一奇偶校验符号流的最后部分的符号。

13. 如权利要求 10 所述的信道编码装置, 其中所述多路复用器对插入的预定位进行穿孔, 并将与穿孔位数目同样多的奇偶校验符号插入在数据位流中的所述穿孔的位位置, 以便输出作为信道编码数据的输入帧大小的数据位流、排除了插入在穿孔位置的第一奇偶校验符号的第一奇偶校验符号、和排除了插入在穿孔位置的第二奇偶校验符号的第二奇偶校验符号。

14. 如权利要求 11 所述的信道编码装置, 其中所述插入符号包括分布在所述第一奇偶校验符号流的后面部分的符号和所述第一分支编码器的奇偶校验符号。

信道编码装置

5

技术领域

本发明一般涉及用于以帧为单位进行数据通信的装置和方法，特别涉及信道编码装置和方法。

背景技术

10

在用于处理声音、字符、图像和视频信号的通信系统中，数据通常是以连续的帧传送的。此外，在用于进行这样的帧数据通信的系统中，还应采用用于纠错的信道编码器来编码帧单元中的数据。在这种情况下，该信道编码器将尾部位(tail bit)插入在数据帧末端，以将卷积编码器复位到已知状态，并使解码器采用此信息有效地对各帧解码。一种 IS-95 系统通常采用非递归(non-recursive)系统卷积编码器，将与串行时延数据序列的分支(tap)数目相同量的一序列零(0)位加到每帧的末端，以实现帧终止，因为输入位被反馈给延迟器。

15

图 1 是作为通常的递归系统编码器的 turbo 编码器的方框图。该 turbo 编码器采用两个简单的分支编码器(constituent encoder)将 N 位输入帧编码为奇偶校验符号，并具有串行或并行结构。此外，该 turbo 编码器将递归系统卷积代码用作分支代码。

20

图 1 所示的是传统的并行 turbo 编码器，这是由 Berrou 发表公开的美国专利 No. 5,446,747，可作为本发明的参考。图 1 的 turbo 编码器包括设置于第一分支编码器 110 和第二分支编码器 130 之间的交织器 120。交织器 120 具有与输入数据位的帧长度 N 相同的大小，并改变要输入到第二分支编码器 130 的数据位的排列，以减少奇偶校验位之间的相关性。

25

第一分支编码器 110 对输入数据位进行编码，而交织器 120 按照特定规则来交织该输入数据位，以改变该数据位的排列。第二分支编码器 130 对交织器 120 的输出进行编码。分支编码器 110 和 130 具有相同的结构。

30

图 2 是说明图 1 的递归系统卷积编码器中的终止方案(termination scheme)的图。要了解更详细的信息请参见 D. Divsalar 和 F. Pollara 的《turbo 代码的

设计(On the Design of Turbo codes)», 该文于 1995 年 11 月 15 日发表于《TDA 进展报道 42-123 (TDA Progress Report)», 并且也可以作为本发明的参考。这里, 输入到第一和第二分支编码器 110 和 130 的一帧数据被假定为 20 位数据。在图 2 中, D1-D4 表示延迟器, 而 XOR1-XOR6 表示异或门。

- 5 参照图 2, 为进行编码, 开关 SW1 接通, 而开关 SW2 断开。然后, 20 位的输入帧数据顺序施加到延迟器 D1-D4, 并由异或门 XOR1-XOR6 进行异或, 从而在 XOR6 输出编码位。当以这种方式将 20 个数据位都进行了编码时, 开关 SW1 断开, 而开关 SW2 接通, 以终止帧。然后, 异或门 XOR1-XOR4 对延迟器的输出数据位和相应的反馈数据位分别进行异或, 从而输出零位。
- 10 所得的零位再一次顺序输入到延迟器 D1-D4 并存储在其中。这些输入到延迟器 D1-D4 的零位变为尾部位, 并且这些尾部位也由分支编码器编码, 然后输出施加到多路复用器的尾部奇偶校验位。

- 所述多路复用器对从分支编码器输出的编码数据位和尾部奇偶校验位多路复用。所产生的尾部位数目取决于包含在分支编码器 110 和 130 中的延迟器的数目。图 2 中的终止方案对每帧产生 4 个尾部位和用于各尾部位的 4 个编码位(尾部奇偶校验位), 不期望地增加了最终编码位的数目, 这就导致了位速率的下降。也就是说, 当将编码速率确定为(输入数据位数)/(输出数据位数)时, 具有图 1 结构的 turbo 代码的编码速率为(输入数据位数)/{(第一分支编码器编码数据位的数目+第一尾部位+第一尾部奇偶校验位) + (第二分支编码器编码数据位的数目+第二尾部奇偶校验位)}。因此, 在图 1 中, 由于帧数据由 20 位组成并且延迟器的数目为 4, 故位速率变为 $20/\{(20)+(20+4+4)+(20+4+4)\}$ 。
- 15 这样的递归系统卷积编码器的性能依赖于缀尾方法(tailing method), 因为很难完美地对 turbo 代码缀尾。
- 20 25

发明内容

因此, 本发明的一个目的是提供一种在移动系统的递归系统编码器中采用具有终止作用的帧结构来执行信道编码的装置和方法。

- 30 本发明的另一个目的是提供一种递归系统信道编码装置和方法, 用于在信道编码之前将具有特定值的位插入数据帧中预定位置, 以获得终止效果。

本发明的另一个目的是提供一种递归系统信道编码装置和方法, 用于在

信道编码之前将具有特定值的位插入输入帧数据位流的预定位置，对包括插入位的输入数据位进行信道编码，在输入帧数据位流的位插入位置处对超出帧长度的插入位和编码数据位进行穿孔(puncturing)。

5 本发明的另一个目的是提供一种信道编码装置和方法，用于将具有特定值的位插入帧数据的预定位置，以对包括插入位的输入数据位进行编码，采用递归系统分支编码器产生编码符号和尾部奇偶校验，并对插入位进行穿孔，以将尾部奇偶校验插入在穿孔的插入位位置处。

为达到上述目的，提供了一种信道编码装置。在该信道编码装置中，一个位插入器将具有特定值的位插入数据位中具有较高差错发生概率的位位置。
10 一分支编码器对所述位插入器的输出编码。一选择器选择所述位插入器的输出和所述分支编码器的输出，并将所选值作为信道编码数据输出。

具体来讲，本发明提供了一种信道编码装置，其包括：一插入器，用于将至少一个预定位插入在输入数据位流的预定位置；一第一分支编码器，用于对所述位插入的数据位流进行编码，以产生第一奇偶校验符号流，并且输出所产生的作为第一奇偶校验符号流的奇偶校验符号；
15 一交织器，用于对所述位插入的数据位流进行交织；和一第二分支编码器，用于对所述交织器的输出进行编码，以产生第二奇偶校验符号流，并且输出所产生的作为第二奇偶校验符号流的奇偶校验符号。

20 附图说明

从下列参照附图的详细描述中，本发明的上述和其它目的、特征和优点将变得更加明白，附图中相同的标号表示相同的部分。在附图中：

图 1 是说明用于通信系统的传统信道编码器的图；

图 2 是说明图 1 的分支编码器(110 和 130)的图；

25 图 3 是说明按照本发明第一实施例的信道编码器的图；

图 4 是图 3 的位插入器(310)的详图；

图 5 是说明图 3 的分支编码器(320 和 340)的详图；

图 6 是解释按照所述第一实施例的、随时间的经过而进行的位处理过程的图；

30 图 7 是说明按照本发明第二实施例的信道编码器的图；

图 8 是说明图 7 的多路复用器(750)的详图；

图 9 是解释按照所述第二实施例的、随时间的经过而进行的位处理过程的图；

图 10 是说明按照本发明第三实施例的信道编码器的图；

图 11 是说明图 10 的分支编码器(1020 或 1040)的详图；

5 图 12 是说明图 10 的多路复用器(1050)的详图；

图 13 是解释按照所述第三实施例的、随时间的经过而进行的位处理过程的图；

图 14 是说明按照本发明第四实施例的信道编码器的图；

图 15A 是说明图 14 的位插入器(1410)的详图；

10 图 15B 是说明图 14 的分支编码器(1420 或 1440)的详图；

图 16 是说明图 14 的多路复用器(1450)的详图；

图 17 是解释按照所述第四实施例的、随时间的经过而进行的位处理过程的图；

图 18 是说明按照本发明第五实施例的信道编码器的图；

15 图 19 是说明图 18 的位插入器(1810)的详图；

图 20 是说明图 18 的分支编码器(1820 或 1840)的详图；

图 21 是说明图 18 的多路复用器(1850)的详图；

图 22 是说明按照本发明第六实施例的信道编码器的图；

图 23 是说明图 22 的多路复用器(2250)的详图；

20 图 24 是说明按照本发明第七实施例的信道编码器的图；

图 25 是说明图 24 的多路复用器(2450)的详图；

图 26 是说明按照本发明第八实施例的信道编码器的图；

图 27 是说明图 26 的多路复用器(2650)的详图；

图 28 是说明按照本发明第九实施例的信道编码器的图；

25 图 29 是说明图 28 的位插入器(2810)的详图；和

图 30 是说明图 28 的多路复用器(2850)的详图。

具体实施方式

下面将参照附图描述本发明的优选实施例。在下面的描述中，公知的功能或结构没有被详细描述，以防它们以不必要的细节影响本发明。

这里所用的术语“数据位”是指没有被编码的数据，而术语“奇偶校验位”

是指由分支编码器编码的数据。

通常，在通信系统中，发送器采用信道编码器对发送数据编码并送出所编码的数据；然后由接收器对从发送器接收的数据解调，以将所接收数据转换为原始数据。这里，信道编码器以帧为单元对发送数据编码并产生尾部位，
5 这些尾部位被附加到发送数据的每帧，以指示帧的终止。本发明提出了一种在信道编码器中具有终止效果的帧结构。

所述具有终止效果的帧结构可用下列几种方式来实现：

第一，将与尾部位数目同样多的已知位插入一个信道帧中具有较高差
发生概率的位置处。这里，递归系统分支编码器可以不具有产生尾部位的结构。
10 差误概率是由实验方式确定的，并且插入位置应当对信道编码器和信道解码器都为已知。插入位位置可通过在呼叫建立过程中或在信道分配过程中发送相关消息来得知。要插入的已知位可以是即使不被传送也对通信性能影响极小的不重要的位。所述已知位还可以是用接收器预定的编码位或数据位。在此，它们被假定是零位。

15 第二，将与尾部位数目同样多的所述已知位插入所述信道帧中具有较高差误发生概率的位置处，其中插入的所述已知位的数目超过预定帧长度。采用分支编码器对位插入的数据位进行编码。然后，当输出信道编码数据时，超过信道编码数据的帧长度的位被在输入数据的位插入位置穿孔。这里，递归系统编码器不产生尾部位并且信道解码器应当预先知道位插入位置。

20 第三，在采用具有终止效果的帧结构产生信道编码信号的过程中，将与尾部位数目同样多的、所述已知的位插入所述信道帧中具有较高差误发生概率的位置处；分支编码器产生用于终止的尾部位和用于尾部位的编码数据，之后，在特定插入位置处对数据位穿孔，以将尾部位和用于尾部位的编码数据插入穿孔位插入位置。

25 第四，不产生所述尾部位，并且所述已知位插入在所述信道帧中具有较高差错发生概率的位置处。在位插入位置，多个编码数据位而不是插入位被重复发送。

第五，为了终止，将具有特定逻辑的位插入数据位中具有较高差错概率的位位置处。一分支编码器对位插入的数据位进行编码并产生附加到编码数
30 据位的尾部位。也就是说，该分支编码器通过位插入和尾部位附加来执行终止功能。

第六，执行与第五种方式中相同的操作。此外，在位插入位置处对插入位进行穿孔，并且，第一分支编码器在穿孔位置重复地发送最后 4 个尾部奇偶校验位。

5 第七，执行与第六种方式中相同的操作。此外，在位插入位置处对插入位进行穿孔，并且，第二分支编码器在穿孔位置重复地发送最后 4 个奇偶校验位。

第八，为了终止，将具有特定逻辑的位插入数据位中具有较高差错概率的位位置处。一分支编码器对位插入的数据位进行编码并内部产生附加到编码数据位的尾部位。

10 第九，为了终止，将具有特定逻辑的 6 位插入数据位中具有较高差错概率的位位置处。一位插入器在所述位插入位置对插入位穿孔。第一分支编码器在穿孔位置执行缀尾并对包括尾部位的数据位进行交织。当对第一分支编码器的输出编码时，第二分支编码器将超过帧长度的 6 位插入在穿孔的位插入位置。

15 现在，请参见下面使用上述位插入方法的九个不同的实施例。

第一实施例

按照本发明第一实施例的编码器不产生尾部位，而是在预定位置插入已知位以执行终止功能。在本实施例中，一个帧具有 16 个数据位，并将每个都为零的 8 个已知位代码插入帧中具有较高差错概率的位位置处。这里，位插入位置是通过在解码编码数据的过程中实验检测最多差错发生的位置而确定的。此外，turbo 编码器采用 1/3 的编码率。

20 在本实施例中，当采用具有 1/3 编码率的 turbo 编码器编码 24 位帧数据(16 个帧数据位加上 8 个已知位)时，在解码期间通过实验来确定具有较高差错概率的位置。具有相对较高差错概率的 8 位位置被确定，并在被确定位置将已知位插入在输入帧数据位。这里，解码器在解码插入了特定代码的编码帧数据时，了解位插入位置。

25 当已知位为零位时(实际上，“0”位是作为“-1”来发送的)，插入位置的零位在解码前被改变为大的负值(例如，-5)，以便增加可靠性。以此方式，解码器解码各位，即已知所述 24 位的 1/3 的 8 位，从而提高了性能。在这种情况下，由于帧变短而使性能提高。

图 3 是说明按照本发明第一实施例的、具有用于插入已知位的位插入器

的 turbo 编码器的图。位插入器 310 包括用于通过处理输入数据位来产生已知位的一位产生器，并通过将由该位产生器产生的已知位插入预定位插入位置来以帧为单位产生数据位。第一分支编码器 320 对从位插入器 310 输出的数据位进行编码。交织器 330 按照预定规则以帧为单位来交织从位插入器 310 5 输出的数据位，以改变数据位的排列(或顺序)。在本示例中，将一对角交织器用于交织器 330。第二分支编码器 340 对从交织器 330 输出的交织数据位以帧为单位进行编码。一递归系统卷积编码器可被用于所述第一和第二分支编码器 320 和 340。多路复用器(MUX)350 在一未描述的控制器的控制下，对位插入器 310、第一分支编码器 320 和第二分支编码器 340 的输出进行多路复 10 用。这里，位插入器 310 输出数据位流 I_k ，第一分支编码器 320 输出第一奇偶校验位 $P1_k$ ，而第二分支编码器 340 输出第二奇偶校验位 $P2_k$ 。

图 4 是说明图 3 的 turbo 编码器中的位插入器 310 的图。参照图 4，位产生器 430 产生要插入在数据位中的已知位。这里，假定这些已知位为零位。延迟器 412-426 可由如触发器(flip-flop)等的存储单元组成，并且可以具有串 15 行移位寄存器结构，用于按照位时钟来移位输入数据位。开关 432 在未描述的控制器的控制下进行切换，以选择延迟器 412-426 的输出。此外，开关 432 还在所述未描述的控制器的控制下，切换到从位产生器 430 输出的一已知位插入在数据位中的位置处的下一延迟器的输出。也就是说，当选择的已知位插入在数据位中时，开关 432 选择被延迟 1 位的数据位。开关 432 可由多路 20 复用器来实现。开关 434 在所述未描述的控制器的控制下切换到位产生器 430 和开关 432 的输出，以产生数据位 I_k 。开关 434 在所述控制器的控制下将已知位插入在输入数据位中的预定位处。

下面将参照图 4 描述在数据位中插入已知位的操作。由延迟器 412-426 按照位时钟来延迟输入数据位。首先，开关 432 选择输入数据位，而开关 434 25 连接到开关 432。然后，输入数据位通过开关 432 和 434 来输出。同时，如果位插入位置被确定，则在控制器的控制下，开关 432 连接到延迟器 412 的输出，而开关 434 连接到位产生器 430 的输出。结果，用于数据位的路径被切断，并且从位产生器 430 输出的零位插入在相应位位置。在数据位应当在插入零位之后连续输出的情况下，开关 434 再一次由控制器连接到开关 432。 30 也就是说，由于在插入零位之后选择一位延迟的数据位，可在预定位置插入零位而无数据位的丢失。

通过重复此过程而将零位插入在一帧的数据位中。当在插入零位之后接收到用于下一帧的数据位时，开关 432 连接到数据位输入节点，然后再次重复上面的过程。在数据位被编码用于通信的情况下，在输入到各分支编码器的数据位流的后面部分的差错概率相对较高。因此，从位产生器 430 输出的零位被插入的位置可大多位于数据位流的后面部分，例如如表 1 所示。

表 1

I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	<u>Ib1</u>	I12	I13	I14	<u>Ib2</u>	I15	I16	<u>Ib3</u>	<u>Ib4</u>	<u>Ib5</u>	<u>Ib6</u>	<u>Ib7</u>	<u>Ib8</u>
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

其中 Ix 表示数据位，而 Ibx 表示插入位。

在数据位流中插入已知位的原因是为了提高接收器方的解码性能。因此，最好将与尾部位数目一样多的已知位插入在信道帧中具有较高差错发生概率的位位置处。在多数情况下，具有较高差错发生概率的位位置分布在输入到分支编码器的数据位流的后面部分，如表 1 所示。因此，将已知位插入在输入到第一和第二分支编码器 320 和 340 的数据位流的后部。这里，对于第二分支编码器 340，已知位应当插入在从交织器 330 输出的交织数据位的后面部分。因此，位插入器 310 在将已知位插入提供给第二分支编码器 340 的数据位中时应当考虑这个情况。

从位插入器 310 输出的表 1 的数据位提供给第一分支编码器 320 和交织器 330。从交织器 330 输出的帧单元中的交织数据位被第二分支编码器 340 编码。图 5 示出了图 3 的第一和第二分支编码器 320 和 340 的结构。如图所示，第一和第二分支编码器 320 和 340 是递归系统卷积编码器。此外，分支编码器 320 和 340 具有不产生尾部位的结构，如图 5 所示。

第一分支编码器 320 对从位插入器 310 输出的表 1 的数据位进行编码。从第一分支编码器 320 输出的编码数据位如表 2 所示。

表 2

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	<u>Cb1</u>	C12	C13	C14	<u>Cb2</u>	C15	C16	<u>Cb3</u>	<u>Cb4</u>	<u>Cb5</u>	<u>Cb6</u>	<u>Cb7</u>	<u>Cb8</u>
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

其中 Cx 表示从第一分支编码器 320 输出的符号，而 Cbx 表示从第一分支编码器 320 输出的插入位的符号。这里所述的是 turbo 编码器 320 具有 1/3 的编码率的情况。

同时，交织器 330 对从位插入器 310 输出的数据位进行交织，而第二分支编码器 340 对从交织器 330 输出的交织数据位编码。从第二分支编码器 340 输出的编码数据位示于表 3。

表 3

D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	<u>Db1</u>	D12	D13	D14	<u>Db2</u>	D15	D16	<u>Db3</u>	<u>Db4</u>	<u>Db5</u>	<u>Db6</u>	<u>Db7</u>	<u>Db8</u>
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

其中 Dx 表示从第二分支编码器 340 输出的符号，而 Dbx 表示从第二分支编码器 340 输出的插入位的符号。这里所述的是 turbo 编码器 340 具有 1/3 的编码率的情况。虽然数据位的顺序实际上是通过交织来重排的，但表 3 的顺序保持不便，以便于解释。

然后，多路复用器 350 在未描述的控制器的控制下，对位插入器 310、第一分支编码器 320 和第二分支编码器 340 的输出进行多路复用。表 4 所示的是从多路复用器 350 输出的信道编码数据位。

表 4

I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	<u>Ib1</u>	I12	I13	I14	<u>Ib2</u>	I15	I16	<u>Ib3</u>	<u>Ib4</u>	<u>Ib5</u>	<u>Ib6</u>	<u>Ib7</u>	<u>Ib8</u>
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	<u>Cb1</u>	C12	C13	C14	<u>Cb2</u>	C15	C16	<u>Cb3</u>	<u>Cb4</u>	<u>Cb5</u>	<u>Cb6</u>	<u>Cb7</u>	<u>Cb8</u>
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	<u>Db1</u>	D12	D13	D14	<u>Db2</u>	D15	D16	<u>Db3</u>	<u>Db4</u>	<u>Db5</u>	<u>Db6</u>	<u>Db7</u>	<u>Db8</u>

信道编码器的性能可按照已知位的插入位置来变化。例如，可以通过将已知位以规则间隔插入输入数据位流来提高信道编码器的性能，如表 5 所示。

表 5

I1	I2	I3	I4	<u>Ib1</u>	<u>Ib2</u>	I5	I6	I7	I8	<u>Ib3</u>	<u>Ib4</u>	I9	I10	I11	I12	<u>Ib5</u>	<u>Ib6</u>	I13	I14	I15	I16	<u>Ib7</u>	<u>Ib8</u>
----	----	----	----	------------	------------	----	----	----	----	------------	------------	----	-----	-----	-----	------------	------------	-----	-----	-----	-----	------------	------------

其中 Ix 表示数据位，而 Ibx 表示插入位。

因此，如表 5 所示，最好以规则间隔将与连续编码器中的存储器数目同样多的已知位连续插入在输入数据位流中(例如，对于约束长度为 3 的情况，连续插入两个已知位)。

图 6 是按照本发明第一实施例的、图 3 的 turbo 编码器的定时图。参照图 6，在间隔 T1 中，位插入器 310 将零位插入在帧中预定位位置处，以产生表 1 的数据位 I_k (参见 611)。在间隔 T2 中，插入零位的数据位 I_k 被同时加到多路复用器 350、第一分支编码器 320 和交织器 330。然后，第一分支编码器 320 对该插入零位的数据位 I_k 编码，以产生作为第一奇偶校验位的第一编码数据位 C_k (参见 612)，并且交织器 330 按照预定规则对该插入零位的数据位 I_k 进行交织(参见 613)。之后，在间隔 T3 中，多路复用器 350 将从位插入器 310 输出的数据位 I_k 延迟一个帧周期，第一分支编码器 320 将第一编码数据位 C_k 输入到多路复用器 350，并且第二分支编码器 340 对从交织器 330 输出的交织的数据位 I_k 进行编码，以产生作为第二奇偶校验位的第二编码数据位

D_k 。当第二分支编码器 340 产生了第二奇偶校验位 D_k 时,多路复用器 350 在间隔 T_4 中对数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 进行多路复用。

虽然图 6 示出了并行处理数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 的例子,但也可以以位产生顺序串行输出位插入器 310、第一分支编码器 320 和第二分支编码器 340 的输出。

正如从上面的描述中所看到的,在按照所述第一实施例的递归系统 turbo 编码器中,各个分支编码器不产生用于终止的尾部位,而是将已知位(即,零位)插入在具有较高差错概率的位位置处。

10 第二实施例

按照本发明第二实施例的信道编码器将已知位插入在具有较高差错发生概率的位位置处,其中将插入位的数目设置成超过帧大小(或长度)。在本示例中,假定每帧包括 16 个输入数据位和 12 个插入位。由于输出数据位 I_k 、奇偶校验位 C_k 和 D_k 应当为 28 位,将插入位删除并将剩余的奇偶校验位 C_k 和 D_k 插入在删除位的位置。

插入位的数目是由编码器的输入数据位数目、输出代码符号的数目和代码率来确定的。也就是说,当编码器的输入数据位数目为 N ,编码器的输出代码符号的数目为 M ,并且代码率为 $1/K$ 时,插入位的数目为 $(M-KN)/(K-1)$ 。由此,当编码器的输入数据位数目为 16,输出代码符号的数目为 72,并且代码率为 $1/3$ 时,插入位的数目为 12。

实际上,随着插入位数目的增加,编码器具有的性能提高。按照本实施例的编码器可通过对于给定的输入数据位数目和输出代码符号数目,插入尽可能多的已知位来最大程度地改善其性能。在本实施例中,当使用 12 个插入位并且在编码后发送数据位时,对于最大的位插入,能够通过仅发送编码符号,而不发送插入位来改善编码器的性能。

图 7 是说明按照本发明第二实施例的信道编码器的图。位插入器 710 包括用于通过处理输入数据位来产生已知位的一位产生器,并通过将由该位产生器产生的已知位插入预定位位置来产生超过帧大小的数据位。第一分支编码器 720 对从位插入器 710 输出的数据位进行编码,以产生第一奇偶校验位 C_k 。交织器 730 按照预定规则以帧为单位来交织从位插入器 710 输出的数据位,以改变数据位的排列(或顺序)。在本示例中,将一对角交织器用于交织器

730。第二分支编码器 740 对从交织器 730 输出的交织数据位以帧为单位进行编码，以产生第二奇偶校验位 D_k 。一递归系统卷积编码器可被用于所述第一和第二分支编码器 720 和 740。多路复用器(MUX)750 在一未描述的控制器的控制下，对位插入器 710、第一分支编码器 720 和第二分支编码器 740 的输出进行多路复用，以产生预定长度的数据帧。这里，位插入器 710 输出数据位流 I_k ，第一分支编码器 720 输出第一奇偶校验位 $P1_k$ ，而第二分支编码器 740 输出第二奇偶校验位 $P2_k$ 。

在操作中，当接收到 16 个输入数据位时，位插入器 710 以与第一实施例的位插入器 310 相同的方式进行操作。位插入器 710 具有类似于图 4 的结构，其不同之处在于它是由 12 个延迟器组成的。因此，位插入器 710 通过在控制器的控制下控制内部开关，将 12 个零位插入帧中具有较高差错概率的 12 个位位置。因此，在本实施例中，位插入器 710 输出 28 个数据位 I_k ，这些数据位同时加到多路复用器 750、第一分支编码器 720 和交织器 730。此外，从交织器 730 输出的交织数据位 I_k 加到第二分支编码器 740。这里，第一和第二分支编码器 720 和 740 具有图 5 的结构，其结构也不产生用于终止的尾部位。

然后，第一分支编码器 720 对从位插入器 710 输出的 12 个零位插入其中的所述 28 个数据位 I_k 编码，并且向多路复用器 750 输出 28 个第一奇偶校验位 C_k 。交织器 730 对从位插入器 710 输出的所述 28 个数据位 I_k 交织，并且第二分支编码器 740 以与第一分支编码器 720 相同的方式编码所交织的数据位，以产生加到多路复用器 750 的 28 个第二奇偶校验位 D_k 。

多路复用器 750 对来自数据位 I_k 的插入位进行穿孔，以将 6 个第一奇偶校验位 C_k 和 6 个第二奇偶校验位 D_k 插入在穿孔位置，然后输出剩余的 22 个第一奇偶校验位 C_k 和剩余的 22 个第二奇偶校验位 D_k 。

参照图 8，多路复用器 750 首先接收从位插入器 710 输出的 28 个数据位 I_k 。然后，多路复用器 750 中的开关 812 连接到延迟器 822，直到从位插入器 710 接收到所述 28 个数据位 I_k 中的起始 22 个数据位，并且延迟器 822 延迟所接收的数据位 I_k 。之后，开关 812 连接到延迟器 824，直到从位插入器 710 接收到所述 28 个数据位 I_k 中的剩余 4 个数据位，并且延迟器 824 延迟所接收的剩余 6 个数据位。

以相同的方式，多路复用器 750 接收从第一分支编码器 720 输出的 28 个第一奇偶校验位 C_k 。然后，多路复用器 750 中的开关 814 连接到延迟器 826，

直到从第一分支编码器 720 中接收到所述 28 个第一奇偶校验位 C_k 的起始 22 个数据位, 并且延迟器 826 延迟所接收的第一奇偶校验位 C_k 。之后, 开关 814 连接到延迟器 828, 直到从第一分支编码器 720 接收到所述 28 个第一奇偶校验位 C_k 中的剩余 6 个第一奇偶校验位, 并且延迟器 828 延迟所接收的剩余 6 个第一奇偶校验位。

之后, 多路复用器 750 接收从第二分支编码器 740 输出的 28 个第二奇偶校验位 D_k 。然后, 多路复用器 750 中的开关 816 连接到延迟器 830, 直到从第二分支编码器 740 中接收到所述 28 个第二奇偶校验位 D_k 的起始 22 个数据位, 并且延迟器 830 延迟所接收的第二奇偶校验位 D_k 。之后, 开关 816 连接到延迟器 832, 直到从第二分支编码器 740 接收到所述 28 个第二奇偶校验位 D_k 中的剩余 6 个第二奇偶校验位, 并且延迟器 832 延迟所接收的剩余 6 个第二奇偶校验位。

如上所述, 多路复用器 750 顺序接收 28 个数据位 I_k 、28 个第一奇偶校验位 C_k 和 28 个第二奇偶校验位 D_k , 并将各个所述位中的起始 22 位和剩余 6 位分别存储在相应的延迟器中。开关 812-816 由未描述的控制器控制。此外, 延迟器 822-832 的每一个都由级联的存储单元构成, 并且存储输入位, 直到相应延迟处理结束。

当延迟处理结束时, 开关 844 连接到开关 842, 并且开关 842 连接到延迟器 822。因此, 延迟器 822 的输出是通过开关 842 和 844 来输出的。当输出存储在延迟器 822 中的一个数据位时, 开关 842 连接到延迟器 824, 并保持与开关 844 的连接。然后, 存储在延迟器 824 中的剩余数据位中的一位通过开关 842 和 844 输出。也就是说, 存储在延迟器 822 中的数据位被穿孔, 然后输出存储在延迟器 824 中的数据位。之后, 开关 842 连接到延迟器 822, 继续保持与开关 844 的连接。通过重复上述过程 6 次, 存储在延迟器 822 中的数据位被穿孔, 然后, 存储在延迟器 824 中的剩余 6 个数据位被插入在穿孔的位置。

随后, 开关 842 连接到延迟器 822, 并保持与开关 844 的连接。然后, 延迟器 822 的输出通过开关 842 和 844 而输出。当输出存储在延迟器 822 中的一个数据位时, 开关 842 连接到延迟器 828, 并保持与开关 844 的连接。然后, 存储在延迟器 828 中的剩余 6 个第一奇偶校验位中的一位通过开关 842 和 844 输出。之后, 开关 842 再次连接到延迟器 822, 继续保持与开关 844

的连接。通过重复上述过程 6 次，存储在延迟器 822 中的数据位被穿孔，然后，存储在延迟器 828 中的剩余 6 个第一奇偶校验位被插入在穿孔的位置。

以这种方式，所述数据位和所述剩余 6 个第一奇偶校验位交替输出。接着，开关 842 连接到延迟器 822，并保持与开关 844 的连接。然后，延迟器 822 的输出通过开关 842 和 844 而输出。当输出存储在延迟器 822 中的一个数据位时，开关 842 连接到延迟器 832，并保持与开关 844 的连接。然后，存储在延迟器 832 中的剩余 6 个第二奇偶校验位中的一位通过开关 842 和 844 输出。之后，开关 842 再次连接到延迟器 822，继续保持与开关 844 的连接。通过重复上述过程 6 次，存储在延迟器 822 中的数据位被穿孔，然后，存储在延迟器 832 中的剩余 6 个第二奇偶校验位被插入在穿孔的位置。

通过上述过程，存储在延迟器 822 中的 22 个数据位被穿孔，然后，存储在延迟器 824 中的剩余 6 个数据位、存储在延迟器 828 中的剩余 6 个第一奇偶校验位和存储在延迟器 832 中的剩余 6 个第二奇偶校验位被插入在穿孔的位置。因此，多路复用器 750 对从位插入器 710 输出的数据位 I_k 中的插入位进行穿孔，并将 8 个奇偶校验位插入在穿孔的插入位置，之后输出 24 个数据位。

当完成上述处理时，开关 844 连接到延迟器 826。然后，输出存储在延迟器 826 中的 22 个第一奇偶校验位 C_k 。之后，开关 844 连接到延迟器 830，以输出存储在延迟器 830 中的 22 个第二奇偶校验位 D_k 。

参照图 9，在按照第二实施例的图 7 的编码器中，位插入器 710 将 12 位插入在 16 个输入数据位中，以产生 28 个数据位 I_k 。这样，第一和第二分支编码器 720 和 740 分别产生 28 个第一奇偶校验位 C_k 和 28 个第二奇偶校验位 D_k 。多路复用器 750 对所述 28 个数据位 I_k 在 12 个插入位置穿孔，然后在其中插入剩余 6 个数据位、剩余 6 个第一奇偶校验位和剩余 6 个第二奇偶校验位。之后，多路复用器 750 顺序输出数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 。

在解码过程中，多路复用器 750 的输出值被多路分解为一数据位部分、一第一奇偶校验位部分和一第二奇偶校验位部分，其中所述数据位部分被以“-5”值在位插入位置穿孔。这样处理的数据位被现有解码器解码。(参见 Claude Berrou、Alain Glavieux 和 Punya Thitmajshima 的《接近 Shannon 有限纠错编码和解码 (Near Shannon Limit Error-Correction Coding and Decoding) :

Turbo-Codes(1)»。

第三实施例

按照本发明第三实施例的编码器将具有特定逻辑的位插入在具有较高差错发生概率的位位置处,其中,分支编码器对已知位插入的数据位进行编码,并产生要加入到编码数据位的尾部位。也就是说,按照第三实施例的编码器通过位插入和尾部位附加来执行终止功能。

图 10 是说明按照本发明第三实施例的编码器的图,参见图 10,位插入器 1010 接收 16 个输入位,并具有与按照第一实施例的位插入器 310 相同的结构。位插入器 1010 在未描述的控制器的控制下,将 8 个零位插入在帧中具有较高差错概率的 8 个数据位位置处。因此,在本示例中,位插入器 1010 输出 24 个数据位 I_k ,这些数据位共同加到多路复用器 1050、第一分支编码器 1020 和交织器 1030。此外,从交织器 1030 输出的交织的数据位 I_k 加到第二分支编码器 1040。第一分支编码器 1020 是如图 11 所示的递归系统分支编码器,具有用于产生要附加到编码数据位的尾部位的结构。此外,第二分支编码器 1040 具有不产生用于终止的尾部位的结构,就象第一实施例的图 5 那样。

下面将参照图 11 描述第一分支编码器 1020 的操作。为了编码,开关 1111 连接输入节点到异或门 1131,开关 1113 保持断开(OFF)状态,而开关 1115 连接到异或门 1135。然后,将 24 个数据位 I_k 通过开关 1111 和异或门 1131 顺序加到延迟器 1121-1127,并且异或门 1135 输出编码数据位。当数据位 I_k 全部被延迟器 1121-1127 和异或门 1135 以这种方式编码时,开关 1111 连接到异或门 1133 和 1131,开关 1113 接通(ON),并且开关 1115 连接到开关 1113。然后,通过对反馈输出进行异或而产生零位,将其存储在延迟器 1121-1127 中并通过开关 1115 输出。这里,存储在延迟器 1121-1127 中的零值变为尾部位并通过开关 1115 输出。尾部位的数目相应于分支编码器 1020 中延迟器的数目。在图 11 中,第一分支编码器 1020 每帧产生 4 个尾部位,并且还产生用于各个尾部奇偶校验(paritie)的编码位。因此,第一分支编码器输出 24 位第一奇偶校验位、4 个尾部位和 4 个尾部位奇偶校验位。

因此,第一分支编码器 1020 产生 24 个第一奇偶校验位 C_k ,并且当处理了最后一个数据位(即,第 24 个数据位)时,将开关 1111 连接到异或门 1133、开关 1113 连接到开关 1111、并且开关 1115 连接到开关 1113;相同的处理重复 4 次,以产生 4 个尾部位。通过此过程,将 28 个第一奇偶校验位 C_k 和 4

个尾部位输出到多路复用器 1050。

此外，交织器 1030 对从位插入器 1010 输出的 24 个数据位 I_k 进行交织，并将交织的数据位提供给第二分支编码器 1040。然后，第二分支编码器 1040 以与第一分支编码器 1020 相同的方式编码交织的数据位，以产生加到多路复用器 1050 的 24 个第二奇偶校验位 D_k 。

由具有与图 5 所示相同结构的第二分支编码器 1040 对从交织器 1030 输出的交织数据位以帧为单位进行编码。第二分支编码器 1040 为递归系统卷积编码器，如图 5 所示。此外，第二分支编码器 1040 具有不产生尾部位的结构。

然后，多路复用器 1050 对来自数据位 I_k 的插入位进行穿孔，并将 4 个第一奇偶校验位 C_k 插入在穿孔位置，并选择性地输出剩余的 24 个第一奇偶校验位 C_k 和 24 个第二奇偶校验位 D_k 。

图 12 是说明多路复用器 1050 的图。参照图 12，多路复用器 1050 首先接收从位插入器 1010 输出的 24 个数据位 I_k 。然后，多路复用器 1050 中的一延迟器 1222 存储所接收的 24 个数据位 I_k 。

之后，多路复用器 1050 接收从第一分支编码器 1020 输出的 28 个第一奇偶校验位 C_k 。然后，多路复用器 1050 中的开关 1212 连接到延迟器 1224，直到从第一分支编码器 1020 中接收到第一奇偶校验位 C_k 的起始 24 位，并且延迟器 1224 存储所接收的第一奇偶校验位 C_k 。随后，开关 1212 连接到延迟器 1226，直到从第一分支编码器 1020 接收到 32 个第一分支代码输出中的剩余 8 位，并且延迟器 1226 存储所接收的第一分支代码输出中的剩余 8 位。

接下来，多路复用器 1050 接收从第二分支编码器 1040 输出的 24 个第二奇偶校验位 D_k 。然后，多路复用器 1050 中的延迟器 1228 存储所接收的 24 个第二奇偶校验位 D_k 。

这样顺序产生的 24 个数据位 I_k 、28 个第一奇偶校验位 C_k 和 24 个第二奇偶校验位 D_k 加到多路复用器 1050。然后，多路复用器 1050 以接收顺序将顺序接收的数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 存储在相应延迟器中，其中 28 个第一奇偶校验位 C_k 的起始 24 位和剩余 4 位分别存储在相应的延迟器中。延迟器 1222-1228 的每一个都由级联的存储单元组成，并且存储相应的输入位，直到上述延迟处理结束。

在上述延迟处理结束后，开关 1236 连接到开关 1234，并且开关 1234 连接到延迟器 1222。因此，延迟器 1222 的输出是通过开关 1234 和 1236 来输

出的。当输出存储在延迟器 1222 中的一个数据位时，开关 1234 连接到延迟器 1226，并保持与开关 1236 的连接。然后，存储在延迟器 1226 中的剩余第一奇偶校验位中的一位通过开关 1234 和 1236 输出。也就是说，存储在延迟器 1222 中的数据位被穿孔，然后，存储在延迟器 1226 中的第一奇偶校验位被插入在穿孔位置。之后，开关 1234 再次连接到延迟器 1222，并保持与开关 1236 的连接。上述操作被重复 8 次，以对存储在延迟器 1222 中的数据位穿孔，并在穿孔位置插入存储在延迟器 1226 中的剩余 8 个第一奇偶校验位。结果，在 24 个数据位 I_k 中，8 个插入位被穿孔，以在穿孔位置(即，位插入位置)插入 8 个第一奇偶校验位，从而输出 24 位。

10 之后，开关 1236 连接到延迟器 1224 的输出。然后，存储在延迟器 1224 中的 24 个第一奇偶校验位 C_k 通过开关 1236 而输出。接着，开关 1236 切换到延迟器 1228，以输出存储在延迟器 1228 中的 24 个第二奇偶校验位 D_k 。

参照图 13，在按照第三实施例的图 10 的编码器中，位插入器 1010 将 8 位插入在 16 个输入数据位中，以产生 24 个数据位 I_k 。产生尾部位的一递归系统分支编码器用于分支编码器。在此情况下，第一分支编码器总共产生 32 个数据位，由 24 个编码数据位、4 个尾部位和该 4 个尾部位的编码数据组成。当输出编码数据位时，输入数据位 I_k 中 8 个插入位被穿孔，以将剩余 8 个第一奇偶校验位插入在位穿孔位置。

在解码过程中，多路复用器 1050 的输出值被多路分解为一数据位部分、一第一奇偶校验位部分和一第二奇偶校验位部分，其中所述数据位部分被以“-5”值在位插入位置穿孔。这样处理的数据位被现有解码器解码。(参见 Claude Berrou、Alain Glavieux 和 Punya Thitimajshima 的《接近 Shannon 有限纠错编码和解码 (Near Shannon Limit Error-Correction Coding and Decoding) : Turbo-Codes(1)》)。

25 虽然假定本实施例采用零位作为插入位，也可以采用由接收器预定的编码位或数据位。

在此第三实施例中，第二分支代码也可以用与第一分支代码相同的方式来终止尾部位的产生。此外，第二尾部位和尾部奇偶校验位也可以插入在删除位的位置。第一分支代码和第二分支代码输出奇偶校验位和尾部位及尾部奇偶校验位。插入位可以是第一分支代码输出的一部分和第二分支代码输出的一部分。

第四实施例

按照本发明第四实施例的编码器通过在预定位位置插入特定数据位来执行终止功能，而不产生尾部位。编码位的一特定数目，而不是插入位，在插入位置处重复。在本示例中，一个帧包括 16 个数据位，并将 8 个为零位的已知位插入在帧中具有较高差错概率的位位置处。这里，已知位的位置是通过在解码编码数据的过程中实验检测最多差错发生的位置而确定的。此外，假定各个分支编码器具有 $1/3$ 的编码率。

在本实施例中，当采用具有 $1/3$ 编码率的 turbo 编码器编码 24 位帧数据 (16 个帧数据位加上 8 个已知位) 时，在解码期间通过实验来确定具有较高差错概率的位置。具有相对较高差错概率的 8 位位置被确定，并在被确定位置将已知位插入在数据位中。在编码之后，各个奇偶校验位的最后 4 位被重复，以将重复位代替已知位插入在位插入位置。这里，解码器在解码插入了特定代码的编码帧数据时，了解奇偶校验位插入位置。

当已知位为零位时(实际上，“0”位是作为“-1”来发送的)，插入位置的零位在解码前被改变为大的负值(例如，-5)，以便增加可靠性。以此方式，解码器解码各位，即已知所述 24 位的 $1/3$ 的 8 位，从而提高了性能。在这种情况下，由于帧变短而使性能提高。

图 14 是说明按照本发明第四实施例的、具有用于插入已知位的位插入器的 turbo 编码器的图。位插入器 1410 包括用于通过处理输入数据位来产生已知位的一位产生器，并通过将由该位产生器产生的已知位插入预定位位置来以帧为单位产生数据位。第一分支编码器 1420 对从位插入器 1410 输出的数据位进行编码。交织器 1430 按照预定规则来以帧为单位交织从位插入器 1410 输出的数据位，以改变数据位的排列(或顺序)。在本示例中，将一对角交织器用于交织器 1430。第二分支编码器 1440 对从交织器 1430 输出的数据位以帧为单位进行编码。一递归系统卷积编码器可被用于所述第一和第二分支编码器 1420 和 1440。多路复用器 1450 在一未描述的控制器的控制下，对位插入器 1410、第一分支编码器 1420 和第二分支编码器 1440 的输出进行多路复用。这里，位插入器 1410 输出数据位 I_k ，第一分支编码器 1420 输出第一奇偶校验位 $P1_k$ ，而第二分支编码器 1440 输出第二奇偶校验位 $P2_k$ 。

图 15A 是说明图 14 的 turbo 编码器中的位插入器 1410 的图。参照图 15A，位产生器 1530 产生要插入在数据位中的已知位。这里，假定这些已知位为零

位。延迟器 1512-1526 可由如触发器(flip-flop)等的存储单元组成, 并且可以具有串行移位寄存器结构, 用于按照位时钟来移位输入数据位。开关 1532 在未描述的控制器的控制下进行切换, 以选择延迟器 1512-1526 的输出。此外, 开关 1532 还在所述未描述的控制器的控制下, 切换到从位产生器 1530 输出的已知位插入在数据位中的位置处的下一延迟器的输出。也就是说, 当选择的已知位插入在数据位中时, 开关 1532 选择被延迟 1 位的数据位。开关 1532 可由多路复用器来实现。开关 1534 在所述未描述的控制器的控制下切换到位产生器 1530 和开关 1532 的输出, 以产生数据位 I_k 。开关 1534 通过所述控制器将已知位插入在数据位的预定位置中。

下面将参照图 15A 描述在数据位中插入已知位的操作。由延迟器 1512-1526 按照位时钟来延迟输入数据位。首先, 开关 1532 选择输入数据位, 而开关 1534 连接到开关 1532。然后, 输入数据位通过开关 1532 和 1534 来输出。同时, 如果位插入位置被确定, 则在控制器的控制下, 开关 1532 连接到延迟器 1512 的输出, 而开关 1534 连接到位产生器 1530 的输出。结果, 数据位的路径被切断, 并且从位产生器 1530 输出的零位插入在相应位位置。在数据位应当在插入零位之后连续输出的情况下, 开关 1534 由控制器连接到开关 1532。也就是说, 由于在插入零位之后选择一位延迟的数据位, 可在预定位置插入零位而无数据位的丢失。

通过重复此过程而将零位插入在用于一帧的数据位中。当在插入零位之后接收到用于下一帧的数据位时, 开关 1532 连接到数据位输入节点, 然后再次重复上面的过程。在数据位被编码用于通信的情况下, 在帧的后面部分的差错概率相对较高。因此, 从位产生器 1530 输出的零位被插入的位置可以大多位于帧的后面部分。

从位插入器 1410 输出的数据位加到第一分支编码器 1420 和交织器 1430。从交织器 1430 输出的交织数据位以帧为单位被第二分支编码器 1440 编码。图 15B 示出了图 14 的第一和第二分支编码器 1420 和 1440 的结构。如图所示, 第一和第二分支编码器 1420 和 1440 是递归系统卷积编码器。此外, 分支编码器 1420 和 1440 具有不产生尾部位的结构, 如图 15B 所示。

当第一分支编码器 1420 对从位插入器 1410 输出的数据位进行编码时, 交织器 1430 对从位插入器 1410 输出的数据位进行交织, 并且第二分支编码器 1440 对从交织器 1430 输出的交织数据位进行编码。

然后，多路复用器 1450 在未描述的控制器的控制下，对位插入器 1410、第一分支编码器 1420 和第二分支编码器 1440 的输出进行多路复用。

参照图 16，多路复用器 1450 顺序接收 24 个数据位 I_k 、24 个第一奇偶校验位 C_k 和 24 个第二奇偶校验位 D_k ，并将各个所述位中的起始 24 位存储在相应的存储器中和将各个奇偶校验位的剩余 4 位存储在相应的延迟器中。开关 1601-1640 由未描述的控制器控制。此外，延迟器 1621-1625 的每一个都由级联的存储单元构成，并且存储输入到各延迟器的位，直到延迟处理结束。

当延迟处理结束时，开关 1640 连接到开关 1630，并且开关 1630 连接到延迟器 1621。因此，延迟器 1621 的输出是通过开关 1630 和 1640 来输出的。当输出存储在延迟器 1621 中的一个数据位时，开关 1630 连接到延迟器 1623，并保持与开关 1640 的连接。然后，存储在延迟器 1623 中的剩余数据位中的一位通过开关 1630 和 1640 输出。也就是说，存储在延迟器 1621 中的数据位被穿孔，然后存储在延迟器 1623 中的数据位被插入穿孔位置。之后，开关 1630 再次连接到延迟器 1621，继续保持与开关 1640 的连接。通过重复上述过程 4 次，存储在延迟器 1621 中的数据位被穿孔，然后，存储在延迟器 1623 中的剩余 4 个第一奇偶校验位被插入在穿孔的位置。

随后，开关 1630 连接到延迟器 1621，并保持与开关 1640 的连接。然后，延迟器 1621 的输出通过开关 1630 和 1640 而输出。当输出存储在延迟器 1621 中的一个数据位时，开关 1630 连接到延迟器 1625，并保持与开关 1640 的连接。然后，存储在延迟器 1625 中的剩余 4 个第二奇偶校验位中的一位通过开关 1630 和 1640 输出。之后，开关 1630 再次连接到延迟器 1621，继续保持与开关 1640 的连接。通过重复上述过程 4 次，存储在延迟器 1621 中的数据位被穿孔，然后，存储在延迟器 1625 中的剩余 4 个第二奇偶校验位被插入在穿孔的位置。

通过上述过程，存储在延迟器 1621 中的 24 个数据位中的 8 个插入位被穿孔，然后，存储在延迟器 1623 中的剩余 4 个第一奇偶校验位和存储在延迟器 1625 中的剩余 4 个第二奇偶校验位被交替插入在穿孔位置，从而输出 24 位。因此，多路复用器 1450 对从位插入器 1410 输出的数据位 I_k 中的 8 个插入位进行穿孔，并将 8 个奇偶校验位插入在穿孔的插入位置，之后输出 24 个数据位。

当完成上述处理时，开关 1640 连接到延迟器 1622。然后，输出存储在

延迟器 1622 中的 24 个第一奇偶校验位 C_k 。之后，开关 1640 连接到延迟器 1624，以输出存储在延迟器 1624 中的 24 个第二奇偶校验位 D_k 。

图 17 是按照本发明第四实施例的、图 14 的 turbo 编码器的定时图。参照图 17，在间隔 T1 中，位插入器 1410 将零位插入在帧中预定位位置处，以产生数据位 I_k (参见 1711)。在间隔 T2 中，插入零位的数据位 I_k 被同时加到多路复用器 1450、第一分支编码器 1420 和交织器 1430。然后，第一分支编码器 1420 对该插入零位的数据位 I_k 编码，以产生作为第一奇偶校验位的第一编码数据位 C_k (参见 1712)，并且交织器 1430 按照预定规则对该插入零位的数据位 I_k 进行交织 (参见 1713)。之后，在间隔 T3 中，多路复用器 1450 将从位插入器 1410 输出的数据位 I_k 延迟一个帧周期，第一分支编码器 1420 将第一编码数据位 C_k 输入到多路复用器 1450，并且第二分支编码器 1440 对从交织器 1430 输出的交织的数据位 I_k 进行编码，以产生作为第二奇偶校验位的第二编码数据位 D_k 。当第二分支编码器 1440 产生了第二奇偶校验位 D_k 时，多路复用器 1450 在间隔 T4 中对数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 进行多路复用。

虽然图 17 示出了并行处理数据位 I_k 、第一奇偶校验位 C_k 和第二奇偶校验位 D_k 的例子，但也可以以产生顺序串行输出位插入器 1410、第一分支编码器 1420 和第二分支编码器 1440 的输出。

正如从上面的描述中所看到的，在按照所述第四实施例的递归系统 turbo 编码器中，各个分支编码器不产生用于终止的尾部位，而是将已知位 (即，零位) 插入在具有较高差错概率的位位置处。

第五实施例

按照本发明第五实施例的编码器将具有特定逻辑的位插入在具有较高差错发生概率的预定位插入位置处的数据位中。分支编码器对位插入的数据位进行编码，并产生要加到编码数据位的尾部位。也就是说，按照第五实施例的编码器通过位插入和尾部位附加来执行终止功能。

插入位的数目是由编码器的输入数据位数目、输出代码符号的数目、约束长度和代码率来确定的。也就是说，当编码器的输入数据位数目为 N ，编码器的输出代码符号的数目为 M ，约束长度为 L ，并且代码率为 $1/K$ 时，插入位的数目为 $(M - KN - 2(K-1)(L-1))/(K-1)$ 。由此，当编码器的输入数据位数目为 16，输出代码符号的数目为 72，约束长度为 5，并且代码率为 $1/3$ 时，插

入位的数目为4。

实际上,随着插入位数目的增加,编码器具有的性能提高。按照本实施例的编码器可通过对于给定的输入数据位数和输出代码符号数目,插入尽可能多的已知位来最大程度地改善其性能。在本实施例中,当使用12个插入位并且在编码后发送数据位时,对于最大的位插入,能够通过仅发送编码符号,而不发送插入位来改善编码器的性能。

图18是说明按照本发明第五实施例的编码器的图。参照图18,位插入器1810接收16个输入位。这里,位插入器1810具有类似于图15A的位插入器1410的结构,其区别在于位插入器1810包括如图19所示的4个存储器。位插入器1810在未描述的控制器的控制下,将4个零位插入在一帧中具有较高差错概率的4个预定位位置处。位插入器1810的结构示于图19。

在本实施例中,位插入器1810输出20个数据位 I_k ,这些数据位共同加到多路复用器1850、第一分支编码器1820和交织器1830。从交织器1830输出的交织的数据位 I_k 加到第二分支编码器1840。这里,第一分支编码器1820是如图20所示的递归系统分支编码器,具有用于产生要附加到所编码位的尾部位的结构。此外,具有不产生用于终止的尾部位的结构、如图15B所示的编码器用作第二分支编码器1840。

参照图20,下面将描述第一分支编码器1820的操作。为了编码,开关2011连接输入节点到异或门2031,开关2013保持断开(OFF)状态,而开关2015连接到异或门2035。然后,将20个数据位 I_k 通过开关2011和异或门2031顺序加到延迟器2021-2027,并且异或门2035输出编码的数据位。当数据位 I_k 全部被延迟器2021-2027和异或门2035以这种方式编码时,开关2011将异或门2033连接到异或门2031,以便终止。然后,通过对反馈输出进行异或而产生零位,将其存储在延迟器2021-2027中并通过开关2015输出。这里,存储在延迟器2021-2027中的零值变为尾部位并通过开关2015输出。尾部位的数目相应于分支编码器1820中延迟器的数目。在图20中,分支编码器1820每帧产生4个尾部位,并且还产生用于各个尾部位0的4个尾部位奇偶校验位(编码位)。

因此,第一分支编码器1820产生20个第一奇偶校验位 C_k ,并且当处理了最后一个数据位(即,第20个数据位)时,将开关2011连接到异或门2033、开关2013连接到开关2011、并且开关2015连接到开关2013;相同的处理重

复4次,以产生4个尾部位 T_k 。通过此过程,将24个第一奇偶校验位 C_k 和4个尾部位输出到多路复用器1850。开关1860切换到交织器1830,以将尾部位 T_k 加到交织器1830,并且开关1870连接到多路复用器1850,以将尾部位 T_k 加到多路复用器1850。

5 此外,交织器1830对从位插入器1810输出的20个数据位 I_k 和从第一分支编码器1820输出的4个尾部位进行交织,并将24个交织的数据位提供给第二分支编码器1840。然后,第二分支编码器1840以与图14的第一分支编码器1440相同的方式编码交织的数据位,以产生加到多路复用器1850的24个第二奇偶校验位 D_k 。

10 由具有与图15B所示相同结构的第二分支编码器1840对从交织器1830输出的交织数据位以帧为单位进行编码。第二分支编码器1840为递归系统卷积编码器,如图15B所示。此外,第二分支编码器1840具有不产生尾部位的结构。

然后,多路复用器1850对数据位 I_k 的4个插入位进行穿孔,并将4个第一奇偶校验位 C_k 插入在穿孔位置,并选择性地输出剩余的24个第一奇偶校验位 C_k 和24个第二奇偶校验位 D_k 。插入的4位可以是第一分支编码尾部位或尾部位奇偶校验位。

图21是说明多路复用器1850的图。参照图21,多路复用器1850首先接收从位插入器1810输出的20个数据位 I_k 。然后,多路复用器1850中的一
20 延迟器2122存储所接收的20个数据位 I_k 。

之后,多路复用器1850将从第一分支编码器1820输出的24个第一奇偶校验位 C_k 存储在延迟器2124中,并将从第一分支编码器1820输出的4个尾部位 T_k 存储在延迟器2122中。接着,多路复用器1850将从第二分支编码器1840输出的24个第二奇偶校验位 D_k 存储在延迟器2126中。

25 延迟器2122-2126的每一个都由级联的存储单元组成,并且存储相应的输入位,直到上述延迟处理结束。

在上述延迟处理结束后,开关2101连接到延迟器2122,以输出存储在延迟器2122中的位。随后,开关2101连接到延迟器2124,以输出存储在延迟器2124中的位。之后,开关2101连接到延迟器2126,以输出存储在延迟
30 器2126中的位。

第六实施例

按照本发明第六实施例的编码器执行与第五实施例相同的操作，并对数据位穿孔，以将已知位插入在穿孔的位插入位置，并在该位置重复发送来自第一分支编码器的4个尾部位。图22是说明按照本发明第六实施例的编码器的图，其中在多路复用器2250之前的操作与第五实施例相同。

- 5 参照图22，多路复用器2250首先接收从位插入器2210输出的20个数据位 I_k 。然后，多路复用器2250中的延迟器2321存储所接收的20个数据位 I_k 。之后，多路复用器2250将从第一分支编码器2220输出的24个第一奇偶校验位 C_k 存储在延迟器2322中，将最后4个第一奇偶校验位存储在延迟器2323中，并将从第一分支编码器2220输出的4个尾部位 T_k 存储在延迟器2321中。
- 10 接着，多路复用器2250将从第二分支编码器2240输出的24个第二奇偶校验位 D_k 存储在延迟器2324中。

延迟器2321-2324的每一个都由级联的存储单元组成，并且存储相应的输入位，直到上述延迟处理结束。

- 在上述延迟处理结束后，开关2340连接到开关2330，并且开关2330连接到延迟器2321。因此，延迟器2321的输出是通过开关2330和2340来输出的。
- 15 当输出存储在延迟器2321中的一个数据位时，开关2330连接到延迟器2323，并保持与开关2340的连接。然后，存储在延迟器2323中的剩余第一奇偶校验位中的一位通过开关2330和2340输出。也就是说，存储在延迟器2321中的数据位被穿孔，然后，存储在延迟器2323中的第一奇偶校验位被插入在穿孔位置。
- 20 之后，开关2330再次连接到延迟器2321，并保持与开关2340的连接。上述操作被重复4次，以对存储在延迟器2321中的数据位穿孔，并在穿孔位置插入存储在延迟器2323中的剩余4个第一奇偶校验位。

- 以此方式，存储在延迟器2321中的24个数据位 I_k 被穿孔，以在穿孔位置插入存储在延迟器2323中的剩余4个第一奇偶校验位，从而输出24位。
- 25 结果，多路复用器2250对从位插入器2210输出的24个数据位 I_k 穿孔，以将4个奇偶校验位插入在穿孔的位插入位置，从而输出24个数据位。

之后，开关2340连接到延迟器2322的输出。然后，存储在延迟器2322中的24个第一奇偶校验位 C_k 通过开关2340输出。接着，开关2340切换到延迟器2324，以输出存储在延迟器2324中的24个第二奇偶校验位 D_k 。

30 第七实施例

按照本发明第七实施例的编码器执行与第五实施例相同的操作，并对数

据位穿孔，以将已知位插入在穿孔的位插入位置，并在该位置重复发送第二分支编码器的4个尾部位。图24是说明按照本发明第七实施例的编码器的图，其中在多路复用器2450之前的操作与第五实施例相同。

参照图24，多路复用器2450首先接收从位插入器2410输出的20个数据位 I_k 。然后，多路复用器2450中的延迟器2521存储所接收的20个数据位 I_k 。之后，多路复用器2450将从第一分支编码器2420输出的24个第一奇偶校验位 C_k 存储在延迟器2522中，并将从第一分支编码器2420输出的4个尾部位 T_k 存储在延迟器2521中。接着，多路复用器2450接收从第二分支编码器2440输出的24个第二奇偶校验位 D_k 。如图25所示构成的多路复用器2450对分别从位插入器2410、第一分支编码器2420和第二分支编码器2440输出的数据位 I_k 、及奇偶校验位 C_k 和 D_k 多路复用。

图25是说明按照本发明第七实施例的多路复用器2450的图。

参照图25，延迟器2523存储第二奇偶校验位 D_k ，并且延迟器2524存储第二奇偶校验位 D_k 的最后4位。开关2501由未描述的控制器控制。此外，延迟器2521-2524的每一个都由级联的存储单元组成，并且存储相应的输入位，直到上述延迟处理结束。

在上述延迟处理结束后，开关2540连接到开关2530，并且开关2530连接到延迟器2521。因此，延迟器2521的输出是通过开关2530和2540来输出的。当输出存储在延迟器2521中的一个数据位时，开关2540连接到延迟器2524，以输出存储在延迟器2524中的最后4个第二奇偶校验位中的一位。也就是说，数据位被穿孔，然后，存储在延迟器2524中的第二奇偶校验位被插入在穿孔位置。之后，开关2530再次连接到延迟器2521，并保持与开关2540的连接。上述操作被重复4次，以对存储在延迟器2521中的数据位穿孔，并在穿孔的位插入位置插入存储在延迟器2524中的最后4个第二奇偶校验位。

以此方式，存储在延迟器2521中的24个数据位 I_k 被穿孔，交替插入存储在延迟器2524中的最后4个第二奇偶校验位，从而输出24位。结果，多路复用器2450对从位插入器2410输出的24个数据位 I_k 穿孔，以将4个第二奇偶校验位插入在穿孔的位插入位置，从而输出24个数据位。

之后，开关2540连接到延迟器2522的输出。然后，存储在延迟器2522中的24个第一奇偶校验位 C_k 通过开关2540输出。接着，开关2540切换到

延迟器 2524, 以输出存储在延迟器 2524 中的 24 个第二奇偶校验位 D_k 。

第八实施例

按照本发明第八实施例的编码器将具有特定逻辑的位插入在数据位中具有较高差错发生概率的位位置处。分支编码器对位插入的数据位进行编码, 并独立(或内部)产生要加入到编码数据位的尾部位。也就是说, 按照本实施例的编码器通过位插入和尾部位附加来执行终止功能。

图 26 是说明按照本发明第八实施例的编码器的图。参照图 26, 位插入器 2610 接收 16 个输入位。这里, 位插入器 2610 具有与图 19 的位插入器 1810 类似的结构。位插入器 2610 在未描述的控制器的控制下, 将 4 个零位插入在帧中具有较高差错概率的 4 个数据位位置处。因此, 在本示例中, 位插入器 2610 输出 20 个数据位 I_k , 这些数据位共同加到多路复用器 2650、第一分支编码器 2620 和交织器 2630。此外, 从交织器 2630 输出的交织的数据位 I_k 加到第二分支编码器 2640。这里, 第一分支编码器 2620 和第二分支编码器 2640 是如图 20 所示的递归系统分支编码器, 该编码器产生要附加到编码数据位的尾部位。

第一分支编码器 2620 产生 24 个第一奇偶校验位 C_k 和 4 个尾部位 T_k , 其中, 第一奇偶校验位 C_k 加到多路复用器 2650, 而尾部位 T_k 加到开关 2670。开关 2670 连接到多路复用器 2650, 并且在未描述的控制器的控制下进行切换, 以接收从位插入器 2610 输出的数据位 I_k 或从第一分支编码器 2620 输出的尾部位 T_k 。开关 2670 对数据位 I_k 穿孔, 以将从第一分支编码器 2620 输出的尾部位 T_k 插入在穿孔的位插入位置, 并将其提供给多路复用器 2650。

交织器 2630 对从位插入器 2610 输出的 20 个数据位 I_k 进行交织, 并将交织的数据位提供给第二分支编码器 2640。然后, 第二分支编码器 2640 产生 24 个第二奇偶校验位 D_k 和 4 个尾部位 T_k 。开关 2660 选择性地将从第二分支编码器 2640 输出的第二奇偶校验位 D_k 和 4 个尾部位 T_k 加到多路复用器 2650。

图 27 是说明多路复用器 2650 的图。参照图 27, 多路复用器 2650 首先接收从位插入器 2610 输出的 20 个数据位 I_k 。然后, 多路复用器 2650 中的一延迟器 2721 存储所接收的 20 个数据位 I_k 。

之后, 多路复用器 2650 将从第一分支编码器 2620 输出的 24 个第一奇偶校验位 C_k 存储在延迟器 2722 中, 并将从第一分支编码器 2620 输出的 4 个尾部位 T_k 存储在延迟器 2721 中。接着, 多路复用器 2650 将从第二分支编码器

2640 输出的 24 个第二奇偶校验位 D_k 存储在延迟器 2723 中,并将从第二分支编码器 2640 输出的 4 个尾部位 T_k 存储在延迟器 2724 中。

延迟器 2721-2724 的每一个都由级联的存储单元组成,并且存储相应的输入位,直到上述延迟处理结束。

- 5 在上述延迟处理结束后,开关 2740 连接到开关 2730,并且开关 2730 连接到延迟器 2721。因此,延迟器 2721 的输出是通过开关 2730 和 2740 来输出的。当输出存储在延迟器 2721 中的一个插入位时,开关 2730 连接到延迟器 2724,并保持与开关 2740 的连接,以输出存储在延迟器 2724 中的 4 个尾部位。也就是说,存储在延迟器 2721 中的数据位被穿孔,然后,存储在延迟器 2724 中的尾部位被插入在穿孔的位插入位置。之后,开关 2730 再次连接到延迟器 2721,并保持与开关 2740 的连接。上述操作被重复 4 次,以对存储在延迟器 2721 中的数据位穿孔,并在穿孔的位插入位置插入存储在延迟器 2724 中的 4 个尾部位。

- 15 之后,开关 2740 连接到延迟器 2722 的输出,以输出存储在延迟器 2722 中的第一奇偶校验位 C_k 。接着,开关 2740 连接到延迟器 2723,以输出存储在延迟器 2723 中的第二奇偶校验位 D_k 。

正如从上面的描述中所看到的,在按照所述第八实施例的递归系统 turbo 编码器中,各个分支编码器不产生用于终止的尾部位,而是将已知位(即,零位)插入在具有较高差错概率的位位置处。

20 第九实施例

- 按照本发明第九实施例的编码器将具有特定逻辑的 6 位插入在数据位中具有较高差错发生概率的位插入位置处。对数据位在位插入位置穿孔,并在穿孔的位插入位置,第一分支编码器执行缀尾,并对包括尾部位的数据位进行交织。当对交织的数据位编码时,第二分支编码器将超出帧大小的 6 位插入在穿孔的位插入位置。

- 25 图 28 是说明按照本发明第九实施例的编码器的图。参照图 28,位插入器 2810 接收 16 个输入位。这里,位插入器 2810 具有类似于图 15A 的位插入器 1410 的结构,其区别在于位插入器 2810 包括 6 个延迟器。位插入器 2810 在未描述的控制器的控制下,将 6 个零位插入在一帧中具有较高差错概率的 6 个数据位位置处。

因此,在本实施例中,位插入器 2810 输出 22 个数据位 I_k ,这些数据位

共同加到多路复用器 2850、第一分支编码器 2820 和交织器 2830。而且，从交织器 2830 输出的交织的数据位 I_k 加到第二分支编码器 2840。这里，第一分支编码器 2820 是如图 20 所示的递归系统分支编码器，它产生要附加到编码位的尾部位。第二分支编码器 2840 是如图 15B 所示的递归系统分支编码器，它不产生所述尾部位。

第一分支编码器 2820 具有如图 20 所示的结构，对每帧产生 4 个尾部位，并产生用于各个尾部位的 4 个编码位。因此，第一分支编码器 2820 产生 26 个第一奇偶校验位 C_k ，并且当处理了第 22 个数据位时，将开关 2011 连接到异或门 2033、开关 2013 连接到开关 2011、并且开关 2015 连接到开关 2013；相同的处理重复 4 次，以产生 4 个尾部位。通过此过程，第一分支编码器 2820 产生 24 个第一奇偶校验位 C_k 和 4 个尾部位，其中第一奇偶校验位 C_k 加到多路复用器 2850，并且 4 个尾部位 T_k 加到交织器 2830 并经过开关 2870 加到多路复用器 2850。

此外，交织器 2830 对从位插入器 2810 输出的 22 个数据位 I_k 和从第二分支编码器 2840 输出的 4 个尾部位进行交织，并将交织的 26 个数据位提供给第二分支编码器 2840。然后，第二分支编码器 2840 以与第一分支编码器 2820 相同的方式编码交织的数据位，以产生加到多路复用器 2850 的 26 个第二奇偶校验位 D_k 。也就是说，由第二分支编码器 2840 对从交织器 2830 输出的交织数据位以帧为单位进行编码。第二分支编码器 2840 是如图 15B 所示的递归系统卷积编码器。此外，第二分支编码器 2840 具有不产生尾部位的结构。

图 30 是说明多路复用器 2850 的图。参照图 30，多路复用器 2850 首先接收从位插入器 2810 输出的 22 个数据位 I_k 。然后，多路复用器 2850 中的一延迟器 3022 存储所接收的 22 个数据位 I_k 。

之后，多路复用器 2850 接收从第一分支编码器 2820 输出的 26 个第一奇偶校验位 C_k ，仅将起始 24 位存储在延迟器 3026 中，并且在开关 3014 切换到延迟器 3028 时将剩余 2 位存储在延迟器 3028 中。多路复用器 2850 接收 4 个尾部位 T_k ，并将前 2 个尾部位存储在延迟器 3022 中，并且在开关 3012 切换到延迟器 3024 时将最后 2 个尾部位存储在延迟器 3024 中。接着，多路复用器 2850 接收 26 个第二奇偶校验位 D_k ，将起始 24 位存储在延迟器 3030 中，并在开关 3016 切换到延迟器 3032 时将最后 2 位存储在延迟器 3032 中。

延迟器 3022-3032 的每一个都由级联的存储单元组成，并且存储相应的

输入位，直到上述延迟处理结束。

在上述延迟处理结束后，开关 3042 连接到开关 3044，并且开关 3042 连接到延迟器 3022。因此，延迟器 3022 的输出是通过开关 3042 和 3044 来输出的。当输出存储在延迟器 3022 中的一个插入位时，开关 3042 连接到延迟器 3024，并保持与开关 3044 的连接。然后，存储在延迟器 3024 中的最后两个尾部位中的一个通过开关 3042 和 3044 输出。也就是说，存储在延迟器 3022 中的数据位被穿孔，然后，存储在延迟器 3024 中的尾部位插入在穿孔位置。之后，开关 3042 再次连接到延迟器 3022，并保持与开关 3044 的连接。上述操作被重复 2 次，以对存储在延迟器 3022 中的数据位穿孔，并在穿孔位置插入存储在延迟器 3024 中的剩余 2 个尾部位。

之后，开关 3042 连接到延迟器 3022，并保持与开关 3044 的连接。然后，延迟器 3022 的输出通过开关 3042 和 3044 输出。当输出存储在延迟器 3022 中的一个插入位时，开关 3042 连接到延迟器 3028，并保持与开关 3044 的连接。然后，存储在延迟器 3026 中的剩余 2 个第一奇偶校验位中的一位通过开关 3042 和 3044 输出。之后，开关 3042 再次连接到延迟器 3022，并保持与开关 3044 的连接。上述操作被重复 2 次，以对存储在延迟器 3022 中的数据位穿孔，并在穿孔位置插入存储在延迟器 3028 中的剩余 2 个第一奇偶校验位。

之后，开关 3042 连接到延迟器 3022，并保持与开关 3044 的连接。然后，延迟器 3022 的输出通过开关 3042 和 3044 输出。当输出存储在延迟器 3022 中的一个插入位时，开关 3042 连接到延迟器 3032，并保持与开关 3044 的连接。然后，存储在延迟器 3032 中的剩余 2 个第二奇偶校验位中的一位通过开关 3042 和 3044 输出。之后，开关 3042 再次连接到延迟器 3022，并保持与开关 3044 的连接。上述操作被重复 2 次，以对存储在延迟器 3022 中的数据位穿孔，并在穿孔位置插入存储在延迟器 3032 中的剩余 2 个第二奇偶校验位。

尽管已在假定插入位为零位的条件下描述了本发明，但也可以使用由接收器预定的编码位或数据位。

尽管已参照本发明的特定优选实施例描述了本发明，但本领域的普通技术人员应当理解，可对本发明进行形式和细节的各种修改，而不脱离由所附权利要求所限定的本发明的精神和范围。

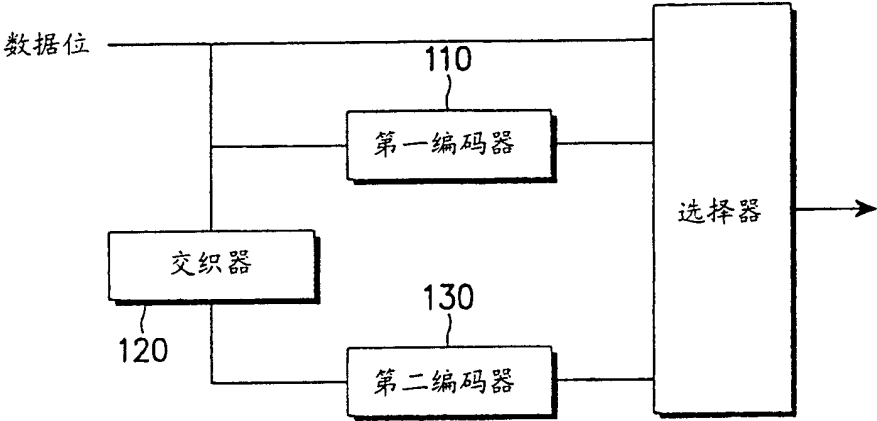


图 1

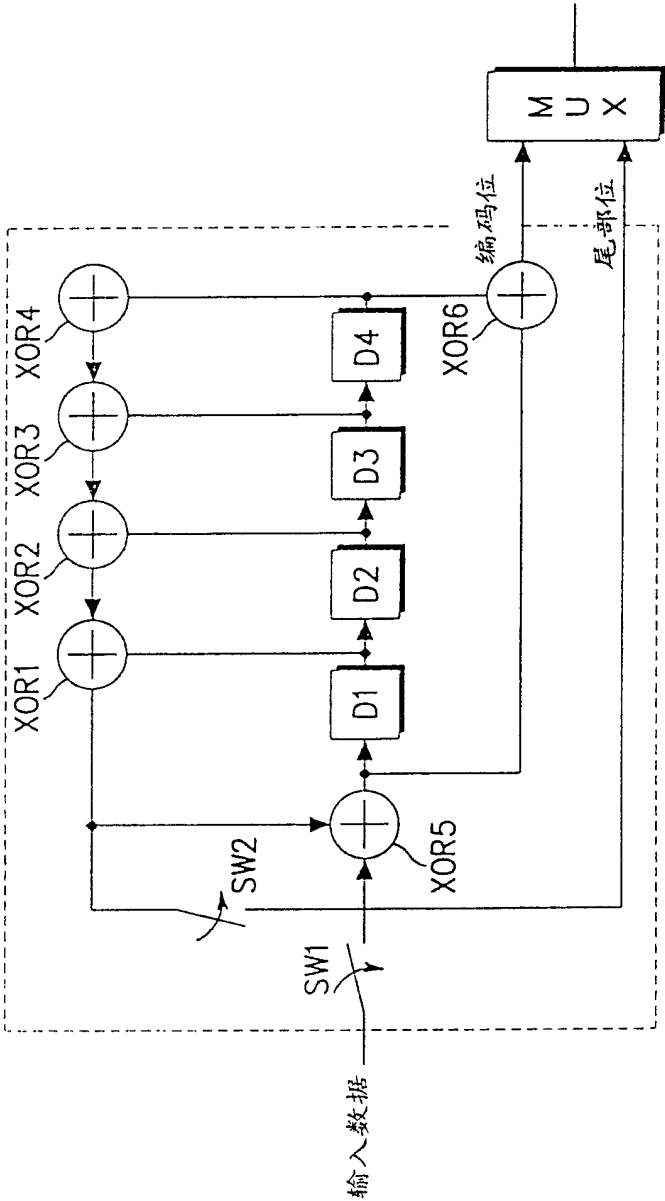


图 2

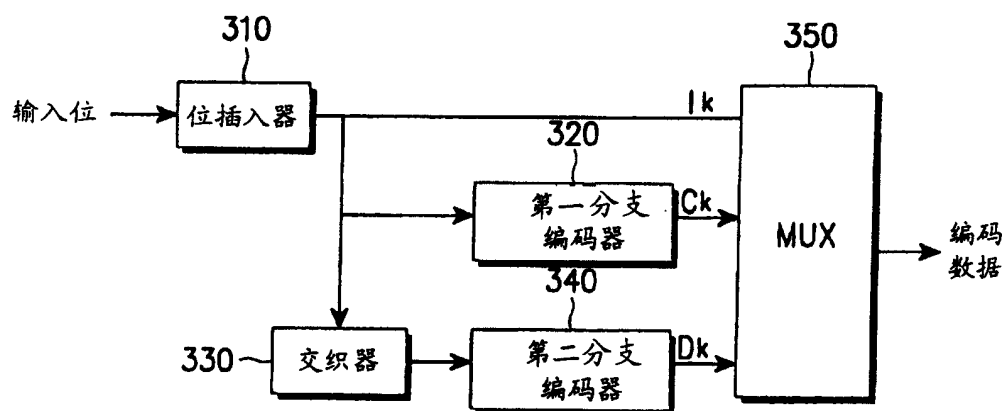


图 3

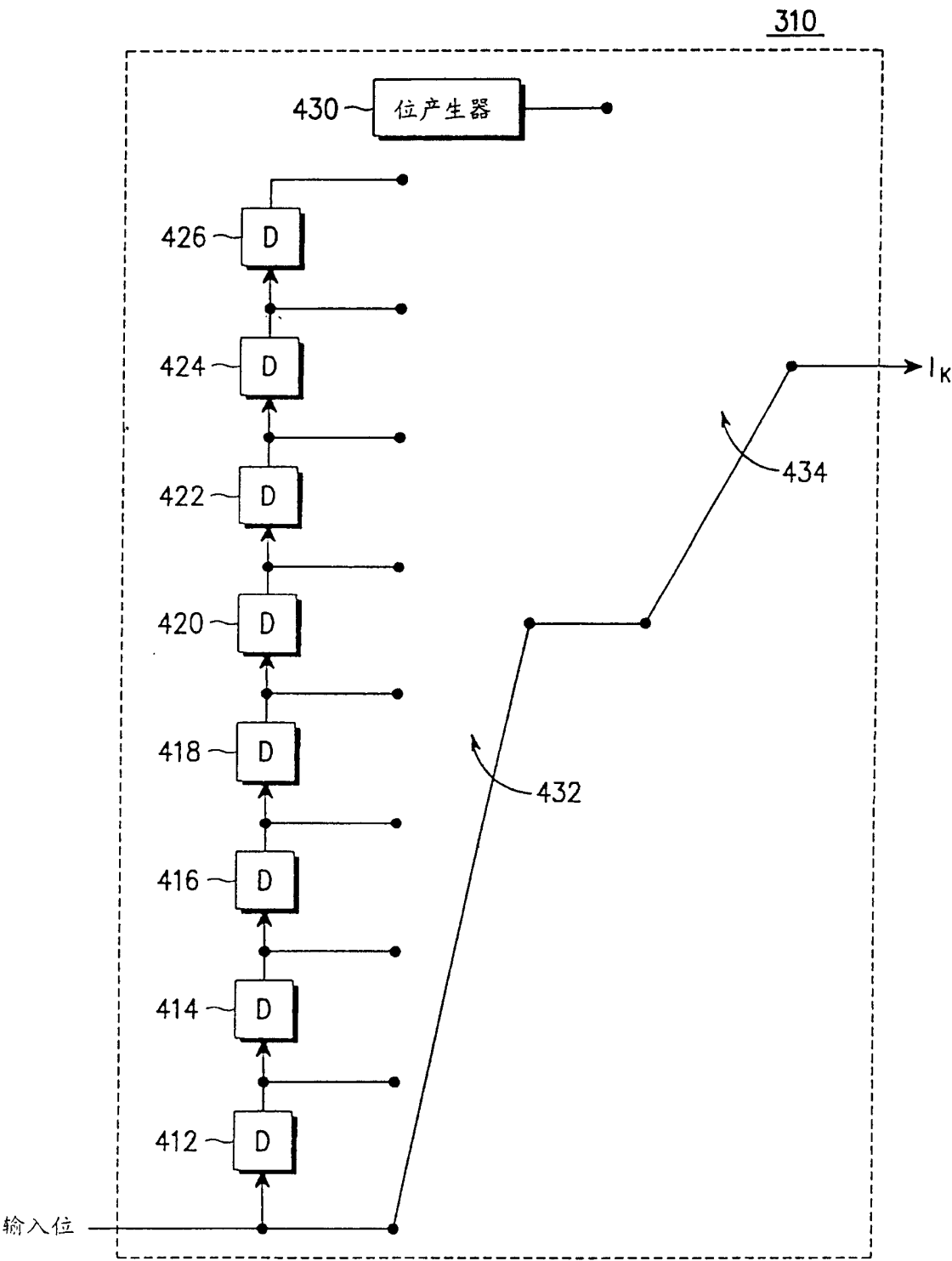


图 4

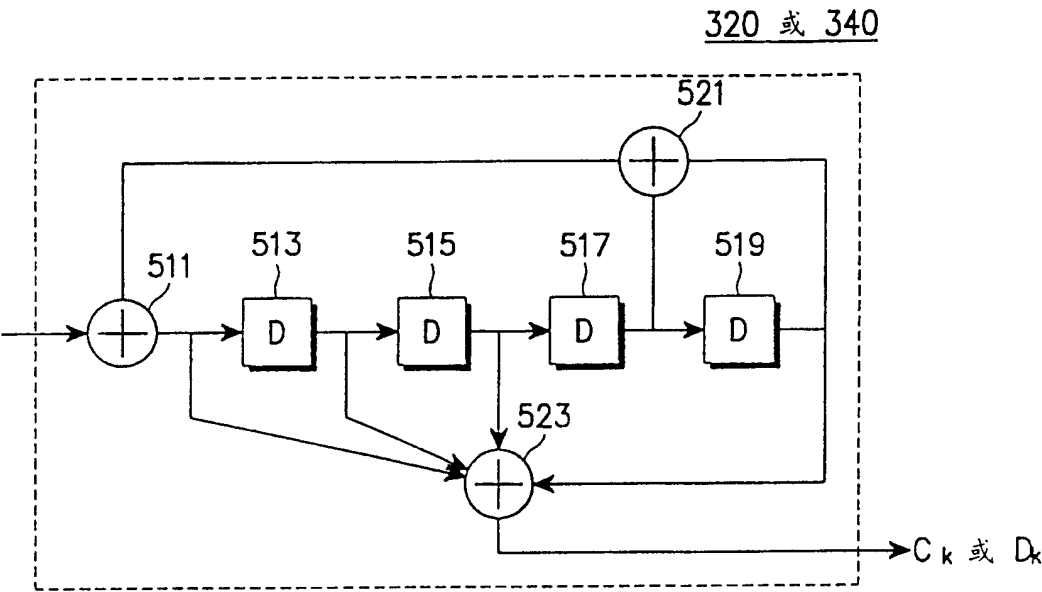
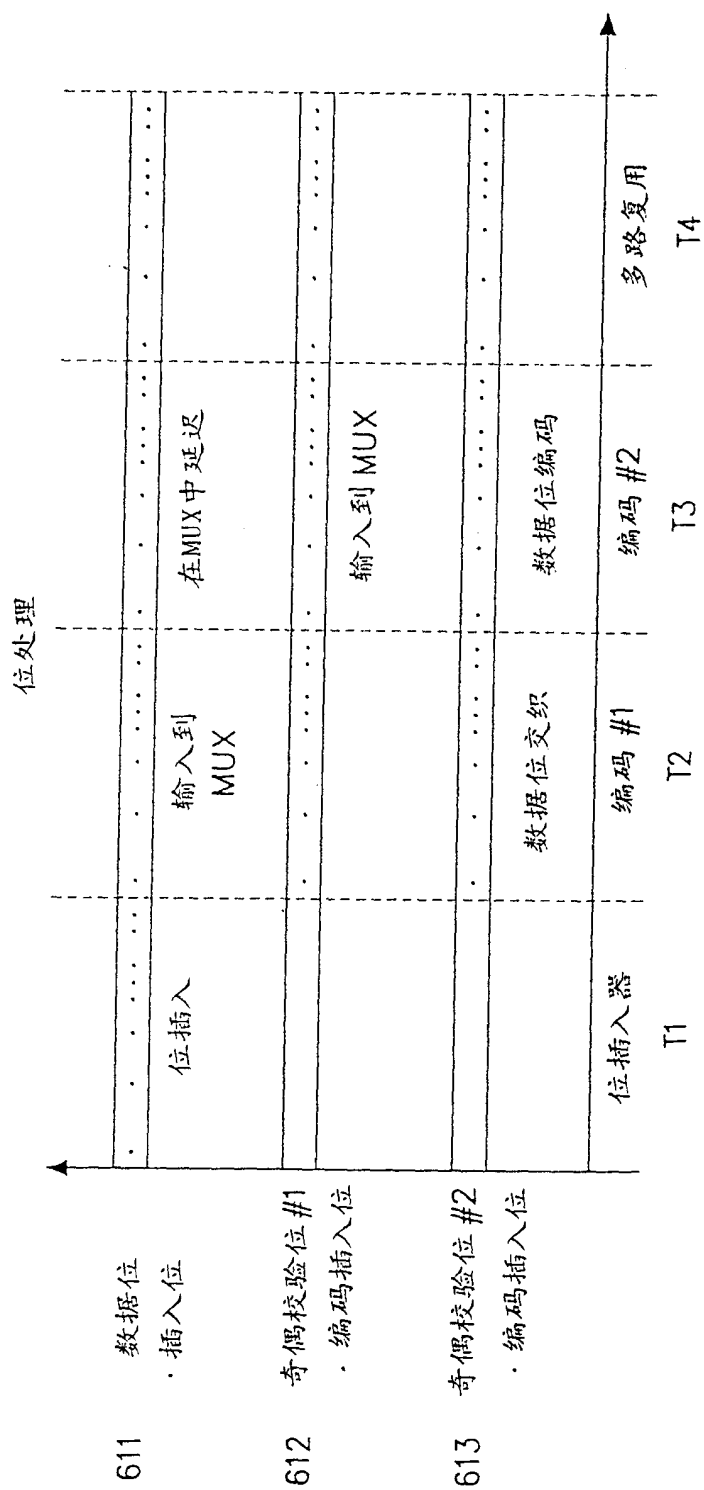


图 5



6

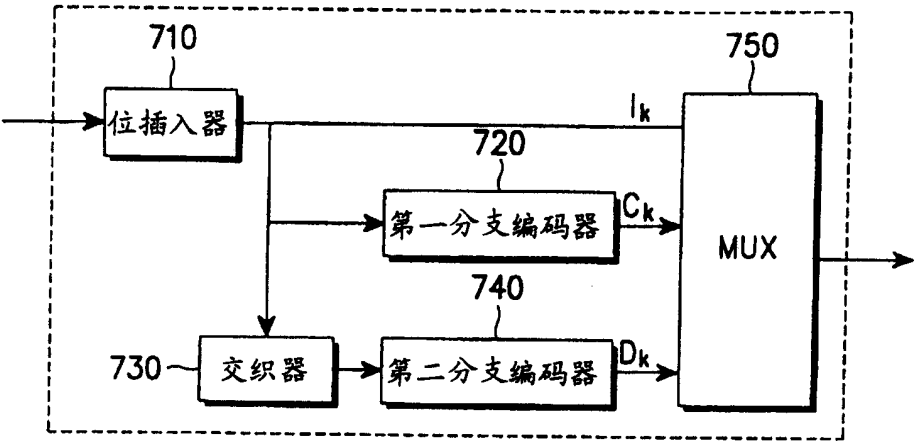


图 7

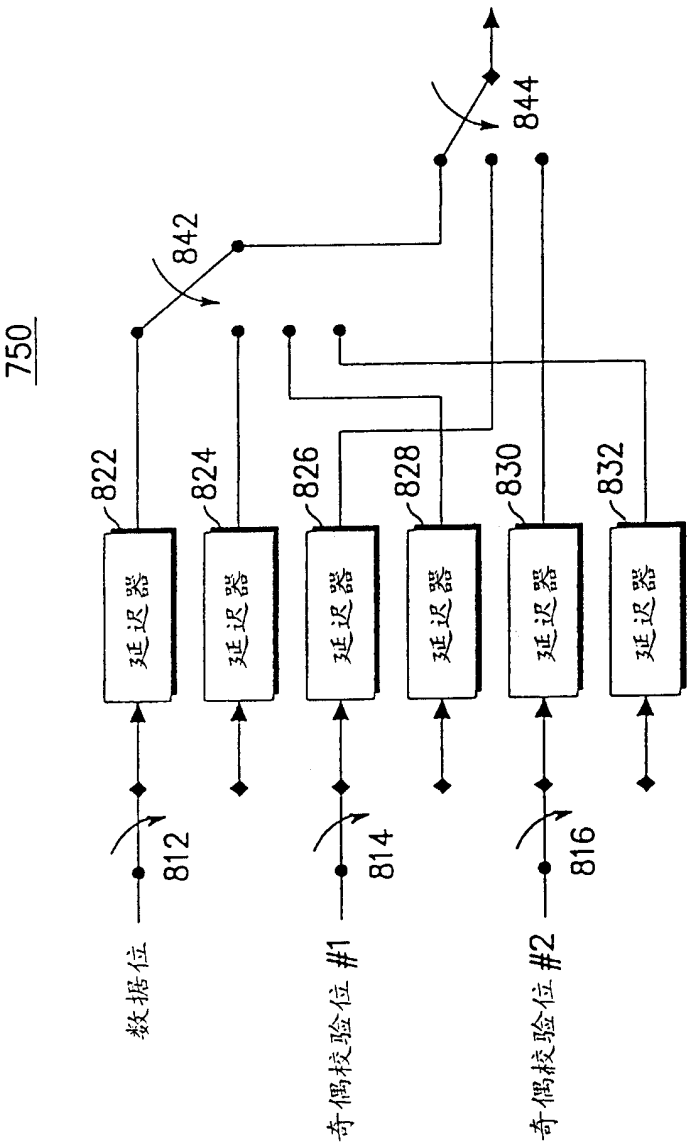


图 8

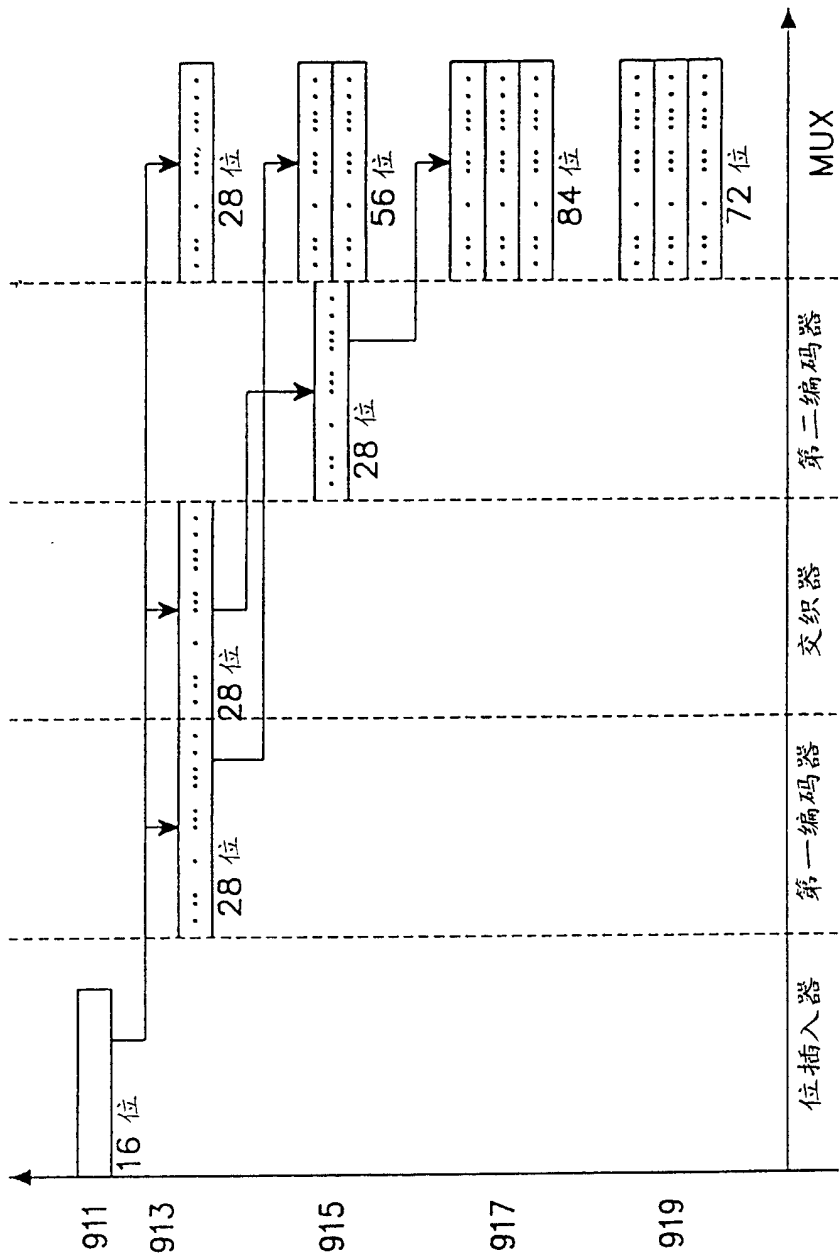


图 9

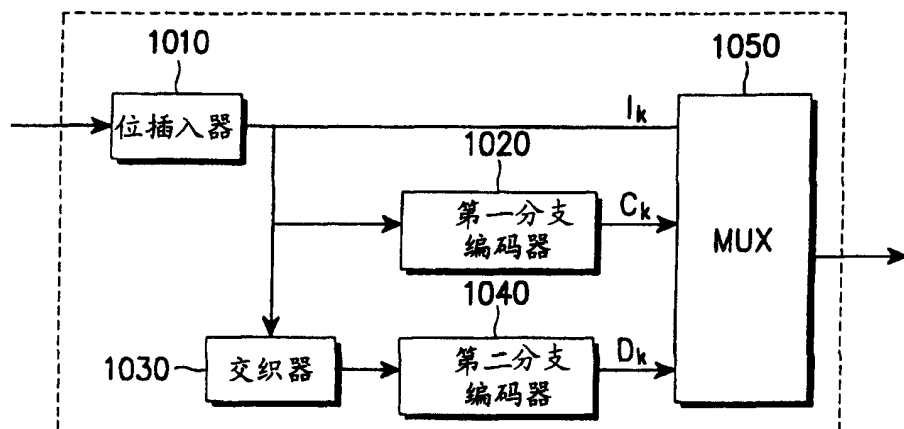


图 10

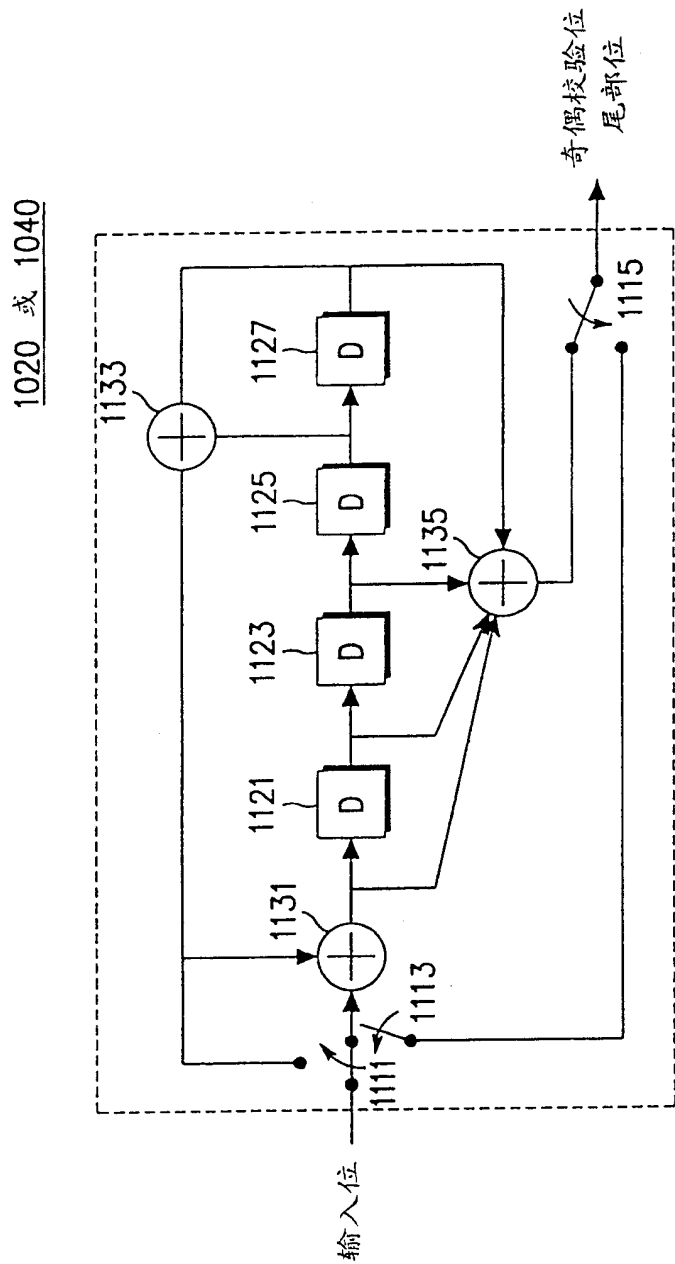


图 11

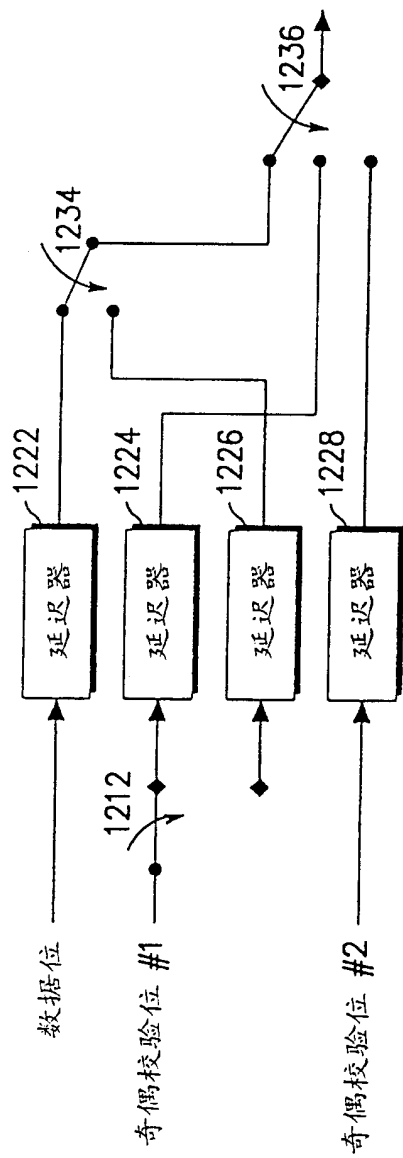


图 12

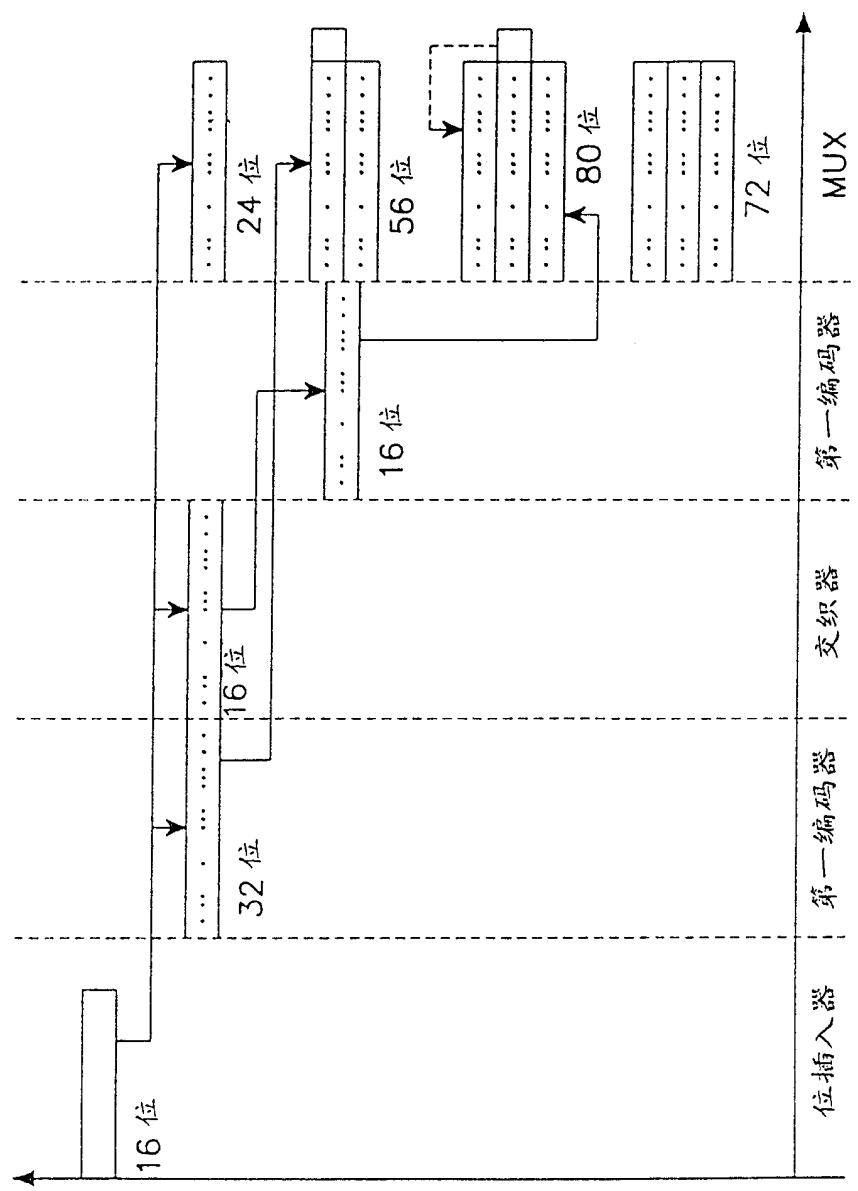


图 13

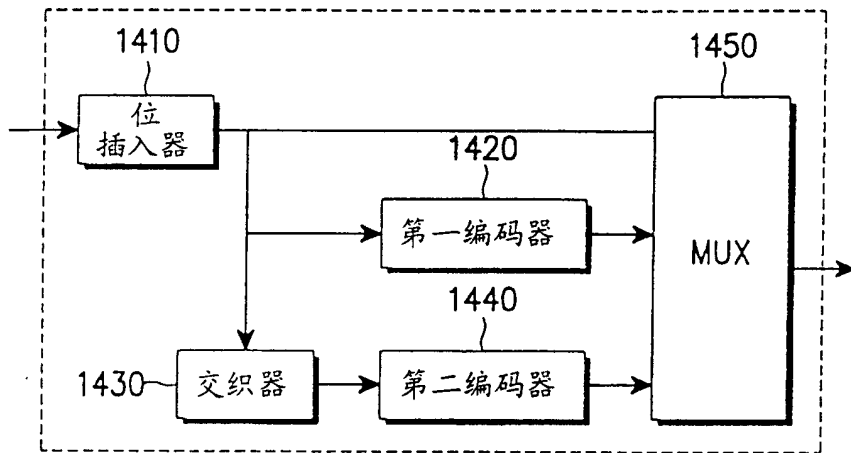


图 14

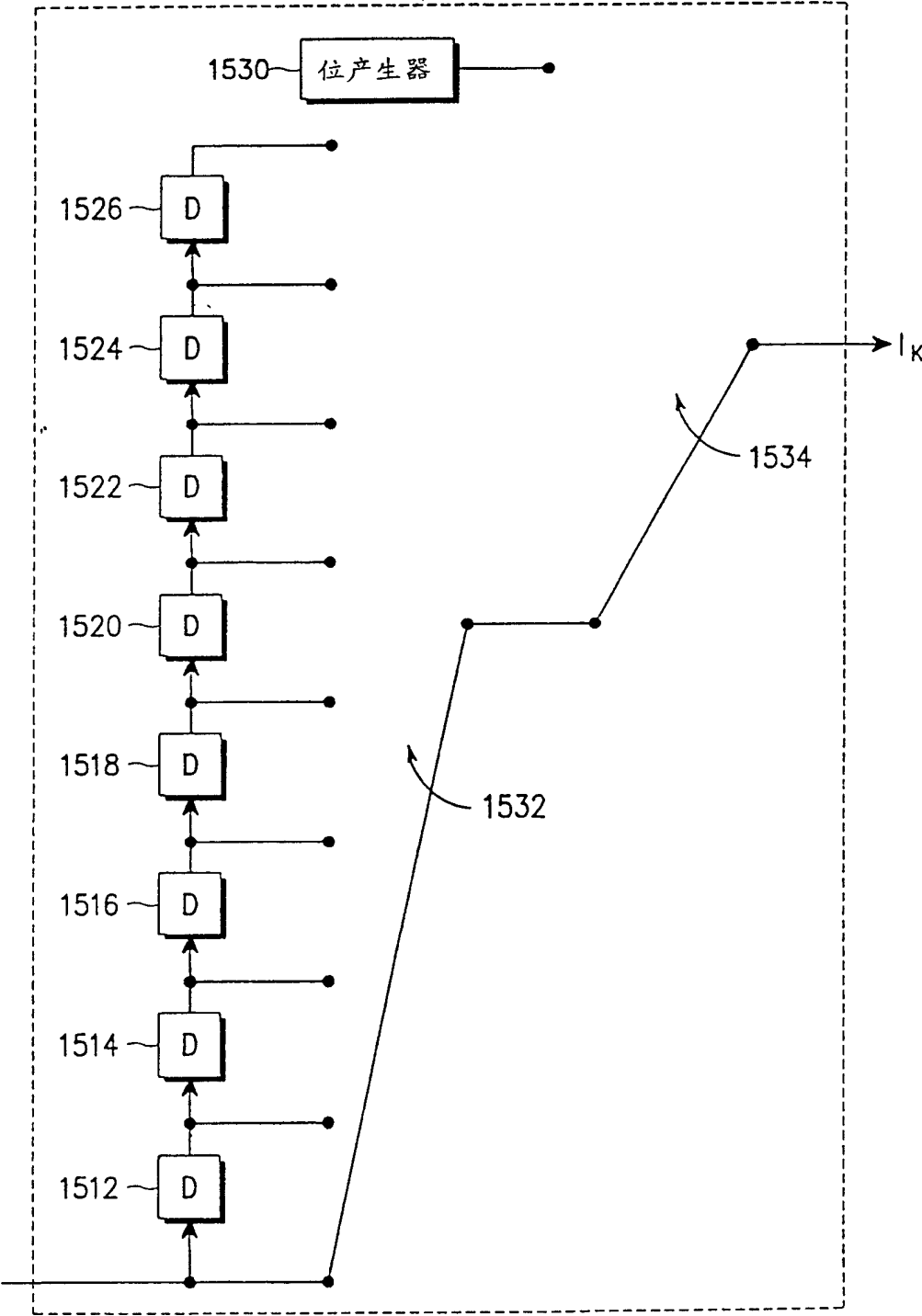


图 15A

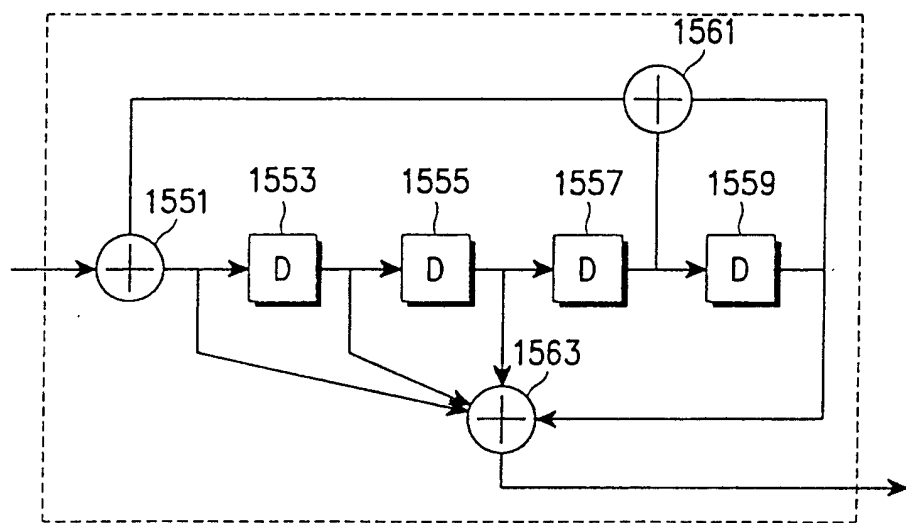


图 15B

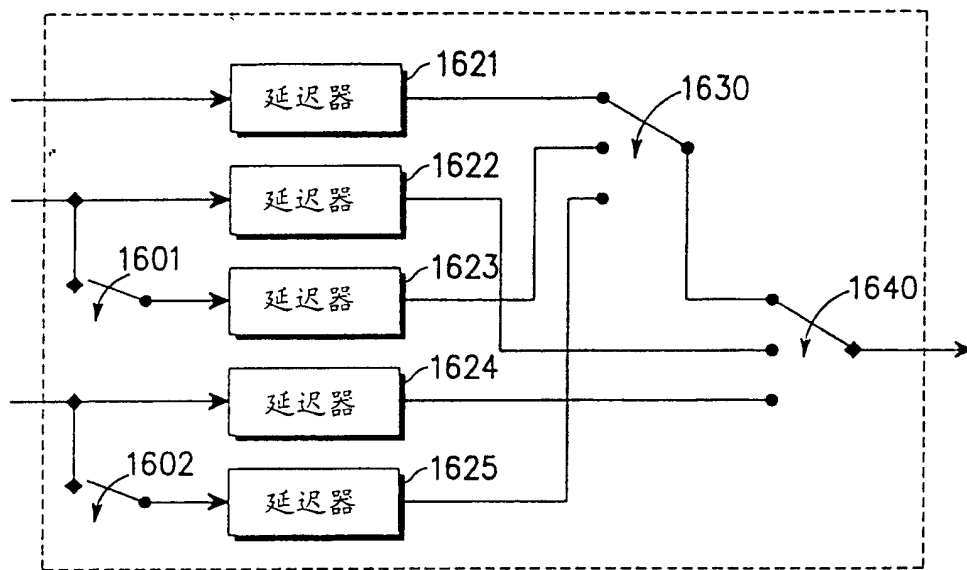


图 16

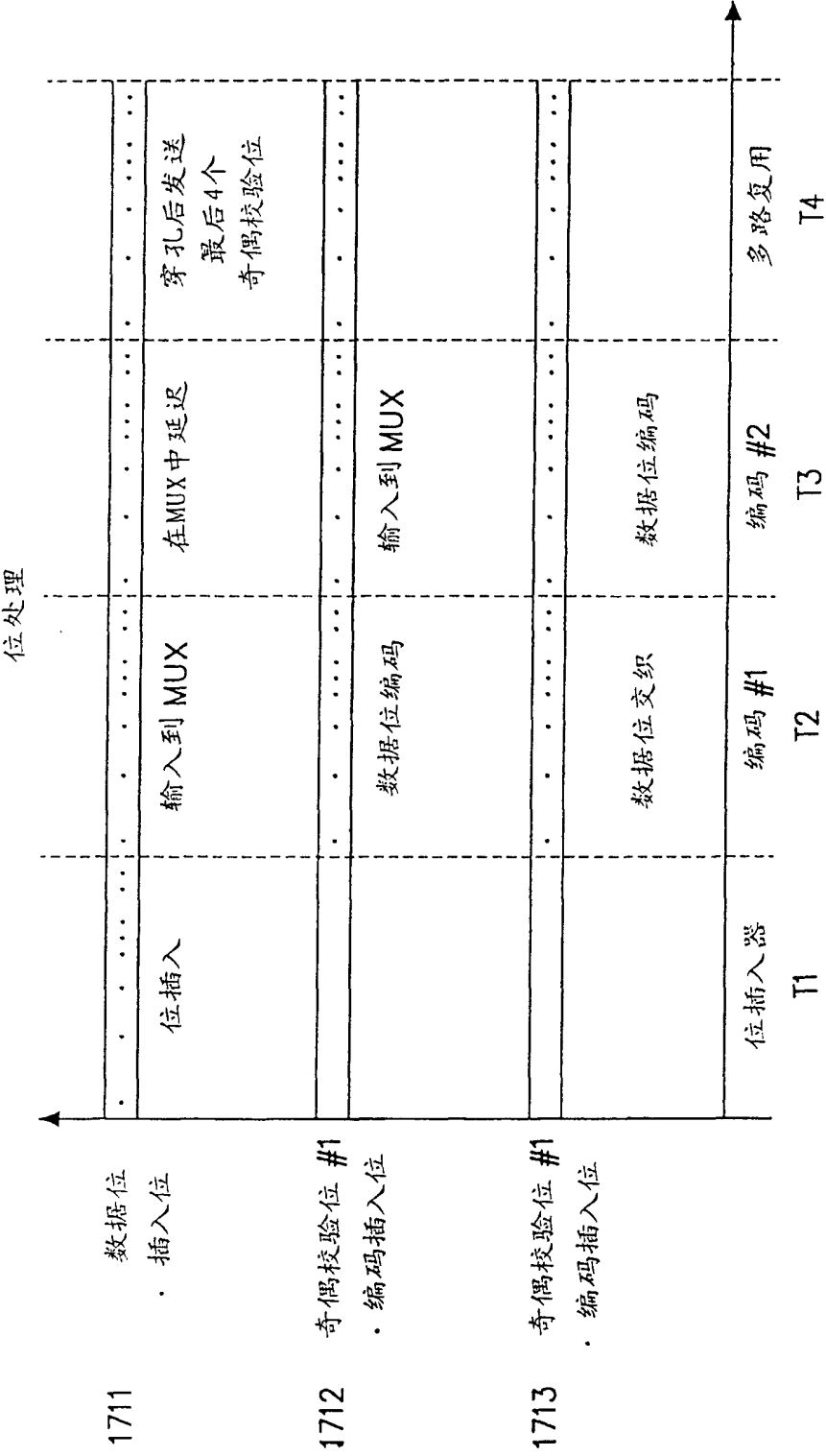


图 17

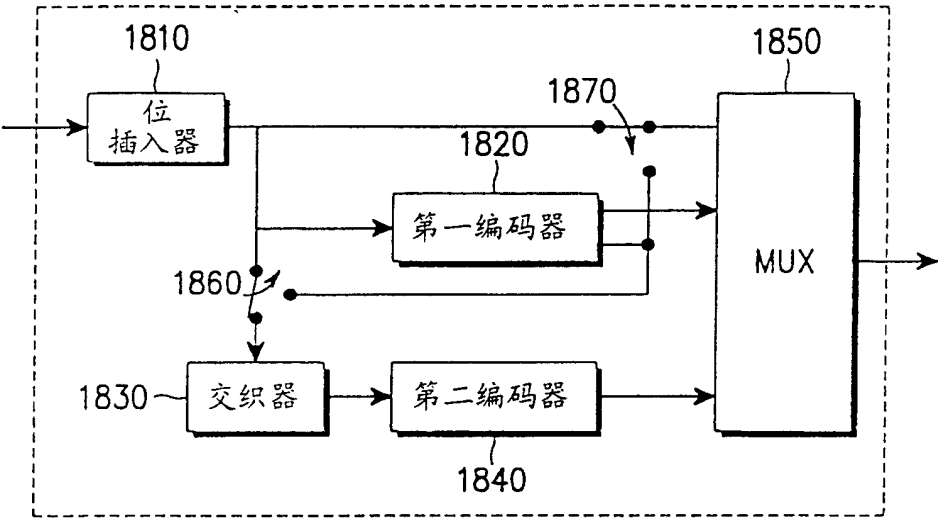


图 18

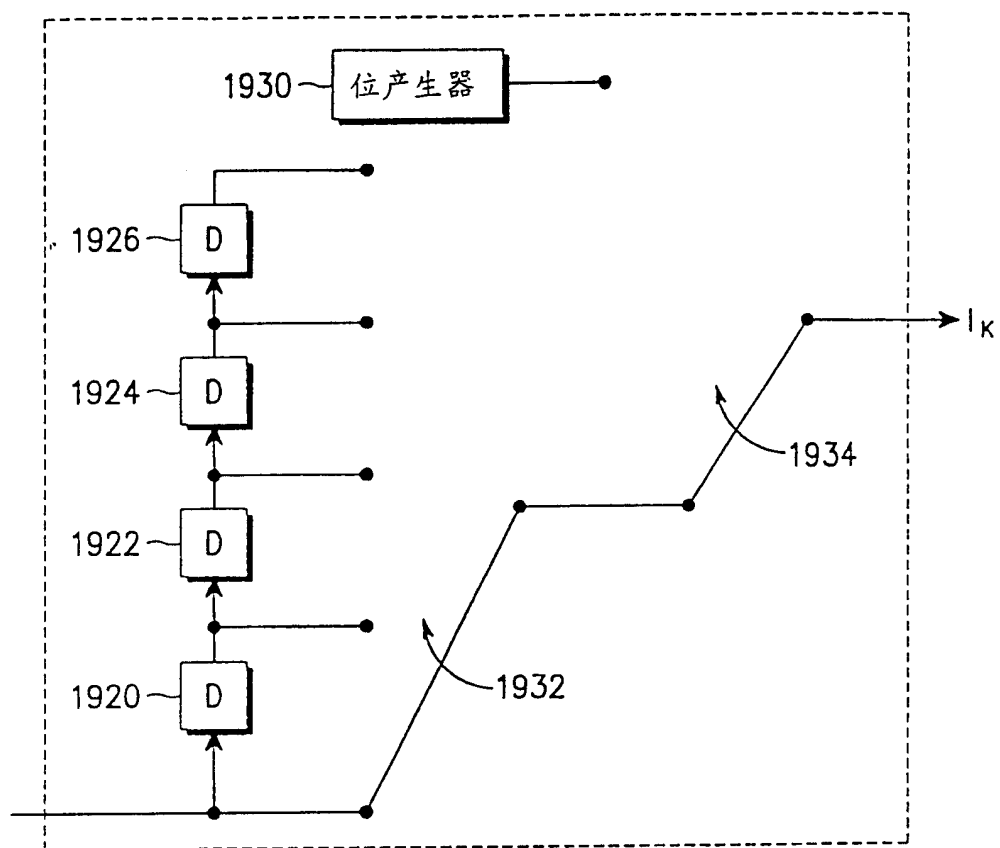


图 19

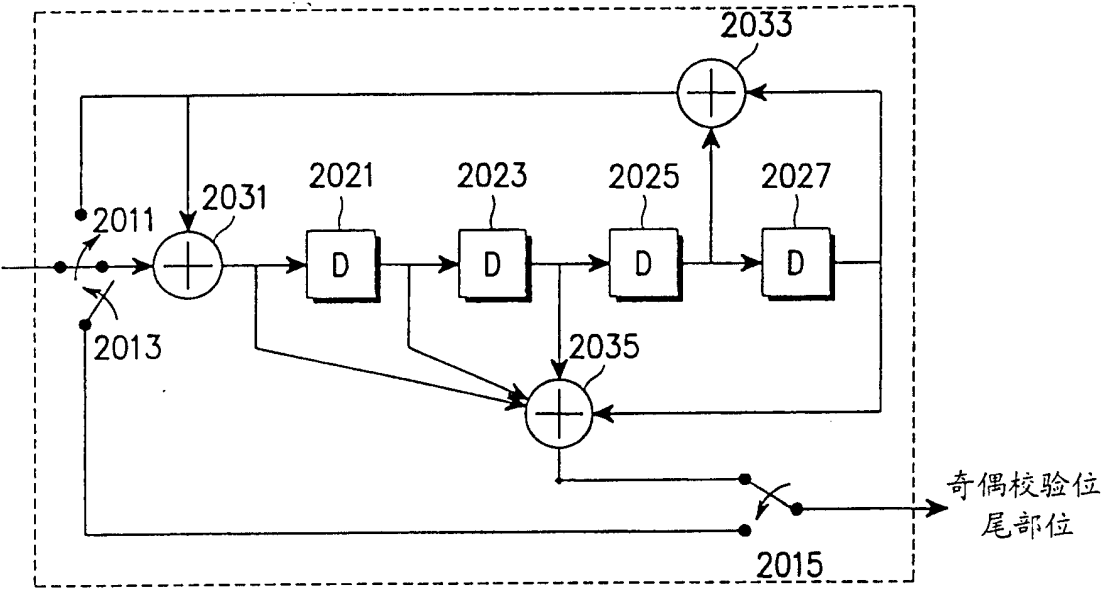


图 20

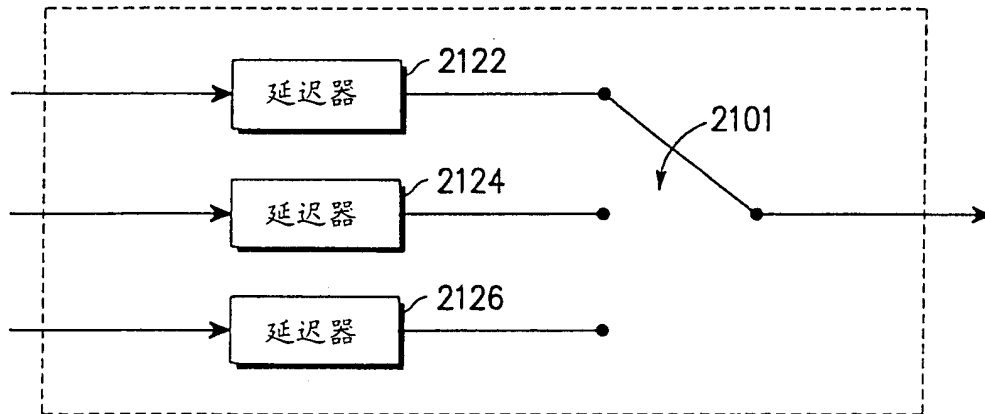


图 21

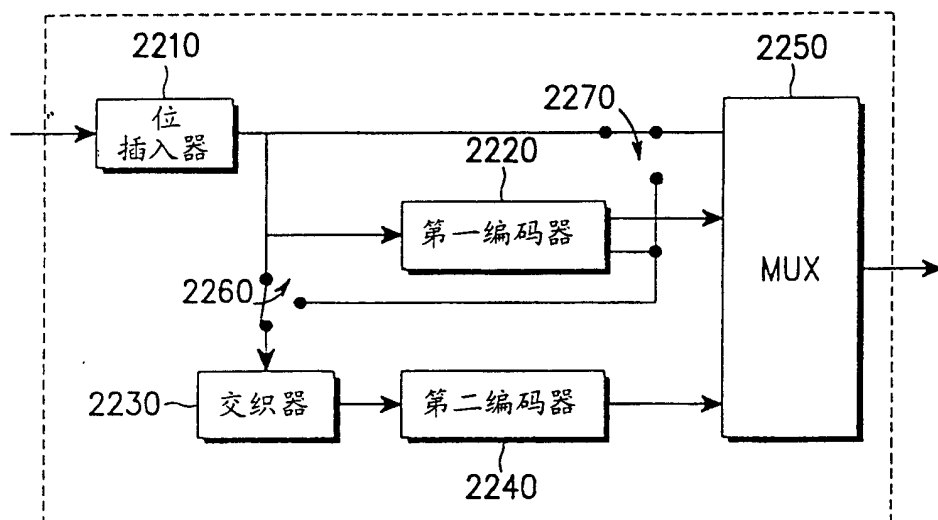


图 22

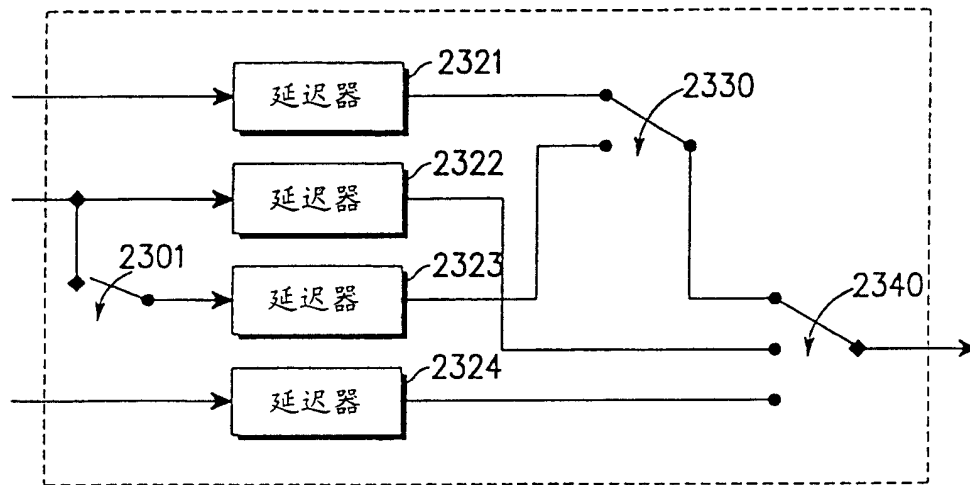


图 23

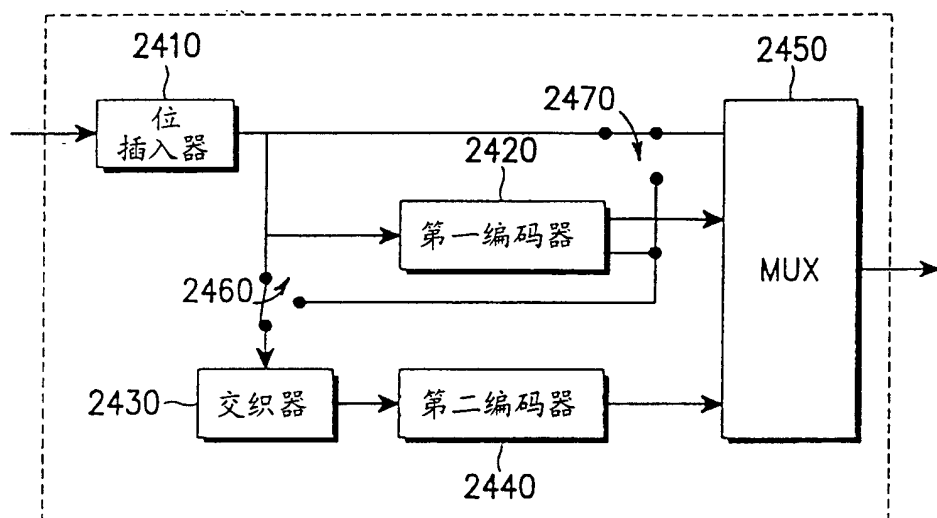


图 24

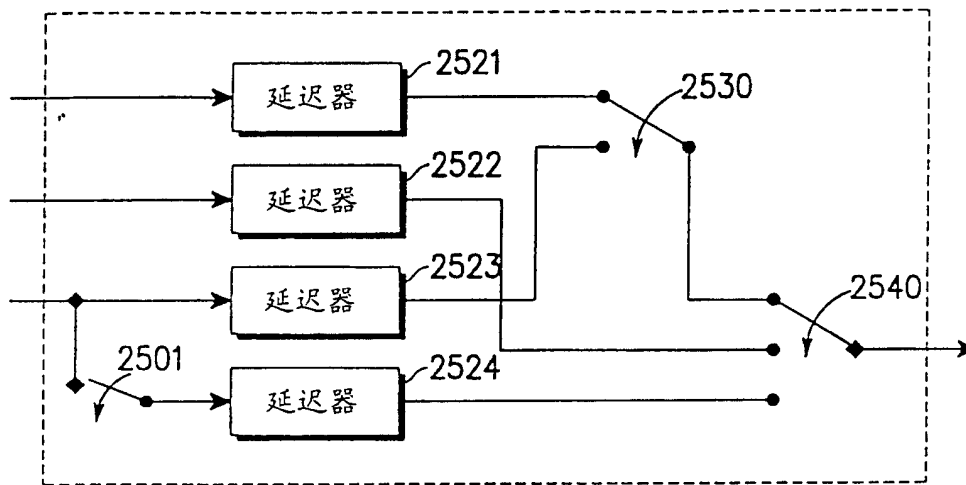


图 25

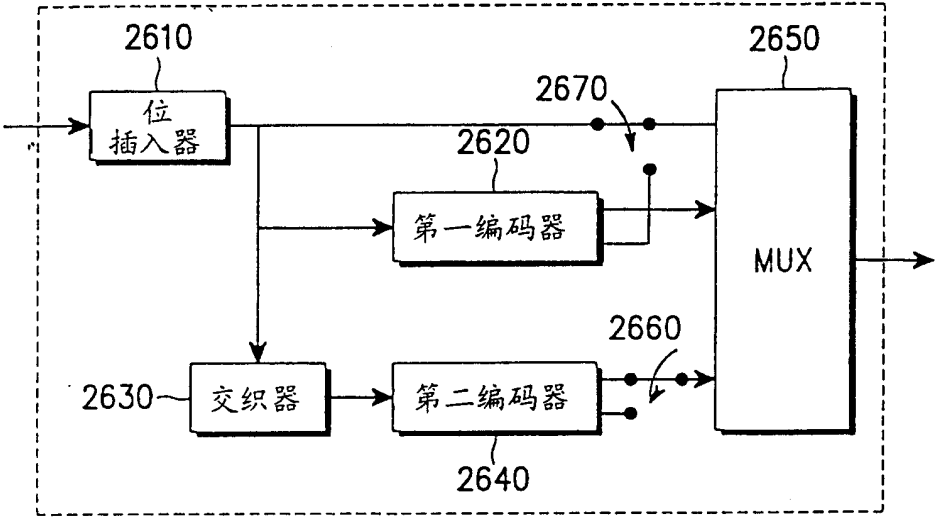


图 26

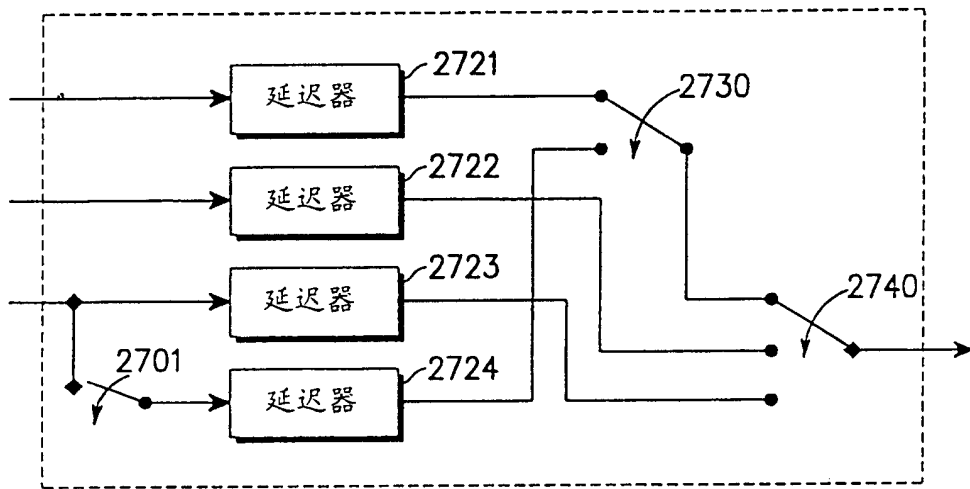


图 27

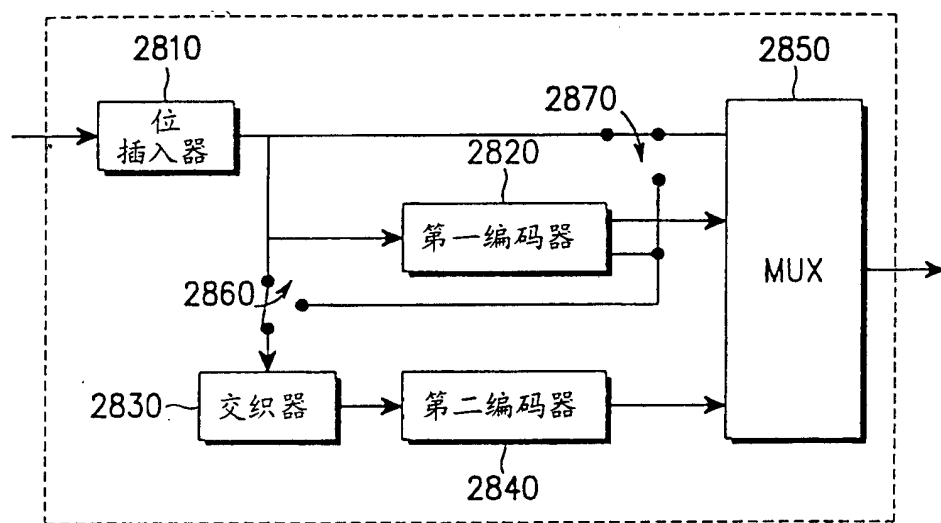


图 28

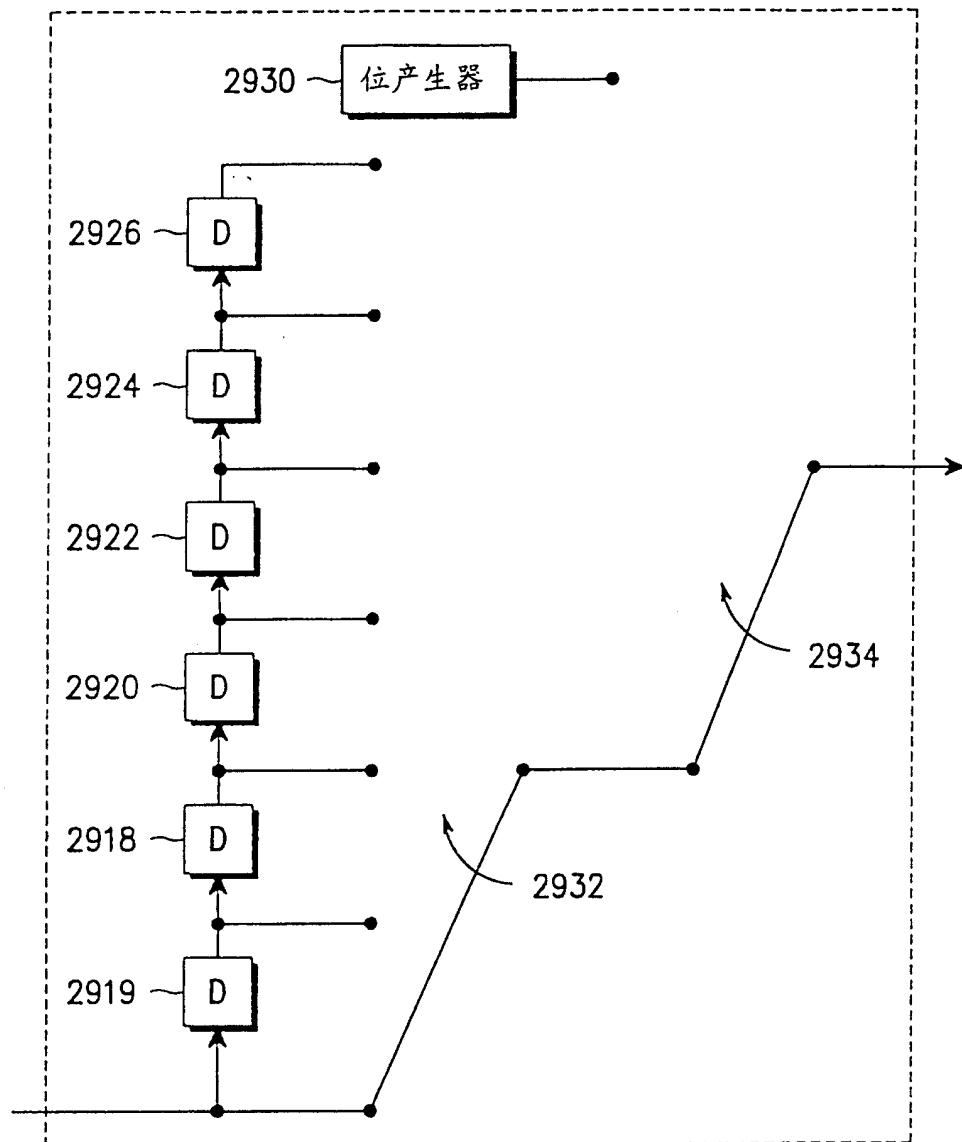


图 29

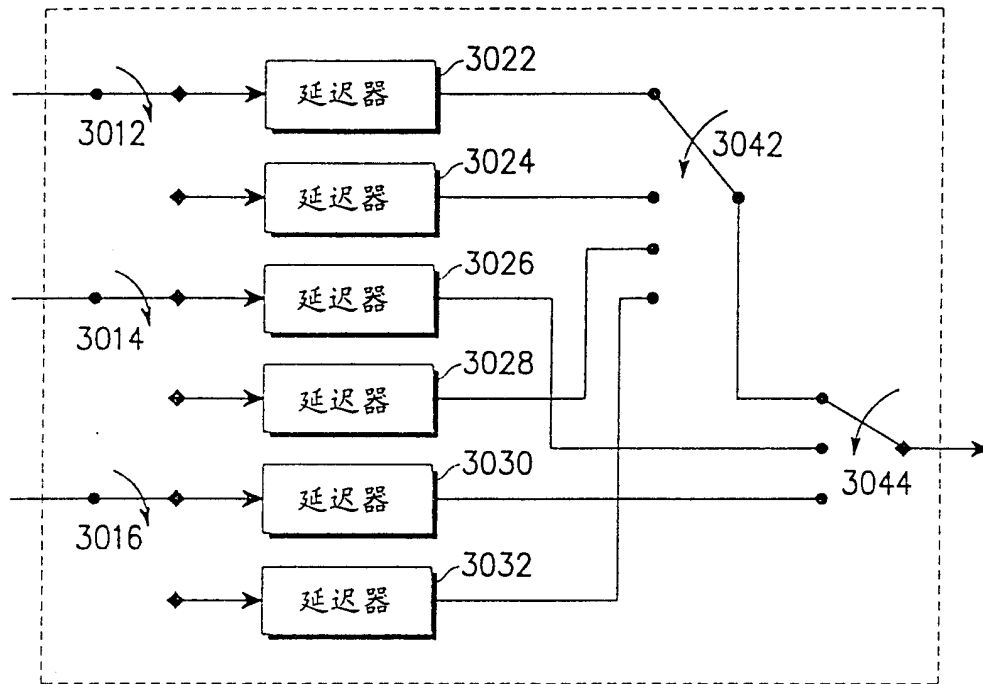


图 30