



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/105 (2006.01)

(45) 공고일자

2007년04월13일

(11) 등록번호

10-0706847

(24) 등록일자

2007년04월05일

(21) 출원번호 10-2001-0048646
 (22) 출원일자 2001년08월13일
 심사청구일자 2006년08월11일

(65) 공개번호 10-2002-0070624
 (43) 공개일자 2002년09월10일

(30) 우선권주장 09/797,005 2001년02월28일 미국(US)

(73) 특허권자 후지쓰 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자 선산
 미국80919콜로라도주콜로라도스프링스버카이드라이브505

히커트조지
 미국80922콜로라도주콜로라도스프링스위버드라이브5239

마쓰우라가쓰요시
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

사이또다케야스
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

오자와소이치로
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

사또나오유키
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

후지끼미쓰시
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

미하라사또루
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

스캇크로스제프리
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
 시끼가이샤내

호리이요시마사
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
시끼가이샤내

(74) 대리인 문두현
문기상

(56) 선행기술조사문현
KR1020000027802 A JP2000208725 A
KR1019990055174 A KR100199095 B1
* 심사관에 의하여 인용된 문현

심사관 : 홍경희

전체 청구항 수 : 총 10 항

(54) 상부 전극 상에 스트론튬 루테늄 산화물 보호층을 형성하는 방법

(57) 요약

강유전성 커패시터의 상부 전극층 상에 캡층을 제조하는 방법은, 통상 $\text{Sr}_{(x)}\text{Ru}_{(y)}\text{O}_3$ 으로 이루어진 비정질층을 상부 전극 상에 퇴적하고, 그 후 상기 비정질층을 2단계로 어닐링하여 상기 비정질층을 캡층으로 변환하는 단계를 포함한다. 제1 어닐링은 질소와 같은 비산화 분위기에서 500°C 내지 700°C로 수행되어, 비정질층을 $\text{Sr}_{(x)}\text{Ru}_{(y)}\text{O}_3$ 의 결정화된 층으로 변환한다. 제2 어닐링은 산소와 같은 산화 분위기에서 300°C 내지 500°C로 수행되어, 결정화된 층을 캡층으로 변환한다. 이 방법은 집적 반도체 장치의 강유전성 커패시터 소자의 형성에 적용된다.

대표도

도 1

특허청구의 범위

청구항 1.

상부 전극층, 하부 전극층, 및 상기 상부와 하부 전극층 사이의 강유전성 유전체층을 포함하는 강유전성 커패시터 내에 캡층을 제조하는 방법에 있어서,

상기 상부 전극층 상에 도전성 금속 산화물 재료를 포함하는 비정질층(amorphous layer)을 형성하는 단계와,

상기 비정질층을 결정화된 페로브스카이트 또는 층상(層狀) 페로브스카이트 재료층으로 변환하기 위해 비산화 분위기에서 상기 비정질층을 가열하는 제1 어닐링을 상기 비정질층에 실시하는 단계와,

상기 결정화된 층을 상기 캡층으로 변환하기 위해 비환원 분위기에서 상기 결정화된 층을 가열하는 제2 어닐링을 상기 결정화된 층에 실시하는 단계

를 포함하는 강유전성 커패시터의 캡층 제조 방법.

청구항 2.

제1항에 있어서,

상기 결정화된 층 및 상기 상부 전극층을 에칭하여 상기 상부 전극층을 패터닝하는 단계를 더 포함하는 강유전성 커패시터의 캡층 제조 방법.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제1항에 있어서,

상기 제1 어닐링은 상기 비정질층을 500°C 내지 700°C로 가열하는 단계를 포함하는 강유전성 커패시터의 캡층 제조 방법.

청구항 6.

제1항에 있어서,

상기 제2 어닐링은 상기 결정화된 층을 300°C 내지 500°C로 가열하는 단계를 포함하는 강유전성 커패시터의 캡층 제조 방법.

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

상부 전극층, 하부 전극층, 및 상기 상부와 하부 전극층 사이의 강유전성 유전체층을 포함하는 강유전성 커패시터 내에 캡층을 제조하는 방법에 있어서,

상기 상부 전극층 상에 $\text{Sr}_{(x)}\text{Ru}_{(y)}\text{O}_3$ 을 포함하는 비정질층을 퇴적하는 단계와,

상기 비정질층을 결정화된 층으로 변환하기 위해 질소를 포함하는 비산화 분위기에서 상기 비정질층을 가열하는 제1 어닐링을 상기 비정질층에 실시하는 단계와,

상기 결정화된 층 및 상기 상부 전극층을 에칭하여 상기 상부 전극층을 패터닝하는 단계와,

상기 결정화된 층을 상기 캡층으로 변환하기 위해 산소를 포함하는 산화 분위기에서 상기 결정화된 층을 가열하는 제2 어닐링을 상기 결정화된 층에 실시하는 단계

를 포함하고,

상기 상부 전극층은 산화 이리듐을 포함하고, 상기 강유전성 유전체층은 PZT를 포함하고, 상기 하부 전극층은 플래티늄을 포함하는 강유전성 커패시터의 캡층 제조 방법.

청구항 11.

반도체 기판과,

상기 반도체 기판에 형성된 반도체 장치와,

상기 반도체 기판 상에 형성되며, 하부 전극, 상기 하부 전극 상에 형성된 강유전성 유전체층 및 상기 강유전성 유전체층 상에 형성된 상부 전극을 포함하는 강유전성 커패시터와,

비산화 분위기에서 비정질층을 가열하여 형성되며, 상기 상부 전극 상에 형성된 스트론튬, 루테늄 및 산소를 포함하는 결정화된 캡층

을 포함하는 집적 반도체 장치.

청구항 12.

제11항에 있어서,

상기 상부 전극은 상기 강유전성 유전체층과 접촉하는 산화 이리듐(Ir)층을 더 포함하는 집적 반도체 장치.

청구항 13.

제11항에 있어서,

상기 강유전성 커패시터 상에 형성된 절연층을 더 포함하고,

상기 절연층은 약(弱) 도전성 PZT 및 알루미늄 산화물로 이루어진 그룹으로부터 선택된 절연성 금속 산화물을 포함하는 집적 반도체 장치.

청구항 14.

제11항에 있어서,

상기 캡층은 스트론튬, 루테늄 및 산소를 포함하는 집적 반도체 장치.

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

집적 반도체 장치의 소자를 형성하는 강유전성 커패시터에 있어서,

$\text{Sr}_{(x)}\text{Ru}_{(y)}\text{O}_3$ (여기서, $y=(2-x)$ 이고, x 는 0.9 내지 1.1의 값을 가짐)을 포함하는 캡층과,

상기 캡층 아래에 배치되고, 산화 이리듐을 포함하는 상기 상부 전극층과,

상기 상부 전극과 하부 전극 사이에 배치되고, PZT를 포함하는 강유전성 유전체층과,

플래티늄을 포함하는 상기 하부 전극

을 포함하는 강유전성 커패시터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전성 메모리 집적 회로 공정 분야에 관한 것으로, 특히 강유전성 메모리 집적 회로의 강유전성 커패시터의 상부 전극의 상부 위에 보호층을 형성하는 것에 관한 것이다.

셀룰러 전화기, 개인용 디지털 어시스턴트(PDA), 및 디지털 카메라 등의 휴대형 전자 장치를 위한 바람직한 메모리 기술로서 강유전성 랜덤 액세스 메모리(FRAM)의 잠재력이 오랫동안 인식되고 있다. FRAM은 전원이 차단된 때에 데이터를 소실하지 않는 불휘발성 메모리 기술이다. 이에 반해, 대부분의 데스크탑 및 노트북 컴퓨터에 사용되는 휘발성 DRAM 메모리 내에 기억된 데이터는 컴퓨터의 전원이 차단되면 소실된다. 이를 컴퓨터는, 보조 전원 간에 데이터를 유지하기 위해, 부피가 크고 예민한 하드 디스크 드라이브와 같은 부가적인 부품을 필요로 한다. 이와 같이, FRAM은 부가적인 불휘발성 데이터 기억 부품의 필요를 제거함으로써, 휴대형 장치를 소형이면서 항구적으로 유지하는 데 도움을 준다.

FRAM은 EEPROM 및 플래시 EEPROM 등의 다른 불휘발성 메모리 기술을 능가하는 수개의 이점을 갖는다. EEPROM 및 플래시 EEPROM은 나노세컨드와 마이크로세컨드 사이의 범위에서의 단시간 판독을 하지만, 기록 시간은 밀리세컨드 정도이다. 플래시 EEPROM의 블록 소거 특성과 결합되는, 판독과 기록 시간 간의 어느 정도의 시간차는 EEPROM 및 플래시 EEPROM 장치의 설계 및 사용을 복잡하게 할 수 있다. 이에 반해, FRAM은 1 마이크로세컨드 미만의 판독 및 기록 동작을 실행할 수 있다.

또한, FRAM은 우수한 내구성을 갖는다: FRAM 메모리 셀의 가용한 수명은 10^{12} 의 판독/기록 사이클을 초과하여 확장될 수 있다. 판독/기록 피로도에 대한 이러한 강한 내성은 FRAM이 초당 수백만 내지 수십억의 동작을 실행하는 포터블 컴퓨터 등의 장치에 매우 적합하게 한다.

발명이 이루고자 하는 기술적 과제

FRAM 메모리 셀은 커패시터로 형성되어, 커패시터의 전극에 인가된 전압 및/또는 전류를 조작함으로써 데이터가 액세스된다. FRAM 메모리 셀의 커패시터는 전극들을 분리하도록 강유전성 화합물을 사용한다. 통상 FRAM에 사용되는 강유전성 화합물은 통상 PZT로 불리는 납 티타네이트 지르코네이트 [$\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$], 및 통상 SBT로 불리는 스트론튬 비스무스 티타네이트(SrBiTiO) 등의 페로브스카이트 결정 구조를 갖는 산화물을 포함한다. 이를 강유전성 유전 재료들은 어드레싱, 선택 및 제어 논리를 위한 회로를 제공하도록 다른 반도체 장치와 함께 집적된다. 불행하게도, 데이터 보유 및 피로도에 대한 내성과 같은, 대다수의 강유전성 재료의 소망의 전기적 특성은 전형적인 반도체 처리 조건에서 열화된다. 이와 같이, 반도체 장치 제조자들은 표준 반도체 제조 및 패키징 공정으로 FRAM 메모리 셀들을 집적할 때 강유전성 재료의 고품질 전기적 특성을 보호하는 데 어려움을 빈번히 직면하고 있다.

프로세싱 중의 FRAM의 열화의 주요 원인 중의 하나는 강유전성 재료 내의 산소 원자가 수소 등의 가스와 반응하는 데 기인하는 것으로 생각된다. 수소 노출은 포토레지스트를 제거하는 플라즈마 애싱과 같은 세정 동작 중에 발생한다. 또한, 금속 피착 공정은 형성된 금속 구조를 처리하기 위해 유기 금속 화합물의 사용 및/또는 수소의 사용을 통해 수소와 종종 합체시킨다. 또한, 반도체 제조 공정에서는 퇴적 후의 과잉 재료를 화학적 기계적 연마(CMP)에 의해 제거하는 것이 일반적이다. CMP는 텅스텐 등의 과잉 재료를 제거하는 데 유효하지만, 화학 반응 및 기계 교반은 또한 강유전체층 내로 수소를 이동시켜 PZT를 손상시키는 것으로 생각된다. 따라서, 이렇게 생성된 FRAM은 매우 빈약하고 소망의 것과 모순된 품질을 갖는다.

발명의 구성

본 발명은 집적 회로 및 집적 회로를 제조하기 위한 방법에 관한 것으로, 향상된 성능 및 보다 큰 공정 자유도를 제공하는 다른 반도체 장치들과 집적된 강유전성 소자를 포함한다. 본 발명은 강유전성 커패시터의 상부 전극 상에 도전성 폐로브스 카이트 또는 층상(layered) 폐로브스카이트 재료를 구비한 보호 캡층을 형성하여, 수소 및 환원 가스들에 의한 화학적 열화로부터 강유전성 재료의 하지층(또는 층들)을 보호한다.

본 발명에 따르면, 집적 반도체 장치는, 강유전성 커패시터를 포함하며, 상기 커패시터의 상부 전극 상에는 스트론튬-루테늄-옥사이드(SRO)를 구비한 보호 캡층이 퇴적된다. SRO 캡층은 반도체 제조 공정 중에 화학적 기계적 열화로부터 커패시터의 강유전성 유전체층을 보호한다. 특히, 캡층은 상부 전극을 통해 강유전성 유전체층 내로 PZT 등의 강유전성 유전 재료를 열화시키는 수소의 이동을 저지하는 것으로 생각된다.

또한, 본 발명에 따르면, 강유전성 커패시터의 상부 전극 상에 SRO 캡층을 형성하는 방법이 제공된다. 이 방법에서는, SRO층이 상부 전극 상에 퇴적된 후에 2회 어닐링된다: 우선, 비정질상으로 본래 퇴적된 캡층을 500°C 내지 700°C의 온도로 비산화 분위기에서 어닐링하여 SRO를 결정화한다. 그 후, 결정화된 SRO 캡층을 300°C 내지 500°C의 온도로 산화 분위기에서 이번만 재차 어닐링한다. 이렇게 생성된 결정화된 산소 어닐링된 SRO 캡층은 차후의 장치 제조 단계 중에 수소 열화로부터 우수한 보호성을 갖는 하지의 강유전성 유전체층을 제공한다.

본 발명에 의해 제공된 강유전성 커패시터 구조는 어닐링, 세정, 다층 금속 처리, 상호 접속 처리 및 어셈블리 중에 차후의 온도 및 화학 노출에 대하여 보다 견고하다. 또한, 커패시터 구조의 제조에 수반하는 공정들의 악영향이 감소되어, 보다 다양한 공정들이 제조에 수반하여 수행될 수 있어, 집적도가 높은 새로운 장치들이 강유전성 장치의 성능을 손상시키지 않고서 달성될 수 있다.

이하, 도 1을 참조하여 본 발명의 집적 반도체 장치와 합체된 집적된 강유전성 메모리 셀(10)의 예를 나타낸다. 집적된 강유전성 셀(10)은 강유전성 커패시터(12) 및 전계 효과 트랜지스터(FET)(14)를 포함한다. 이러한 특정 구성에서는, 강유전성 메모리 셀(10)이 1 트랜지스터-1 커패시터(1T-1C) 메모리 셀로서 구성된다. 메모리 셀(10)은 실리콘 에피택셜층(16)을 포함할 수 있는 단결정 실리콘 기판 등의 기판을 포함한다. 두꺼운 필드 산화층(18)은 액티브 영역을 한정하여 분리한다. 확산 영역(20)은 트랜지스터(14)의 드레인 및 소스 영역 등의 액티브 장치 요소를 형성한다. 게이트 전극(22)은 워드선(도 1의 평면과 직각으로 연장되고 도시하지 않음)의 일부에 결합하거나 이를 형성한다. 평탄화층(24)은, 오버라잉 장치 구조의 평탄 작업 표면을 제공하기 위해 두꺼운 층으로 도포되고 화학적, 기계적, 화학적 기계적 연마 등을 이용하여 평탄화되는 산화물 등의 절연 재료를 포함한다.

바람직한 실시예에서, 접착층(도시하지 않음)이 평탄화층(24)까지의 강유전성 커패시터(12) 사이에 배치되어, 집적 반도체 장치의 잔여부에 강유전성 커패시터(12)를 접착하는 것을 향상시킨다. 접착을 설명할 때에는 박막층 및 후막층이 적절하지만, 접착층(초박형이므로 도시하지 않음)은 50Å 내지 200Å 두께의 산화 티타늄으로 이루어지는 것이 바람직하다.

커패시터(12)는 하부 전극(28), 강유전성 유전체층(30), 상부 전극층(32), 및 상부 전극층(32)의 상부에 배치되는 SRO 캡층(34)으로 형성된다. 하부 전극층(28)은 플레이트늄으로 제조되는 것이 바람직하고, 집적 반도체 장치의 양호한 전극 특성을 설명할 때에는 박막층 및 후막층이 적절하지만, 500Å 내지 2000Å, 보다 바람직하게는 1000Å의 두께를 갖는다. 하부 전극(28)은 복수의 메모리 셀에 차례로 결합되는 "플레이트 라인"(plate line)에 접속된다. 플레이트 라인은 또한 도 1의 평면에 직각이므로, 도시되지 않는다.

강유전성 유전체층(30)은 납 티타네이트 지르코네이트 $Pb(Zr_xTi_{1-x})O_3$ (PZT) 또는 스트론튬 비스무스 티타네이트 $SrBiTiO$ (SBT) 등의 폐로브스카이트 결정 구조를 갖는 산화물을 포함하는 것이 바람직하다. 집적 반도체 장치의 양호한 강유전성을 설명할 때에는 박막층 및 후막층이 적절하지만, 강유전성 유전체층(30)은 1000Å 내지 2000Å의 두께를 갖는 것이 바람직하고, 대략 1800Å의 두께를 갖는 것이 보다 바람직하다.

상부 전극층(32)은 플래티늄 등의 전기 도전성 재료로 이루어지는 것이 바람직하고, 산화 이리듐으로 이루어지는 것이 보다 바람직하다. 집적 반도체 장치의 양호한 전극 특성(예를 들면, 도전성, 적절한 금속 이동성, 내열성, 패턴성)을 설명할 때에는 박막층 및 후막층이 적절하지만, 상부 전극층(32)은 500Å 내지 2000Å의 두께를 갖는 것이 바람직하고, 대략 1500Å의 두께를 갖는 것이 보다 바람직하다.

바람직한 실시예에서, SRO 캡층(34)은 상부 전극층(32)의 상부에 배치된다. SRO 캡층(34)은 스트론튬 및 루테늄의 산화물을 포함하는 것이 바람직하고, $Sr_{(x)}Ru_{(y)}O_3$ [여기서, $y=(2-x)$ 이고, x 는 0.9 내지 1.1의 값을 가짐]을 포함하는 것이 보다 바람직하다. 화학적 기계적인 열화로부터 강유전성 유전체층(30)의 하지 강유전성 재료를 보호할 때는 박막층 및 후막층이 적절하지만, SRO 캡층(34)은 200Å 내지 1500Å의 두께를 갖는 것이 바람직하고, 대략 500Å의 두께를 갖는 것이 보다 바람직하다. 다른 실시예에서, 캡층(34)은 SRO 등의 도전성 폐로브스카이트 뿐만 아니라, $YBaCuO_3$ 등의 도전성 층상 폐로브스카이트 재료가 이용된다.

커패시터(32)의 상부 전극은 금속층(36)을 통해 트랜지스터(14)의 소스 영역에 결합된다. 금속층(36)은 또한 트랜지스터(14)의 드레인과 접촉하여, 비트선 컨택트를 형성한다. 바람직한 실시예에서, 패시베이션층(38)은 집적 회로의 전체 표면에 걸쳐 순차적으로 퇴적될 수 있다.

본 발명의 방법은, 강유전성 커패시터의 상부 전극의 상부에 스트론튬 및 루테늄을 포함하는 비정질 산화물의 층을 형성하는 단계; 비정질층을 결정화된 층으로 변환하기 위해 비산화 분위기에서 500°C 내지 700°C의 온도로 비정질층을 가열하는 단계; 및 결정화된 층을 본 발명의 SRO 캡층으로 변환하기 위해, 비환원 분위기에서 300°C 내지 500°C의 온도로 결정화된 층을 가열하는 단계를 포함한다.

본 발명의 바람직한 실시예에서, 강유전성 커패시터의 상부 전극의 상부에 형성되는 비정질 산화물의 층은 $Sr_{(x)}Ru_{(y)}O_3$ 을 포함하고, 여기서 $y=(2-x)$ 이고 x 는 0.9 내지 1.1의 값을 갖는다. SRO층은 솔-겔 프로세스, 스퍼터링, 및 화학 기상 증착(CVD)을 포함하는, 적층 구조의 집적 반도체 장치의 막들을 형성하는 다수의 기술을 통해 형성될 수 있다. 비정질 SRO층은 질소(N_2) 또는 희가스 분위기에서 약 650°C의 온도로 가열되어, SRO층의 결정화를 촉진한다. 이 비산화 어닐링은 대체 실행에서 500°C 내지 700°C의 온도 범위에서 수행될 수 있다.

이어서, 결정화된 SRO층이 비환원 또는 산화 분위기에서 약 5시간동안 약 400°C로 가열되어, 본 발명에 따른 산소 어닐링된 SRO 캡층을 형성한다. 이 제2 가열 단계에서 사용된 분위기는 질소 또는 희가스와 같은 비환원 가스를 포함하는 것이 바람직하고, 산소(O_2)와 같은 산화 가스를 포함하는 것이 보다 바람직하다. 분위기가 비환원이므로, 수소(H_2)와 같은 환원 가스들이 존재하지 않아야 한다. 본 방법의 바람직한 대체 형태에서는, 결정화된 SRO층을 최종의 SRO 캡층으로 변환하는 제2 열처리를 수행하기 전에 결정화된 SRO층 및 상부 전극층을 예치하여, 강유전성 커패시터의 상부층을 형성한다.

본 발명의 SRO 캡층을 형성하는 방법은 집적 반도체 장치를 형성하는 종래의 방법과 합체될 수 있다: 강유전성 커패시터의 하부 전극은 집적 반도체 장치의 기판층 상에 형성된다. 바람직한 실시예에서, 하부 전극은 하지 기판층 및 하부 전극층과 접촉하여, 접착층을 포함하는 적층 구조로 형성되어, 접착층의 상부에 배치된다. 하부층은, 기판층 상에 티타늄(Ti) 금속을 퇴적하고, 산소 분위기에서 300°C 내지 700°C로 금속층을 가열함으로써 형성된 산화 티타늄을 포함하는 것이 바람직하다. 하부 전극층은 도전성 금속 또는 금속 산화물을 포함하는 것이 바람직하고, 플래티늄을 포함하는 것이 보다 바람직하다. 하부 전극층은 DC 스퍼터링과 같은 임의의 표준 퇴적 기술들을 통해 접착층 상에 형성될 수 있다.

하부 전극층의 형성 후에, 강유전성 유전체층이 하부 전극 상에 형성된다. 강유전성 유전체층은 납 티타네이트 지르코네이트(PZT) 또는 스트론튬 비스무스 티타네이트(SBT) 등의 폐로브스카이트 결정 구조를 갖는 산화물을 포함하는 것이 바람직한 강유전성 재료로 이루어진다. 본 발명의 바람직한 형태에서, 강유전성 유전 재료는 란타늄, 칼슘 또는 스트론튬으로부터 선택된 금속으로 도핑될 수 있는 PZT이다. 바람직하게는, RF 스퍼터링 또는 솔-겔 프로세스를 이용하여, 하부 전극 상에 강유전성 재료를 퇴적한다. 강유전성 유전체층을 형성한 직후에, 비환원 분위기에서 가열하여 강유전성 재료를 결정화하는 것이 바람직하다. 예를 들면, 강유전성 재료는 금속 열처리(RTA) 프로세스를 통해 결정화될 수 있다.

다음에, 상부 전극층이 강유전성 유전체층 상에 형성된다. 상부 전극층은 금속 또는 도전성 산화물을 포함하는 것이 바람직하고, 플래티늄 또는 이리듐의 산화물을 포함하는 것이 보다 바람직하며, 이리듐의 산화물을 포함하는 것이 보다 더 바람직하다. 상부 전극은 DC 스퍼터링 등의 공지된 층 퇴적 기술들을 통해 강유전성 유전체층 상에 형성된다.

상부 전극이 강유전성 유전체층 상에 퇴적된 후, 완성될 강유전성 유전체층에 PZT의 그레인 성장을 위해 충분한 지속 기간 및 온도로 어닐링 단계를 수행하는 것이 바람직하다. 전형적으로, 이 어닐링은, 아르곤, 네온, 헬륨 또는 크세논 등의 불활성 가스를 포함하는 분위기의 밸런스로 바람직하게 1% 내지 5%인 산소의 분압을 포함하는 분위기에서 약 650°C로 수행된다.

상부 전극층이 형성되고 어닐링된 후, SRO 캡층이 도 2에 도시된 바와 같이 상부 전극층 상에 형성된다.

SRO 캡층의 형성 후에, 매우 다양한 집적 반도체 제조 프로세스를 이용하여 본 발명의 집적 반도체 장치를 제조한다. 이들 프로세스들은 그 중에서, 화학적 에칭 및 세정, ILD, CMP, 및 복원 어닐링을 포함한다. 본 발명의 프로세스 및 구성의 특유의 이점은 프로세스 및 장치 설계자들에게 지금까지는 불가능했던 프로세스의 변화 및 제어에 있어서의 새로운 자유도를 제공하는 것이다. 지금까지는, 강유전체의 퇴적 후의 후처리가 강유전성 재료를 열화시키지 않아야 하는 프로세스들에 의해 매우 국한되어 있었다. 이제, 수소 노출을 포함하는 새로운 프로세스들이 사용될 수 있고, 프로세스들을 보다 용이하게 제어할 수 있도록 프로세스 자유도가 확장된다.

여기서 설명한, 기계적 화학적 열화로부터 커패시터 스택의 강유전성 유전체층을 보호하는 캡층의 제조 프로세스들은 바람직하게는 플래티늄을 포함하는 하부 전극 및 바람직하게는 산화 이리듐을 포함하는 상부 전극을 이용한다. 적어도 그 외의 금속, 금속 산화물, 또는 비금속 도전 재료들이 강유전성 커패시터 스택의 실시 가능한 상부 전극 및 하부 전극을 제조 할 수도 있다.

또한, 여기서 설명한 프로세스들은 커패시터 스택을 포함하는 각종의 재료층을 퇴적하기 위한 스퍼터 퇴적을 이용하는 것이 바람직하다. 이 프로세스는, 각종의 층들에 적합하게 당 분야에 공지된 바와 같이, CVD, 및 소위 "스핀 온"(spin on) 기술인 용액 화학 퇴적(solution chemistry deposition)을 포함하는 그 외의 퇴적 방법을 이용할 수도 있다.

예 1

도 2를 참조하면, 본 예에 사용된 강유전성 커패시터들의 모식적인 도면이 도시되어 있다. 강유전성 커패시터(70)는 이산화 실리콘(SiO₂) 기판층(72), 산화 티타늄 접착층(74), 플래티늄 하부 전극(76), PZT 강유전성 유전체층(78), 산화 이리듐 상부 전극(80), SRO 캡층(82), 알루미나층(84), 및 알루미늄 합금 배선 컨택트(86)를 포함한다.

본 예에서, 산화 티타늄 접착층(74)은 200Å의 두께를 갖고, 하부 전극(76)은 1500Å의 두께를 가지며, PZT 강유전성 유전체층(78)은 1800Å의 두께를 갖고, 산화 이리듐 상부 전극(80)은 1500Å의 두께를 갖고, SRO 캡층(82)은 500Å의 두께를 갖는다. 강유전성 커패시터를 에칭한 후, 알루미나층(84)이 SRO 캡층의 상부 및 커패시터 스택의 양측에 형성된다. 그 후, 알루미나층(84) 위에 이산화 실리콘의 층간층(88)이 형성되고, 알루미늄 합금 배선 컨택트(86)가 적절하게 에칭된다.

질소 또는 산소 분위기에서 SRO 캡층(82)을 어닐링한 후에 이 층의 구조에 대하여 X선 회절(XRD) 측정을 행하였다. 어닐링 온도의 함수로서의 SRO 캡층(82)의 결정 구조의 비교를 이하의 표 1에 나타낸다.

[표 1]

어닐링 조건		SrRuO ₃ (121) 구조	SrRuO ₃ (040) 구조
어닐링 안함	C	없음	없음
	B	없음	없음
N ₂ 분위기에서 1시간 동안 500°C로 어닐링	C	없음	없음
	B	없음	없음
N ₂ 분위기에서 1시간 동안 650°C로 어닐링	C	450	없음
	B	460	없음

O_2 분위기에서 1시간 동안 650°C로 어닐링	C	620	240
	B	600	213

표 1에 나타낸 결과들은 비환원 분위기에서 500°C 이하의 어닐링 온도에서는 SRO 캡층의 결정화가 생기지 않는 것을 나타낸다. 이에 반해, 650°C의 어닐링 온도에서는, 비정질 SRO를 결정화된 페로브스카이트로 변환시키고, (121) 및/또는 (040) $SrRuO_3$ 결정상들이 SRO 캡층(82)에 존재한다.

도 3을 참조하면, 결정화 및 비결정화 SRO 캡층들의 리크 전류의 비교가 도시되어 있다. 도 3은, SRO 캡층(82)의 $SrRuO_3$ 이 결정화되지 않은 때가 SRO 캡층(82)이 결정화된 때보다도 리크 전류가 더욱 높다는 것을 나타낸다. 높은 전류 리크는 강유전성 커패시터들의 성능을 열화시킬 수 있다.

예 2

본 예에서는, SRO 캡층(82) 및 알루미나층(84)이 있을 때와 없을 때의 강유전성 커패시터들에 대한 분극 스위칭 전하(Q_{sw})를 비교한다. 커패시터들은 SRO 캡층(82) 및 알루미나층(84)이 없는 것을 제외하고는 모두 도 2에 도시된 것과 본 질적으로 동일한 구성을 갖는다.

도 4를 참조하여, 예칭 및 알루미늄 합금 배선 컨택트(86)의 형성에 이어서 3개의 서로 다른 강유전성 커패시터들의 Q_{sw} 를 측정했다. 약 $33\mu C/cm^2$ 의 Q_{sw} 가 알루미늄 합금 컨택트(86)를 처리하기 전에 3개의 커패시터들 모두에서 측정되었다. 제1 커패시터는 SRO 캡층(82)이 없는 것을 제외하고는 도 2에 도시된 구성을 갖는다. 제2 커패시터는 SRO 캡층(82)을 갖지만 알루미나층(84)이 없고, 제3 커패시터는 SRO 캡층(82)과 알루미나층(84) 양측을 갖는다. 도 4에 도시된 바와 같이, 강유전성 유전체층(78)의 PZT는 알루미늄 합금 컨택트(86)의 처리 중에 심하게 열화되어 $0\mu C/cm^2$ 부근의 Q_{sw} 를 초래한다. 이에 반해, 제2 및 제3 커패시터들은 SRO 캡층(82)이 존재하고, 강유전성 유전체층(78) 내의 PZT의 열화가 상당히 적다.

도 5를 참조하면, 도 2에 도시된 바와 같이, 2개의 강유전성 커패시터들이 산화 이리듐 상부 전극(80)과 PZT 강유전성 유전체층(78)의 인터페이스에서 서로 다른 표면 거칠기를 갖는다. 도 5는 이들 2개의 층들 간의 보다 거친 인터페이스가 커패시터의 감소된 Q_{sw} 값을 산출하는 것을 도시한다. 본 발명은 알루미나층(84) 대신에 PZT층을 이용할 수도 있다.

예 3

본 예에서는, 강유전성 커패시터의 강유전성 유전체층 내의 PZT의 수소 열화를 방지하기 위한 SRO 캡층의 능력을 설명한다. 수소 분위기에서 상승된 온도로 강유전성 커패시터들을 SRO 캡층들로 배치함으로써 실험을 시작했다. 커패시터의 분극 스위칭 전하(Q_{sw})의 감소를 측정하여 PZT의 수소 열화를 측정했다. 다양한 프로세스 조건 하에서 형성된 SRO 캡층들의 비교는 300°C 내지 500°C로 비환원 분위기에서 가열된 때에 층이 수소에 강한 장벽을 형성하는 것을 설명한다.

본 예에서 사용된 강유전성 커패시터들은 하부로부터 다음과 같은 층들, 즉 기판층, 접착층, 하부 전극, 강유전성 유전체층, 상부 전극층, 및 SRO 캡층을 포함한다. 접착층은 산화 티타늄(TiOx)의 500Å 층이고, 하부 전극은 플래티늄의 1500Å 층이며, 강유전성 유전체층은 PZT의 1800Å 층이고, 상부 전극은 산화 이리듐(IrOx)의 1500Å 층이며, SRO 캡층은 500Å의 두께를 갖는다.

도 6은 3% 수소 가스(H_2)를 포함하는 분위기에서 150°C로 강유전성 커패시터 샘플을 가열한 다음의 분극 스위칭 전하(Q_{sw})를 나타낸다. 이 수소 환경에서 15분 노출한 후에, 300°C 내지 500°C에서 산소로 가열된 SRO 캡층을 갖는 강유전성 커패시터는 Q_{sw} 값을 $30\mu C/cm^2$ 보다 높게 유지했다. 이에 반해, 300°C 내지 500°C의 범위 대신에, 650°C로 가열된 SRO층을 갖는 강유전성 커패시터층은 수소 환경에 대하여 동일한 노출 동안 거의 0의 Q_{sw} 를 갖는다. 이 외에, SRO 캡층이 결정화되지 않았지만 비정질인 것을 의미하는 어닐링하지 않은 SRO 캡층을 갖는 강유전성 커패시터는 수소 환경에 대하여 동일한 노출 동안 거의 0의 Q_{sw} 를 갖는다.

도 7은 300°C 내지 500°C의 온도로 비환원 분위기에서 결정화된 SRO를 가열하여 SRO 캡층을 형성하는 단계가 수소에 대한 장벽으로서의 효율을 향상시키는 것을 설명한다. 도 7은 300°C 내지 500°C에서 산소로 가열된 SRO 캡층을 갖는 강유

전성 커패시터가 75분 동안 수소 환경에 노출된 후에도 Q_{SW} 값을 $20\mu C/cm^2$ 보다도 높게 유지한 것을 나타낸다. 한편, $650^\circ C$ 로 가열되거나, 또는 전혀 가열되지 않은 SRO 캡층을 갖는 강유전성 커패시터들은 동일한 수소 환경에 15분만 노출한 후에 0의 Q_{SW} 값을 갖는다.

도 8에서, 10시간 동안 $400^\circ C$ 로 어닐링하여 형성된 SRO 캡층을 갖는 강유전성 커패시터에 대하여 분극 스위칭 전하(Q_{SW})를 측정했다. 이 실험은 산소(O_2) 분위기 대 질소(N_2) 분위기에서 어닐링된 SRO 캡층들의 비교 뿐만 아니라, $50\times50\mu m$ 구조를 갖는 강유전성 커패시터와 셀 커패시터 구조를 갖는 강유전성 커패시터의 비교를 포함한다. SRO 캡층의 $400^\circ C$ 어닐링 다음에, 강유전성 커패시터들을 알루미늄층(1) 배선 처리하고 나서, 배선 처리에 의해 생긴 PZT의 열화를 평가하기 위해서 Q_{SW} 를 측정했다.

Q_{SW} 데이터는 알루미늄층(1) 배선 처리 중에 강유전성 유전체층 내의 하지 PZT를 열화로부터 보호하는 $400^\circ C$ 로 어닐링된 모든 SRO 캡층들을 나타낸다. 그 결과는 산소 또는 질소 분기위에서 어닐링된 때에 SRO 캡층들이 하지 PZT를 보호하는 것을 표시한다. 따라서, 본 발명의 SRO 캡층 형성 방법에서의 $300^\circ C$ 내지 $500^\circ C$ 어닐링 단계는 산소와 같은 산화 분위기, 및 질소 및 희가스들(예를 들면, 헬륨, 아르곤, 크립톤, 및 크세논)과 같은 불활성 가스 분위기의 양측을 포함하는 비환경 분위기에서 수행될 수 있다.

이상 본 발명을 바람직한 실시예를 참조하여 설명했지만, 본 발명의 사상 및 범주를 이탈하지 않고서 형태 및 상세의 다양한 변경이 이루어질 수 있음은 당분야에 숙련된 자에게 자명하다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 강유전성 커패시터의 상부 전극 상에 도전성 페로브스카이트 또는 층상 페로브스카이트 재료를 구비한 보호 캡층을 형성함으로써, 수소 및 환원 가스들에 의한 화학적 열화로부터 강유전성 커패시터를 보호할 수 있다.

도면의 간단한 설명

도 1은 본 발명에 따라 제조된 반도체 회로 상의 강유전성 커패시터의 단면도.

도 2는 본 발명의 강유전성 커패시터의 단면도.

도 3은 결정화 및 비결정화 $SrRuO_3$ 을 포함하는 SRO 캡층들의 리크 전류를 비교하는 그래프.

도 4는 3개의 서로 다른 강유전성 커패시터들의 분극 스위칭 전하(Q_{SW})를 비교하는 그래프.

도 5는 강유전성 커패시터의 상부 전극과 강유전성 유전체층 간의 인터페이스의 표면 거칠기와 분극 스위칭 전하(Q_{SW})를 비교하는 그래프.

도 6은 SRO 캡층의 어닐링 온도의 함수로서의 분극 스위칭 전하(Q_{SW})를 비교하는 그래프.

도 7은 수소 환경에서 강유전성 커패시터의 소요 시간의 함수로서의 분극 스위칭 전하(Q_{SW})를 비교하는 그래프.

도 8은 각종의 SRO 캡층 형성 기술에 대한 분극 스위칭 전하(Q_{SW})의 그래프.

<도면의 주요 부분에 대한 부호의 설명>

10 : 강유전성 메모리 셀

12 : 강유전성 커패시터

14 : FET

16 : 실리콘 에피택셜층

18 : 필드 산화층

20 : 확산 영역

22 : 게이트 전극

24 : 평탄화 층

28 : 하부 전극

30 : 강유전성 유전체 층

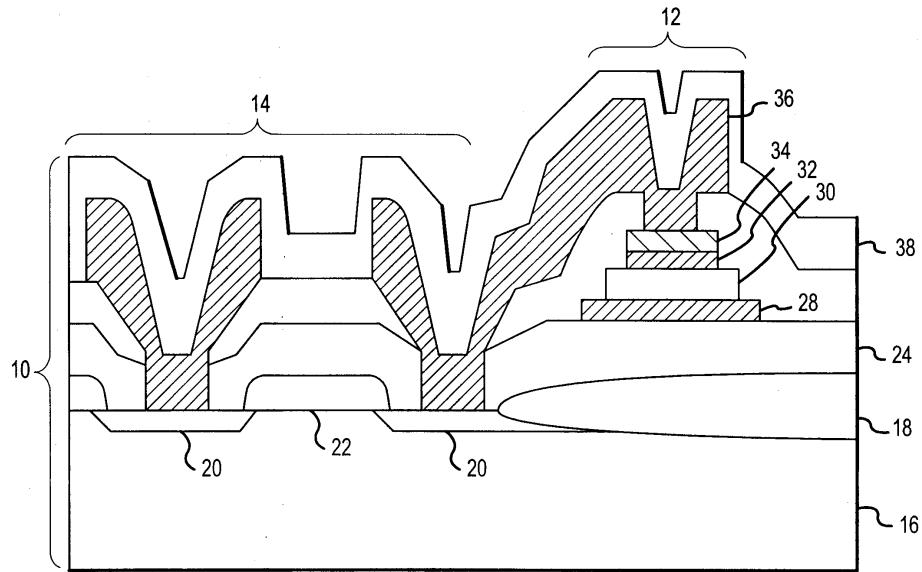
32 : 상부 전극 층

34 : SRO 캡 층

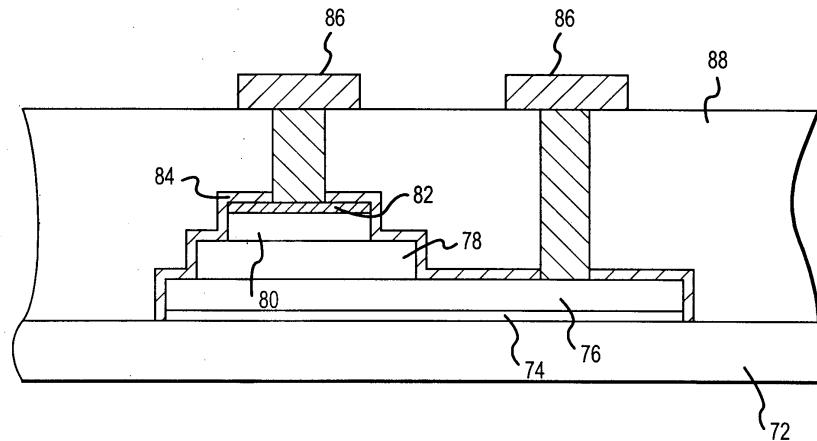
36 : 금속 층

도면

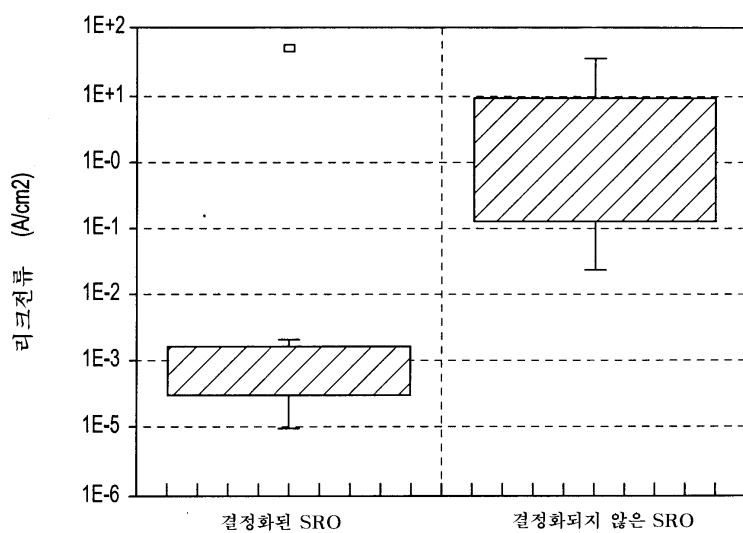
도면1



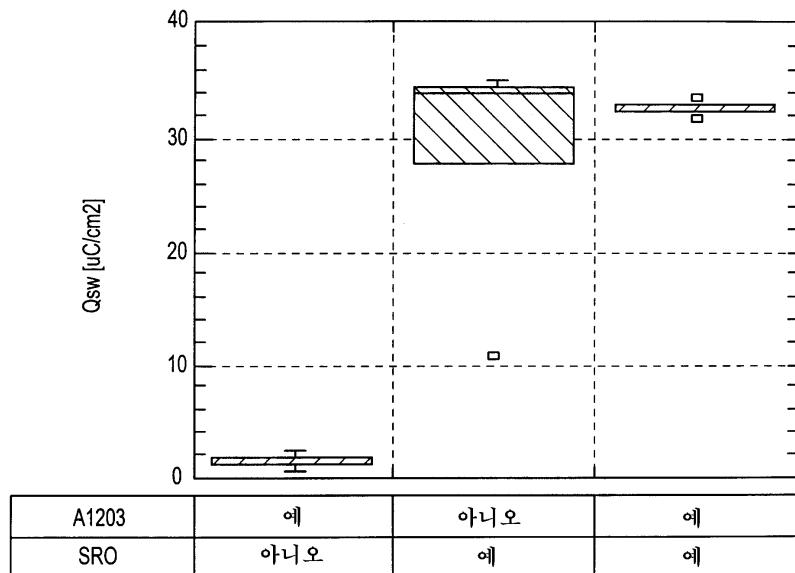
도면2



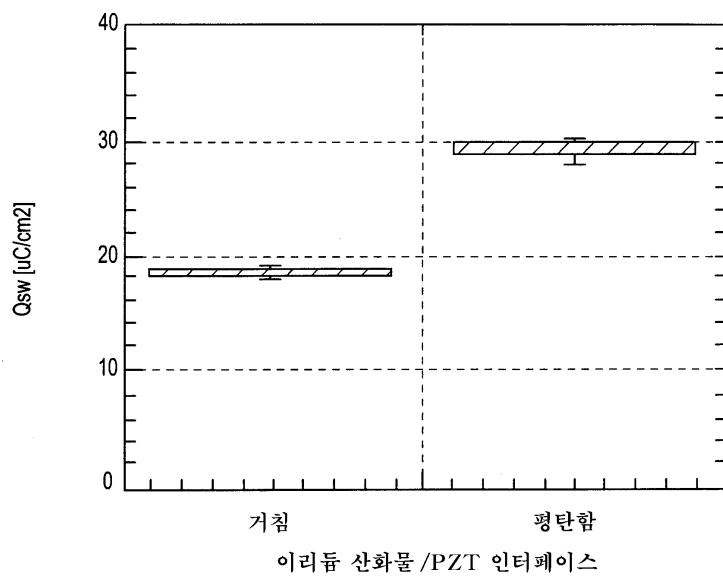
도면3



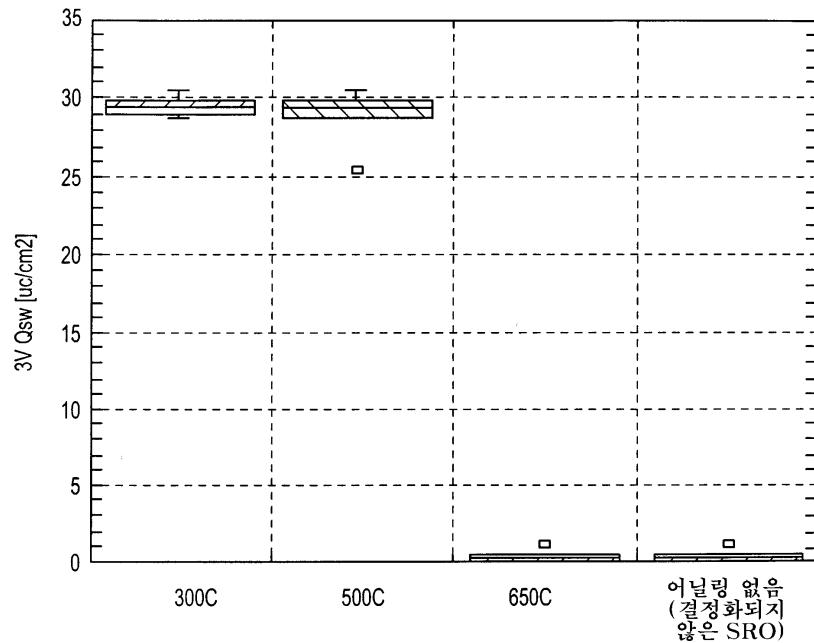
도면4



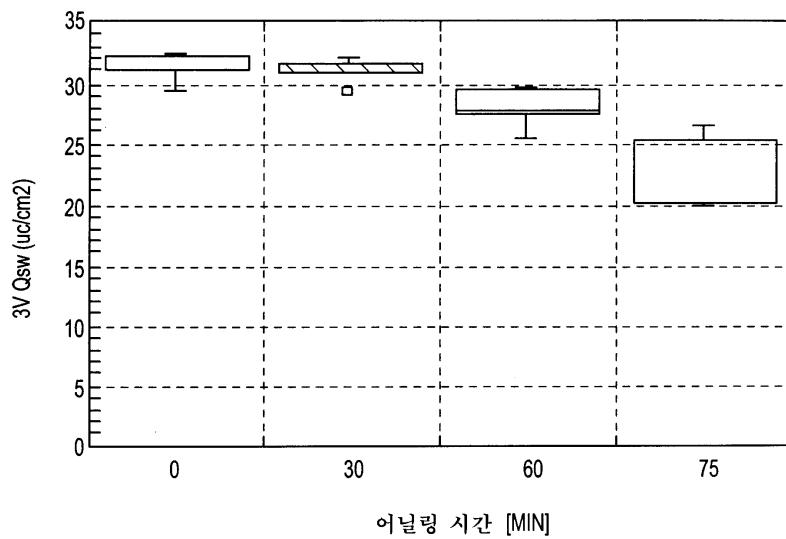
도면5



도면6



도면7



도면8

