

公告本

申請日期	91. 7. 16
案 號	9 1115830
類 別	H01L27/04

A4
C4

(以上各欄由本局填註)

561611

發明
~~新~~型 專 利 說 明 書

一、發明 新 型 名 稱	中 文	製造絕緣體外延半導體之結構與裝置之結構與方法，其利用用以形成該結構與裝置之材料來形成柔性基底
	英 文	STRUCTURE AND METHOD FOR FABRICATING EPITAXIAL SEMICONDUCTOR ON INSULATOR (SOI) STRUCTURES AND DEVICES UTILIZING THE FORMATION OF A COMPLIANT SUBSTRATE FOR MATERIALS USED TO FORM THE SAME
二、發明 創 作 人	姓 名	1.柯特 W. 艾森貝瑟 KURT W. EISENBEISER 2.游世宜 ZHIYI YU 3.瑞文卓那斯 卓帕德 RAVINDRANATH DROOPAD
	國 籍	1.2.3.均美國 U.S.A.
	住、居所	1.美國亞歷桑那州坦普市南貝克大道9442號 9442 S. BECK AVENUE, TEMPE, ARIZONA 85284, U.S.A. 2.美國亞歷桑納州基伯市西馬利爾大道449號 449 W. MERRILL AVENUE, GILBERT, ARIZONA 85233, U.S.A. 3.美國亞歷桑納州錢德勒市西泰森街4515號 4515 W. TYSON STREET, CHANDLER, ARIZONA 85226, U.S.A.
三、申請人	姓 名 (名 稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 1303 EAST ALGONQUIN ROAD, SCHAUMBURG, ILLINOIS 60196, U.S.A.
	代 表 人 姓 名	史考特 奧弗 SCOTT OFFER

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 美國 2001年07月20日 09/908,707 有 無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明()

1

本專利已在美國申請立案，專利申請編號為09/908707，立案日期為2001年7月20日。

發明領域

本發明一般係關於半導體結構及裝置以及其製造方法，更明確地說係關於絕緣體上半導體(SOI)之結構及裝置，及關於SOI結構、裝置及積體電路的製造及使用，其包含由半導體材料所構成的一單結晶材料層，及/或其它種類的材料，例如金屬及非金屬。

發明背景

半導體裝置通常包含許多層導電、絕緣和半導體層。對於這種層所要的特性常以該層之結晶性來改善。例如，該半導體層的電子的遷移率及帶隙，即可由該層的結晶性增加而改善。類似地，該導電層的自由電子濃度，及該絕緣或介電薄膜的電子電荷位移及電子能量恢復性，皆可因這些層的結晶性增加而改善。

多年以來，已經試圖開發在異質基底，例如矽(Si)之上成長各種整體的薄膜。不過，為了達成各種整體層之最佳特性，即需要一具有高結晶品質的單結晶膜。舉例來說，已經試圖在基底上，例如鍺、矽、以及各種絕緣體之上成長各種單結晶層。因為介於主晶體及成長晶體之間的晶格不匹配已經導致所產生之單結晶材料層的結晶品質很低，所以這些嘗試通常都不成功。

如果可用低成本取得大面積的高品質單結晶材料薄膜，便有利於製造各種半導體裝置，相較於利用半導體材料大

五、發明說明 (2)

容積晶圓或半導體材料大容積晶圓上此類材料的外延膜開始製造的此類裝置成本，可用較低的成本來使用該薄膜。此外，如果高品質單結晶材料之薄膜可以從大容積晶圓開始的話，例如矽晶圓，那麼所產生的積體裝置結構便可以擁有矽以及高品質單結晶材料兩者之最佳特性。

因此，需要一種半導體結構，其可以在另一個單結晶材料上提供高品質單結晶膜或單結晶層，並且需要一種製程用以製造此類的結構。換言之，需要提供形成一單結晶基底，其可符合於一高品質單結晶材料層，所以可達成真正的二維成長，其在形成高品質半導體結構、裝置及積體電路時，所成長的單結晶薄膜與底部基底具有相同的結晶方向。此單結晶材料層係由半導體材料、以及其它種類的材料所構成，例如金屬及非金屬。

圖式簡單說明

本發明將利用隨附圖式中的範例作說明，但是並非予以限制，其中相同的參考符號表示類似的元件，而其中：

圖1、2及3係架構性顯示根據本發明各種具體實施例之裝置結構的橫截面圖；

圖4所示為可得到的最大膜厚度，與一主晶體及一成長結晶覆蓋層之間的晶格不匹配之關係；

圖5到7架構性顯示根據本發明之另一具體實施例之裝置結構所形成的橫截面圖；

圖8架構性顯示根據本發明一具體實施例之整體積體電路的橫截面圖；及

五、發明說明 (3)

圖9架構性顯示根據本發明又另一具體實施例之整體積體電路的橫截面圖。

本技藝專業人士將可瞭解到，圖中的元件是為簡化及清楚的目的所繪製，且不一定係按照比例。例如，相對於其他元件，圖中一些元件的尺寸可能相對於其他元件而誇大，以有助於更容易瞭解本發明的具體實施例。

圖式詳細說明

圖1架構性顯示根據本發明一項具體實施例之半導體結構20之一部份的橫截面圖。半導體結構20包含一單結晶基底22、包含一單結晶材料的容納緩衝層24、及一單結晶材料層26。在本文中，該術語"單結晶"之意義係與半導體產業中常用的相同。該術語應代表為單一晶體或實質上為單一晶體的材料，並且應包含具有相當少量缺陷(諸如矽或鍺或其混合物之基底中常發現的錯置等等)的材料，以及半導體產業中常見之此類材料的外延層。

根據本發明一具體實施例，結構20亦包含一置於基底22與容納緩衝層24之間的一非晶性中間層28。結構20亦可包含在該容納緩衝層及單結晶材料層26之間的一樣板層30。如以下的詳細說明，該樣板層有助於在該容納緩衝層上開始成長該單結晶材料層。非晶性中間層有助於減緩容納緩衝層的應變，並藉此協助成長高結晶品質容納緩衝層。

根據本發明一項具體實施例，基底22為一單結晶半導體晶圓，較佳地是為大直徑。該晶圓可屬於例如周期表中第IV族的材料。第IV族半導體材料的範例包括矽、鍺、混合

五、發明說明(5)

用諸如氮化鎵、氮化鋁及氮化硼之類的氮化物。這些材料大部份是絕緣體，雖然例如鋇鈣酸鹽為一導體。一般而言，這些材料是金屬氧化物或金屬氮化物，更特定言之，這些金屬氧化物或氮化物基本上包含至少兩種不同的金屬元素。在某些特定應用中，該金屬氧化物或氮化物可包括三種或多種不同的金屬元素。

根據本發明一具體實施例，容納緩衝層24為一具有經驗公式 ABO_x 之材料，其中A為鎂(Mg)、鈣(Ca)、鋇(Sr)、鋇(Ba)，或這些材料的兩種或多種之組合，而B為鈦(Ti)、鋯(Zr)、鈦(Hf)，或這些材料的兩種或多種之組合。該容納緩衝層24的組成較佳地是選擇為其至少部份，及較佳地是實質上為晶格匹配於該覆蓋材料層。

非晶性中間層28較佳地是藉由將基底22表面氧化所形成的一氧化物，更佳地是由一氧化矽所組成。該層28的厚度足以減緩造成該基底22與容納緩衝層24之晶格常數之間的不匹配的應變。基本上，層28之厚度範圍大約為0.5到5 nm。

一般而言，層32提供在該容納緩衝層24，與一後續沉積的單結晶材料覆蓋分級層32之間的晶格常數之間的晶格常數之轉化。更特定言之，該層32的材料之選擇使得該層32的晶格常數可由改變該層32的組成來改變，使得該層32的底部部份可晶格匹配於容納緩衝層24，而該層32的上方部份係晶格匹配於後續施加的單結晶材料層。

該分級單結晶層32的材料可依需要來對於一特定的結構或應用來選擇。舉例而言，該層32的單結晶材料可包含一

五、發明說明(6)

混合的IV族半導體，其中該材料的晶格常數之變化為改變該膜中組成比例而為該膜的厚度之函數。根據本發明一具體實施例，層32包含 $\text{Si}_y\text{Ge}_{1-y}$ (y 的範圍由0到1)，其中該鍺濃度在靠近該樣板30的表面為低(即0%)，而在靠近該層32的上方為高(即100%)。在此例中，該層的下表面係非常晶格匹配於包含容納緩衝層24的材料，藉此該層32的上方為晶格匹配於鍺。根據本發明另一具體實施例，層32包含鍺，其係非常晶格匹配於包含容納緩衝層24的材料(例如像是 SrTiO_3)。如此處所使用的，該術語"分級"可代表包含超過一種半導體組成之單結晶層，其中該單結晶材料的晶格常數之變化為藉由改變該膜中的組成之膜中的厚度之函數(例如 $\text{Si}_y\text{Ge}_{1-y}$ 或 SiC)。因此，結構20提供一適當的基底，用於後續成長單結晶材料，其晶格常數不同於基底22或容納緩衝層24之材料的晶格常數。

下文中將說明適用於樣板30的材料。適當的樣板材料係在選定的場所化學鍵結到該容納緩衝層24之表面，其提供用於該分級的單結晶層32的外延成長之成核化的場所。當使用時，樣板層30之厚度範圍由約1到約10層單分子層。

圖2所示為根據本發明另一具體實施例之半導體結構40的一部份之橫截面圖。結構40係類似於前述的半導體結構20，除了在分級層32上形成一額外的單結晶材料層26。層26材料可包含絕緣、半導體或導電材料。舉例而言，層26包含半導體材料，例如第IV族材料；導體材料，例如金屬；及絕緣材料，例如氧化物。

五、發明說明 (7)

圖3架構性顯示根據本發明另一範例性具體實施例之半導體結構34之一部份的橫截面圖。結構34類似於結構20，除了結構34包括一非晶性層36，而非容納緩衝層24，以及非晶性介面層28，及一額外單結晶層38。

如下文中的詳細說明，可用如上述的類似方法來先形成一容納緩衝層及一非晶性介面層形成非晶性層36。然後，(藉由外延成長)形成單結晶層38，以覆蓋於該單結晶容納緩衝層上。然後，將容納緩衝層經過退火程序，以將單結晶容納緩衝層轉換為非晶性層。以此方式形成的非晶性層36包括來自於容納緩衝層及介面層的材料，其中非晶性層可能是或不是混合物。因此，層36可包括一層或兩層非晶性層。介於基底22與額外單結晶層26之間形成的非晶性層36(接著層38形成)減緩介於層22與38間的應力，並且提供用於後續處理的真正相容基底，例如，單結晶材料層26的形成。

前文中配合圖1及2所說明的製程適用於在一單結晶基底上成長單結晶材料層。然而，配合圖3所說明之製程，其包括將單結晶容納緩衝層轉換成非晶性氧化層，可能更適合成長單結晶材料層，因其使層26中的任何應變得以減緩。

額外的單結晶層38可包含任何在本申請案中所述的材料，而配合單結晶材料層26或額外的緩衝層32。舉例而言，當單結晶材料層26包含一半導體材料，層38可包含單結晶IV族材料。

根據本發明一具體實施例，額外單結晶層38於層36形成期間係作為一退火罩，並且於後續單結晶層26形成期間係

五、發明說明(8)

作為一樣板。因此，層38的厚度最好是足以提供適合層26成長之適當的樣板(至少一單分子層)，但足夠薄以允許層38形成一實質上無缺陷的單結晶材料。

根據本發明另一具體實施例，額外的單結晶層38包含單結晶材料(例如上述配合單結晶層26之材料)，其係足夠厚來在層38內形成裝置。在此例中，根據本發明的一半導體結構並不包含單結晶材料層26。換言之，根據此具體實施例之半導體結構僅包含置於該非晶性氧化層36之上的一單結晶層。

下列非限制性、作例證的範例說明根據本發明各種替代性具體實施例之結構20、40與34中可用的各種材料組合。這些範例完全是用來說明，而其不代表本發明受限於這些說明性範例。

範例 1

根據本發明之一具體實施例，單結晶基底22係一種在(100)方向上的矽基底。例如，該矽基底為一種常用於製作直徑約為200到300 mm之互補式金氧半導體(CMOS)積體電路。根據本發明此具體實施例，容納緩衝層24為一單結晶層 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ ，其中z的範圍由0到1，而該非晶性中間層為一氧化矽層(SiO_x)，其形成在該矽基底與該容納緩衝層之間的介面。該z值係選擇來得到一或多個晶格常數，其可非常匹配於後續形成層32的相對應晶格常數。該容納緩衝層之厚度約為2到約100奈米(nm)，較佳地是其厚度為約5 nm。一般而言，其需要具有一容納緩衝層，其厚度足以隔離該

五、發明說明 (9)

分級層與該基底。厚度大於100 nm的層通常較少提供額外的優點，卻增加不必要的成本；然而，若需要，仍可製造較厚的層。氧化矽非晶性中間層的厚度大約在0.5到5 nm的範圍內，並且最好是大約1到2 nm的厚度。

根據本發明此具體實施例，單結晶層32為含有 $\text{Si}_y\text{Ge}_{1-y}$ 的IV族半導體層，其中 y 的範圍由0到1，其厚度由約1 nm到約100 μm ，較佳地厚度為約0.1 μm 到10 μm ，更佳地是約0.1到5 μm 。該厚度通常根據後續沉積的材料而定(例如圖2到3的層26)。諸如前面所列出之其他合成半導體材料的組成也同樣會改變，以用相似的方式來處理層32的晶格常數。為了促進在該單結晶氧化物上的分級層之外延成長，一樣板層由覆蓋該氧化層所形成。該樣板層較佳地是為Sr-Si、 SiO_x 、Sr-Si-O、Ti-Si、Ti-Ge、Sr-Ge-O、Sr-Ge、 GeO_x 的110層單分子層。

範例 2

根據本發明之另一具體實施例，單結晶基底22是如上文所述的矽基底。該容納緩衝層是立方體或斜方晶相之鋇或鋇銦酸鹽或鈣酸鹽的單結晶氧化物，其非晶性中間層是在介於該矽基底與該容納緩衝層間之介面處形成的氧化矽層。該容納緩衝層的厚度大約在2到100 nm的範圍內，並且最好是至少5 nm的厚度，以確保足夠的結晶及表面品質，並且是由單結晶 SrZrO_3 、 BaZrO_3 、 SrTiO_3 或 BaTiO_3 所形成。舉例而言，一 $\text{Sr}(\text{Zr},\text{Ti})\text{O}_3$ 的單結晶氧化層可在約700°C的溫度下成長。所得到的結晶氧化物之晶格結構會相對於該基

五、發明說明 (10)

底矽晶格結構有45度的旋轉。

一由鋇酸鹽或鈦酸鹽材料所形成的容納緩衝層可適合於一單結晶材料的成長，其包含半導體材料，例如鍺(Ge)，其厚度為約1.0 nm到10 μm 。對於此結構的一適用樣板為Ti-Ge、Sr-Ge-O、Sr-Ge、或 GeO_x 的1到10層單分子層，較佳地是為這些材料之一的1到2層單分子層。藉由範例，就 $\text{Sr}(\text{Zr},\text{Ti})\text{O}_3$ 容納緩衝層而言，該表面係以鈦的1到2層單分子層，之後接著沉積鍺的1到2層單分子層來終止，以形成Ti-Ge樣板。然後在該樣板層上成長一鍺的單結晶層。所產生的半導體材料之晶格結構會相對於該容納緩衝層的晶格結構旋轉45度，並且與(100)鍺的晶格不匹配小於2.5%，最好是小於1.0%。

範例 3

此範例亦說明可用於結構40之材料，如圖2所示。基底材料22、容納緩衝層24、單結晶分級層32及樣板層30皆可相同於在範例1中所述。根據此具體實施例的一方面，層32包含 $\text{Si}_y\text{Ge}_{1-y}$ ，其中該矽組成由0變化到約50%。該緩衝層的厚度最好大約是約10到30 nm。將層32的組成從SiGe改變成Ge，可用來提供下方的單結晶氧化物材料與覆蓋其上的單結晶材料層(在此範例中為一鍺層)之間的晶格匹配。

範例 4

此範例提供可用於結構34之範例性材料，如圖3所示。基底材料22、樣板層30及單結晶材料層26可相同於以上範例4中所述者。

五、發明說明 (11)

非晶性層36是由非晶性中間層材料(例如,如上文所述層28之材料)與容納緩衝層材料(例如,如上文所述層24之材料)之組合所適當形成的一非晶性層。例如,非晶性層36可包括 SiO_x 與 $\text{Sr}_z\text{Ba}_{1-z}\text{TiO}_3$ 的組合(其中 z 介於0至1的範圍),其於退火製程期間至少部份組合或混合矽以形成非晶性層36。

非晶性層36的厚度會因不同應用而異,並且可依據所需要的層36之絕緣特性、包含層26之單結晶材料類型等等的因素。根據本具體實施例一項示範性觀點,層36厚度為約2 nm到約100 nm,較佳地是約2到10 nm,而更佳地是約5到6 nm。

層38包含一單結晶材料,其可外延成長在一單結晶材料上,例如用於形成容納緩衝層24的材料。根據本發明一具體實施例,層38包含與層26所包含的相同材料。例如,如果層26包含SiGe,層38亦包含SiGe。但是,根據本發明的其它具體實施例,層38包含不同於用來形成層26之材料。根據本發明的一範例性具體實施例,層38包含矽,並約為1層單分子層到約100 nm厚。

請再次參考圖1至3,基底22是諸如單結晶矽基底之類的單結晶基底。該單結晶基底結晶結構的特徵為其晶格常數及晶格方向。類似地,容納緩衝層24也是單結晶材料,且其單結晶材料晶格的特徵為其晶格常數及結晶方向。容納緩衝層與單結晶基底的晶格常數必須緊密匹配,或者,必須某一晶體方向相對於另一晶體方向旋轉時,才能達成晶格常數的實質匹配。在此文中,術語"實質上相等"及"實質

五、發明說明 (12)

上匹配"表示晶格常數間有充份的相似性，足以在允許在該下方層上成長高品質的結晶層。

圖4所示為可達成之高結晶品質成長晶體層的厚度，與該主晶和成長晶體晶格常數之間的不匹配性之函數。曲線42描述的是高結晶品質材料的界限。曲線42右邊的區域代表含有大量瑕疵的層。由於晶格間互相匹配，因此理論上有可能在主晶上成長無限厚度、高品質的外延層。當晶格常數的不匹配增加時，可達成的高品質結晶層的厚度則迅速降低。例如，作為一參考點，如果該主晶與成長層間的晶格常數不匹配超過大約2%，則無法達成超過大約20 nm的單結晶外延層。

根據本發明一具體實施例，基底22是以(100)或(111)為方向的單結晶矽晶圓，而容納緩衝層24是鋇鉍鈦酸鹽層。達成這兩種材料之晶格常數實質上匹配的方式為，將鈦酸鹽材料晶體方向朝相對於矽基底晶圓晶體方向旋轉45°。在此範例中，如果厚度夠厚，則非晶性介面層28結構中所包含的氧化矽層係用來降低鈦酸鹽單結晶層中的應變，其係由於該主矽晶圓與成長鈦酸鹽層的晶格常數不匹配所造成。結果，根據本發明一具體實施例，可達成一高品質、厚的單結晶鈦酸鹽層。

請重新參考圖2至3，層26是外延成長單結晶材料層，並且該結晶材料的特徵亦在於晶格常數及晶體方向。根據本發明一具體實施例，該層26的晶格常數不同於該基底22的晶格常數。為了在此外延成長的單結晶層32中達到高結晶

五、發明說明 (13)

品質，該容納緩衝層必須為高結晶品質。此外，為了達成高結晶品質的層26，該主晶體的晶體晶格常數，在此例中為單結晶層，與該成長的晶體之間需要有實質的匹配。藉由適當選擇的材料，此晶格常數的實質匹配係藉由改變該層32的組成來改變層32的晶格常數來達到。例如，如果該成長的晶體為SiGe，而該容納緩衝層為單結晶 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ ，該兩種材料的晶體晶格常數的實質匹配係由改變一 $\text{Si}_y\text{Ge}_{1-y}$ 層32的組成由矽到矽鍺來達到。在該氧化物與該成長的單結晶材料之間的結晶層32可降低在該成長的單結晶材料層中的應變，其係由於晶格常數之小差異所造成。藉此可達成在該成長的單結晶材料層中較佳的結晶品質。再者，層32可限制晶體缺陷在層32及36的介面處或接近其介面，並遠離層26。

以下的範例說明根據本發明一具體實施例的製程，用以製造一半導體結構，例如在圖1到3中所述的結構。該製程由提供一包含矽或鍺的單結晶半導體基底開始。根據本發明較佳具體實施例，該半導體基底是具有(100)方向的矽晶圓。該基底較佳地是其方向位在軸上，或最多與該軸偏離5度。該半導體基底至少部份具有裸面，雖然基底的其他部份可能包含其他結構，如下文所述。在本文中，術語"裸"表示在基底的該部份中的表面已經清洗，以移除任何氧化物、污染物或其他異質材料。如所熟知的，裸矽具有高度反應性，並且很容易形成一天然氧化物。術語"裸"即有意包含此類的天然氧化物。雖然在根據本發明的製程中並不一

五、發明說明 (14)

定需要一成長的氧化物，但還是會在該半導體基底上刻意成長一層薄的氧化矽。為了外延成長單結晶氧化層來覆蓋該單結晶基底，必須先去除天然氧化層，以曝露該底部基底的結晶結構。下列的製程最好是藉由分子束外延成長(MBE)來進行，雖然根據本發明也可使用其他的外延製程。藉由先在MBE裝置中熱沉積薄層的鋨、鋇、鋨與鋇的組合或其他鹼土金屬或鹼土金屬組合，以去除天然氧化物。在使用鋨的情況下，接著將基底加熱到大約750°C，使得鋨與該天然氧化矽層產生反應。鋨係用來還原氧化矽，而留下無氧化矽的表面。所產生表面可呈現出一有序2x1結構。如果這種有序的2x1結構尚未達到，該結構會曝露於額外的鋨，直到得到一有序的2x1結構。該有序的2x1結構形成一樣板，用以有序成長單結晶氧化物的覆蓋層。該樣板提供必要的化學及物理特性，以成核化一覆蓋層的結晶成長。

根據本發明另一具體實施例，該天然氧化矽可以轉換，而該基底表面可預備進行一單結晶氧化層的成長，其係由MBE在低溫之下沉積例如氧化鋨，氧化鋨鋇，或氧化鋇的鹼土金屬氧化物到該基底表面上，並在後續加熱該結構到約750°C的溫度。在此溫度下，在該氧化鋨與該天然氧化矽之間會發生一固態反應，造成該天然氧化矽的還原，並留下一有序的2x1結構。再次地，以此方式形成一樣板，用以後續成長一有序單結晶氧化層。

根據本發明一具體實施例，在由該基底表面上去除氧化矽之後，將基底冷卻到大約200到800°C範圍內的溫度，並

五、發明說明 (15)

且藉由分子束外延成長在樣板層上成長鋇鈦酸鹽層。該MBE製程係由在該MBE裝置中開啟閘門來開始，以曝露鋇、鈦及氧的來源。鋇與鈦的比例約為1:1。該氧分壓在開始時設定在一最小值，以在每分鐘約0.3到0.5 nm的成長速率之下來成長化學計量的鋇鈦酸鹽。在初步引發成長鋇鈦酸鹽後，將氧分壓遞增到高於最初的最小值。氧過壓會導致在該底部基底與該成長中之鋇鈦酸鹽層之間的界面上成長非晶性氧化矽。成長氧化矽層起因於氧會通過成長中之鋇鈦酸鹽層擴散到位於底層基底表面處氧與矽產生化學反應的介面。該鋇鈦酸鹽會成長一有序(100)的單晶體，該(100)結晶方向會相對於該底部基底旋轉45°。由於矽基底與成長晶體之間晶格常數微幅不匹配所造成可能存在於鋇鈦酸鹽層中的應變，則在非晶性氧化矽中間層中得以減緩。

在該鋇鈦酸鹽層已經成長到所需要的厚度之後，該單結晶鋇鈦酸鹽係由一樣板層所覆蓋，其可傳導於後續成長一所需要的單結晶層32之外延層。例如，為了後續成長一單結晶鍺層，該鋇鈦酸鹽單結晶層的MBE成長可由終止鈦的1到2層單分子層、鈦氧的1到2層單分子層，或鋇氧的1到2層單分子層的成長來覆蓋。在形成此覆蓋層之後，矽覆蓋層31可使用MBE成長技術來形成。在形成該樣板之後(以及視需要的覆蓋層31)，層32可由例如外延成長一鍺層來形成。

藉由如上文所述方法中加上一額外單結晶層26沉積步驟，即可形成如圖2所示的結構。層26適合使用上述的方法覆蓋該樣板或覆蓋層來形成。

五、發明說明 (16)

圖3所示之結構34的形成方式可為：成長一容納緩衝層、在基底22上形成非晶性氧化層，以及在容納緩衝層上成長單結晶層32，如前所述。該容納緩衝層、該非晶性氧化層及該覆蓋層接著曝露於一退火程序，其足以改變該容納緩衝層的結晶結構由單結晶到非晶性，藉此形成一非晶性層，使得該非晶性氧化層、現在的非晶性容納緩衝層及該覆蓋層31的一部份之組合可形成一單一非晶性層36。根據本發明一具體實施例，層32及26即後續成長在層31之上。另外，該退火程序可在成長層32之後進行。

根據此具體實施例的一項觀點，形成層36的方式為將曝露的基底22、容納緩衝層、非晶性氧化層及覆蓋層31經過一快速熱退火程序，使用的最高溫度大約700°C至大約1000°C，處理時間大約5秒至大約10分鐘。然而，根據本發明，可採用其他適當的退火程序以將該容納緩衝層轉換為一非晶性層。舉例而言，可使用雷射退火、電子束退火、或"習用的"熱退火程序(在適當的環境下)來形成層36。當習用的熱退火用來形成層36時，會需要一或多個層30及/或31的成分之過壓來避免在該退火程序期間的層劣化。

如上文所述的方法說明一種藉由分子束外延的程序來形成一半導體結構的製程，其中該半導體結構包含一矽基底、一覆蓋的氧化層及包括一鍍半導體層之一單結晶材料層。亦可藉由化學汽相沉積(CVD)、金屬有機化學汽相沉積(MOCVD)、遷移率增強型外延(MEE)、原子層外延(ALE)、物理汽相沉積(PVD)、化學溶劑沉積(CSD)、脈衝雷射沉積

五、發明說明 (17)

(PLD)等等來實現此項製程。另外，藉由類似的方法，還可成長其他的單結晶容納緩衝層，諸如，鹼土金屬鈦酸鹽、鋯酸鹽、鈳酸鹽、鉭酸鹽、釩酸鹽、鈮酸鹽、及鉍酸鹽、如鹼土金屬錫基鈦鈦礦(alkaline earth metal tin-based perovskite)之類的氧化鈣鈦礦、釩鋁酸鹽、氧化釩及氧化鈳。另外，利用像是MBE的類似處理，包含其它半導體、金屬及其它材料的其它單結晶材料層可沉積覆蓋該單結晶分級層。

單結晶材料層、單結晶分級層及單結晶容納緩衝層中的每種變化，較佳地是使用一適當的樣板來開始成長單結晶層。例如，如果容納緩衝層是一鹼土金屬鋯酸鹽，則可藉由一薄的鋯層來覆蓋於該氧化物之上。該鋯的沉積可在沉積矽之後進行，其與鋯反應成為一前驅物來沉積矽鋯。同樣地，如果該單結晶氧化物容納緩衝層為一鹼土金屬鈳酸鹽，則可藉一薄鈳層來覆蓋於該氧化層之上。該鈳的沉積係在沉積矽之後進行。在類似的方法中，可用鋇或鋇及氧來覆蓋於鋇鈦酸鹽之上，並用鋇或鋇及氧層來覆蓋於鋇鈦酸鹽之上。這些沉積中每個皆可接著沉積矽來與該覆蓋材料反應，以形成用以沉積包含像是SiGe及SiC之分級的單結晶材料之單結晶材料層之樣板。

圖5到7架構性顯示根據本發明之另一具體實施例之裝置結構所形成的橫截面圖。此具體實施例包括相容層，用以當作使用格子狀(clathrate)或Zintl型鍵合的轉換層。更明確地說，此具體實施例利用金屬間樣板層來降低介於材料層

五、發明說明 (18)

之間界面的表面能量，藉此允許逐層成長二維層。

圖5所示的結構包含一單結晶基底102、一非晶性介面層108，及一容納緩衝層104。非晶性中間層108係成長於基底102與容納緩衝層104之間的介面處的基底102上，如先前參考圖1及2所述。非晶性介面層108可包含先前參考圖1及2中非晶性介面層28所述的任何那些材料，但較佳地是包含一單結晶氧化物材料，例如一 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ 的單結晶層，其中 z 的範圍由0到1。基底102較佳地是為矽，但亦可包含先前在圖1到3中的基底22所述的任何那些材料。

樣板層130係沉積於容納緩衝層104上，如圖5中所示，並且最好包括由具有大量離子特性之金屬與非金屬所組成的薄層之Zintl型相位材料(Zintltype phase material)。如同前面說明的具體實施例，經由MBE、CVD、MOCVD、MEE、ALE、PVD、CSD、PLD等沉積的樣板層130，可達到一單分子層的厚度。樣板層130係當作無方向鍵合且高結晶度的"軟"層，用以吸收具有晶格不匹配之層間增加的應變。樣板130之材料可包括但不限於含有Si、Ga、In、Sr及Sb之材料，例如， SrAl_2 、 $(\text{MgCaYb})\text{Ga}_2$ 、 $(\text{Ca,Sr,Eu,Yb})\text{In}_2$ 、 BaGe_2As 以及 SrSn_2As_2 。

一單結晶分級材料層126係外延成長於樣板層130上，以實現如圖7中所示的最終結構。對於一特定範例， SrAl_2 層可做為樣板層130，並在該 SrAl_2 上成長一適當的單結晶材料層126，例如一合成物半導體材料 $\text{Si}_y\text{Ge}_{1-y}$ ，其中 y 的範圍由0到1。來自容納緩衝層之 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ 層(其中 z 介於0至1之範

五、發明說明 (19)

圖)中的Al-Ti鍵結大多為金屬性，而來自 $\text{Si}_y\text{Ge}_{1-y}$ 層的Al-Ge鍵結則係共價的弱鍵結。Sr參與兩種不同類型的鍵合，其部份電子電荷移至包含 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ 之容納緩衝層104的氧原子中以參與離子鍵合，而其他部份的原子價電荷則貢獻給Al，其方法通常係使用Zintl相位材料來進行。電荷轉移量取決於包含樣板層130之元素的相對陰電性，以及取決於原子間距離。在此範例中，假設Al為 sp^3 混合，並且可以隨時與單結晶材料層126鍵合，在此範例中，層126包括半導體材料 $\text{Si}_y\text{Ge}_{1-y}$ 。

在此具體實施例中，藉由使用Zintl型樣板層產生的相容基底可吸收大幅應變，而不會導致顯著的能量成本。在上面的範例中，Al鍵合力量係藉由改變 SrAl_2 層的體積進行調整，從而使該裝置可以調整作為特定的應用，包括CMOS技術之Si裝置之整合以及高k介電材料之整合。

圖8顯示根據本發明另一具體實施例之裝置結構140的斷面圖。裝置結構140包括單結晶半導體基底142，其最好是單結晶矽晶圓。單結晶體半導體基底142包含兩個區域，143及144。通常由虛線146所表示的一電子半導體組件至少部份形成在區域143中。電性組件146可為一電阻器、一電容器、一主動半導體組件，例如一二極體或一電晶體，或一積體電路，例如一CMOS積體電路。例如，電子半導體組件146可能是一CMOS積體電路，設定來執行數位信號處理，或執行相當適合矽積體電路的另一種功能。可藉由眾所皆知且半導體產業中廣泛實施的習知半導體處理來形成區

五、發明說明 (20)

域143中的電子半導體組件。諸如二氧化矽層之類的絕緣材料層148可覆蓋於電子半導體組件146之上。

絕緣材料148及任何其它層，其可在由該區域144的表面移除在區域143中半導體組件146之處理已經形成或沉積，藉以在該區域中形成一裸矽表面。眾所皆知，裸矽表面具有高度反應性，且裸表面上可迅速形成天然氧化矽層。會在區域144表面上的天然氧化層上沉積鋇或鋇及氧層，並且與氧化表面產生反應，以形成第一樣板層(圖中未顯示)。根據本發明一具體實施例，會利用分子束外延程序在該樣板層上面形成一單結晶氧化層。在樣板層上沉積包括鋇、鈦及氧的反應物，以形成單結晶氧化層。首先，於沉積期間，將氧分壓維持在接近與鈣、鋇及鈦完全反應所須的最小限度，以形成單結晶鈣鋇鈦酸鹽層。然後，遞增氧分壓以提供氧過壓，並允許氧擴散通過成長中的單結晶氧化層。擴散通過鋇鈦酸鹽層的氧會與位於區域144表面上的矽產生反應，用以在第二區域上，以及矽基底與單結晶氧化物之間的介面處形成氧化矽非晶性層。

根據本發明一具體實施例，該沉積單結晶氧化層的步驟係由沉積一層150所終止，其可鈦、鋇、鋇、鋇及氧、鈦及氧，或鋇及氧的1到10層單分子層。然後，藉由分子束外延成長方法來沉積單結晶半導體材料覆蓋層152，以覆蓋第二樣板層。

根據本發明一個方面，在形成層152之後，該單結晶鈦酸鹽層及該氧化矽層，其係介於基底142及該鈦酸鹽層之間，

五、發明說明 (21)

其係曝露於一退火程序，使得該鈦酸鹽及氧化層形成一非晶性氧化層154。一分級層156，其根據本發明一具體實施例包含有 $\text{Si}_y\text{Ge}_{1-y}$ （其中y的範圍由0到1），然後外延成長在層152之上，其係使用以上配合圖1之層32所述之技術。另外，上述的退火程序可在形成樣板層152之前來執行。

接著，一單結晶材料層158，例如Ge，其係形成在分級層156之上。層158可使用先前配合層26所述的任何材料及任何技術來形成。

根據本發明另一具體實施例，係形成一半導體組件，其通常由一虛線160所代表，其係至少部份形成在合成物半導體層158中。半導體組件160可由習用製造鍺裝置的處理步驟來形成。可形成線162所代表的金屬導體，以利於電耦合裝置146及裝置160，以此方式建置積體裝置，該積體裝置包括形成於矽基底中的至少一組件及形成於單結晶合材料層中的一裝置。雖然以上說明作為例證的結構140是形成於矽基底142上的結構，並且具有鋇鈦酸鹽或鈣鋇鈦酸鹽層及鍺層158，但是可使用本說明書中他處所說明的其他單結晶基底、氧化層及其他單結晶材料層來製造類似的裝置。

圖9顯示根據另一具體實施例之裝置結構170的橫截面圖。裝置結構170包括單結晶半導體基底172，其最好是單結晶矽晶圓。單結晶半導體基底172包含兩個區域173及174。通常由虛線176所代表的一電子半導體組件至少部份形成在區域173中。電子組件176可為一電阻器、一電容器、一主動半導體組件，例如一二極體或一電晶體，或一積體電路

五、發明說明(22)

，例如一CMOS積體電路。例如，電子半導體組件176可能是一CMOS積體電路，設定來執行數位信號處理，或執行相當適合矽積體電路的另一種功能。可藉由眾所皆知且半導體產業中廣泛實施的習知半導體處理來形成區域173中的電子半導體組件。諸如二氧化矽層之類的絕緣材料層178可覆蓋於電子半導體組件176之上。

區域174的表面上會移除半導體組件176處理期間在區域173中形成或沉積的絕緣材料178及任何其他層，以便在該區域中提供裸矽表面。會在區域174表面上的天然氧化層上沉積鋇或鋇及氧層，並且與氧化表面產生反應，以形成第一樣板層(圖中未顯示)。根據本發明一具體實施例，會利用分子束外延程序在該樣板層上面形成一單結晶氧化層。在樣板層上沉積包括鋇、鈦及氧的反應物，以形成單結晶氧化層。首先，於沉積期間，將氧分壓維持在接近與鋇及鈦完全反應所須的最小限度，以形成單結晶鋇鈦酸鹽層。然後，遞增氧分壓以提供氧過壓，並允許氧通過成長中的單結晶氧化層擴散。通過鋇鈦酸鹽層擴散的氧會與位於區域174表面上的矽產生反應，用以在第二區域上以及矽基底52與單結晶氧化物之間的介面上形成氧化矽非晶性層。

根據本發明一具體實施例，該沉積單結晶氧化層之步驟係由沉積一層180所終止，其可為鈦、鋇、鋇及氧、鈦及氧，或鋇及氧的1到10層單分子層。然後，藉由分子束外延成長方法來沉積單結晶半導體材料的覆蓋層182，以沉積覆蓋第二樣板層。

五、發明說明(23)

根據本發明一方面，在形成層182之後，該單結晶鈦酸鹽層與氧化矽層，其係介於基底172與該鈦酸鹽層之間，曝露於一退火程序，使得該鈦酸鹽及氧化層形成一非晶性氧化層184。然後，根據本發明此具體實施例的一包含銻的層186即使用先前配合圖1之層32所述的技術而外延成長在層182之上。另外，上述的退火程序可在形成樣板層182之前來執行。

接下來，一例如銻的單結晶材料188的層即形成在層186之上。層188可使用先前本文中配合層126所述的任何材料及任何技術來形成。

根據本發明另一具體實施例，一通常由虛線160所代表的半導體組件即至少部份形成在半導體層188中。在架構上由線162所代表的一金屬導體可形成來電耦合裝置176及裝置160，藉此實施一積體裝置，其包含在該矽基底中所形成的至少一組件，及在該單結晶材料層中所形成的一裝置。

顯然地，這些具體實施例特別說明具有兩個不同IV族半導體部份之結構，其意義在於解釋本發明之具體實施例而非限制本發明。本發明還有其它組合及其它具體實施例。舉例來說，本發明包括用以製造形成半導體結構、裝置及積體電路之材料層的結構及方法，其中包含其它層，例如金屬及非金屬層。更明確地說，本發明包括用以形成用於製造半導體結構、裝置及積體電路的一柔性基底之結構及方法，以及適於製造那些結構、裝置及積體電路之材料層。

根據本發明之一具體實施例，一單結晶半導體晶圓可用

五、發明說明 (24)

於在該晶圓之上形成單結晶材料層。依此方式，該晶圓本質上係一種在覆蓋該晶圓之單結晶層範圍內，製造半導體電子組件期間，所使用的"處理"晶圓。因此，電子組件係在半導體材料範圍內，形成於直徑至少約為200毫米以及可能至少為300毫米之晶圓上。

使用此種類型的基底，相對成本較低的"處理"晶圓可以藉由將其放置在相對更持久並且易於製造的基礎材料中，以克服一些單結晶材料晶圓之易碎性質。因此，其可形成一積體電路，使得所有的電子組件，特別是所有的主動電子裝置，都可以形成於其中或是使用單結晶材料層來形成，即使該基底本身包括一不同的單結晶半導體材料。因為與相對較小及較易破碎的基底(例如傳統化合物半導體晶圓)比較起來，可以更經濟更快速的方式處理較大的基底，所以一些使用非矽單結晶材料的裝置之製造成本應該可以降低。

於前面的說明書中，已參考特定具體實施例來說明本發明。然而，熟知本技藝人士應明白本發明的各種修改，並且其修改不會背離如下申請專利範圍所設定的本發明範疇與精神。因此，說明書及附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。關於特定具體實施例的優勢、其他優點及問題解決方案已如上述。但是，可導致任何優勢、優點及解決方案發生或更顯著的優勢、優點、問題解決方案及任何元件不應被理解為任何或所有申請專利範例的關鍵、必要項或基本功能或元件。本文中所使用的術語"包括"、"包含"或其任何其他變化，都是

四、中文發明摘要 (發明之名稱：製造絕緣體外延半導體之結構與裝置之結構與方法，其利用用以形成該結構與裝置之材料來形成柔性基底)

本發明揭示一種覆蓋單結晶基底(22)的高品質單結晶材料外延層(26)，其成長係藉由形成一用以成長單結晶層的柔性基底，例如大型矽晶圓。該容納緩衝層(24)包括一層與該矽晶圓(22)間隔了一非晶性氧化矽介面層(28)的單結晶氧化層。該非晶性介面層耗散應變，並准許成長一高品質單結晶氧化物容納緩衝層。該容納緩衝層係同時晶格匹配於該下方的矽晶圓及該覆蓋單結晶材料層。然後在該容納緩衝層上形成一單結晶層(26)，使得該單結晶層的晶格常數實質上匹配於一後續成長的單結晶薄膜之晶格常數。

英文發明摘要 (發明之名稱：STRUCTURE AND METHOD FOR FABRICATING EPITAXIAL SEMICONDUCTOR ON INSULATOR (SOI) STRUCTURES AND DEVICES UTILIZING THE FORMATION OF A COMPLIANT SUBSTRATE FOR MATERIALS USED TO FORM THE SAME)

High quality epitaxial layers of monocrystalline materials (26) can be grown overlying monocrystalline substrates (22) such as large silicon wafers by forming a compliant substrate for growing the monocrystalline layers. An accommodating buffer layer (24) comprises a layer of monocrystalline oxide spaced apart from the silicon wafer (22) by an amorphous interface layer (28) of silicon oxide. The amorphous interface layer dissipates strain and permits the growth of a high quality monocrystalline oxide accommodating buffer layer. The accommodating buffer layer is lattice matched to both the underlying silicon wafer and the overlying monocrystalline material layer. A monocrystalline layer (26) is then formed over the accommodating buffer layer, such that a lattice constant of the monocrystalline layer substantially matches the lattice constant of a subsequently grown monocrystalline film.

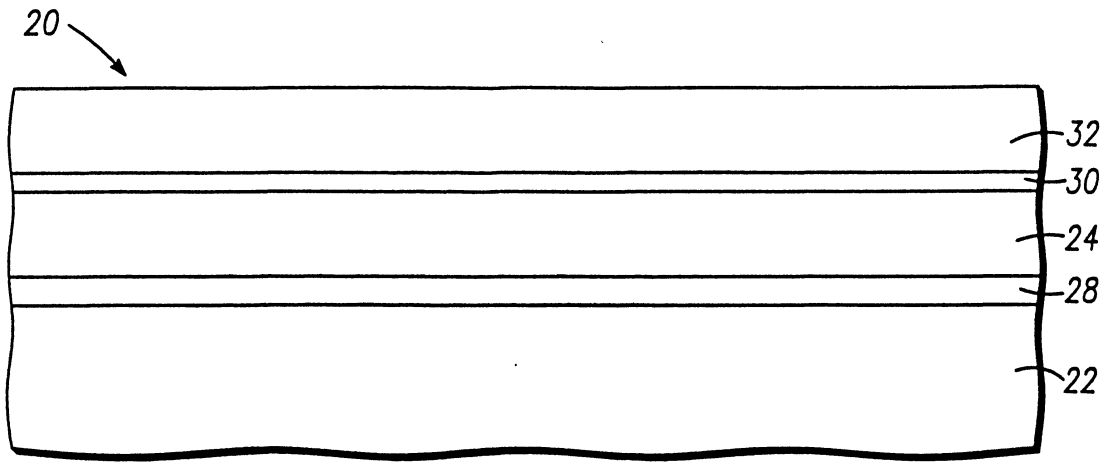


圖 1

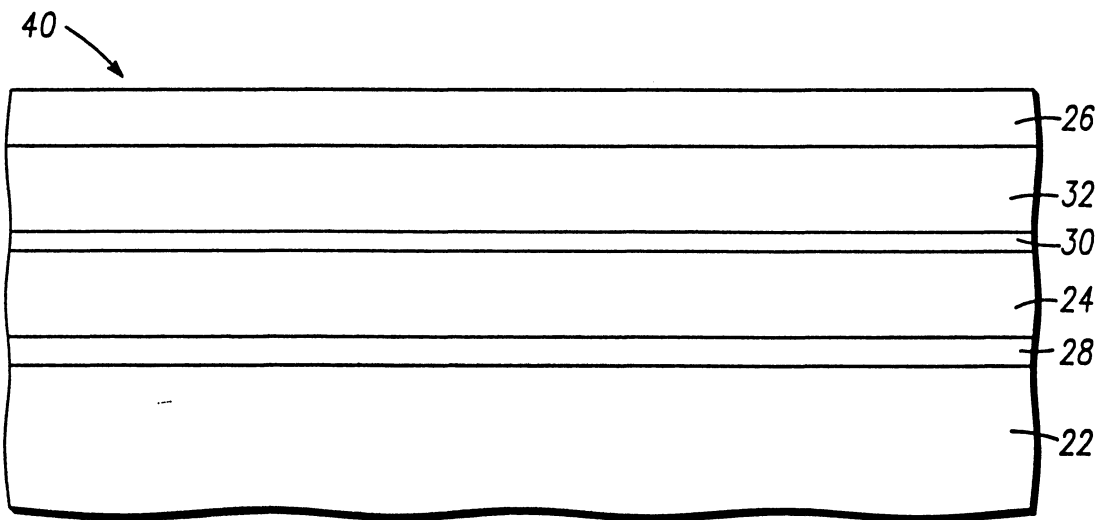


圖 2

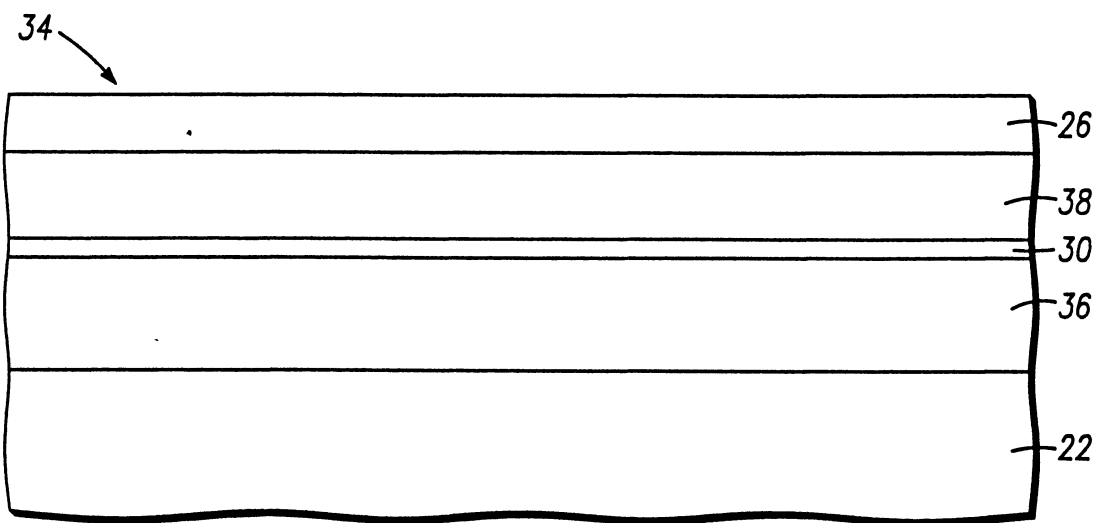


圖 3

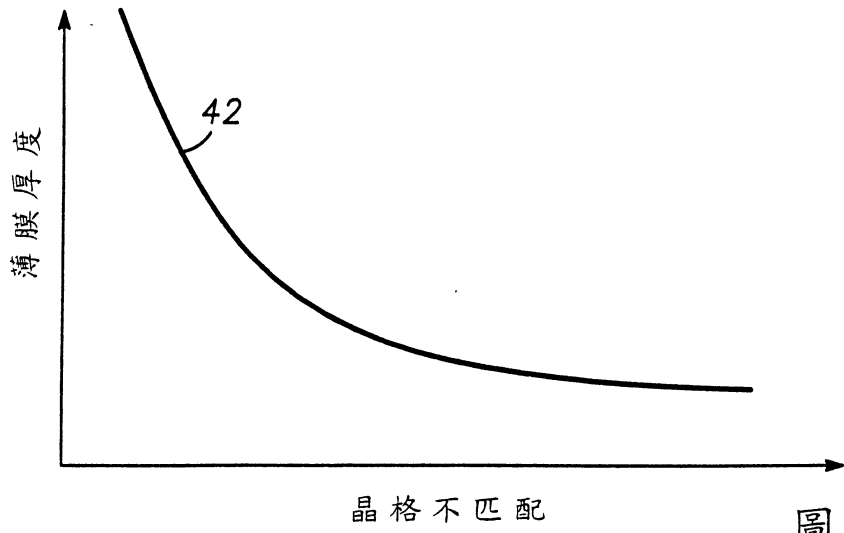


圖 4

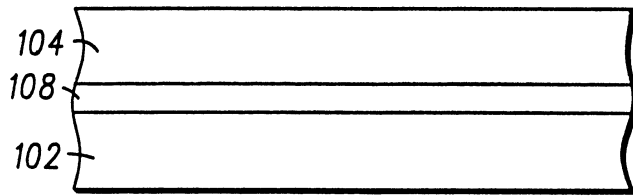


圖 5

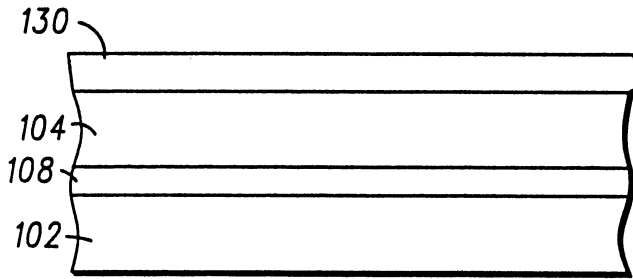


圖 6

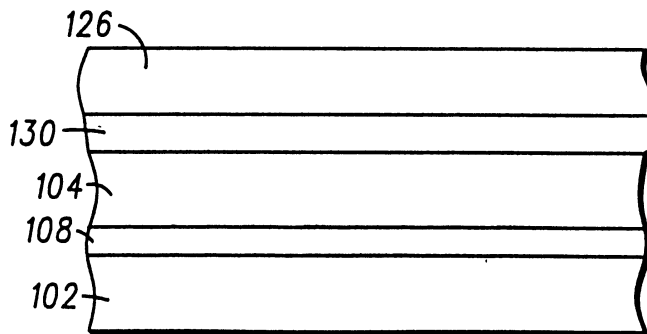


圖 7

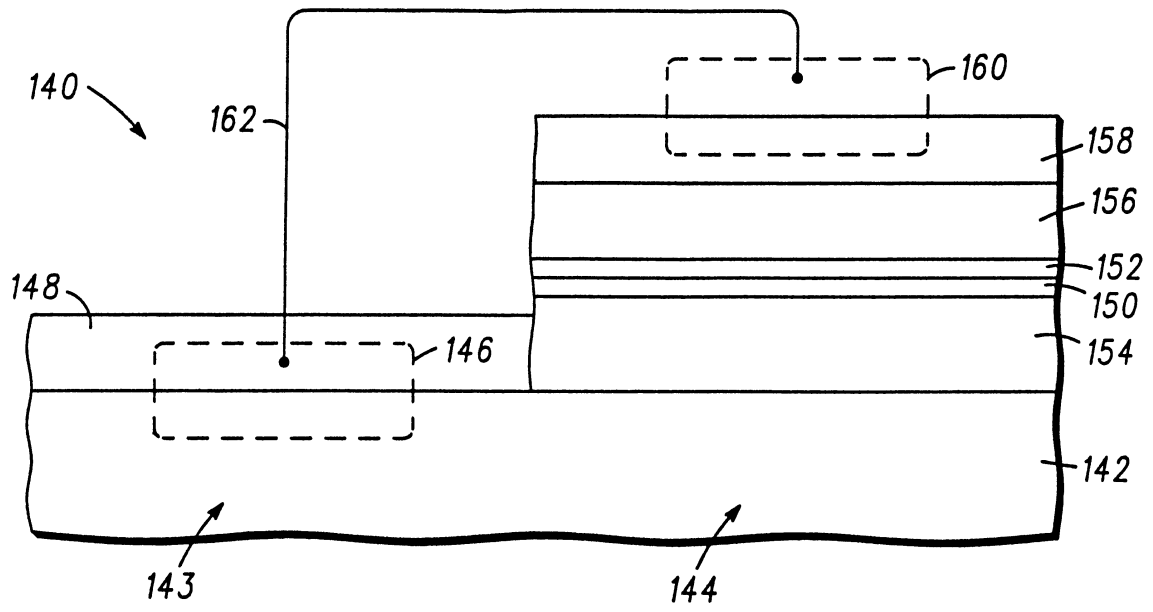


圖 8

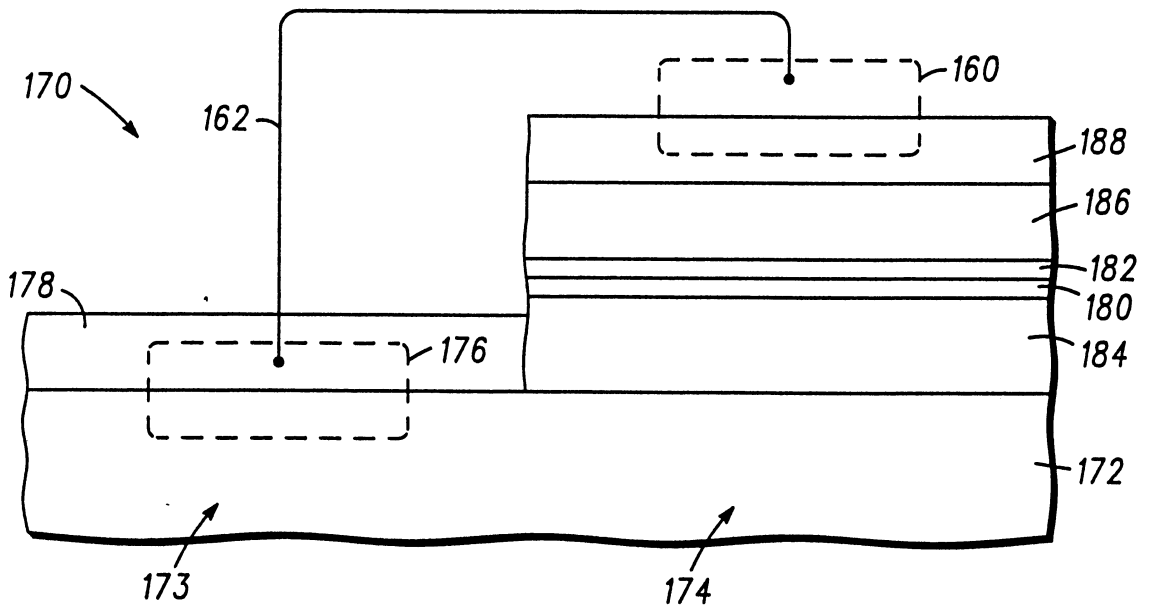


圖 9

92年9月(修正)
補充

五、發明說明 (25)

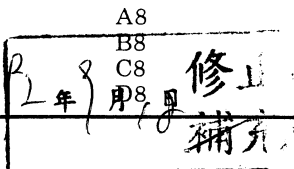
用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置，不僅包括這些元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。

圖式元件符號說明

- 20 半導體結構
- 22 單結晶基底
- 24 容納緩衝層
- 26 單結晶材料層
- 28 非晶性中間層
- 30 樣板層
- 31 矽覆蓋層
- 32 分級單結晶層
- 34 半導體結構
- 36 非晶性層
- 38 額外單結晶層
- 40 半導體結構
- 42 曲線
- 102 單結晶基底
- 104 容納緩衝層
- 108 非晶性中間層
- 126 單結晶分級材料層
- 130 樣板層
- 140 裝置結構
- 142 單結晶半導體基底

五、發明說明 (²⁶)

- 143 區域
- 144 區域
- 146 電性組件
- 148 絕緣材料層
- 150 單層
- 152 覆蓋層
- 154 非晶性氧化層
- 156 分級層
- 158 單結晶材料層
- 160 半導體組件
- 162 金屬導體
- 170 裝置結構
- 172 單結晶半導體基底
- 173 區域
- 174 區域
- 176 電子組件
- 178 絕緣材料
- 180 單層
- 182 覆蓋層
- 184 非晶性氧化層
- 186 分級層
- 188 單結晶材料



六、申請專利範圍

1. 一種半導體結構，包括：
 - 一單結晶基底；
 - 一形成在該基底上的容納緩衝層；
 - 一形成在該單結晶容納緩衝層上的樣板；及
 - 一形成來覆蓋該樣板的單結晶層，該單結晶層包含由Si、SiC、Ge及 $\text{Si}_y\text{Ge}_{1-y}$ 所構成的群組中選出的材料，其中y的範圍由0到1。
2. 如申請專利範圍第1項之半導體結構，進一步包含介於該單結晶基底與該容納緩衝層之間的一非晶性層。
3. 如申請專利範圍第2項之半導體結構，其中該非晶性層包含氧化矽。
4. 如申請專利範圍第2項之半導體結構，其中該非晶性層為約0.5到約5.0奈米厚。
5. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層包含由鹼土金屬鈦酸鹽、鹼土金屬鋯酸鹽、鹼土金屬鉛酸鹽、鹼土金屬鉭酸鹽、鹼土金屬釷酸鹽、鹼土金屬鈮酸鹽、及鈣鈦礦氧化物所構成的群組中選出。
6. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層包含 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ ，其中z的範圍由0到1。
7. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層為約2到約100奈米厚。
8. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層為約5奈米厚。
9. 如申請專利範圍第1項之半導體結構，其中該單結晶分級

六、申請專利範圍

層為約1奈米到約100微米厚。

10. 如申請專利範圍第9項之半導體結構，其中該單結晶分級層為約0.1到約5微米厚。
11. 如申請專利範圍第1項之半導體結構，進一步包含一覆蓋層。
12. 如申請專利範圍第11項之半導體結構，其中該覆蓋層包含單結晶矽。
13. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層包含一非晶性膜。
14. 如申請專利範圍第1項之半導體結構，其中該容納緩衝層包含一單結晶膜。
15. 一種用於製造一半導體結構之方法，其包含以下步驟：
 - 提供一單結晶基底；
 - 外延成長一單結晶容納緩衝層而覆蓋該單結晶半導體基底；
 - 於該單結晶基底與該容納緩衝層之間形成一非晶性層；及
 - 外延成長一單結晶層來覆蓋該容納緩衝層，其中該單結晶層包含由Si、SiC、Ge及 $\text{Si}_y\text{Ge}_{1-y}$ 所構成的群組中選出的材料，其中y的範圍由0到1。
16. 如申請專利範圍第15項之方法，其中該外延成長一單結晶容納緩衝層，其包含一包含 $\text{Ca}_z\text{Sr}_{1-z}\text{TiO}_3$ 的單結晶容納緩衝層，其中z的範圍由0到1。
17. 如申請專利範圍第15項之方法，其進一步包含加熱該單

六、申請專利範圍

結晶容納緩衝層與該非晶性層，而使得該單結晶容納緩衝層成為非晶性狀態。

18. 如申請專利範圍第17項之方法，其中該加熱步驟包含快速熱退火。
19. 如申請專利範圍第18項之方法，進一步包含在該單結晶容納緩衝層上形成一第一樣板的步驟。
20. 如申請專利範圍第19項之方法，進一步包含形成一覆蓋層在該樣板之上。
21. 如申請專利範圍第15項之方法，進一步包含形成一樣板來覆蓋該單結晶基底的步驟。
22. 如申請專利範圍第15項之方法，進一步包含外延成長一單結晶材料層來覆蓋該單結晶層。