(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0071347
(43) 공개일자 2024년05월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *C30B 23/02* (2006.01)
C30B 25/02 (2006.01)
(52) CPC특허분류
H01L 21/02612 (2013.01)
C30B 23/02 (2013.01)
(21) 출원번호 10-2023-0158532
(22) 출원일자 2023년11월15일
심사청구일자 2023년11월15일
(30) 우선권주장
1020220152923 2022년11월15일 대한민국(KR)

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
홍영준
경기도 용인시 기흥구 구성로 123, 104동 1504호 (언남동, 하마비마을동부아파트)
최중훈
경기도 평택시 포승읍 송내안골길 71-9
(74) 대리인
유미특허법인

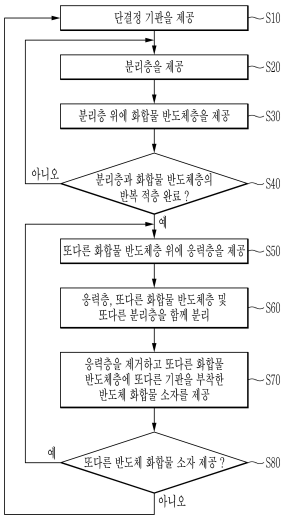
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **화합물 반도체 소자 및 그 제조 방법**

(57) 요 약

화합물 반도체 소자 및 그 제조 방법을 제공한다. 화합물 반도체 소자의 제조 방법은, i) 단결정 기판을 제공하는 제1 단계, ii) 단결정 기판 위에 분리층을 제공하는 제2 단계, iii) 분리층 위에 화합물 반도체층을 제공하는 제3 단계, iv) 제2 단계 및 제3 단계를 복수회 반복하는 제4 단계, v) 맨 위에 위치하는 또다른 화합물 반도체층 위에 응력층을 제공하는 제5 단계, vi) 응력층, 또다른 화합물 반도체층 및 또다른 화합물 반도체층 아래에 위치하는 또다른 분리층을 함께 분리하는 제6 단계, vii) 응력층을 제거하고 또다른 화합물 반도체층에 또다른 기판을 제공하여 화합물 반도체 소자를 제공하는 제7 단계, 및 viii) 제6 단계 및 제7 단계를 반복하고 남은 단결정 기판을 제1 단계에서 재사용하는 제8 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
C30B 25/02 (2013.01)
H01L 21/0237 (2013.01)
H01L 21/02428 (2013.01)
H01L 21/02439 (2013.01)
H01L 21/02499 (2013.01)
H01L 21/02521 (2013.01)
H01L 21/02573 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711173167
과제번호 2022M3D1A2050793
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 국가핵심소재연구단(특화형)
연구과제명 전질화물계 멤브레인 박막/분리막 일괄연속공정 원격에피택시 기술개발
기 여 율 1/2
과제수행기관명 세종대학교
연구기간 2022.04.08 ~ 2022.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711175238
과제번호 2022M3H4A3A01097512
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 국가핵심소재연구단(플랫폼형) 함께달리기
연구과제명 초소형 고휘도 화소화를 위한 고인듐함량 IGaN/GaN 적색 LED 에피택시 기술개발
기 여 율 1/2
과제수행기관명 세종대학교
연구기간 2022.08.01 ~ 2023.03.31

명 세 서

청구범위

청구항 1

단결정 기판을 제공하는 제1 단계,

상기 단결정 기판 위에 분리층을 제공하는 제2 단계,

상기 분리층 위에 화합물 반도체층을 제공하는 제3 단계,

상기 제2 단계 및 상기 제3 단계를 복수회 반복하는 제4 단계,

맨 위에 위치하는 또다른 화합물 반도체층 위에 응력층을 제공하는 제5 단계,

상기 응력층, 상기 또다른 화합물 반도체층 및 상기 또다른 화합물 반도체층 아래에 위치하는 또다른 분리층을 함께 분리하는 제6 단계,

상기 응력층을 제거하고 상기 또다른 화합물 반도체층에 또다른 기판을 제공하여 화합물 반도체 소자를 제공하는 제7 단계, 및

상기 제6 단계 및 상기 제7 단계를 반복하고 남은 상기 단결정 기판을 상기 제1 단계에서 재사용하는 제8 단계

를 포함하는 화합물 반도체 소자의 제조 방법.

청구항 2

제1항에서,

상기 제2 단계의 분리층 또는 상기 제3 단계의 화합물 반도체층은 유기금속 화학기상증착(MOCVD, Metal Organic Chemical Vapor Deposition), 하이드라이드 기상 에피택시(HVPE, Hydride Vapor Phase Epitaxy), 펄스 레이저 증착(PLD, Pulsed Laser Deposition), 분자빔 에피택시(MBE, Molecular Beam Epitaxy), 수열합성(Hydrothermal Synthesis), 액상 에피택시(Liquid Phase Epitaxy, LPE) 및 암모노써멀(Ammonothermal)로 이루어진 군에서 선택된 하나 이상의 방법으로 제공하는 화합물 반도체 소자의 제조 방법.

청구항 3

제2항에서,

상기 분리층 및 상기 화합물 반도체층은 한 반응로 내에서 연속으로 제조되고, 상기 화합물 반도체층은 복수의 층들로 형성되는 화합물 반도체 소자의 제조 방법.

청구항 4

제1항에서,

상기 제2 단계에서, 상기 분리층은 비정질질화붕소(a-BN), 결정질질화붕소(h-BN), 그래핀(graphene), 의사 그래핀(pseudo graphene), 및 전이금속디칼코겐화물(Transition Metal Dichalcogendes, TMDs)로 이루어진 군에서 선택된 하나 이상의 화합물을 포함하는 화합물 반도체 소자의 제조 방법.

청구항 5

제4항에서,

상기 전이금속디칼코겐화물은 MX_2의 화학식을 가지며, 상기 M은 Mo, W 및 Ta로 이루어진 군에서 선택된 하나 이상의 원소이고, 상기 X는 S, Se 및 Te로 이루어진 군에서 선택된 하나 이상의 원소인 화합물 반도체 소자의 제조 방법.

청구항 6

제4항에서,

상기 하나 이상의 화합물은 복수의 화합물들을 포함하고, 상기 복수의 화합물들은 결정질 질화붕소/비정질 질화붕소, 그래핀/비정질 질화붕소 또는 그래핀/전이금속디칼코겐화물인 화합물 반도체 소자의 제조 방법.

청구항 7

제1항에서,

상기 제2 단계의 상기 분리층의 두께는 상기 제3 단계의 상기 화합물 반도체층의 두께보다 크고, 상기 분리층의 두께는 0.3nm 내지 30nm이며, 상기 화합물 반도체층의 두께는 30nm 보다 크고 100㎛ 이하인 화합물 반도체 소자의 제조 방법.

청구항 8

제1항에서,

상기 제2 단계의 상기 분리층은 도핑되지 않은 비정질 소재를 포함하고, 상기 제3 단계의 상기 화합물 반도체층은 도핑된 도전성 소재를 포함하는 화합물 반도체 소자의 제조 방법.

청구항 9

제1항에서,

상기 제2 단계의 상기 분리층은 전도성 결정질을 포함하고, 붕소(B), 마그네슘(Mg), 탄소(C), 인(P) 및 염소(Cl)로 이루어진 군에서 하나 이상의 원소로 도핑된 화합물 반도체 소자의 제조 방법.

청구항 10

제8항에서,

상기 도전성 소재는 GaN, InN, AlN, InGaN, AlInN, AlGaN, AlInGaN, InP, GaP, AlP, AlGaP, InGaP, AlInP, AlGaInP, GaAs, InAs, AlAS, AlGaAs, InGaAs, AlInAs, AlGaInAs, GaSn, AlSn, InSn, AlGaSn, InGaSn, AlInSn, AlGaInSn, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), AZO(Al-doped ZnO),ZnCdMgO, ZnS, MgS, CdS, ZnMgS, ZnCdS, MgCdS, ZnMgCdS, ZnSe, ZnTe, CdSe, CdTe, ZnCdSe 및 ZnCdTe로 이루어진 군에서 선택된 하나 이상의 물질인 화합물 반도체 소자의 제조 방법.

청구항 11

제1항에서,

상기 제1 단계의 단결정 기판은 GaN, AlGaN, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, InAs, InAsP, InGaAs, InP, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), GaSb, AlSb, InSb, AlInSb, AlGaSb, AlGaInSb, AZO(Al-doped ZnO), Al2O3, Si, 및 SiC로 이루어진 군에서 선택된 하나 이상의 소재를 포함하는 화합물 반도체 소자의 제조 방법.

청구항 12

제1항에서,

상기 제4 단계를 2회 내지 9회 반복하는 화합물 반도체 소자의 제조 방법.

청구항 13

제1항에서,

상기 제2 단계에서, 상기 분리층은 상기 단결정 기판과 접하는 에피택시층을 포함하고, 상기 에피택시층과 상기 단결정 기판 사이에 공유결합 및 이온결합이 각각 비존재하고, 반데르발스 힘만이 존재하는 화합물 반도체 소자의 제조 방법.

청구항 14

제1항 내지 제13항 중 어느 한 항의 방법에 따라 제조한 화합물 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 화합물 반도체 소자 및 그 제조 방법에 관한 것이다. 좀더 상세하게는, 고품질의 멤브레인 기판을 대량 생산하고 고가의 모재 기판을 손쉽게 재활용할 수 있는 화합물 반도체 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 고품질의 II-VI, III-V 및 III-N 화합물 반도체 기판을 형성하는 방법은 융액성장법, 고압용액법, Flux 법, Float zone법 또는 Bridgeman-Stockbarger법 등이 있다. 그러나 이러한 기술들은 수백 내지 수천도의 고온과 수천 내지는 수만 기압의 고압을 요구하기에 단결정 성장이 어려워 일반적으로 에피택시를 통해 기판을 제조하고, 하이드라이드 기상 에피택시(Hydride Vapor Phase Epitaxy, HVPE) 등의 후막성장법을 주로 이용한다. 수 mm 내지 수십 mm의 두꺼운 화합물 반도체 벌크 성장 후 여러 장의 기판으로 슬라이스 가공하여 제조한다. HVPE는 빠른 성장속도로 인한 응력제어 기술과 고난이도의 기판 가공 기술이 요구되므로, 그 제조 비용이 매우 높다.

[0003] 이외에, 에피택시 성장된 화합물 반도체층을 가공하는 방법은 에피택셜 리프트 오프(epitaxial lift-off, ELO), 레이저 리프트 오프(laser lift-off, LLO), 스폴링(spalling), 기계적 그라인딩법(mechanical grinding) 등으로 다양하다. 그러나 이러한 방법들은 부식성이 매우 높은 화합물을 사용하거나 강한 에너지의 조사, 강한 기계적 힘에 의한 분리 내지는 연마법을 이용해 하부 기판을 제거한다. 그 결과, 기판으로부터 에피층을 분리하는 경우, 기판에 화학적 및 물리적 손상을 야기하여 기판의 재사용이 어려울 뿐만 아니라 분리된 에피택시층의 표면 및 결정 특성을 저하시킨다. 따라서, 고성능의 광소자 또는 전자 소자를 구현하기 위하여 우수한 결정 품질을 가지고, 낮은 공정 단가와 양산성을 동시에 만족하는 화합물 반도체 소자를 제조할 필요가 있다.

발명의 내용

해결하려는 과제

[0004] 화합물 반도체 소자를 제공한다. 또한, 전술한 화합물 반도체 소자의 제조 방법을 제공한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 화합물 반도체 소자의 제조 방법은, 화합물 반도체 소자의 제조 방법은, i) 단결정 기판을 제공하는 제1 단계, ii) 단결정 기판 위에 분리층을 제공하는 제2 단계, iii) 분리층 위에 화합물 반도체층을 제공하는 제3 단계, iv) 제2 단계 및 제3 단계를 복수회 반복하는 제4 단계, v) 맨 위에 위치하는 또다른 화합물 반도체층 위에 응력층을 제공하는 제5 단계, vi) 응력층, 또다른 화합물 반도체층 및 또다른 화합물 반도체층 아래에 위치하는 또다른 분리층을 함께 분리하는 제6 단계, vii) 응력층을 제거하고 또다른 화합물 반도체층에 또다른 기판을 제공하여 화합물 반도체 소자를 제공하는 제7 단계, 및 viii) 제6 단계 및 제7 단계를 반복하고 남은 단결정 기판을 제1 단계에서 재사용하는 제8 단계를 포함한다.

[0006] 제2 단계의 분리층 또는 제3 단계의 화합물 반도체층은 유기금속 화학기상증착(MOCVD, Metal Organic Chemical Vapor Deposition), 하이드라이드 기상 에피택시(HVPE, Hydride Vapor Phase Epitaxy), 펄스 레이저 증착(PLD, Pulsed Laser Deposition), 분자빔 에피택시(MBE, Molecular Beam Epitaxy), 수열합성(Hydrothermal Synthesis), 액상 에피택시(Liquid Phase Epitaxy, LPE) 및 암모노써멀(Ammonothermal)로 이루어진 군에서 선택된 하나 이상의 방법으로 제공할 수 있다. 분리층 및 화합물 반도체층은 한 반응로 내에서 연속으로 제조되고, 화합물 반도체층은 복수의 층들로 형성될 수 있다.

[0007] 제2 단계에서, 분리층은 비정질질화붕소(a-BN), 결정질질화붕소(h-BN), 그래핀(graphene), 의사 그래핀(pseudo graphene), 및 전이금속디칼코겐화물(Transition Metal Dichalcogendes, TMDs)로 이루어진 군에서 선택된 하나 이상의 화합물을 포함할 수 있다. 전이금속디칼코겐화물은 MX_2의 화학식을 가지며, M은 Mo, W 및 Ta로 이루어진 군에서 선택된 하나 이상의 원소이고, X는 S, Se 및 Te로 이루어진 군에서 선택된 하나 이상의 원소일 수 있다. 하나 이상의 화합물은 복수의 화합물들을 포함하고, 복수의 화합물들은 결정질 질화붕소/비정질 질화붕소,

그래핀/비정질 질화붕소 또는 그래핀/전이금속디칼코겐화물일 수 있다.

[0008] 제2 단계의 분리층의 두께는 제3 단계의 상기 화합물 반도체층의 두께보다 크고, 분리층의 두께는 0.3nm 내지 30nm이며, 화합물 반도체층의 두께는 30nm 보다 크고 100㎛ 이하일 수 있다. 제2 단계의 분리층은 도핑되지 않은 비정질 소재를 포함하고, 제3 단계의 상기 화합물 반도체층은 도핑된 도전성 소재를 포함할 수 있다. 제2 단계의 분리층은 전도성 결정질을 포함하고, 붕소(B), 마그네슘(Mg), 탄소(C), 인(P) 및 염소(Cl)로 이루어진 군에서 하나 이상의 원소로 도핑될 수 있다. 도전성 소재는 GaN, InN, AlN, InGaN, AlInN, AlGaN, AlInGaN, InP, GaP, AlP, AlGaP, InGaP, AlInP, AlGaInP, GaAs, InAs, AlAS, AlGaAs, InGaAs, AlInAs, AlGaInAs, GaSn, AlSn, InSn, AlGaSn, InGaSn, AlInSn, AlGaInSn, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), AZO(Al-doped ZnO),ZnCdMgO, ZnS, MgS, CdS, ZnMgS, ZnCdS, MgCdS, ZnMgCdS, ZnSe, ZnTe, CdSe, CdTe, ZnCdSe 및 ZnCdTe로 이루어진 군에서 선택된 하나 이상의 물질일 수 있다.

[0009] 제1 단계의 단결정 기판은 GaN, AlGaN, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, InAs, InAsP, InGaAs, InP, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), GaSb, AlSb, InSb, AlInSb, AlGaSb, AlGaInSb, AZO(Al-doped ZnO), Al2O3, Si, 및 SiC로 이루어진 군에서 선택된 하나 이상의 소재를 포함할 수 있다. 제4 단계를 2회 내지 9회 반복할 수 있다. 제2 단계에서, 분리층은 상기 단결정 기판과 접하는 에피택시층을 포함하고, 에피택시층과 단결정 기판 사이에 공유결합 및 이온결합이 각각 비존재하고, 반데르발스 힘만이 존재할 수 있다.

[0010] 본 발명의 일 실시예에 따른 화합물 반도체 소자는 전술한 방법으로 제조된다.

발명의 효과

[0011] 고품질의 화합물반도체층을 대량 제조하고 손쉽게 기판으로부터 분리하여 고가의 단결정 기판을 재사용할 수 있다. 또한, 한 반응로 내에서 일괄 연속 공정을 통해 한 공정에서 하나의 웨이퍼당 제조되는 화합물 반도체 소자의 생산량을 증가시킬 수 있다. 그 결과, 화합물 반도체 소자의 제조 공정 시간 및 제조 공정 비용을 줄여서 생산성을 극대화할 수 있다. 또한, 고품질의 멤브레인 기판을 대량 생산하고 고가의 모재 기판을 손쉽게 재활용할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 화합물 반도체 소자의 제조 방법의 개략적인 순서도이다.

도 2 내지 도 12은 도 1의 화합물 반도체 소자의 제조 방법의 각 단계를 개략적으로 나타낸 도면들이다.

도 13 내지 도 15는 본 발명의 실험예에 따른 사진들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 첨부한 도면을 참고로 하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 유사한 형태와 공정으로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다. 또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.

[0014] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 사이에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 사이에 다른 부분이 없는 것을 의미한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 사이에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 사이에 다른 부분이 없는 것을 뜻한다.

[0015] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 화합물 반도체 소자의 제조 방법의 순서도를 개략적으로 나타낸다. 도 1의 화합물 반도체 소자의 제조 방법은 단지 본 발명을 예시하기 위한 것이며, 본 발명이 여기에 한정되는 것은 아니다. 따라서 도 1의 화합물 반도체 소자의 제조 방법을 다르게 변형할 수 있다.

[0017] 도 1에 도시한 바와 같이, 화합물 반도체 소자의 제조 방법은, 단결정 기판을 제공하는 단계(S10), ii) 분리층을 제공하는 단계(S20), 분리층 위에 화합물 반도체층을 제공하는 단계(S30), 분리층과 화합물 반도체층을 반복하여 적층하는 단계(S40), 또다른 화합물 반도체층 위에 응력층을 제공하는 단계(S50), 응력층, 또다른 화합물 반도체층 및 또다른 분리층을 함께 분리하는 단계(S60), 응력층을 제거하고 또다른 화합물 반도체층 아래에 또다른 기판을 부착한 반도체 화합물 소자를 제공하는 단계(S70), 그리고 또다른 반도체 화합물 소자를 반복하여 제공하는 단계(S80)를 포함한다. 이외에, 화합물 반도체 소자의 제조 방법은 다른 단계를 더 포함할 수 있다.

[0018] 한편, 도 2 내지 도 12는 도 1의 화합물 반도체 소자의 제조 방법의 각 단계를 개략적으로 나타낸 도면들이다. 이하에서는 도 2 내지 도 12를 참조하여 도 1의 각 단계들을 설명한다.

[0019] 도 1에 도시한 바와 같이, 단계(S10)에서는 단결정 기판(10)을 제공한다. (도 2에 도시) 단결정 기판(10)은 GaN, AlGaN, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, InAs, InAsP, InGaAs, InP, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), GaSb, AlSb, InSb, AlInSb, AlGaSb, AlGaInSb, AZO(Al-doped ZnO), Al2O3, Si 또는 SiC로 제조될 수 있다. 즉, 이들 중에서 단일 소재를 사용하건 둘 이상의 소재들을 혼합하여 사용할 수 있다.

[0020] 도 1의 단계(S20)에서는 분리층(201)을 제공한다. (도 3에 도시) 분리층(201)은 단결정 기판(10) 위에 제공된다. 분리층(201)을 이용해 초박막 분리법(ultrathin release layer) 및 성장 방법을 통해 기판으로부터 쉽게 박리 가능한 반도체층을 제조한다. 이러한 방법은 매우 얇은 분리층(201)이 존재함에도 기판과 동일한 결정성을 지니는 고품질의 단결정 반도체층을 제조하면서 손쉬운 에피층의 박리가 가능하다. 초박막층을 사용한 에피택시는 분리층(201)으로 인해 에피택시층과 단결정 기판(10) 사이에 공유 결합 또는 이온 결합의 직접적인 결합이 존재하지 않는다. 이 대신에 약한 반데르발스 힘만이 존재한다. 그 결과, 상부 에피택시층을 단결정 기판(10)으로부터 쉽게 박리할 수 있다. 또한, 박리한 에피택시층을 자유롭게 다른 기판에 전사하여 이종 구조를 구현함으로써 다양한 기능을 가진 소자들을 제조할 수 있다. 나아가, 박리 공정 및 전사 공정을 통해 웨이퍼 한 장에 수백만원 내지 수천만원인 고가의 화합물 반도체 기판을 재활용해 공정 비용을 크게 절감할 수 있다. 또한 에피층의 계면에서 화학 결합이 존재하지 않으므로, 반도체 물질을 제조시에 격자 불일치도의 제한이 없다. 또한, 계면 응력이 작아 이종 에피택시를 위한 고가 및 고난이도의 공정 기술, 예를 들면 초격자 공정, 점진적 조성 완화층 형성, 다양한 버퍼층의 성장 등이 불필요하다. 격자 불일치로 인한 응력 해소 공정이 불필요하여 전위가 형성되지 않아 결함이 적은 에피층을 제조할 수 있다.

[0021] 분리층(201)은 전도성 결정질을 포함하거나 도핑되지 않은 비정질 소재를 포함할 수도 있다. 분리층(201)이 전도성 결정질을 포함하는 경우, 붕소(B), 마그네슘(Mg), 탄소(C), 인(P), 염소(Cl) 등의 원소로 도핑될 수 있다.

[0022] 분리층(201)은 유기금속 화학기상증착(MOCVD, Metal Organic Chemical Vapor Deposition), 하이드라이드 기상 에피택시(HVPE, Hydride Vapor Phase Epitaxy), 펄스 레이저 증착(PLD, Pulsed Laser Deposition), 분자빔 에피택시(MBE, Molecular Beam Epitaxy), 수열합성(Hydrothermal Synthesis), 액상 에피택시(Liquid Phase Epitaxy, LPE) 또는 암모노써멀(Ammonothermal) 방법에 의해 단결정 기판(10) 위에 형성될 수 있다. 이러한 공정에 의해 분리층(201)은 비정질질화붕소(a-BN), 결정질질화붕소(h-BN), 그래핀(graphene), 의사 그래핀(pseudo graphene), 또는 전이금속디칼코겐화물(Transition Metal Dichalcogendes, TMDs)를 포함할 수 있다. 여기서, 전이금속디칼코겐화물은 MX2의 화학식을 가진다. 여기서, M은 Mo, W 또는 Ta이고, X는 S, Se 또는 Te이다. 한편, 분리층(201)은 이러한 하나의 화합물을 포함할 수도 있고, 복수의 혼합물들을 포함할 수도 있다. 예를 들면, 분리층(201)은 결정질 질화붕소/비정질 질화붕소, 그래핀/비정질 질화붕소 또는 그래핀/전이금속디칼코겐화물일 수 있다.

[0023] 다시 도 1로 되돌아가면, 단계(S30)에서는 분리층(201) 위에 화합물 반도체층(203)을 제공한다. (도 3에 도시) 멤브레인(20)은 분리층(201)과 화합물 반도체층(203)으로 이루어진다. 분리층(201)과 화합물 반도체층(203)은 한 반응로 내에서 연속으로 제조될 수 있다. 화합물 반도체층(203)은 복수의 층들로 형성될 수 있다.

[0024] 화합물 반도체층(203)은 유기금속 화학기상증착, 하이드라이드 기상 에피택시, 펄스 레이저 증착, 분자빔 에피택시, 수열합성, 액상 에피택시 또는 암모노써멀에 의해 분리층(201) 위에 형성될 수 있다. 또는 리소그래피 및 식각을 통한 패터닝으로 분리층(201) 위에 형성될 수도 있다.

[0025] 화합물 반도체층(203)은 도핑된 도전성 소재를 포함한다. 이러한 도전성 소재는 GaN, InN, AlN, InGaN, AlInN, AlGaN, AlInGaN, InP, GaP, AlP, AlGaP, InGaP, AlInP, AlGaInP, GaAs, InAs, AlAS, AlGaAs, InGaAs, AlInAs,

AlGaInAs, GaSn, AlSn, InSn, AlGaSn, InGaSn, AlInSn, AlGaInSn, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), AZO(Al-doped ZnO),ZnCdMgO, ZnS, MgS, CdS, ZnMgS, ZnCdS, MgCdS, ZnMgCdS, ZnSe, ZnTe, CdSe, CdTe, ZnCdSe 또는 ZnCdTe를 포함할 수 있다. 화합물 반도체층(203)은 n형 또는 p형으로 도핑될 수 있으며, II-VI족, III-V족 또는 III-N족의 반도체가 사용될 수 있다. 즉, 화합물 반도체층(203)은 규소로 도핑된 n형 GaN층 또는 마그네슘으로 도핑된 p형 GaN층일 수 있다.

[0026] 한편, 도 3에 도시한 바와 같이, 분리층(201)의 두께(t201)는 화합물 반도체층(203)의 두께(t203)보다 크다. 좀더 구체적으로, 분리층(201)의 두께(t201)는 0.3nm 내지 30nm일 수 있다. 분리층(201)은 그 두께(t201)가 매우 작은 초박막으로 제조될 수 있다. 분리층(201)의 두께가 너무 작은 경우, 후속 공정에서 멤브레인의 분리가 불가능하다. 또한, 분리층(201)의 두께가 너무 큰 경우, 단결정 멤브레인을 제조할 수 없다. 따라서 분리층(201)의 두께를 전술한 범위로 조절한다. 한편, 화합물 반도체층(203)의 두께(t203)는 30nm 보다 크고 100㎛ 이하일 수 있다. 화합물 반도체층(203)은 복수의 층으로 적층되므로 이러한 두께(t203)를 가지면서 제조될 수 있다.

[0027] 한편, 도 3에는 도시하지 않았지만, 화합물 반도체층(203)은 단결정 기판(10)과의 사이에 저온 버퍼층 또는 핵생성 밀도 증가층을 삽입할 수도 있다. 이들 층들은 분리층(201)의 위 또는 아래에 형성될 수 있다. 단결정 기판(10)과 화합물 반도체층(203)의 각 소재가 상이하면 양 층들 사이의 결정 부정합 또는 격자상수 불일치가 발생하므로 저온 버퍼층 또는 핵생성 밀도 증가층을 통해 이를 보완한다. 또한, 단결정 기판(10)과 화합물 반도체층(203)의 열팽창 계수 차이가 큰 경우 이를 완화하기 위해 저온 버퍼층 또는 핵생성 밀도 증가층을 삽입한다.

[0028] 도 1의 단계(S40)에서는 분리층(201)과 화합물 반도체층(203)을 반복하여 적층한다. (도 4에 도시) 즉, 단결정 기판(10) 위에 3개의 멤브레인들(20, 22, 24)을 차례로 적층한다. 멤브레인들(20, 22, 24)은 각각 분리층들(201, 221, 241) 및 화합물 반도체층들(203, 223, 243)을 포함한다. 도 4에는 멤브레인들(20, 22, 24)이 3개인 것으로 도시하였지만, 이는 단지 본 발명을 예시하기 위한 것이며, 본 발명이 여기에 한정되는 것은 아니다. 따라서 멤브레인들을 2개 또는 4개 이상으로 형성할 수도 있다. 좀더 바람직하게는, 단계(S40)를 2회 내지 10회 반복할 수 있다. 단계(S40)의 반복 회수가 너무 적은 경우, 반도체 화합물 소자의 제조 효율이 저하된다. 또한, 단계(S40)의 반복 회수가 너무 많은 경우, 적층 구조가 취약해질 수 있다. 따라서 단계(S40)의 반복 회수를 전술한 범위로 조절한다. 멤브레인들을 적층한 후에 도 1의 단계(S40)를 완료하고, 단계(S50)를 진행한다.

[0029] 도 1의 단계(S50)에서는 또다른 화합물 반도체층(243) 위에 응력층(30)을 제공한다. (도 5에 도시) 또다른 화합물 반도체층(243)은 적층 구조체의 맨 위에 위치한다. 따라서 적층 구조체의 맨 위에 응력층(30)을 형성하여 멤브레인을 떼어낼 준비를 한다. 응력층(30)은 고분자, 반도체, 금속 또는 세라믹 등의 소재로 형성할 수 있다. 응력층(30)은 증착 등의 방법으로 제조할 수 있다.

[0030] 다시 도 1로 되돌아가면, 단계(S60)에서는 응력층(30)과 멤브레인(24), 즉 응력층(30), 또다른 화합물 반도체층(243) 및 또다른 분리층(241)을 함께 분리한다. (도 6에 도시) 즉, 도 6에는 도시하지 않았지만, 테이프 등의 소자 분리를 위한 취급층을 응력층 위에 붙인다. 이를 위해 취급층은 일정한 부착력을 가진다. 응력층(30) 위에 취급층을 붙이고 이를 떼어내어 전술한 소자들을 적층 구조체로부터 분리시킬 수 있다. 여기서, 취급층은 분리 공정에서 멤브레인(24)을 용이하게 핸들링하기 위한 것일 뿐 사용하지 않아도 되며, 응력층(30)을 그 대신에 사용할 수도 있다.

[0031] 다시 도 1로 되돌아가면, 단계(S70)에서는 응력층(30)을 제거하고 또다른 화합물 반도체층(243) 위에 또다른 기판을 부착한 반도체 화합물 소자를 제공한다. (도 7에 도시) 반도체 화합물 소자는 발광 소자 등으로 사용될 수 있다. 이러한 방법을 통해 저비용으로 반도체 화합물 소자를 대량으로 제조할 수 있다.

[0032] 도 1의 단계(S80)에서는 또다른 반도체 화합물 소자를 제공할 수 있다. 즉, 또다른 반도체 화합물 소자를 제조하는 경우, 단계(S50)로 되돌아가 전술한 공정을 반복한다. 이를 도 8 내지 도 12를 통해 이하에서 상세하게 설명한다.

[0033] 도 8은 멤브레인(24)(도 6에 도시, 이하 동일)이 제거된 적층 구조체를 나타낸다. 멤브레인(24)이 제거된 적층 구조체의 멤브레인(22) 위에 응력층(30)을 제공한다. 이하에서는 도 9를 통하여 멤브레인(22)을 제거하는 공정을 설명한다.

[0034] 도 9는 적층 구조체로부터 멤브레인(22)을 제거하는 공정을 나타낸다. 도 9는 도 6과 유사하므로, 동일한 부분

에는 동일한 도면부호를 사용하며 그 상세한 설명을 생략한다. 도 9에 도시한 바와 같이, 응력층(30)과 멤브레인(22)을 적층 구조체로부터 제거할 수 있다.

[0035] 도 10은 멤브레인(22)(도 9에 도시, 이하 동일)이 제거된 적층 구조체를 나타낸다. 멤브레인(22)이 제거된 적층 구조체의 멤브레인(20) 위에 응력층(30)을 제공한다. 이하에서는 도 11을 통하여 멤브레인(20)을 제거하는 공정을 설명한다.

[0036] 도 11은 적층 구조체로부터 멤브레인(20)을 제거하는 공정을 나타낸다. 도 11은 도 9와 유사하므로, 동일한 부분에는 동일한 도면부호를 사용하며 그 상세한 설명을 생략한다. 도 11에 도시한 바와 같이, 응력층(30)과 멤브레인(20)을 적층 구조체로부터 제거할 수 있다.

[0037] 도 12는 도 9에서 얻어진 또다른 화합물 반도체층(223)과 도 11에서 얻어진 화합물 반도체층(203) 위에 각각 기판들(42, 44)을 부착한 반도체 화합물 소자들을 각각 나타낸다. 화합물 반도체층이 전사되는 기판의 종류에는 제한이 없다. 이러한 방법을 통해 저비용으로 반도체 화합물 소자를 대량으로 제조할 수 있다.

[0038] 한편, 도 11에서 응력층(30) 및 멤브레인(20)을 제거하고 남은 단결정 기판(10)은 1회 이상 다시 재활용할 수 있다. 즉, 도 1의 단계(10)에서 제공되는 단결정 기판(10)으로서 재활용할 수 있으므로, 화합물 반도체 소자의 제조 비용을 크게 절감할 수 있다.

[0039] 이하에서는 실험예를 통하여 본 발명을 상세하게 설명한다. 이러한 실험예는 단지 본 발명을 예시하기 위한 것이며, 본 발명이 여기에 한정되는 것은 아니다.

[0040] **실험예**

[0041] 유기금속화학증착법을 통해 분리 가능한 III-N 화합물 반도체 및 초박막 분리층을 단결정 기판 위에 제조하였다. 먼저, 단결정 기판의 소재로는 Al_2O_3를 사용하였다. 화합물 반도체층의 소재로는 AlGaN을 사용하였다. GaN 단결정 기판을 MOCVD 챔버 내에 위치시키고 단결정 기판 위에 초박막 분리층 및 화합물 반도체층을 동일 챔버 내에서 연달아(in-situ) 교번하여 복수의 층들로 제조하였다. 초박막 분리층은 비정질의 질화붕소(amorphous boron nitride, a-BN)이었고, 액상 유기금속 전구체인 트리에틸보레인(Triethylborane, TEB, $C_6H_{15}B$) 및 암모니아(Ammonia, NH_3) 가스를 이용하여 제조하였다. 좀더 구체적으로, 수소가스 및 질소가스 분위기에서 400℃ 내지 800℃에서 붕소 전구체 TEB 및 질소 전구체 암모니아 가스를 MOCVD 챔버로 주입하여 비정질의 질화붕소층을 0.3㎚ 내지 5㎚의 두께로 제조하였다. TEB 전구체는 액체상이므로, MOCVD 장치의 버블러 시스템을 이용해 캐리어 가스인 수소 내지 질소를 통해 챔버 내로 주입하였다. 또한, a-BN 초박막 분리층의 제조시 전구체 TEB 및 NH_3 이외에 붕소 및 질소 전구체를 모두 포함하는 보라진(Borazine, $B_3H_6N_3$)만을 사용할 수도 있다. 이러한 공정을 통해 초박막 분리막/단결정 기판(a-BN/GaN) 위에 원격 에피택시 방법으로 화합물 반도체층을 제조하였다.

[0042] 도 13은 본 발명의 실험예에 따라 화합물 반도체층 및 초박막 분리층으로 된 멤브레인을 제조한 후의 멤브레인의 주사투과전자현미경 단면 사진이다.

[0043] 도 13에 도시한 바와 같이, 단결정 기판 위에 분리층 및 화합물 반도체층이 차례로 적층되어 있었다. 따라서 도 3의 구조와 동일한 형태의 구조체를 제조할 수 있다는 것을 확인할 수 있었다.

[0044] 도 14는 도 13의 멤브레인을 분리한 상태를 개략적으로 나타낸 사진이다. 좀더 구체적으로, 도 14의 좌측에는 테이프를 이용해 단결정 기판으로부터 분리된 멤브레인을 나타내며, 도 14의 중앙에는 분리된 단결정 기판을 나타내며, 도 14의 우측에는 단결정 기판의 일부 단면을 나타낸다.

[0045] 도 14에 도시한 바와 같이, 일괄 연속 공정에 의해 단결정 기판 위에 분리층(미도시), 화합물 반도체층, 및 응력층을 적층한 후에 테이프로 단결정 기판으로부터 분리층을 깨끗하게 박리시켜 화합물 반도체 소자를 제조할 수 있었다. 즉, 도 14의 좌측의 멤브레인을 실리콘 등의 저가 기판 위에 전사하여 청색 발광 소자를 제조할 수 있다. 전술한 방법으로 청색 발광 소자를 제조할 수 있으므로, 그 제조 비용을 크게 절감할 수 있다. 이를 도 15를 참조하여 이하에서 설명한다.

[0046] 도 15는 본 발명의 실험예에 따라 제조한 화합물 반도체 소자인 청색발광소자의 발광 이미지를 나타낸다. 도 15의 좌측은 현미경의 광원을 켜고 청색발광소자를 현미경으로 확대한 사진이고, 도 15의 우측은 현미경의 광원을 끈 상태의 청색발광소자의 사진이다.

[0047] 도 15의 청색발광소자는 아래의 방법으로 제조하였다. 먼저, 도 1의 화합물 반도체 소자를 폴리이미드(polyimide, PI) 고분자로 된 접착제를 이용해 저가의 단결정 실리콘 기판 위에 부착하였다. 좀더 구체적으로, 단결정 실리콘 기판 위에 액상의 폴리이미드를 코팅하고, 80℃내지 160℃에서 1분 내지 5분 동안 가열하여 용매를 휘발시켜 화합물 반도체 소자를 단결정 실리콘 기판 위에 부착하였다. 이 경우, 폴리이미드는 완전히 고분자화되지 않아서 접착성을 가지며, 200℃ 내지 300℃로 가열하면 폴리이미드가 고분자화되어 단결정 실리콘 기판과 화합물 반도체 소자를 견고하게 상호 부착시킨다. 그리고 포토리소그래피 공정 및 식각 공정을 통해 4 x 5 μm^2 면적의 발광 소자를 제조하였다. 이러한 발광 소자의 제조 방법은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 이해할 수 있으므로, 그 상세한 설명을 생략한다.

[0048] 이상에서 본 개시의 실시예에 대하여 상세하게 설명하였지만 본 개시의 권리범위는 이에 한정되는 것은 아니고 본 개시의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 개시의 권리범위에 속하는 것이다.

부호의 설명

[0049] 10. 단결정 기판

20, 22, 24. 멤브레인

30. 응력층

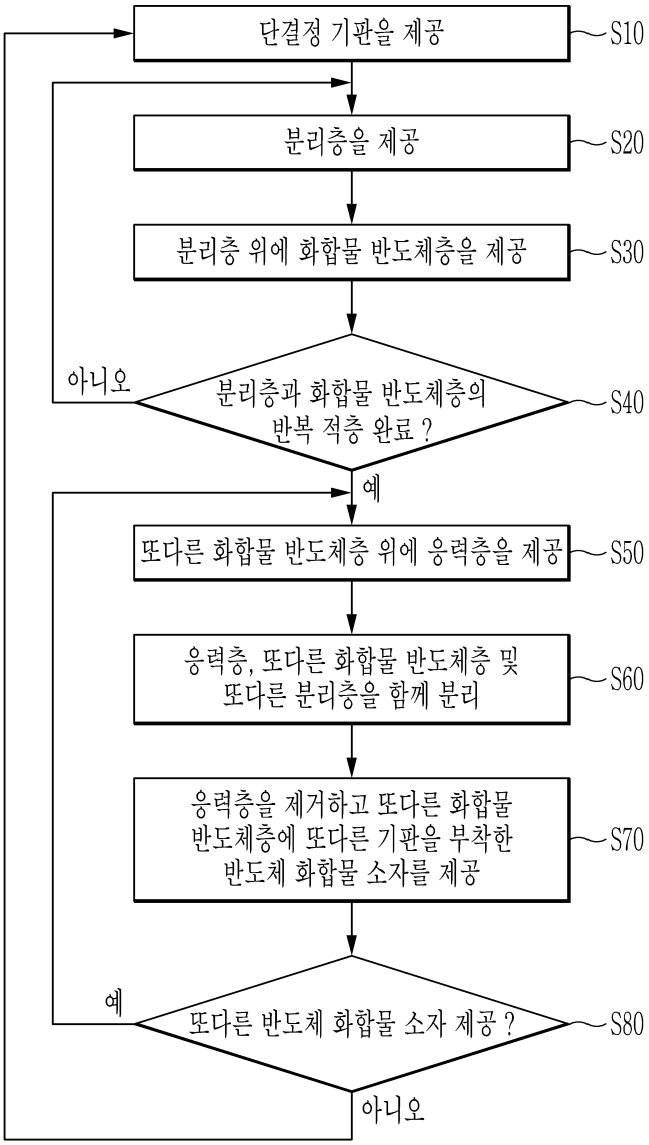
40, 42, 44. 기판

201, 221, 241. 분리층

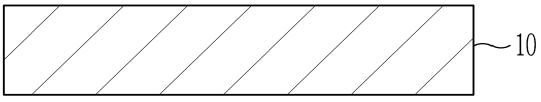
203, 223, 243. 화합물 반도체층

도면

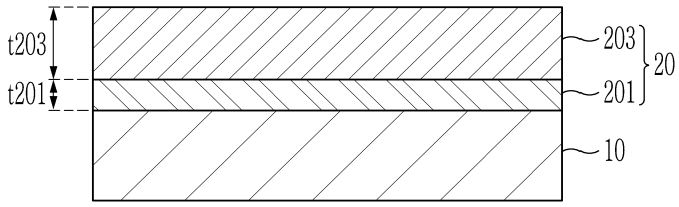
도면1


단결정 기판을 제공
S10
분리층을 제공
S20
분리층 위에 화합물 반도체층을 제공
S30
아니오
분리층과 화합물 반도체층의
반복 적층 완료 ?
S40
예
또다른 화합물 반도체층 위에 응력층을 제공
S50
응력층, 또다른 화합물 반도체층 및
또다른 분리층을 함께 분리
S60
응력층을 제거하고 또다른 화합물
반도체층에 또다른 기판을 부착한
반도체 화합물 소자를 제공
S70
예
또다른 반도체 화합물 소자 제공 ?
S80
아니오

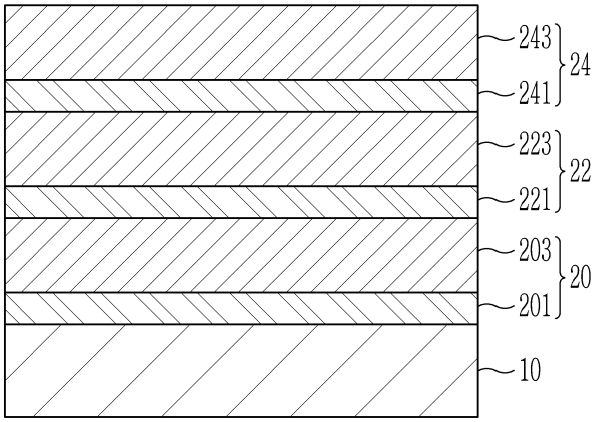
도면2


10

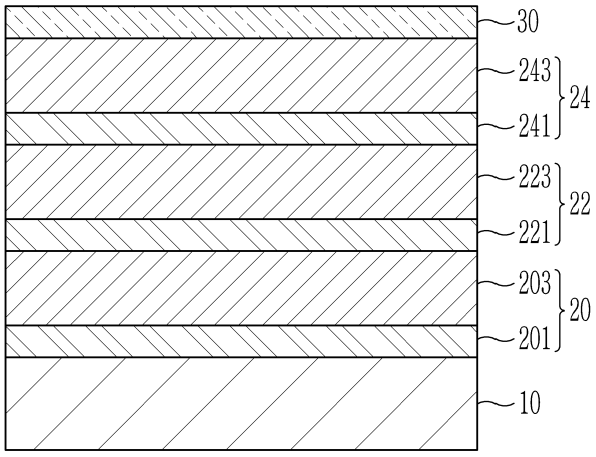
도면3


t203
t201
203
201
20
10

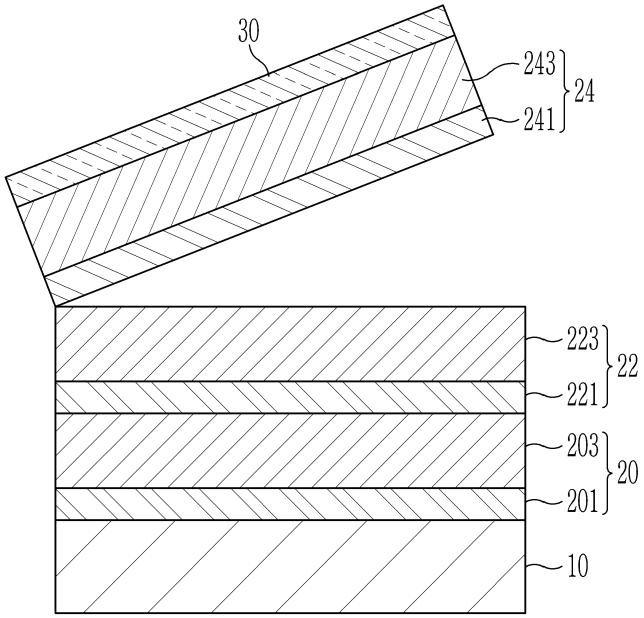
도면4


243
241
24
223
221
22
203
201
20
10

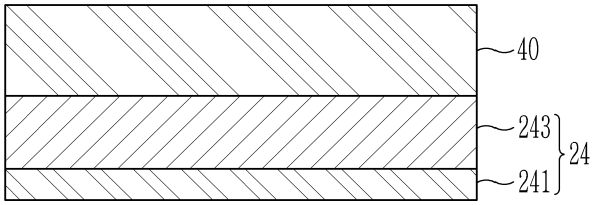
도면5


30
243
241
24
223
221
22
203
201
20
10

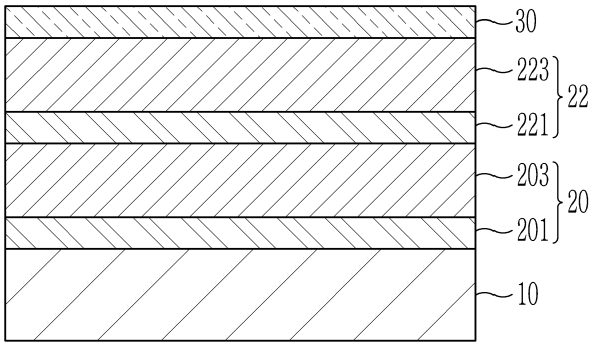
도면6


30
243
241
24
223
221
22
203
201
20
10

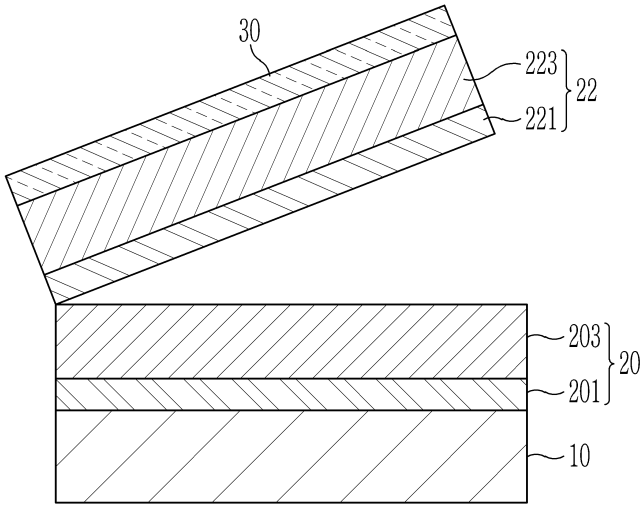
도면7


40
243
241
24

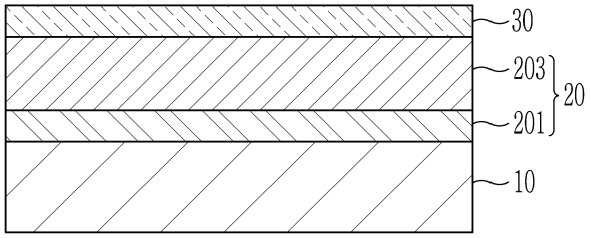
도면8


30
223
221
22
203
201
20
10

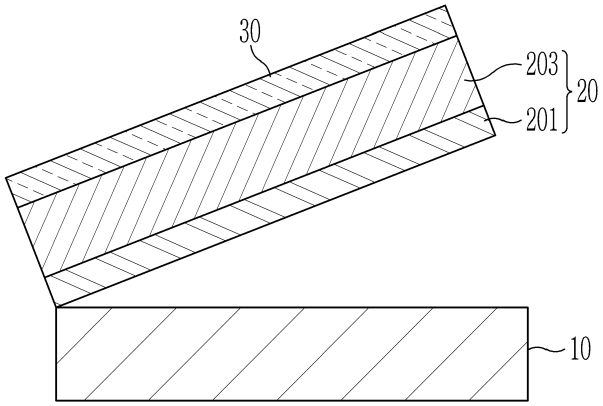
도면9



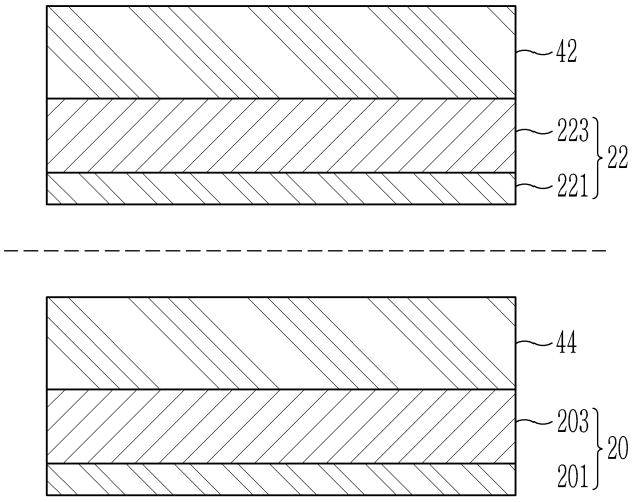
도면10



도면11



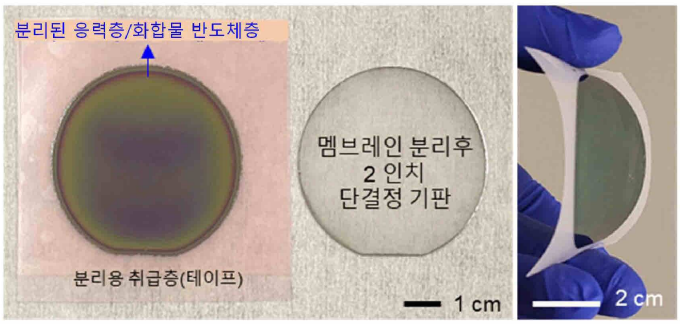
도면12



도면13



도면14



도면15

