

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0074016
G11C 11/22 (2006.01) (43) 공개일자 2006년07월03일

(21) 출원번호 10-2004-0112170
(22) 출원일자 2004년12월24일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 강희복
대전광역시 서구 도마2동 경남아파트 109-203
안진홍
경기도 안양시 동안구 평촌동 130-1 영풍아파트 101동 1408호

(74) 대리인 황의인
이정훈

심사청구 : 있음

(54) 불휘발성 강유전체 메모리 장치

요약

본 발명은 불휘발성 강유전체 메모리 장치에 관한 것으로서, 멀티 비트 직렬 셀 구조를 갖는 강유전체 메모리 장치에서 리드 비트라인과 라이트 비트라인을 구분하여 리드/라이트 경로를 상이하게 제어함으로써 직렬 데이터 처리시 동작 속도를 향상시킬 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 복수개의 스위칭 소자와, 복수개의 강유전체 캐패시터를 구비하는 직렬 셀이 라이트 스위칭 소자와 리드 스위칭 소자 사이에 직렬 연결되어, 라이트 동작 모드시 라이트 비트라인으로부터 인가되는 셀 데이터를 복수개의 강유전체 캐패시터에 순차적으로 저장하며, 리드 동작 모드시 복수개의 강유전체 캐패시터에 저장된 셀 데이터를 리드 비트라인에 순차적으로 출력하도록 한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 불휘발성 강유전체 메모리 장치에 관한 구성도.

도 2 및 도 3은 종래의 불휘발성 강유전체 메모리 장치의 동작을 설명하기 위한 도면.

도 4는 본 발명에 따른 불휘발성 강유전체 메모리 장치에 관한 구성도.

도 5 및 도 6은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 동작을 설명하기 위한 도면.

도 7은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 다른 실시예.

도 8은 도 7의 실시예에 따른 본 발명의 동작 타이밍도.

도 9 내지 도 11은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시예들.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 강유전체 메모리 장치에 관한 것으로서, 멀티 비트 직렬 셀 구조를 갖는 불휘발성 강유전체 메모리 장치의 직렬 데이터 처리에 따른 리드/라이트 동작 속도를 향상시킬 수 있도록 하는 기술이다.

일반적으로 시스템 구조가 복잡해지고 고성능화 될수록 여러가지 기능을 갖는 회로들이 작은 면적을 갖는 칩 상에 함께 배치되어야 한다. 이러한 경우 데이터 전송을 위한 버스의 수가 많아지게 되면 고집적화에 불리하게 작용한다. 따라서, 직렬 버스를 이용한 직렬 데이터 전송 방법을 채택하게 되었다.

도 1은 종래의 불휘발성 강유전체 메모리 장치의 구성도이다.

종래의 불휘발성 강유전체 메모리 장치는 4-비트 직렬 셀(1)과 스위칭 트랜지스터 T5를 구비한다. 여기서, 직렬 셀(1)은 비트라인 BL과 스위칭 트랜지스터 T5 사이에 직렬 연결되어 각각의 워드라인 WL1~WL4에 의해 스위칭 동작이 제어되는 복수개의 NMOS트랜지스터 T1~T4를 구비한다.

그리고, 복수개의 강유전체 캐패시터 FC1~FC4는 각각의 워드라인 WL1~WL4과 노드 N1~N4 사이에 병렬 연결된다. 또한, 스위칭 트랜지스터 T5는 직렬 셀(1)과 비트라인 BL 사이에 연결되어 게이트 단자를 통해 라이트 인에이블 제어신호 WEC가 인가된다.

또한, 직렬 셀(1)은 복수개의 단위 셀 C이 하나의 비트라인 BL을 공유한다. 이에 따라, 라이트 또는 재저장 동작시 라이트 인에이블 제어신호 WEC가 활성화되어 라이트 데이터가 4개의 단위 셀 C에 차례로 라이트된다.

이러한 구조를 갖는 종래의 불휘발성 강유전체 메모리 장치의 동작 과정을 도 2 및 도 3을 참조하여 설명하면 다음과 같다.

먼저, 리드 동작 모드시 4개의 단위 셀 C을 차례로 액세스하여 센싱된 데이터를 레지스터(2)에 순차적으로 저장한다. 반면에, 라이트(재저장) 동작 모드시 레지스터(2)에 저장된 데이터를 각각의 단위 셀 C에 순차적으로 재저장한다.

종래의 리드/라이트 동작 과정을 도 2 및 도 3을 참조하여 좀더 상세하게 설명하면 다음과 같다.

먼저, 리드 동작 모드시 t1 구간에서 워드라인 WL1이 활성화되면 NMOS트랜지스터 T1가 턴온된다. 이에 따라, 센스앰프는 비트라인 BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(2)에 첫번째 셀 데이터 D1를 저장한다.

이후에, t2 구간에서 워드라인 WL2이 활성화되면 NMOS트랜지스터 T2가 턴온된다. 이에 따라, 센스앰프는 비트라인 BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(2)에 두번째 셀 데이터 D2를 저장한다. 이때, 워드라인 WL1은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC2에 저장된 셀 데이터가 비트라인 BL으로 전달될 수 있도록 한다.

이어서, t3 구간에서 워드라인 WL3이 활성화되면 NMOS트랜지스터 T3이 턴온된다. 이에 따라, 센스앰프는 비트라인 BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(2)에 세번째 셀 데이터 D3를 저장한다. 이때, 워드라인 WL1, WL2은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC3에 저장된 셀 데이터가 비트라인 BL으로 전달될 수 있도록 한다.

다음에, t4 구간에서 워드라인 WL4이 활성화되면 NMOS트랜지스터 T4가 턴온된다. 이에 따라, 센스앰프는 비트라인 BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(2)에 네번째 셀 데이터 D4를 저장한다. 이때, 워드라인 WL1~WL3은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC4에 저장된 셀 데이터가 비트라인 BL으로 전달될 수 있도록 한다.

이때, t1~t4 구간의 리드 동작 모드시 재저장 동작은 아직 수행되지 않는다. 그리고, t4 구간에서 마지막 셀 데이터 D4가 리드된 이후에, t5 구간에서부터 첫번째 셀 데이터 D1를 셀 C에 재저장하게 된다.

즉, 라이트(재저장) 동작 모드시 라이트 인에이블 제어신호 WEC가 활성화되면, 스위칭 트랜지스터 T5가 턴온된다.

이에 따라, t5 구간에서 레지스터(2)에 저장된 첫번째 셀 데이터 D1가 비트라인 BL을 통해 강유전체 캐패시터 FC1에 저장된다. 이후에, 워드라인 WL1이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC1에 라이트된다. 이때, 워드라인 WL2~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D1이 노드 ND1으로 전달될 수 있도록 한다.

이후에, t6 구간에서 레지스터(2)에 저장된 두번째 셀 데이터 D2가 비트라인 BL을 통해 강유전체 캐패시터 FC2에 저장된다. 이후에, 워드라인 WL2이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC2에 라이트된다. 이때, 워드라인 WL3~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D2이 노드 ND2로 전달될 수 있도록 한다.

이어서, t7 구간에서 레지스터(2)에 저장된 세번째 셀 데이터 D3가 비트라인 BL을 통해 강유전체 캐패시터 FC3에 저장된다. 이후에, 워드라인 WL3이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC3에 라이트된다. 이때, 워드라인 WL4는 계속 활성화 상태를 유지하여 셀 데이터 D3가 노드 ND3로 전달될 수 있도록 한다.

다음에, t8 구간에서 레지스터(2)에 저장된 네번째 셀 데이터 D4가 비트라인 BL을 통해 강유전체 캐패시터 FC4에 저장된다. 이후에, 워드라인 WL4이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC4에 라이트된다.

그런데, 이러한 종래의 불휘발성 강유전체 메모리 장치는 4개의 셀 데이터 D1~D4의 라이트 동작이 끝난 이후에 다시 리드 동작 모드를 수행해야만 한다. 즉, 4개의 셀 데이터 D1~D4에 대한 라이트 동작을 수행하는 동안에는 다른 셀을 액세스할 수 없게 된다.

이에 따라, 종래의 불휘발성 강유전체 메모리 장치는 셀 데이터의 센싱 동작 이후에 추가적인 재저장 시간이 필요하게 되므로, 연속적인 직렬 데이터의 전송시 데이터 전송 속도를 저하시키게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로서, 멀티 비트 직렬 셀 구조에 있어서 리드 비트라인과 라이트 비트라인을 구분하여 리드/라이트 경로를 독립적으로 제어함으로써 연속적인 직렬 데이터의 전송시 동작 속도를 향상시킬 수 있도록 하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 장치는, 복수개의 워드라인의 상태에 따라 스위칭 동작이 선택적으로 제어되는 복수개의 스위칭 소자와, 복수개의 스위칭 소자와 각각 병렬 연결된 복수개의 강유전체 캐패시터를 구비하는 직렬 셀; 라이트 인에이블 제어신호의 활성화시 라이트 비트라인으로부터 인가되는 셀 데이터를 직렬 셀에 출력하는 라이트 스위칭 소자; 및 리드 인에이블 제어신호의 활성화시 직렬 셀에 저장된 셀 데이터를 리드 비트라인으로 출력하는 리드 스위칭 소자를 구비함을 특징으로 한다.

또한, 본 발명은 로우 및 컬럼 방향으로 복수개 배열된 복수개의 리드 비트라인 및 복수개의 라이트 비트라인 쌍 사이에 각각 직렬 연결된 복수개의 멀티-비트 직렬 셀; 복수개의 리드 비트라인과 복수개의 멀티-비트 직렬 셀과의 연결을 각각 선택적으로 제어하는 복수개의 리드 스위칭 소자; 복수개의 라이트 비트라인과 복수개의 멀티-비트 직렬 셀과의 연결을 각각 선택적으로 제어하는 복수개의 라이트 스위칭 소자; 복수개의 리드 비트라인과 일대일 대응하여 연결되는 복수개의 센스앰프; 복수개의 센스앰프와 일대일 대응으로 연결되어 리드 동작 모드시 복수개의 센스앰프의 센싱 동작을 제어하는 리드 제어부; 복수개의 센스앰프로부터 센싱된 셀 데이터를 저장하는 복수개의 레지스터; 및 복수개의 라이트 비트라인과 일대일 대응으로 연결되어 라이트 동작 모드시 복수개의 레지스터에 저장된 셀 데이터를 복수개의 라이트 비트라인으로 출력하는 라이트 제어부를 구비함을 특징으로 한다.

또한, 리드 비트라인에 연결된 복수개의 서브 비트라인; 복수개의 서브 비트라인과 라이트 비트라인 사이에 각각 직렬 연결된 복수개의 직렬 셀; 리드 비트라인과 일대일 대응으로 연결되어 리드 비트라인에 인가된 셀 데이터를 센싱 및 증폭하는 글로벌 센스앰프; 복수개의 서브 비트라인과 일대일 대응으로 연결되어 복수개의 서브 비트라인에 인가된 셀 데이터를

센싱하여 글로벌 센스앰프에 출력하는 복수개의 서브 센스앰프; 글로벌 센스앰프와 라이트 비트라인 사이에 연결되어 글로벌 센스앰프로부터 인가되는 셀 데이터를 저장하는 레지스터; 라이트 인에이블 제어신호의 활성화시 라이트 비트라인으로부터 인가되는 셀 데이터를 직렬 셀에 출력하는 복수개의 라이트 스위칭 소자; 및 리드 인에이블 제어신호의 활성화시 복수개의 직렬 셀에 저장된 셀 데이터를 상기 복수개의 서브 비트라인으로 출력하는 복수개의 리드 스위칭 소자를 구비하되, 복수개의 직렬 셀 각각은 복수개의 워드라인의 상태에 따라 스위칭 동작이 선택적으로 제어되는 복수개의 스위칭 소자와, 복수개의 스위칭 소자와 각각 병렬 연결된 복수개의 강유전체 캐패시터를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

도 4는 4비트 직렬 셀 구조를 갖는 불휘발성 강유전체 메모리 장치에 관한 구성도이다.

본 발명은 4-비트 직렬 셀(10), 리드 스위칭 소자 RT1 및 라이트 스위칭 소자 WT1를 구비한다. 여기서, 리드 스위칭 소자 RT1는 리드 비트라인 R_BL과 직렬 셀(10) 사이에 연결되어 게이트 단자를 통해 리드 인에이블 제어신호 REC가 인가된다. 그리고, 라이트 스위칭 소자 WT1는 라이트 비트라인 W_BL과 직렬 셀(10) 사이에 연결되어 게이트 단자를 통해 라이트 인에이블 제어신호 WEC가 인가된다.

또한, 직렬 셀(10)은 리드 스위칭 소자 RT1와 라이트 스위칭 소자 WT1 사이에 직렬 연결되어 각각의 워드라인 WL1~WL4에 의해 스위칭 동작이 제어되는 복수개의 NMOS트랜지스터 T5~T8를 구비한다. 그리고, 복수개의 강유전체 캐패시터 FC5~FC8는 각각의 워드라인 WL1~WL4과 노드 N5~N8 사이에 병렬 연결된다.

또한, 직렬 셀(10)은 리드 스위칭 소자 RT1를 통해 리드 비트라인 R_BL과 연결되고, 라이트 스위칭 소자 WT1를 통해 라이트 비트라인 W_BL과 연결된다.

이러한 구성을 갖는 본 발명의 동작 과정을 도 5 및 도 6을 참조하여 설명하면 다음과 같다.

리드 동작 모드시 리드 인에이블 제어신호 REC가 활성화되면 4개의 셀 데이터가 리드 비트라인 R_BL에 순차적으로 출력되어 레지스터(20)에 저장된다. 반면에, 라이트(재저장) 동작 모드시 라이트 인에이블 제어신호 WEC가 활성화되어 라이트 비트라인 W_BL을 통해 레지스터(20)로부터 인가되는 4개의 셀 데이터가 직렬 셀(10)에 순차적으로 저장된다.

먼저, 리드 동작 모드시 t1 구간에서 t4 구간까지 리드 인에이블 제어신호 REC가 활성화 상태를 유지하여 리드 스위칭 소자 RT1가 턴온된다.

그리고, t1 구간에서 워드라인 WL1이 활성화되면 NMOS트랜지스터 T5가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 첫번째 셀 데이터 D1를 저장한다.

이후에, t2 구간에서 워드라인 WL2이 활성화되면 NMOS트랜지스터 T6가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 두번째 셀 데이터 D2를 저장한다. 이때, 워드라인 WL1은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC6에 저장된 셀 데이터가 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

이어서, t3 구간에서 워드라인 WL3이 활성화되면 NMOS트랜지스터 T7이 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 세번째 셀 데이터 D3를 저장한다. 이때, 워드라인 WL1, WL2은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC7에 저장된 셀 데이터가 비트라인 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

다음에, t4 구간에서 워드라인 WL4이 활성화되면 NMOS트랜지스터 T8가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 네번째 셀 데이터 D4를 저장한다. 이때, 워드라인 WL1~WL3은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC8에 저장된 셀 데이터가 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

이때, t1~t4 구간의 리드 동작 모드시 재저장 동작은 아직 수행되지 않는다. 그리고, t4 구간에서 마지막 셀 데이터 D4가 리드된 이후에, t5 구간에서부터 첫번째 셀 데이터 D1를 셀 C에 재저장하게 된다.

즉, 라이트(재저장) 동작 모드시 t5 구간에서 t8 구간까지 라이트 인에이블 제어신호 WEC가 활성화 상태를 유지하여, 라이트 스위칭 소자 WT1가 턴온된다.

그리고, t5 구간에서 레지스터(20)에 저장된 첫번째 셀 데이터 D1가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC5에 저장된다. 이후에, 워드라인 WL1이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC5에 라이트된다. 이때, 워드라인 WL2~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D1이 노드 ND5로 전달될 수 있도록 한다.

이후에, t6 구간에서 레지스터(20)에 저장된 두번째 셀 데이터 D2가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC6에 저장된다. 이후에, 워드라인 WL2이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC6에 라이트된다. 이때, 워드라인 WL3~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D2이 노드 ND6로 전달될 수 있도록 한다.

이어서, t7 구간에서 레지스터(20)에 저장된 세번째 셀 데이터 D3가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC7에 저장된다. 이후에, 워드라인 WL3이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC7에 라이트된다. 이때, 워드라인 WL4는 계속 활성화 상태를 유지하여 셀 데이터 D3가 노드 ND8로 전달될 수 있도록 한다.

다음에, t8 구간에서 레지스터(20)에 저장된 네번째 셀 데이터 D4가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC8에 저장된다. 이후에, 워드라인 WL4이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC8에 라이트된다.

도 7은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 다른 실시예이다.

도 7의 실시예는 도 4와 동일한 구성을 갖는 직렬 셀(10,11)들이 컬럼 방향으로 반복되는 구조를 갖는다. 그리고, 컬럼 방향으로 배치된 복수개의 직렬 셀(10,11)들이 리드 비트라인 R_{BL}과 라이트 비트라인 W_{BL}을 공통으로 사용한다.

여기서, 4-비트 직렬 셀(10)은 NMOS트랜지스터 T5~T8, 강유전체 캐패시터 FC5~FC8을 구비한다. 그리고, 4-비트 직렬 셀(11)은 NMOS트랜지스터 T9~T12, 강유전체 캐패시터 FC9~FC12를 구비한다.

또한, 4-비트 직렬 셀(10)은 리드 스위칭 소자 RT1을 통해 리드 비트라인 R_{BL}과 연결되며, 라이트 스위칭 소자 WT1를 통해 라이트 비트라인 W_{BL}과 연결된다. 4-비트 직렬 셀(10)은 리드 스위칭 소자 RT2을 통해 리드 비트라인 R_{BL}과 연결되며, 라이트 스위칭 소자 WT2를 통해 라이트 비트라인 W_{BL}과 연결된다.

이러한 구성을 갖는 본 발명의 동작 과정을 도 8의 타이밍도를 참조하여 설명하면 다음과 같다.

리드 동작 모드시 리드 인에이블 제어신호 REC가 활성화되면 4개의 셀 데이터가 리드 비트라인 R_{BL}에 순차적으로 출력된다. 반면에, 라이트(재저장) 동작 모드시 라이트 인에이블 제어신호 WEC가 활성화되면 라이트 비트라인 W_{BL}으로부터 인가되는 4개의 셀 데이터가 직렬 셀(10,11)에 순차적으로 저장된다.

먼저, 리드 동작 모드시 t1 구간에서 t4 구간까지 리드 인에이블 제어신호 REC1가 활성화 상태를 유지하여 리드 스위칭 소자 RT1가 턴온된다.

그리고, t1 구간에서 워드라인 WL1이 활성화되면 NMOS트랜지스터 T5가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_{BL}을 통해 인가된 셀 데이터를 센싱하여 레지스터(20)에 첫번째 셀 데이터 D1를 저장한다.

이후에, t2 구간에서 워드라인 WL2이 활성화되면 NMOS트랜지스터 T6가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_{BL}을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 두번째 셀 데이터 D2를 저장한다. 이때, 워드라인 WL1은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC6에 저장된 셀 데이터가 리드 비트라인 R_{BL}으로 전달될 수 있도록 한다.

이어서, t3 구간에서 워드라인 WL3이 활성화되면 NMOS트랜지스터 T7이 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_{BL}을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 세번째 셀 데이터 D3를 저장한다. 이때, 워드라인 WL1, WL2은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC7에 저장된 셀 데이터가 리드 비트라인 R_{BL}으로 전달될 수 있도록 한다.

다음에, t4 구간에서 워드라인 WL4이 활성화되면 NMOS트랜지스터 T8가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 네번째 셀 데이터 D4를 저장한다. 이때, 워드라인 WL1~WL3은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC8에 저장된 셀 데이터가 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

이때, t1~t4 구간의 리드 동작 모드시 재저장 동작은 아직 수행되지 않는다. 그리고, t4 구간에서 마지막 셀 데이터 D4가 리드된 이후에, t5 구간에서부터 직렬 셀(10)에 첫번째 셀 데이터 D1를 재저장하게 된다.

즉, 직렬 셀(10)의 라이트(재저장) 동작 모드시 t5 구간에서 t8 구간까지 라이트 인에이블 제어신호 WEC1가 활성화 상태를 유지하여, 라이트 스위칭 소자 WT1가 턴온된다. 이와 동시에 직렬 셀(11)의 리드 동작 모드시 t5 구간에서 t8 구간까지 리드 인에이블 제어신호 REC2가 활성화 상태를 유지하여, 리드 스위칭 소자 RT1가 턴온된다.

이에 따라, t5 구간부터 t8 구간까지는 직렬 셀(10)의 라이트(재저장) 동작과 직렬 셀(11)의 리드 동작이 동시에 이루어질 수 있게 된다.

먼저, 직렬 셀(10)의 라이트 동작 모드시, t5 구간에서 레지스터(20)에 저장된 첫번째 셀 데이터 D1가 라이트 비트라인 W_BL을 통해 강유전체 캐패시터 FC5에 저장된다. 이후에, 워드라인 WL1이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC5에 라이트된다. 이때, 워드라인 WL2~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D1이 노드 ND5로 전달될 수 있도록 한다.

이후에, t6 구간에서 레지스터(20)에 저장된 두번째 셀 데이터 D2가 라이트 비트라인 W_BL을 통해 강유전체 캐패시터 FC6에 저장된다. 이후에, 워드라인 WL2이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC6에 라이트된다. 이때, 워드라인 WL3~WL4는 계속 활성화 상태를 유지하여 셀 데이터 D2이 노드 ND6로 전달될 수 있도록 한다.

이어서, t7 구간에서 레지스터(20)에 저장된 세번째 셀 데이터 D3가 라이트 비트라인 W_BL을 통해 강유전체 캐패시터 FC7에 저장된다. 이후에, 워드라인 WL3이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC7에 라이트된다. 이때, 워드라인 WL4는 계속 활성화 상태를 유지하여 셀 데이터 D3가 노드 ND8로 전달될 수 있도록 한다.

다음에, t8 구간에서 레지스터(20)에 저장된 네번째 셀 데이터 D4가 라이트 비트라인 W_BL을 통해 강유전체 캐패시터 FC8에 저장된다. 이후에, 워드라인 WL4이 하이에서 로우로 천이할 경우 하이 데이터가 강유전체 캐패시터 FC8에 라이트된다.

한편, 직렬 셀(11)의 리드 동작 모드시, t5 구간에서 t8 구간까지 리드 인에이블 제어신호 REC2가 활성화 상태를 유지하여 리드 스위칭 소자 RT2가 턴온된다.

그리고, t5 구간에서 워드라인 WL5이 활성화되면 NMOS트랜지스터 T9가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱하여 레지스터(20)에 첫번째 셀 데이터 D5를 저장한다.

이후에, t6 구간에서 워드라인 WL6이 활성화되면 NMOS트랜지스터 T10가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 두번째 셀 데이터 D6를 저장한다. 이때, 워드라인 WL5은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC10에 저장된 셀 데이터가 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

이어서, t7 구간에서 워드라인 WL7이 활성화되면 NMOS트랜지스터 T11이 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 세번째 셀 데이터 D7를 저장한다. 이때, 워드라인 WL5, WL6은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC11에 저장된 셀 데이터가 비트라인 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

다음에, t8 구간에서 워드라인 WL8이 활성화되면 NMOS트랜지스터 T12가 턴온된다. 이에 따라, 센스앰프는 리드 비트라인 R_BL을 통해 인가된 셀 데이터를 센싱한 이후에, 레지스터(20)에 네번째 셀 데이터 D8를 저장한다. 이때, 워드라인 WL5~WL7은 계속 활성화 상태를 유지하여 강유전체 캐패시터 FC12에 저장된 셀 데이터가 리드 비트라인 R_BL으로 전달될 수 있도록 한다.

이때, t8 구간에서 직렬 셀(11)의 마지막 셀 데이터 D8가 리드된 이후에, t9 구간에서부터 직렬 셀(11)의 첫번째 셀 데이터 D5를 셀 C에 재저장하게 된다.

먼저, 직렬 셀(11)의 라이트 동작 모드시, t9 구간에서 레지스터(20)에 저장된 첫번째 셀 데이터 D5가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC9에 저장된다. 이후에, 워드라인 WL5이 하이에서 로우로 천이할 경우 반 사이클 동안 로우 데이터가 라이트되고, 나머지 반 사이클 동안 하이 데이터가 강유전체 캐패시터 FC5에 라이트된다. 이때, 워드라인 WL6~WL8는 계속 활성화 상태를 유지하여 셀 데이터 D5가 노드 ND9로 전달될 수 있도록 한다.

이후에, t10 구간에서 레지스터(20)에 저장된 두번째 셀 데이터 D6가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC10에 저장된다. 이후에, 워드라인 WL6이 하이에서 로우로 천이할 경우 반 사이클 동안 로우 데이터가 라이트 되고, 나머지 반 사이클 동안 하이 데이터가 강유전체 캐패시터 FC10에 라이트된다. 이때, 워드라인 WL7~WL8는 계속 활성화 상태를 유지하여 셀 데이터 D6이 노드 ND10로 전달될 수 있도록 한다.

이어서, t11 구간에서 레지스터(20)에 저장된 세번째 셀 데이터 D7가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC11에 저장된다. 이후에, 워드라인 WL7이 하이에서 로우로 천이할 경우 반 사이클 동안 로우 데이터가 라이트되고, 나머지 반 사이클 동안 하이 데이터가 강유전체 캐패시터 FC11에 라이트된다. 이때, 워드라인 WL8는 계속 활성화 상태를 유지하여 셀 데이터 D7가 노드 ND12로 전달될 수 있도록 한다.

다음에, t12 구간에서 레지스터(20)에 저장된 네번째 셀 데이터 D8가 라이트 비트라인 W_{BL}을 통해 강유전체 캐패시터 FC12에 저장된다. 이후에, 워드라인 WL8이 하이에서 로우로 천이할 경우 반 사이클 동안 로우 데이터가 라이트되고, 나머지 반 사이클 동안 하이 데이터가 강유전체 캐패시터 FC12에 라이트된다.

도 9는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시예이다.

도 9의 실시예는 도 7과 동일한 구성을 갖는 복수개의 4-비트 직렬 셀(10,11)들이 로오 및 컬럼 방향으로 반복되는 구조를 갖는다. 그리고, 컬럼 방향으로 배치된 복수개의 직렬 셀(10,11)들이 각각 리드 비트라인 R_{BL}과 라이트 비트라인 W_{BL}을 공통으로 사용한다.

여기서, 리드 비트라인 R_{BL}은 센스앰프(30)와 연결되고, 라이트 비트라인 W_{BL}은 레지스터(20)와 연결된다. 또한, 리드 제어부(40)는 센스앰프(30)와 연결되어 직렬 셀(10,11)의 리드 동작을 제어한다. 라이트 제어부(50)는 레지스터(20)와 라이트 비트라인 W_{BL}과 연결되어 직렬 셀(10,11)의 라이트 동작을 제어한다.

이러한 구성을 갖는 도 9의 실시예는, 리드 동작 모드시 리드 인에이블 제어신호 REC가 활성화되면 직렬 셀(10) 또는 직렬 셀(11)로부터 인가된 4개의 셀 데이터가 리드 비트라인 R_{BL}에 순차적으로 출력되어 센스앰프(30)에 인가된다. 센스앰프(30)는 리드 제어부(40)의 제어에 따라 리드 비트라인 R_{BL}으로부터 인가되는 셀 데이터를 레지스터(20)에 저장한다.

반면에, 라이트(재저장) 동작 모드시 라이트 인에이블 제어신호 WEC가 활성화되면 라이트 제어부(50)의 제어에 따라 레지스터(20)에 저장된 셀 데이터가 라이트 비트라인 W_{BL}에 출력된다. 라이트 비트라인 W_{BL}으로부터 인가되는 4개의 셀 데이터는 직렬 셀(10) 또는 직렬 셀(11)에 순차적으로 저장된다.

도 10은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시예이다.

도 10의 실시예에 따른 멀티-비트 직렬 셀(60)은 리드 스위칭 소자 RT1과 라이트 스위칭 소자 WT1 사이에 직렬 연결되어 각각의 워드라인 WL1~WL_m에 의해 스위칭 동작이 제어되는 복수개의 NMOS트랜지스터 T1~T_m를 구비한다. 그리고, 복수개의 강유전체 캐패시터 FC1~FC_m는 각각의 워드라인 WL1~WL_m과 노드 N1~N_m 사이에 병렬 연결된다.

여기서, 멀티 비트 직렬 셀(60)은 리드 스위칭 소자 RT1를 통해 리드 비트라인 R_{BL}과 연결되고, 라이트 스위칭 소자 WT1를 통해 라이트 비트라인 W_{BL}과 연결된다.

그리고, 도 10의 실시예에 따른 복수개의 멀티-비트 직렬 셀(60)들은 로오 및 컬럼 방향으로 반복되는 구조를 갖는다. 그리고, 컬럼 방향으로 배치된 복수개의 멀티-비트 직렬 셀(60)들은 각각 리드 비트라인 R_{BL}과 라이트 비트라인 W_{BL}을 공통으로 사용한다.

도 11은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시예이다.

도 11의 실시예에 따른 본 발명은 하나의 리드 비트라인 R_BL과 하나의 글로벌 센스앰프(80)가 일대일 대응하여 연결된다. 그리고, 하나의 리드 비트라인 R_BL은 복수개의 서브 센스앰프(90)를 통해 복수개의 서브 비트라인 S_BL과 연결되어 계층적(Hierarchy) 비트라인 구조를 갖는다. 이에 따라, 서브 센스앰프(90)는 서브 비트라인 S_BL으로부터 인가된 셀 데이터를 센싱하여 리드 비트라인 R_BL에 출력한다.

또한, 하나의 서브 비트라인 S_BL에는 복수개의 4-비트 직렬 셀(70,71)들이 연결된다. 복수개의 4-비트 직렬 셀(70,71)들은 로오 및 컬럼 방향으로 반복되어 배치된다. 그리고, 라이트 비트라인 W_BL은 레지스터(100)와 연결되며, 레지스터(100)에 저장된 셀 데이터는 라이트 비트라인 W_BL을 통해 복수개의 4-비트 직렬 셀(70,71)에 라이트된다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명은 리드/라이트 경로를 독립적으로 제어하여 셀 데이터의 센싱 동작 이후에 별도의 재정장 시간이 불필요하도록 함으로써 연속적인 직렬 데이터의 전송시 동작 속도를 향상시킬 수 있도록 한다.

(57) 청구의 범위

청구항 1.

복수개의 워드라인의 상태에 따라 스위칭 동작이 선택적으로 제어되며 직렬 연결된 복수개의 스위칭 소자와, 상기 복수개의 스위칭 소자와 각각 병렬 연결된 복수개의 강유전체 캐패시터를 구비하는 직렬 셀;

라이트 인에이블 제어신호의 활성화시 라이트 비트라인으로부터 인가되는 셀 데이터를 상기 직렬 셀에 출력하는 라이트 스위칭 소자; 및

리드 인에이블 제어신호의 활성화시 상기 직렬 셀에 저장된 상기 셀 데이터를 리드 비트라인으로 출력하는 리드 스위칭 소자를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 2.

제 1항에 있어서, 상기 직렬 셀은 상기 라이트 스위칭 소자와 상기 리드 스위칭 소자 사이에 직렬 연결되어, 라이트 동작 모드시 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 상기 복수개의 강유전체 캐패시터에 순차적으로 저장하며, 리드 동작 모드시 상기 복수개의 강유전체 캐패시터에 저장된 상기 셀 데이터를 상기 리드 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 3.

제 1항에 있어서, 상기 직렬 셀은 상기 리드 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 인에이블 상태를 유지하여 상기 셀 데이터를 상기 리드 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 4.

제 3항에 있어서, 상기 직렬 셀은 상기 라이트 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 디스에이블 상태를 유지하여 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 순차적으로 저장함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 5.

제 1항에 있어서, 상기 직렬 셀, 상기 라이트 스위칭 소자 및 상기 리드 스위칭 소자는 로오 및 컬럼 방향으로 복수개 구비됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 6.

제 5항에 있어서, 상기 컬럼 방향으로 복수개 구비되는 직렬 셀들은 하나의 리드 비트라인과 하나의 라이트 비트라인을 공유함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 7.

제 6항에 있어서, 상기 하나의 리드 비트라인과 상기 하나의 라이트 비트라인을 공유하는 복수개의 직렬 셀들은 리드/라이트 경로가 독립적으로 제어되어 서로 다른 직렬 셀들의 리드/라이트 동작이 동시에 이루어짐을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 8.

로오 및 컬럼 방향으로 복수개 배열된 복수개의 리드 비트라인 및 복수개의 라이트 비트라인 쌍 사이에 각각 직렬 연결된 복수개의 멀티-비트 직렬 셀;

상기 복수개의 리드 비트라인과 상기 복수개의 멀티-비트 직렬 셀과의 연결을 각각 선택적으로 제어하는 복수개의 리드 스위칭 소자;

상기 복수개의 라이트 비트라인과 상기 복수개의 멀티-비트 직렬 셀과의 연결을 각각 선택적으로 제어하는 복수개의 라이트 스위칭 소자;

상기 복수개의 리드 비트라인과 일대일 대응하여 연결되는 복수개의 센스앰프;

상기 복수개의 센스앰프와 일대일 대응으로 연결되어 리드 동작 모드시 상기 복수개의 센스앰프의 센싱 동작을 제어하는 리드 제어부;

상기 복수개의 센스앰프로부터 센싱된 셀 데이터를 저장하는 복수개의 레지스터; 및

상기 복수개의 라이트 비트라인과 일대일 대응으로 연결되어 라이트 동작 모드시 상기 복수개의 레지스터에 저장된 상기 셀 데이터를 상기 복수개의 라이트 비트라인으로 출력하는 라이트 제어부를 구비하되,

상기 복수개의 멀티-비트 직렬 셀 각각은

복수개의 워드라인의 상태에 따라 스위칭 동작이 선택적으로 제어되는 복수개의 스위칭 소자와, 상기 복수개의 스위칭 소자와 각각 병렬 연결되어 상기 셀 데이터를 저장하는 복수개의 강유전체 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 9.

제 8항에 있어서, 상기 복수개의 멀티-비트 직렬 셀 각각은

라이트 스위칭 소자와 리드 스위칭 소자 사이에 직렬 연결되어, 라이트 동작 모드시 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 상기 복수개의 강유전체 캐패시터에 순차적으로 저장하며, 리드 동작 모드시 상기 복수개의 강유전체 캐패시터에 저장된 상기 셀 데이터를 리드 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 10.

제 9항에 있어서, 상기 복수개의 멀티-비트 직렬 셀 각각은

리드 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 인에이블 상태를 유지하여 상기 셀 데이터를 상기 리드 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 11.

제 10항에 있어서, 상기 복수개의 멀티-비트 직렬 셀 각각은

라이트 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 디스에이블 상태를 유지하여 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 순차적으로 저장함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 12.

제 8항에 있어서, 상기 컬럼 방향으로 배열되는 복수개의 멀티-비트 직렬 셀은 하나의 리드 비트라인 및 라이트 비트라인 쌍을 공유함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 13.

제 12항에 있어서, 상기 복수개의 멀티-비트 직렬 셀은 리드/라이트 경로가 독립적으로 제어되어 서로 다른 직렬 셀들의 리드/라이트 동작이 동시에 이루어짐을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 14.

리드 비트라인에 연결된 복수개의 서브 비트라인;

상기 복수개의 서브 비트라인과 라이트 비트라인 사이에 각각 직렬 연결된 복수개의 직렬 셀;

상기 리드 비트라인과 일대일 대응으로 연결되어 상기 리드 비트라인에 인가된 셀 데이터를 센싱 및 증폭하는 글로벌 센스앰프;

상기 복수개의 서브 비트라인과 일대일 대응으로 연결되어 상기 복수개의 서브 비트라인에 인가된 셀 데이터를 센싱하여 상기 글로벌 센스앰프에 출력하는 복수개의 서브 센스앰프;

상기 글로벌 센스앰프와 상기 라이트 비트라인 사이에 연결되어 상기 글로벌 센스앰프로부터 인가되는 상기 셀 데이터를 저장하는 레지스터;

라이트 인에이블 제어신호의 활성화시 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 상기 직렬 셀에 출력하는 복수개의 라이트 스위칭 소자; 및

리드 인에이블 제어신호의 활성화시 상기 복수개의 직렬 셀에 저장된 상기 셀 데이터를 상기 복수개의 서브 비트라인으로 출력하는 복수개의 리드 스위칭 소자를 구비하되,

상기 복수개의 직렬 셀 각각은

복수개의 워드라인의 상태에 따라 스위칭 동작이 선택적으로 제어되는 복수개의 스위칭 소자와, 상기 복수개의 스위칭 소자와 각각 병렬 연결된 복수개의 강유전체 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 15.

제 14항에 있어서, 상기 리드 비트라인과 상기 라이트 비트라인은 로오 방향으로 복수개 구비됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 16.

제 14항에 있어서, 상기 복수개의 직렬 셀 각각은

라이트 스위칭 소자와 리드 스위칭 소자 사이에 직렬 연결되어, 라이트 동작 모드시 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 상기 복수개의 강유전체 캐패시터에 순차적으로 저장하며, 리드 동작 모드시 상기 복수개의 강유전체 캐패시터에 저장된 상기 셀 데이터를 서브 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 17.

제 16항에 있어서, 상기 복수개의 직렬 셀 각각은

리드 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 인에이블 상태를 유지하여 상기 셀 데이터를 상기 서브 비트라인에 순차적으로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 18.

제 17항에 있어서, 상기 복수개의 직렬 셀 각각은

라이트 인에이블 제어신호의 활성화시 상기 복수개의 워드라인이 순차적으로 디스에이블 상태를 유지하여 상기 라이트 비트라인으로부터 인가되는 상기 셀 데이터를 순차적으로 저장함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 19.

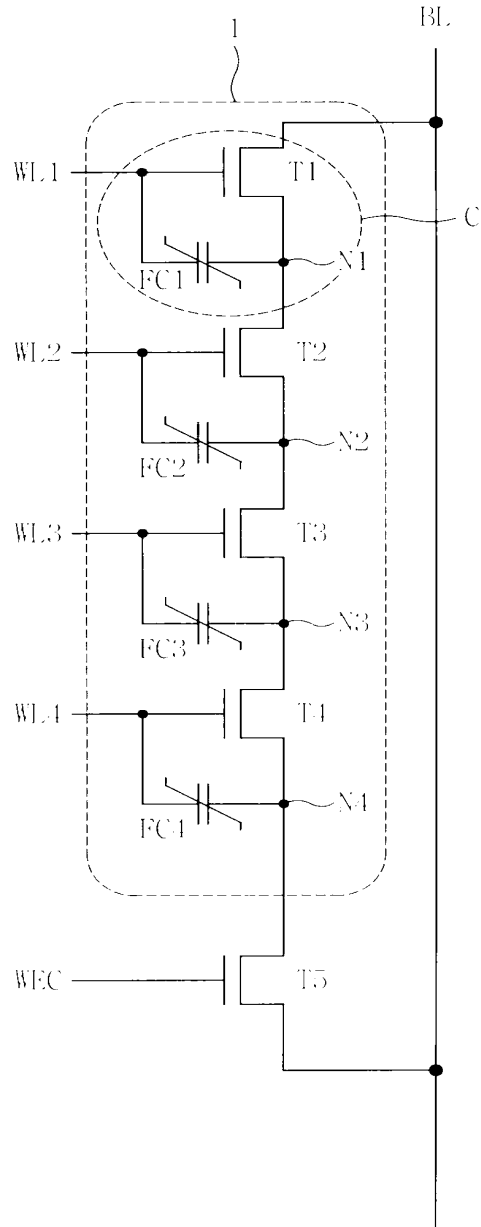
제 14항에 있어서, 상기 컬럼 방향으로 배열되는 복수개의 직렬 셀은 하나의 리드 비트라인 및 라이트 비트라인 쌍을 공유함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

청구항 20.

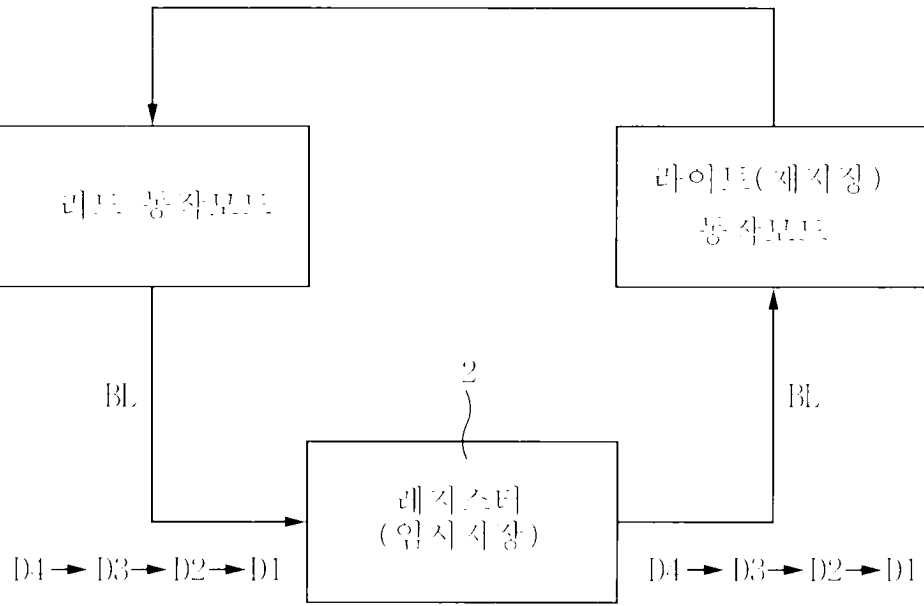
제 19항에 있어서, 상기 복수개의 직렬 셀은 리드/라이트 경로가 독립적으로 제어되어 서로 다른 직렬 셀들의 리드/라이트 동작이 동시에 이루어짐을 특징으로 하는 불휘발성 강유전체 메모리 장치.

도면

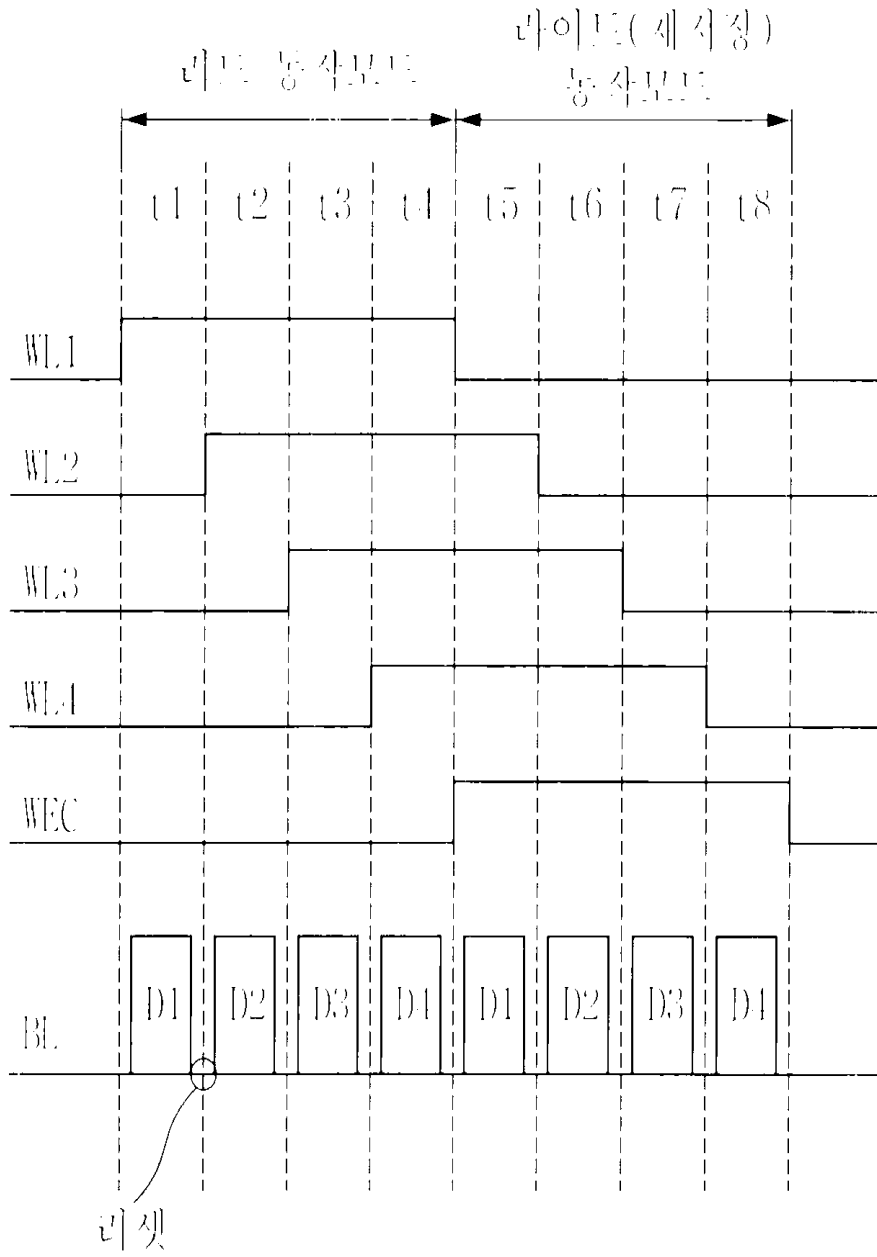
도면1



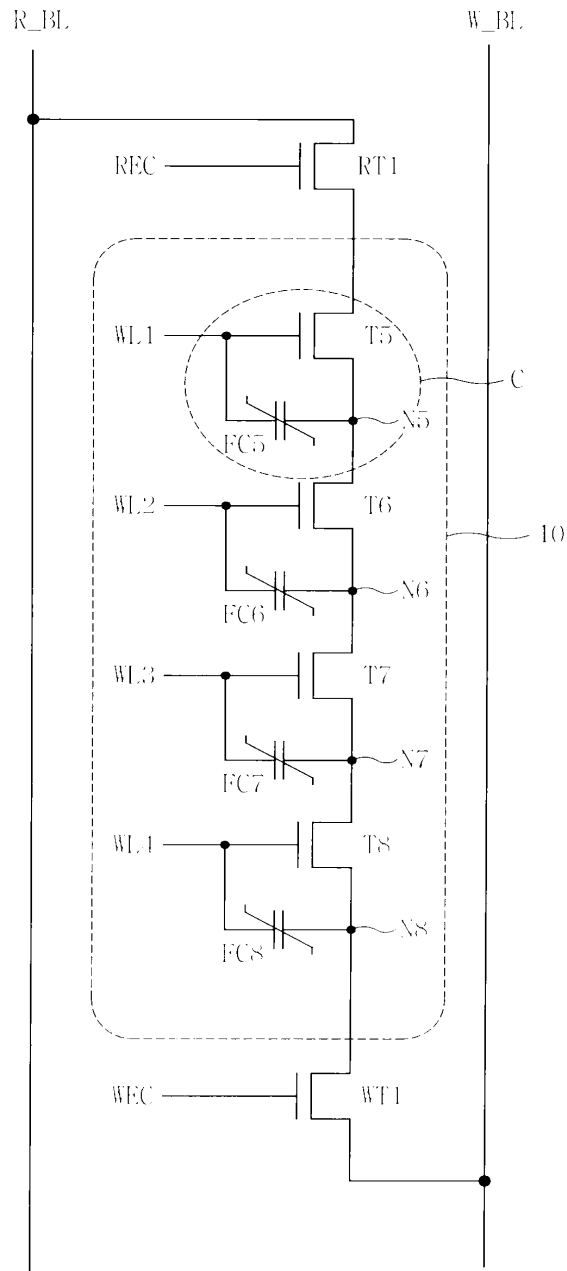
도면2



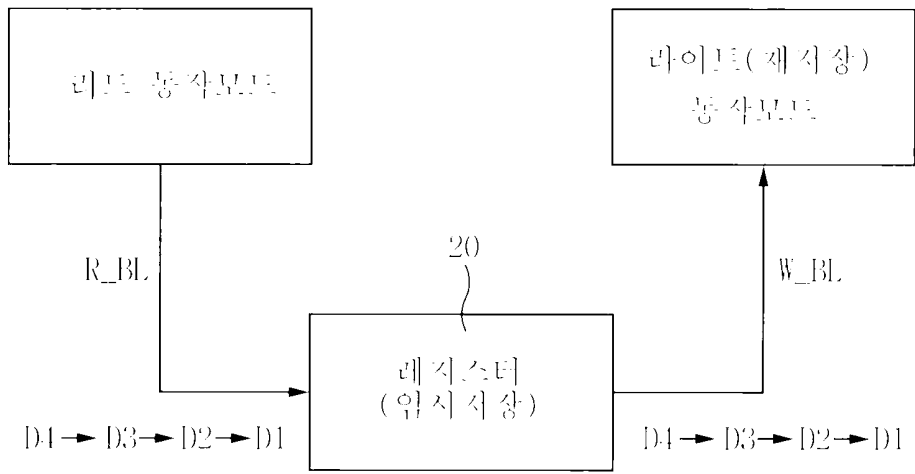
도면3



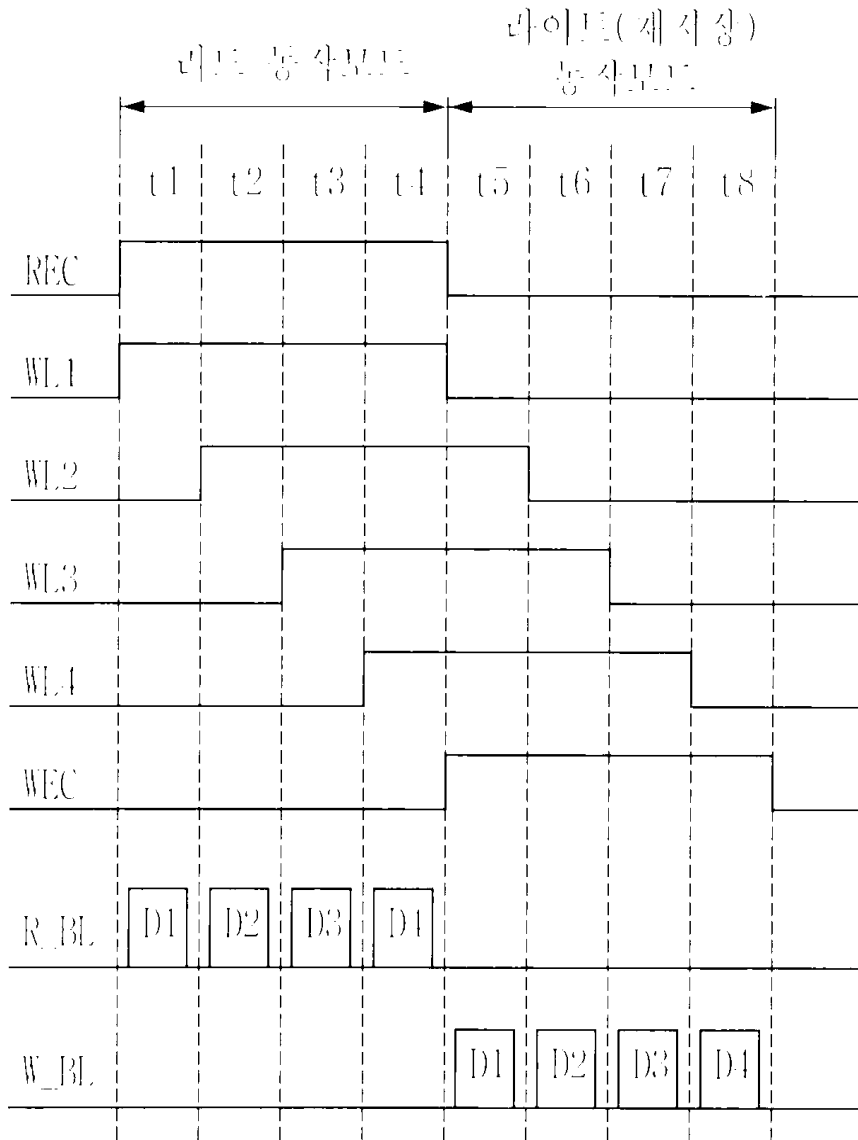
도면4



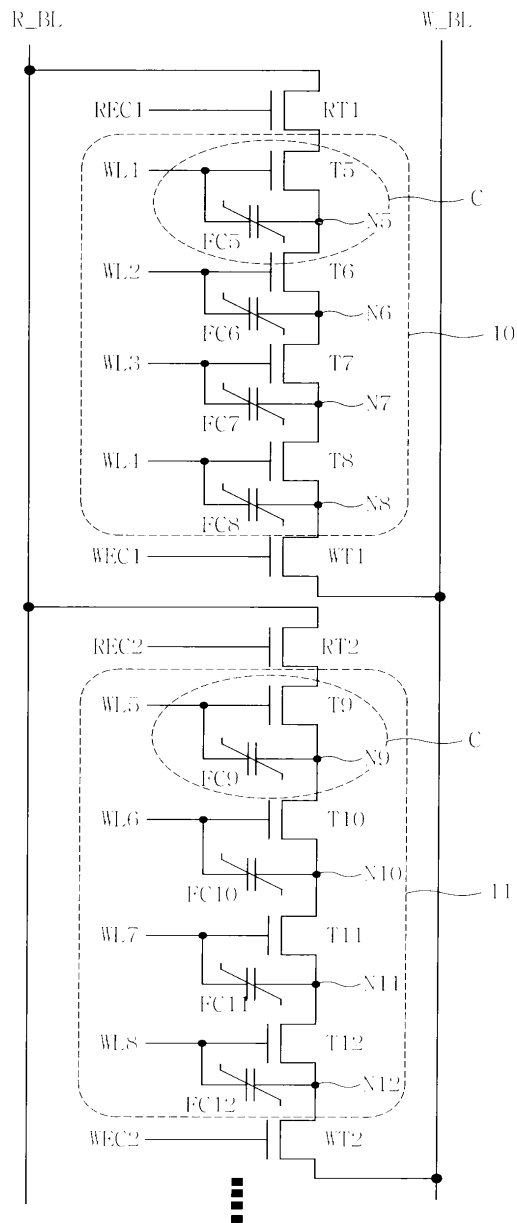
도면5



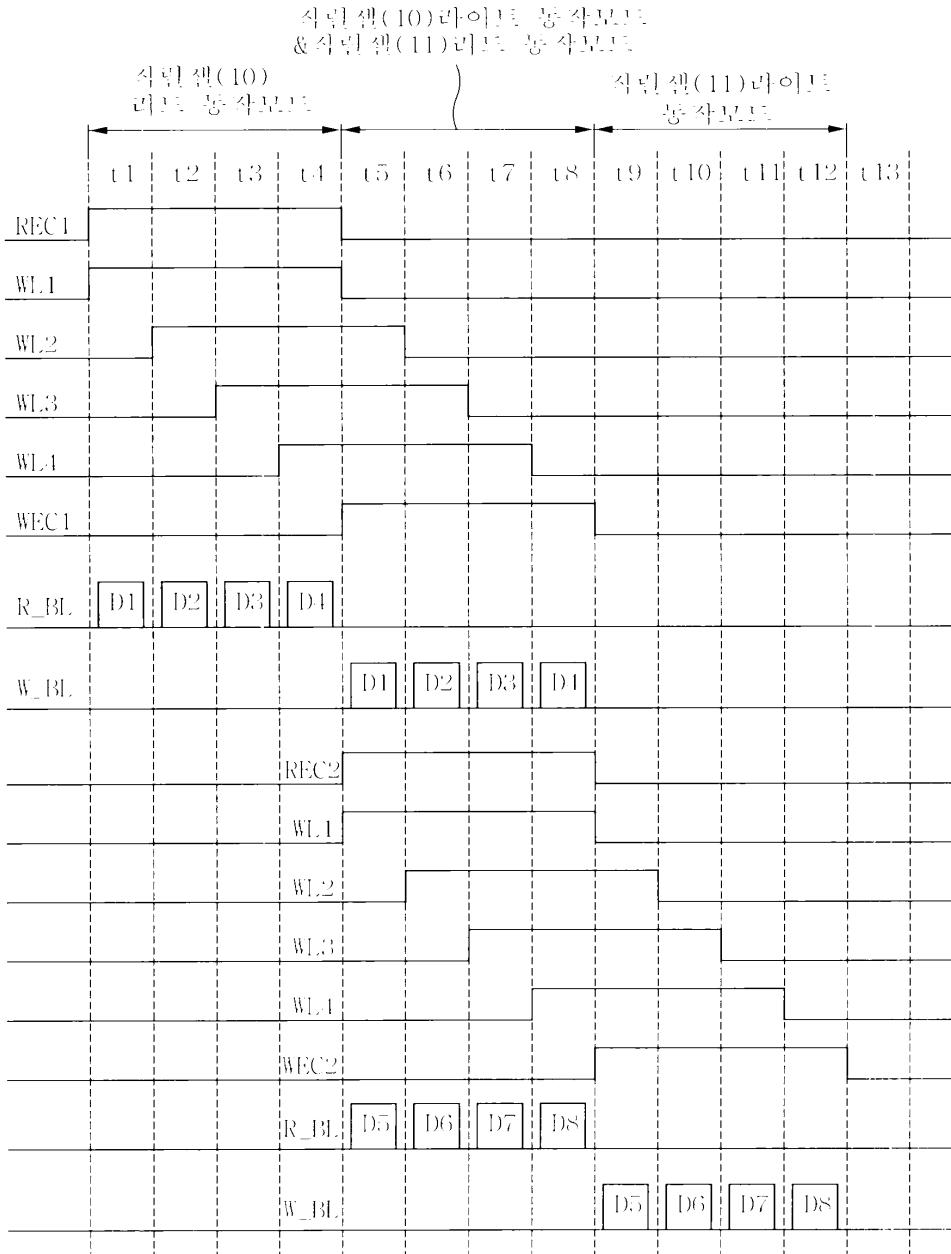
도면6



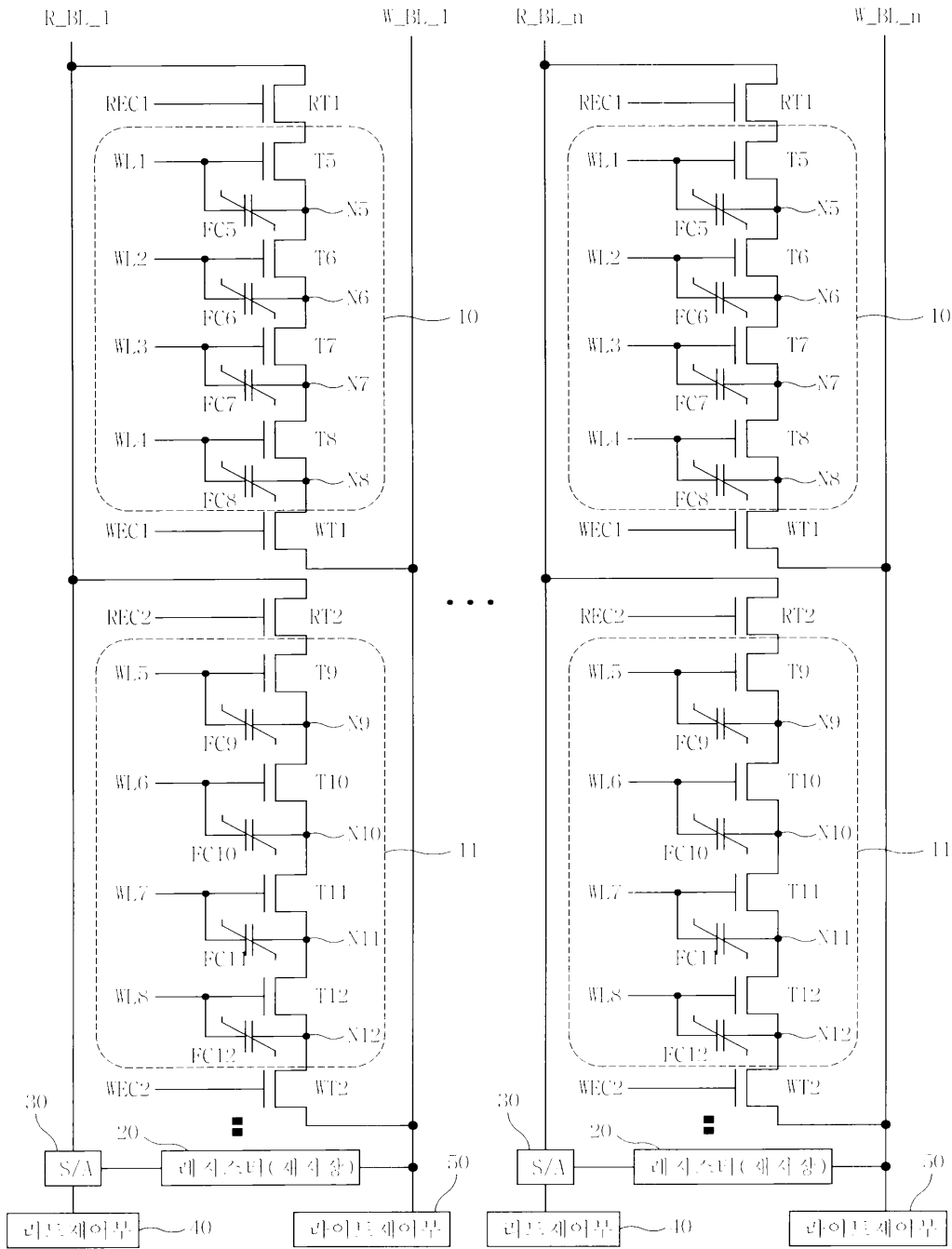
도면7



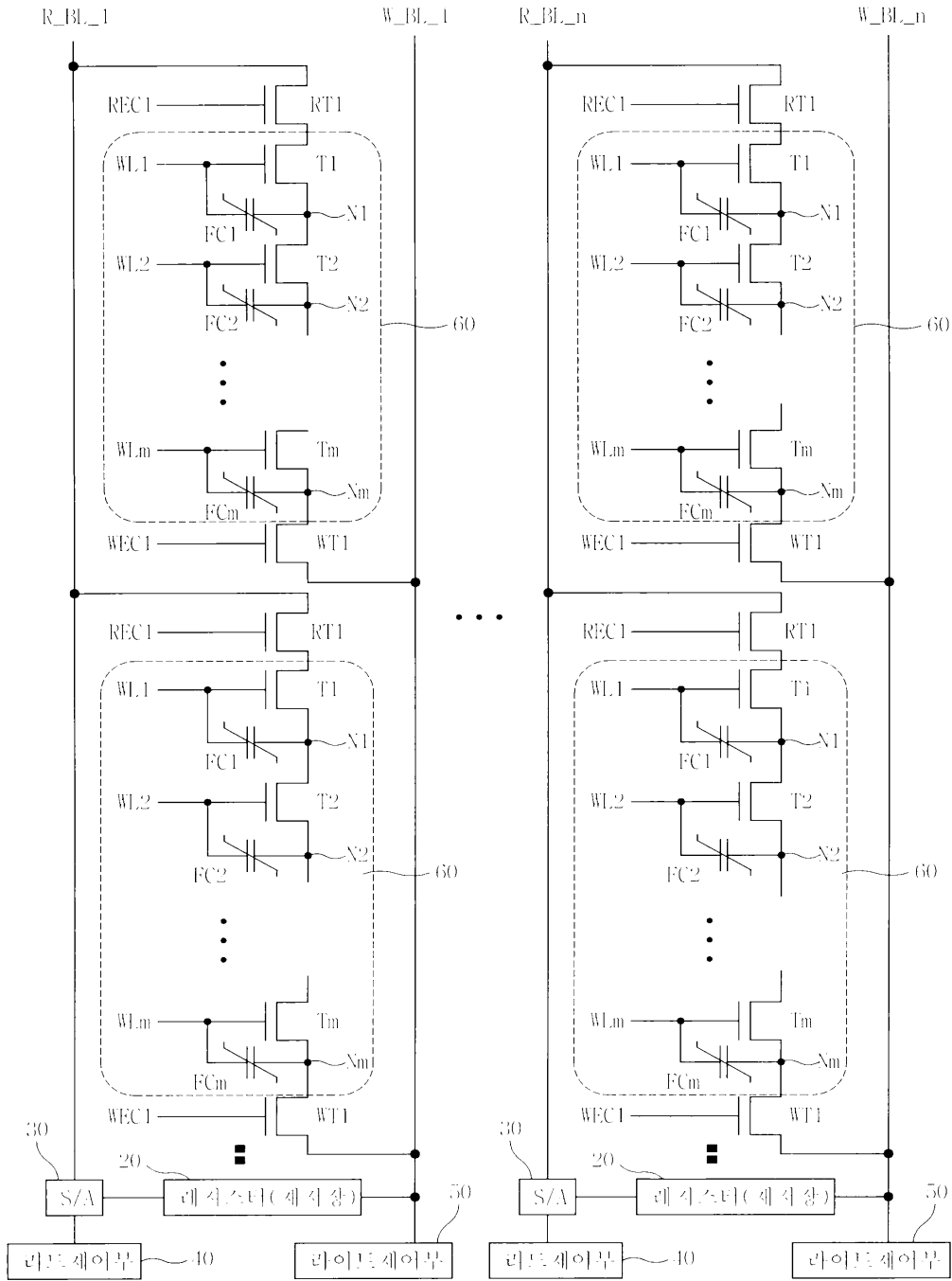
도면8



도면9



도면10



도면11

