

(12) 发明专利

(10) 授权公告号 CN 101095198 B

(45) 授权公告日 2010.04.07

(21) 申请号 200580041995.5

(22) 申请日 2005.12.15

(30) 优先权数据

11/025,620 2004.12.29 US

(85) PCT申请进入国家阶段日

2007.06.07

(86) PCT申请的申请数据

PCT/US2005/045557 2005.12.15

(87) PCT申请的公布数据

WO2006/071559 EN 2006.07.06

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 万钧 杰弗里·W·路特斯 庞产绥

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 16/16(2006.01)

G11C 16/04(2006.01)

G11C 16/34(2006.01)

(56) 对比文件

US 4908834 A,1990.03.13,全文.

US 5293337 A,1994.03.08,全文.

审查员 杨洁

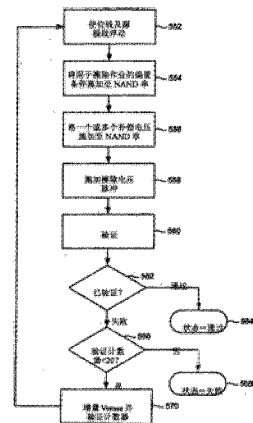
权利要求书 3 页 说明书 16 页 附图 13 页

(54) 发明名称

非易失性存储器和擦除该非易失性存储器的方法

(57) 摘要

在擦除作业期间将补偿电压施加至非易失性存储器系统以均衡存储单元的擦除行为。补偿电压可补偿从其他存储单元及/或选择栅电容性耦合至 NAND 串的存储单元的电压。可将补偿电压施加至一个或多个存储单元以大致正规化存储单元的擦除行为。可将补偿电压施加至 NAND 串的端存储单元以使其擦除行为与所述 NAND 串的内部存储单元均衡。也可将补偿电压施加至内部存储单元以使其擦除行为与端存储单元均衡。另外,可将补偿电压施加至 NAND 串的一个或多个选择栅以补偿从所述选择栅耦合至一个或多个存储单元的电压。可使用各种补偿电压。



1. 一种擦除非易失性存储器的方法，其包括：

施加补偿电压至非易失性存储元件串的一个或多个非易失性存储元件的控制栅极以至少部分地补偿从所述串的至少一个晶体管耦合至所述串的所述一个或多个非易失性存储元件的电压，所述施加补偿电压包含施加第一补偿电压至所述串的第一非易失性存储元件及施加第二补偿电压至所述串的第二非易失性存储元件，所述第一补偿电压不同于所述第二补偿电压；

将第三电压施加至所述串的第二非易失性存储元件，所述第三电压不同于所述第一补偿电压和所述第二补偿电压；及

从所述串的非易失性存储元件的至少一个子集的浮栅转移电荷，同时施加所述第一补偿电压、所述第二补偿电压和所述第三电压以便擦除所述非易失性存储元件串，非易失性存储元件串的所述至少一个子集包含所述第一非易失性存储元件、所述第二非易失性存储元件和所述第三非易失性存储元件。

2. 如权利要求 1 所述的方法，其中：

所述方法进一步包括施加擦除电压至所述非易失性存储元件串的阱；及

所述转移电荷包含将电荷从所述第一非易失性存储元件的浮栅及所述第二非易失性存储元件的浮栅转移至所述阱。

3. 如权利要求 2 所述的方法，其中：

所述施加所述擦除电压导致第一电位存在于所述第一非易失性存储元件的所述浮栅与所述阱之间，且导致第二电位存在于所述第二非易失性存储元件的所述浮栅与所述阱之间。

4. 如权利要求 3 所述的方法，其中：

所述施加所述第一补偿电压及施加所述第二补偿电压导致所述第一电位与所述第二电位相等。

5. 如权利要求 1 所述的方法，其中：

所述至少一个晶体管包含所述串的选择栅；

所述第二非易失性存储元件在所述串的所述第一非易失性存储元件的内部；及

所述第一补偿电压小于所述第二补偿电压。

6. 如权利要求 5 所述的方法，其中：

所述第一补偿电压为负；及

所述第二补偿电压为正。

7. 如权利要求 5 所述的方法，其中：

所述第一补偿电压为正；及

所述第二补偿电压为正。

8. 如权利要求 5 所述的方法，其中：

所述施加所述第一补偿电压至少部分地补偿从所述选择栅耦合至所述第一非易失性存储元件的浮栅的耦合电压；及

所述施加所述第一补偿电压将所述第一补偿电压的一部分耦合至所述第一非易失性存储元件的所述浮栅，所述第一补偿电压的所述部分与耦合至所述第一非易失性存储元件的所述浮栅的所述耦合电压在量值上相等而在极性上相反。

9. 如权利要求 5 所述的方法，其中：

所述施加所述第二补偿电压至所述串的所述第二非易失性存储元件至少部分地补偿从所述选择栅耦合至所述第一非易失性存储元件的浮栅的耦合电压；及

所述施加所述第二补偿电压将所述第二补偿电压的一部分耦合至所述第二非易失性存储元件的浮栅，所述第二补偿电压的所述部分与耦合至所述第一非易失性存储元件的所述浮栅的所述耦合电压在量值上相等且在极性上相同。

10. 如权利要求 1 所述的方法，其中：

所述方法进一步包括将不同于所述第一补偿电压和所述第二补偿电压的至少一个补偿电压施加至所述串的每一剩余非易失性存储元件的控制栅以至少部分地补偿从至少一个相邻晶体管耦合至所述每一剩余非易失性存储元件的电压。

11. 如权利要求 10 所述的方法，其中：

所述至少一个的补偿电压包含两个或多于两个补偿电压，所述两个或多于两个补偿电压包括用于所述剩余非易失性存储元件中至少两个非易失性存储元件的不同量值。

12. 如权利要求 1 所述的方法，其中：

所述至少一个晶体管包含所述串的选择栅；

所述施加一补偿电压至非易失性存储元件串的一个或多个非易失性存储元件的控制栅极包括将第三补偿电压施加至所述选择栅。

13. 如权利要求 1 所述的方法，其中：

所述非易失性存储元件串为 NAND 串。

14. 如权利要求 1 所述的方法，其中：

所述非易失性存储元件串为多状态快闪存储器装置串。

15. 一种非易失性存储器系统，其包括：

非易失性存储元件串，所述串包含选择栅；及

与所述非易失性存储元件串通信的管理电路，所述管理电路通过以下作业来擦除所述非易失性存储元件串：将负补偿电压施加至所述串的第一非易失性存储元件的控制栅极并将接地电压施加至所述串的第二非易失性存储元件，以在从所述非易失性存储元件串的至少一个子集的浮栅转移电荷时至少部分地补偿从所述串的至少一个晶体管耦合至所述串的一个或多个非易失性存储元件的电压，非易失性存储元件串的所述至少一个子集包含所述第一非易失性存储元件和所述第二非易失性存储元件。

16. 如权利要求 15 所述的非易失性存储器系统，其中：

所述第一非易失性存储元件毗邻于所述选择栅；

所述串包含为所述串的内部存储元件的第三非易失性存储元件；及

所述管理电路在从所述浮栅转移电荷时将正补偿电压施加至所述第三非易失性存储元件的控制栅极。

17. 如权利要求 16 所述的非易失性存储器系统，其中：

所述管理电路将擦除电压施加至所述非易失性存储元件串的阱以将电荷从所述第一非易失性存储元件的浮栅转移至所述阱及从所述第二非易失性存储元件的浮栅转移至所述阱；

施加所述擦除电压导致第一电位存在于所述第一非易失性存储元件的所述浮栅与所

述阱之间及第二电位存在于所述第二非易失性存储元件的所述浮栅与所述阱之间；及

在所述负补偿电压、所述正补偿电压、所述接地电压及所述擦除电压的施加下，所述第一电位与所述第二电位相等。

18. 如权利要求 16 所述的非易失性存储器系统，其中：

所述至少一个晶体管包含所述选择栅；

所述管理电路施加所述负补偿电压至所述串的所述第一非易失性存储元件的控制栅极以至少部分地补偿从所述选择栅耦合至所述第一非易失性存储元件的所述浮栅的耦合电压；

所述负补偿电压的一部分耦合至所述第一非易失性存储元件的所述浮栅；及

所述管理电路施加所述负补偿电压至所述串的所述第一非易失性存储元件的控制栅极以使所述负补偿电压的所述部分与所述耦合电压在量值上相等而在极性上相反，所述负补偿电压具有一量值及极性。

19. 如权利要求 16 所述的非易失性存储器系统，其中：

所述至少一个晶体管包含所述选择栅；

所述管理电路施加所述正补偿电压至所述第三非易失性存储元件的控制栅极以至少部分地补偿从所述选择栅耦合至所述第一非易失性存储元件的所述浮栅的耦合电压；

所述正补偿电压的一部分耦合至所述第三非易失性存储元件的所述浮栅；及

所述管理电路施加所述正补偿电压至所述第三非易失性存储元件的控制栅极以使所述正补偿电压的所述部分与所述耦合电压在量值上相等且在极性上相同，所述正补偿电压具有一量值及极性。

20. 如权利要求 15 所述的非易失性存储器系统，其中：

所述非易失性存储元件串为包含多状态快闪存储器装置的 NAND 串。

21. 如权利要求 15 所述的非易失性存储器系统，其中：

所述非易失性存储元件串为非易失性存储元件阵列的部分；

所述非易失性存储元件阵列与主机系统通信；且

所述非易失性存储元件阵列可从所述主机系统中移除。

22. 如权利要求 15 所述的非易失性存储器系统，其中：

所述管理电路包含控制器及状态机中的至少一者。

非易失性存储器和擦除该非易失性存储器的方法

技术领域

[0001] 本发明一般而言涉及用于擦除非易失性存储器装置的半导体技术。

背景技术

[0002] 半导体存储器装置愈来愈普遍地用于各种电子装置中。举例而言，非挥发性半导体存储器可用于蜂窝式电话、数字摄像机、个人数字助理、移动计算装置、非移动计算装置或其他装置中。电可擦可编程唯读存储器 (EEPROM) 及快闪存储器即是最受欢迎的非挥发性半导体存储器。

[0003] 快闪存储器系统的一实例使用 NAND 结构，其包含夹在两个选择栅之间以串联形式布置的多个晶体管。所述串联晶体管及选择栅称作 NAND 串。图 1 是显示 NAND 串的俯视图。图 2 是其等效电路。图 1 及 2 中所描绘的 NAND 串包含夹于第一选择栅 120 与第二选择栅 122 之间的四个串联晶体管 100、102、104 及 106。选择栅 120 将 NAND 串连接至位线 126。选择栅 122 将 NAND 串连接至源极线 128。通过给选择栅 120 的控制栅 120CG 施加适宜的电压来控制选择栅 120。通过给选择栅 122 的控制栅 122CG 施加适宜的电压来控制选择栅 122。每一晶体管 100、102、104 及 106 均包含控制栅及浮栅，以形成存储单元的栅元件。举例而言，晶体管 100 具有控制栅 100CG 及浮栅 100FG。晶体管 102 包括控制栅 102CG 及浮栅 102FG。晶体管 104 包含控制栅 104CG 及浮栅 104FG。晶体管 106 包含控制栅 106CG 及浮栅 106FG。控制栅 100CG 连接至字线 WL3，控制栅 102CG 连接至字线 WL2，控制栅 104CG 连接至字线 WL1，控制栅 106CG 连接至字线 WL0。

[0004] 应注意，虽然图 1 和图 2 显示 NAND 串中的四个存储单元，但提供四个晶体管之使用仅是作为一实例。NAND 串可具有少于四个存储单元或多于四个存储单元。举例而言，某些 NAND 串将包含八个存储单元、16 个存储单元、32 个存储单元等。本文的论述并非局限于 NAND 串中的任何特定数量的存储单元。

[0005] 使用 NAND 结构的快闪存储器系统的典型架构将包含数个 NAND 串。举例而言，图 3 显示具有更多 NAND 串的存储器阵列的 NAND 串 202、204 及 206。图 3 的每一 NAND 串包含两个选择晶体管及四个存储单元。举例而言，NAND 串 202 包含选择晶体管 220 及 230 与存储单元 222、224、226 及 228。NAND 串 204 包含选择晶体管 240 及 250 与存储单元 242、244、246 及 248。每一串均通过其选择晶体管 (例如，选择晶体管 230 及选择晶体管 250) 连接至源极线。源极线 SGS 用于控制源极侧选择栅。各种 NAND 串均通过选择线 SGD 所控制的选择晶体管 220、240 而连接至相应的位线。于其他实施例中，选择线未必需要共用。字线 WL3 连接至存储单元 222 及存储单元 242 的控制栅。字线 WL2 连接至存储单元 224 及存储单元 244 的控制栅。字线 WL1 连接至存储单元 226 及存储单元 246 的控制栅。字线 WL0 连接至存储单元 228 及存储单元 248 的控制栅。由此可见，位线及相应的 NAND 串包括所述存储单元阵列的列。字线 (WL3、WL2、WL1 及 WL0) 包括所述阵列的行。每一字线连接所述列内的每一存储单元的控制

栅。举例而言，字线 WL2 连接至存储单元 224、244 及 252 的控制栅。

[0006] 每一存储单元皆可存储模拟或数字数据。当存储一个位的数字数据时，将存储单元的可能的阈电压范围划分为两个范围，这两个范围被指派给逻辑数据“1”及“0”。于 NAND 型快闪存储器的实例中，在擦除存储单元之后电压阈值为负并定义为逻辑“1”。而在编程作业之后阈电压为正，并定义为逻辑“0”。当阈电压为负并通过向控制栅施加 0 伏来尝试读取时，存储单元将导通以指示正存储逻辑 1。而当阈电压为正且通过向控制栅施加 0 伏来尝试读取作业时，存储单元将不会导通，此指示存储逻辑 0。存储单元还可存储多个级的信息，举例而言，存储多个位的数字数据。于存储多个级数据的情况下，可能的阈电压范围被划分成数据级的数量。举例而言，如果存储四个级的信息，则将存在四个阈电压范围，其被指派给数据值“11”、“10”、“01”及“00”。于 NAND 型存储器的实例中，在擦除作业之后阈电压为负并被定义为“11”。将不同的正阈电压用于为“10”、“01”、及“00”的状态。

[0007] 在下列美国专利 / 专利申请案中提供有 NAND 型快闪存储器及其运作的相关实例，全部所述美国专利 / 专利申请案均以引用的方式并入本文中：美国专利第 5,570,315 号；美国专利第 5,774,397 号；美国专利第 6,046,935 号；美国专利第 6,456,528 号；美国专利申请案第 09/893,277 号（公开号 US2003/0002348）。

[0008] 当编程快闪存储单元时，将一编程电压施加至控制栅（通过所选字线）并将位线接地。来自 p 阱的电子会注入浮栅内。当电子于浮栅中积累时，浮栅会变成带负电并使所述单元的阈电压升高。所述单元的浮栅电荷及阈电压可表示对应于所存储数据的特定状态。

[0009] 为擦除 NAND 型快闪存储器的存储单元，将电子从每一存储单元的浮栅转移至阱区域及衬底。通常，将一个或多个高电压（例如，-16 伏 -20 伏）擦除脉冲施加至阱区域以吸引电子离开每一存储单元的浮栅而去至阱区域。将每一存储单元的字线接地或给其供以 0 伏以跨越隧道氧化物区域形成高电位来吸引电子。如果在施加擦除电压脉冲后未擦除 NAND 串的每一存储单元，则可增加脉冲的大小并将其重新施加至所述 NAND 串直至擦除每一存储单元。

[0010] 通常，使用现有技术的擦除作业可在 NAND 串中的存储单元之间导致不同的擦除速率。某些存储单元可针对快于或慢于其他存储单元的擦除状态而达到目标阈电压电平。这可导致对较快擦除的存储单元的过擦除，因为较快擦除的存储单元将继续经受施加以充分擦除所述 NAND 串的较慢存储单元的擦除电压。典型的擦除作业还可在 NAND 串的存储单元之间导致完全不同的阈电压。亦即，当与所述串或装置的其他存储单元相比时，所述 NAND 串的一个或多个存储单元可在施加一个或多个擦除电压后具有不同的阈电压。为克服此效应，已使用软件编程以在擦除后调节一个或多个存储单元的阈电压。举例而言，可将小的编程电压施加至一个或多个存储单元以提升其阈电压以缩小及 / 或提升全体经擦除存储单元的阈电压分布。然而，软件编程可增加编程及擦除时间。此外，不同的擦除速率可导致存储器串的循环寿命更短。

[0011] 因此，需要一种可解决现有擦除技术中前述问题的非易失性存储器系统及相关擦除技术。

发明内容

[0012] 大体而言，本发明关于用于以为存储器、单元提供更高效及一致性擦除的方式擦除存储器装置的技术。根据一实施例，提供考虑到擦除作业期间 NAND 串的一个或多个存储单元的个别特征及擦除行为的系统及方法。

[0013] 根据一实施例，可将一个或多个补偿电压施加至 NAND 串的一个或多个部分以在擦除作业期间至少部分地正规化所述 NAND 串的一个或多个存储单元的擦除行为。补偿电压可使得在施加一个或多个擦除电压脉冲后擦除存储单元的擦除速率及 / 或擦除量大致等于所述 NAND 串中其他存储单元的擦除速率及 / 或擦除量。

[0014] 在施加擦除电压脉冲后从存储单元的浮栅所转移的电荷量且因此，擦除所述存储单元所需的时间会受到 NAND 串中电容性耦合电压的影响。举例而言，NAND 串的端存储单元 (例如，图 3 中 NAND 串 202 的存储单元 222 及 228) 可在其提升从毗邻选择栅耦合的电压的相应浮栅处具有净电荷。当将高电位擦除电压脉冲施加于所述串的阱区域处时，此提升的电压还可减小跨越存储单元的隧道氧化物层的有效电位。由于跨越端存储单元的隧道氧化物层的电位低于其他存储单元的电位，因此与所述串的其他存储单元相比，端存储单元将擦除得较慢或擦除的程度较低。电容性耦合于其他存储单元之间的附加电压也可在所述 NAND 串的其他存储单元之间导致完全不同的擦除行为及时间。可将各种补偿电压施加于所述 NAND 串的各种部分处以在擦除作业期间补偿这些电容性耦合电压中的一个或多个电压。

[0015] 于一实施例中，提供一种擦除非易失性存储器的方法，所述方法包括将至少一个补偿电压施加至非易失性存储元件串的一部分以至少部分地补偿从所述串的至少一个晶体管耦合至所述串的一个或多个非易失性存储元件的电压及从所述串的非易失性存储元件的至少一子集的浮栅转移电荷同时施加所述至少一个补偿电压以擦除所述非易失性存储元件串。补偿电压可补偿较快或较慢擦除的存储单元。于一实施例中，施加补偿电压可包含将第一电压施加至所述串的第一非易失性存储元件的控制栅及将第二电压施加至所述串的第二非易失性存储元件的控制栅。通过将补偿电压施加至第一及第二非易失性存储元件，可均衡在施加擦除电压脉冲期间跨越每一存储元件的隧道氧化物层的电位。

[0016] 于一实施例中，将负补偿电压施加至 NAND 串的一个或多个端存储单元以至少部分地补偿从毗邻选择栅耦合至所述单元的正电压。负电压可抵消从选择栅电容性耦合的正电压、允许在施加擦除电压时跨越所述单元的隧道氧化物层形成较高的电位、及增加受影响存储单元的擦除速率。

[0017] 于另一实施例中，将正补偿电压施加至 NAND 串的一个或多个内部存储单元以至少部分地补偿耦合至所述串的一个或多个存储单元的电压。施加至内部存储单元的正补偿电压可在施加擦除电压时减小跨越所述单元的隧道氧化物层的电位且由此减小所述单元的擦除速率以大致匹配所述 NAND 串的其他存储单元的擦除速率。

[0018] 于一实施例中，施加补偿电压可包含将一个或多个补偿电压施加至 NAND 串的每一存储单元以至少部分地补偿从一个或多个相邻晶体管耦合至每一存储单元的电压。于一实施例中，可通过比较所选存储单元及参考存储单元的擦除行为来选择要施加至存储单元的补偿电压值。

[0019] 于一实施例中，可将补偿电压施加至 NAND 串的一个或多个选择栅以至少部分地补偿从选择栅耦合至毗邻存储单元的电压。可将小于擦除电压脉冲的电压施加至选择栅以使较小的所施加电压的一部分替代较大的擦除电压而耦合至相邻存储单元。

[0020] 根据一实施例，提供一种非易失性存储器系统，其包含非易失性存储元件串。所述系统进一步包含与所述非易失性存储器串通信的管理电路。当存储所述非易失性存储器串中的单元时，所述管理电路将至少一个补偿电压施加至所述串的一部分以至少部分地补偿从所述串的至少一个晶体管耦合至所述串的一个或多个非易失性存储元件的电压同时从多个非易失性存储元件的至少一子集的浮栅转移电荷。

[0021] 根据实施例的系统可包含存储元件阵列及管理电路。所述管理电路可包含专用硬件及 / 或可包含由存储于一或多个诸如非挥发性存储器 (例如，快闪存储器、EEPROM 等) 或其他存储器装置等存储器装置上的软件编程的硬件。于一实施例中，管理电路包含控制器及状态机。于另一实施例中，管理电路仅包含状态机，而不包含控制器。管理电路可实施上文关于各种实施例所论述的技术。根据某些实施例的方法是由该状态机来实施。于某些实施方案中，状态机与存储元件阵列处于同一集成电路芯片上。

[0022] 通过审阅本发明的说明书、图式及权利要求书，可获得本发明的其他特征、方面及目的。

附图说明

[0023] 图 1 是 NAND 串的俯视图。

[0024] 图 2 是图 1 中所描绘的 NAND 串的等效电路图。

[0025] 图 3 是描绘三个 NAND 串的电路图。

[0026] 图 4 是其中可实施本发明各方面的非挥发性存储器系统的实施例的方块图。

[0027] 图 5 图解说明存储器阵列的实例性组织。

[0028] 图 6 描绘根据实施例可施加至所选字线的实例性编程 / 验证电压信号。

[0029] 图 7 是用于实施编程作业的实例性流程图。

[0030] 图 8 描绘存储单元群的实例性阈分布。

[0031] 图 9 描绘存储两个位的资料的存储单元群的实例性阈分布。

[0032] 图 10 是描绘用于根据现有技术实施擦除作业的实例性偏置条件的表。

[0033] 图 11 是描绘 NAND 串中各种电容性耦合电压的 NAND 串的剖面图。

[0034] 图 12 描绘根据现有技术在接收擦除电压脉冲后 NAND 串中选择存储单元的实例性阈电压分布。

[0035] 图 13 是根据所施加的擦除电压脉冲量值描绘 NAND 串中选择存储单元的平均阈电压的图表。

[0036] 图 14 是根据一实施例描绘擦除非易失性存储器的方法的流程图。

[0037] 图 15a 是根据一实施例描绘施加擦除偏置条件及一个或多个补偿电压的方法的流程图。

[0038] 图 15b 是根据一实施例包含擦除偏置条件及补偿电压的表。

[0039] 图 16 描绘在擦除后 NAND 串中选择存储单元的实例性平均阈电压的图表，其中根据一实施例在擦除作业期间可施加各种补偿电压。

[0040] 图 17a 是根据一实施例描绘施加擦除偏置条件及一个或多个补偿电压的方法的流程图。

[0041] 图 17b 是根据一实施例包含擦除偏置条件及补偿电压的表。

[0042] 图 18a 是根据一实施例描绘施加擦除偏置条件及一个或多个补偿电压的方法的流程图。

[0043] 图 18b 是根据一实施例包含擦除偏置条件及补偿电压的表。

[0044] 图 19a 是根据一实施例描绘施加擦除偏置条件及一个或多个补偿电压的方法的流程图。

[0045] 图 19b 是根据一实施例包含擦除偏置条件及补偿电压的表。

具体实施方式

[0046] 图 4 是可用于实施本发明的快闪存储器系统的一个实施例的方块图。存储单元阵列 302 是由列控制电路 304、行控制电路 306、c 源极控制电路 310 及 p 阱控制电路 308 所控制。列控制电路 304 连接至存储单元阵列 302 的位线，用于读取存储于所述存储单元中的数据，用于在编程作业期间确定所述存储单元的状态，及用于控制位线的电位电平以促进或禁止编程及擦除。行控制电路 306 连接至字线以选择所述字线中的一者，以施加读取电压、施加与列控制电路 304 所控制的位线电位电平相组合的编程电压，及施加擦除电压。c 源极控制电路 310 控制连接至所述存储单元的共用源极线（在图 5 中标记为“c 源极”）。p 阱控制电路 308 控制 p 阱电压。

[0047] 存储于存储单元中的数据被列控制电路 304 读出并经由数据输入/输出缓冲器 312 输出至外部 I/O 线。要存储于存储单元中的编程数据则经由外部 I/O 线输入至数据输入/输出缓冲器 312，并转移至列控制电路 304。外部 I/O 线连接至控制器 318。

[0048] 用于控制快闪存储器装置的命令数据被输入至控制器 318。命令数据会将所请求的是何种作业通知快闪存储器。将输入命令转移至控制列控制电路 304、行控制电路 306、c 源极控制电路 310、p 阱控制电路 308 及数据输入/输出缓冲器 312 的状态机 316。状态机 316 也可输出快闪存储器的状态数据，例如，READY/BUSY(准备好/忙)或 PASS/FAIL(通过/失败)。

[0049] 控制器 318 连接至主机系统或可与其相连接，例如，个人计算机、数字摄像机、或个人数字助理等。所述控制器与主机通信来起始命令（例如）以将数据存储至存储单元阵列 302 或从存储单元阵列 302 读取数据，及提供或接收此数据。控制器 318 将此等命令转换成可被与状态机 316 通信的命令电路 314 解译及执行的命令信号。控制器 318 通常包含用于正写入至或读取自存储器阵列的使用者数据的缓冲存储器。

[0050] 一个实例性存储器系统包括一个集成电路，所述集成电路包含控制器 318 及一个或多个各自包含存储器阵列及相关联的控制、输入/输出及状态机电路的集成电路芯片。目前之趋势是将系统中的存储器阵列及控制器电路一同整合于一个或多个集成电路芯片上。存储器系统可作为主机系统的一部分嵌于或者可包含于以可拆方式插入主机系统内的存储卡（或其他包）中。此类卡可包含整个存储器系统（例如，包含控制器）或仅包含该具有相关联外围电路的存储器阵列（其中控制器或控制功能被嵌于主机中）。因此，可将控制器嵌于主机中或包含于可拆式存储器系统内。

[0051] 参照图 5, 其阐述存储单元阵列 302 的实例性结构。 作为一实例, 阐述被分割成 1,024 个块的 NAND 快闪 EEPROM。 可同时擦除存储于每一块中的数据。 于一实施例中, 所述块是可同时擦除的单元的最小单位。 在每一块中, 于此实例中, 存在 8,512 个列。 位线被划分成偶数位线 (BLe) 及奇数位线 (BLo)。 图 5 显示四个存储单元串联连接以形成一 NAND 串。 虽然图中显示每一 NAND 串中包含四个存储单元, 但也可使用多于或少于四个存储单元 (例如, 16 个、32 个或其他数量)。 NAND 串的一个终端经由第一选择晶体管 (也称作选择栅)SGD 连接至对应的位线, 而另一终端经由第二选择晶体管 SGS 连接至 c 源极。

[0052] 在一实施例的读取及编程作业期间, 同时选择 4,256 个存储单元。 所选择的存储单元具有相同的字线 (例如, WL2-i) 及相同类型的位线 (例如, 偶数位线)。 因此, 可同时读取或编程 532 个字节的数据。 这些同时读取或编程的 532 个字节的数据形成逻辑页面。 因此, 于此实例中, 一个块可存储至少 8 个页面。 当每一存储单元存储两个位的数据时 (例如, 多级单元), 一个块存储 16 个页面。

[0053] 于读取及验证作业中, 所选块的选择栅 (SGD 及 SGS) 提升至一个或多个选择电压而所选块的未选字线 (例如, WL0、WL1 及 WL3) 提升至读取通过电压 (例如, 4.5 伏) 以使晶体管运作为通过栅。 所选块的所选字线 (例如, WL2) 连接至参考电压, 所述参考电压的电平是针对每一读取及验证作业来加以规定, 以便确定所关注存储单元的阈电压是在此电平以上还是以下。 举例而言, 在一个位存储单元的读取作业中, 将所选字线 WL2 接地, 以检测出阈电压是否高于 0 伏。 在一个位存储单元的验证作业中, 举例而言, 将所选字线 WL2 连接至 2.4 伏, 以便验证随着编程的进行阈电压是否已达到 2.4 伏。 在读取及验证期间, 源极及 p 阱在零伏下。 所选位线 (BLe) 预充电至例如 0.7 伏的电平。 如果阈电压高于读取或验证电平, 则所关注位线 (BLe) 的电位电平会因相关联的不导电存储单元而维持高电平。 另一方面, 如果阈电压低于读取或验证电平, 则所关注位线 (BLe) 的电位电平会因导电的存储单元而降至例如低于 0.5V 的低电平。 存储单元的状态由读出放大器来检测, 所述读出放大器连接至位线并读出所形成的位线电压。 是编程还是擦除存储单元之间的区别取决于是否将负电荷存储于浮栅中。 举例而言, 如果将负电荷存储于浮栅中, 则阈电压变得更高且晶体管可处于增强作业模式中。

[0054] 当于一实施例中编程存储单元时, 漏极及 p 阱接收 0 伏而控制栅接收一系列具有增加量值的编程脉冲。 在一实施例中, 所述系列中的脉冲量值介于从 7 伏至 15 伏的范围内。 于其他实施例中, 所述系列中的脉冲范围可不同, 举例而言, 具有高于 7 伏的开始电平。 在编程存储单元期间, 在编程脉冲之间的周期中实施验证作业。 亦即, 在每一编程脉冲之间读取一群被并行编程的单元中每一单元的编程电平, 以确定其是否达到或超出其正在编程至的验证电平。 一种验证编程的方法是在特定比较点处测试导电情况。 举例而言, 于 NAND 单元中, 通过将位线电压从 0 伏提升至 Vdd (例如, 2.5 伏) 来锁定经验证已充分编程的单元, 以终止对那些单元的编程过程。 在某些情形中, 脉冲数量将受到限制 (例如, 20 个脉冲), 且如果最后一个脉冲未将既定存储单元完全编程, 则假定出现错误。 于某些实施方案中, 存储单元是在编程之前被擦除 (以块为单位或以其他单位)。

[0055] 图 6 根据一实施例描绘编程电压信号。 这个信号具有一组具有增加的量值的脉冲。 所述脉冲的量值随每一脉冲增加预定步长大小。 于一包含存储多个位的数据的存储

单元的实施例中, 实例性步长大小为 0.2 伏 (或 0.4 伏)。在每一编程脉冲之间为验证脉冲。图 6 的信号是假定四状态存储单元, 因此, 其包含三个验证脉冲。举例而言, 在编程脉冲 330 与 332 之间是三个连续验证脉冲。第一验证脉冲 334 描绘为在零伏验证电压电平下。第二验证脉冲 336 在第二验证电压电平下跟随第一验证脉冲。第三验证脉冲 338 在第三验证电压电平下跟随第二验证脉冲 336。能够以八种状态存储数据的多状态存储单元可能需要针对七个比较点实施验证作业。因此, 依续施加七个验证脉冲以在两个连续编程脉冲之间以七个验证电平实施七个验证作业。根据七个验证作业, 所述系统可确定存储单元的状态。一种用于减少验证时间负担的方法是使用更有效的验证过程, 例如, 如 2002 年 12 月 5 日提出申请且名称为“多状态存储器的智慧验证 (SmartVerify for Multi-State Memories)”的美国专利申请案第 10/314,055 号中所揭示的方法, 所述专利申请案以全文引用的方式并入本文中。

[0056] 上述读取及验证作业是根据现有技术中已知的技术所实施。因此, 所属领域的技术人员可改变所解释的诸多细节。

[0057] 图 7 是阐述用于编程非易失性存储器系统的方法的流程图。如所属领域的技术人员将了解, 可根据特定应用或实施方案修改、添加或删除各种步骤同时仍保持在本揭示内容的范围及精神内。于各种实施方案中, 存储单元是在编程之前被擦除 (以块为单位或以其他单位)。在图 7 的步骤 350 处 (并参照图 4), 控制器 318 发出数据载入命令并将其输入至命令电路 314, 以允许将数据输入至数据输入/输出缓冲器 312。输入数据被辨识为命令且由状态机 316 通过输入至命令电路 314 的命令锁存信号 (未图解说明) 予以锁存。于步骤 352 中, 将用于指定页面地址的地址数据从控制器 318 输入至行控制器 306。输入数据被辨识为页面地址并通过状态机 316 予以锁存, 而锁存是通过输入至命令电路 314 的地址锁存信号来实现。在步骤 354 处, 将 532 个字节的编程数据输入至数据输入/输出缓冲器 312。应注意, 532 个字节的编程数据专用于所述特定实施方案, 而其他实施方案将需要或使用各种其他大小的编程数据。可将所述数据锁存于用于所选位线的寄存器内。于某些实施例中, 也可将所述数据锁存于用于所选位线的第二寄存器内以供验证作业使用。在步骤 356 处, 控制器 318 发出编程命令并将其输入至数据输入/输出缓冲器 312。所述命令由状态机 316 通过输入至命令电路 314 的命令锁存信号予以锁存。

[0058] 在步骤 358 处, 将 V_{pgm} (施加至所选字线的编程脉冲电压电平) 初始化至开始脉冲 (例如, 12 伏), 且将状态机 316 维持的编程计数器初始化为 0。在步骤 360 处, 将编程电压 (V_{pgm}) 脉冲施加至所选字线, 举例而言, 图 3 的 WL2。将包含要编程的存储单元的位线接地以进行编程, 同时将其他位线连接至 Vdd 以禁止在施加编程脉冲期间进行编程。

[0059] 在步骤 362 处, 验证所选存储单元的状态。如果检测到所选单元的目标阈电压已达到适宜电平 (举例而言, 逻辑 0 的编程电平或多状态单元的特定状态), 则将所选单元验证为已编程至其目标状态。如果检测到阈电压尚未达到适宜电平, 则将所选单元验证为尚未编程至其目标状态。在步骤 362 处, 将那些被验证为已编程至其目标状态的单元从进一步编程中排除。在步骤 364 处, 例如, 通过检查指定用于检测并用信号报告此状态的适宜数据存储寄存器, 确定是否已验证所有要编程的单元已编程至其对应状态。如果是如此, 则编程过程完成且是成功的, 因为所有选择的存储单元已编程至其目标状

态并被验证。在步骤 366 处报告通过状态。如果在步骤 364 处，确定并非所有的存储单元已经如此验证，则继续编程过程。在步骤 368 处，对照编程限制值检查编程计数器 PC。编程限制值的一实例为 20。如果编程计数器 PC 不小于 20，则编程过程标记为失败并在在步骤 370 处报告失败状态。如果编程计数器 PC 小于 20，则 V_{pgm} 电平增加步长大小并在在步骤 372 处增量编程计数器 PC。在步骤 372 后，所述过程循环回至步骤 360 以施加下一 V_{pgm} 编程脉冲。

[0060] 图 7 的流程图描绘单通编程方法，如可施加用于二进制存储那样。于双通编程方法（如可施加用于多级存储那样）中，举例而言，可在流程图的单个重复中使用多个编程或验证步骤。可针对编程作业的每一通过实施步骤 360-372。于第一通过中，可施加一个或多个编程脉冲且其结果经验证以确定单元是否处于适宜的中间状态。于第二通过中，可施加一个或多个编程脉冲且其结果经验证以确定所述单元是否处于适宜的最终状态。

[0061] 在成功的编程过程结束时，存储单元的阈电压应介于用于经编程的存储单元的阈电压的一个或多个分布内或介于用于经擦除的存储单元的阈电压的分布内。图 8 图解说明当每一存储单元存储一个位的数据时存储单元阵列的阈电压分布。图 8 显示用于经擦除存储单元的阈电压的第一分布 380 及用于经编程存储单元的阈电压的第二分布 382。于一实施例中，第一分布 380 中的阈电压电平为负且对应于逻辑“1”，而第二分布 382 中的阈电压电平为正且对应于逻辑“0”。

[0062] 图 9 图解说明当每一存储单元以四种物理状态存储两个位的数据时存储单元阵列的实例性阈电压分布。分布 384 表示处于擦除状态（存储“11”）具有负阈电压电平的单元的阈电压分布。分布 386 表示处于第一编程状态存储“10”的单元的阈电压分布。分布 388 表示处于第二编程状态存储“00”的单元的阈电压分布。分布 390 表示处于第三编程状态存储“01”的单元的阈电压分布。在此实例中，存储于单个存储单元中的两个位的每一位皆来自不同的逻辑页面。也就是说，存储于每一存储单元中的两个位的每一位皆携带不同的逻辑页面地址。显示于方格中的位对应于下页面。显示于圆圈中的位对应于上页面。于一实施例中，使用葛莱码序列将逻辑状态指派至存储单元的连续物理状态，以使得在浮栅的阈电压错误地移位至其最近的相邻阈电压状态范围时，仅一个位受到影响。为提供改善的可靠性，较佳使个别分布收紧（使分布变窄），因为分布变紧会使读取裕度（毗邻状态阈分布之间的距离）变宽。

[0063] 当然，如果存储器以多于四种物理状态运作，则在存储单元的所界定电压阈窗口内将存在与状态数量相等的阈电压分布数量。此外，尽管已为每一分布或物理状态指派了特定的位图案，但也可指派不同的位图案，在此种情形中，各个状态（在中间进行编程）可不同于图 8-9 中所描绘的状态。

[0064] 通常，并行编程的单元沿字线交错。举例而言，图 3 图解说明沿一个字线 WL2 的更多数量单元中的三个存储单元 224、244 及 252。一组交错单元（包括存储单元 224 及 252）从逻辑页面 0 及 2（“偶数页面”）存储位，而另一组交错单元（包括存储单元 244）从逻辑页面 1 及 3（“奇数页面”）存储位。

[0065] 于一实施例中，如在图 10（其图解说明用于实施擦除作业的实例性偏置条件）的表中所阐明，通过在源极及位线处于浮动时将 p 阱提升至擦除电压（例如，20 伏）并将所

选块的字线接地或施以 0 伏来擦除存储单元。由于电容性耦合, 未选字线(未选择且不想擦除块中的字线)、位线、选择线及 c 源极也被提升至一高的正电位(例如, 20 伏)。因此将一强大的电场施加至所选块的存储单元的隧道氧化物层, 且当浮栅的电子被发射至衬底时, 擦除所选存储单元的数据。当有充足的电子从浮栅转移至 p 阱区域时, 所选单元的阈电压变为负。可对整个存储器阵列、所述阵列的一个或多个块或所述单元的另一单位实施擦除。

[0066] 图 11 提供包含 8 个存储单元的 NAND 串的剖面图。虽然实施例是关于图 11 及 8 单元 NAND 结构所提供, 但本发明并非局限于此而是可根据众多包含少于或多于 8 个存储单元(例如, 4、12、16 或更多)的 NAND 结构来使用。如图 11 中所描绘, NAND 串的晶体管(也称作单元或存储单元)均形成于 p 阱区域 440 中。每一存储单元(402、404、406、408、410、412 及 414)包含堆叠栅结构, 所述堆叠栅结构由控制栅(402c、404c、406c、408c、410c、412c、414c)及浮栅(402f、404f、406f、410f、412f 及 414f)组成。所述浮栅形成于氧化物或其他电介复合物膜顶部上的 p 阱表面上。控制栅在浮栅之上, 其中氧化物或其他隔离电介层将控制栅与浮栅分离。存储单元的控制栅连接至或形成字线 WL0、WL1、WL2、WL3、WL4、WL5、WL6 及 WL7。相邻单元之间共享 N+ 扩散区域 442, 由此单元彼此串联连接以形成 NAND 串。所述 N+ 扩散区域形成所述单元中每一单元的源极及漏极。N+ 扩散区域 426 连接至 NAND 串的位线, 而 N+ 扩散区域 428 连接至多个 NAND 串的共用源极线。

[0067] 由于电容性耦合, 当在擦除作业期间将高擦除电压施加至 p 阱时, 选择栅 SGD 及 SGS 被提升至高的正电位。施加至 p 阱的擦除电压或其某一部分从阱区域耦合至每一选择栅。举例而言, 于诸多包含 NAND 结构的非易失性存储器系统中, 约 100% 的 p 阱电压将耦合至每一选择栅。因此, 如果将 20V 的擦除电压脉冲施加至 p 阱, 则约 19V-20V 将耦合至每一选择栅的控制栅。于图 11 中, 通过箭头 430 图解说明从 p 阱耦合至选择栅的电压。虽然程度较低, 但所述串的每一存储单元也经历类似的耦合效应。约 50% 的 p 阱电压将耦合至典型 NAND 串中的每一存储单元。因此, 每一存储单元的浮栅将因电容性耦合而在施加 20V 擦除电压脉冲下被提升至约 10V 的电位。此耦合效应通过箭头 432 图解说明。由于跨越隧道氧化物的电位等于所施加的擦除电压与浮栅上的电压之间的差, 因此耦合至每一存储单元的电压减小跨越隧道氧化物层所产生的电场的电位。举例而言, 在施加 20V 擦除电压脉冲下仅约为 10V(20V-10V) 的电位将存在于存储单元的隧道氧化物层上以将电子从每一浮栅吸引至衬底。

[0068] 除迄今所阐述的施加至 p 阱的擦除电压的电容性耦合外, 所述串的每一存储单元还将经历某来自相邻存储单元及 / 或晶体管的电容性耦合。NAND 串的端存储单元(例如, 图 11 中的存储单元 402 及 416), 亦即, 连接至所述串的第一及最后字线(端字线)且毗邻于所述串的选择栅的端存储单元将经历来自相邻选择栅的电位的电容性耦合。于图 11 中, 是通过箭头 434 描绘在 WL7 处从存储单元的选择栅 420 至浮栅 402f 的此电容性耦合且通过箭头 438 描绘在 WL0 处从存储单元的选择栅 422 至浮栅 416f 的耦合。耦合至存储单元 402 及 416 的电压将与相应选择栅处的电压量成比例地降低存在于那些单元的隧道电介质(例如, 隧道氧化物)上的电场。于诸多 NAND 实施方案中, 可期望从 NAND 串的选择栅至端存储单元的电容性耦合约为 5% 至 10% 的数量级。因此, 如果将 20 伏的

擦除电压施加至 p 阱区域且此电压的约 50% 耦合至选择栅 (此在选择栅处产生约 10 伏的电荷), 则约 0.5 伏至 1 伏将耦合至毗邻存储单元的浮栅 (例如, 416f 及 402f). 因此, 跨越所述串中端存储单元的隧道氧化物的电场将约为 0.5 伏至 1 伏, 其小于所述串的剩余存储单元的电场。 在本文中可将 NAND 串不毗邻于选择栅的存储单元 (亦即, 除 NAND 串的端存储单元外的所有存储单元) 称作所述串的内部存储单元。 于图 11 中, NAND 串的内部存储单元为存储单元 404、406、408、410、412 及 414。

[0069] 由于跨越所述串中端字线的存储单元的隧道氧化物的电场小于内部存储单元的电场, 因此端存储单元将比内部存储单元擦除得慢 (或在施加擦除电压脉冲下擦除得程度较低)。 如早期所阐明, 在施加 20 伏擦除电压下, 所述串的内部存储单元的隧道氧化物层上将存在约 10 伏的电位且假定从阱区域至浮栅的电容性耦合效应为 50%。 由于来自相邻选择栅的 0.5 伏至 1 伏的耦合, 因此字线 0 及 7 的存储单元在其相应隧道氧化物层上仅具有约为 9 伏至 9.5 伏 (20 伏减 10.5 伏至 11 伏) 的净电位。

[0070] 由于所述串中端存储单元的隧道氧化物层上的电位较低, 因此在施加一个或多个擦除电压脉冲后端存储单元将不会像内部存储单元一样被擦除 (而是将具有较少从其浮栅转移而来的电子)。

[0071] 当存储于浮栅上的电荷低于预定电平时, NAND 串的存储单元会被验证为已擦除。 由于耦合至 NAND 串中端存储单元的浮栅的附加耦合, 因此增加擦除作业的总时间以充分擦除这些端存储单元。 举例而言, NAND 串的内部存储单元可在施加 N 数量的擦除电压脉冲后被充分擦除, 而 NAND 串的端存储单元可能直到施加 N+1 或更多擦除电压脉冲也未被充分擦除。 与端存储单元相比, 内部存储单元的此不同的擦除行为图解说明于图 12 中。

[0072] 图 12 描绘在施加单个擦除电压脉冲后的阈电压分布 (类似于在多个擦除电压脉冲后将存在较低总 VT 值的分布)。 分布 502 描绘 NAND 串的内部存储单元 (例如, 图 11 中连接至 WL1-WL6 的存储单元) 的阈电压分布。 分布 504 描绘端存储单元 (例如, 图 11 中连接至 WL0 及 WL7 的端存储单元) 的阈电压分布。 如所图解说明, 在仅施加一个擦除电压脉冲后, 那些连接至内部字线的存储单元比 NAND 串的端字线的存储单元被擦除得更多。 平均而言, 于所示实例中, 内部存储单元被擦除得比端存储单元约多 0.6 伏。 内部存储单元的平均阈电压低于端字线的存储单元, 这是因为从那些存储单元的浮栅所转移的电子数量多于连接至端字线的存储单元的电子数量。

[0073] 图 13 是根据所施加的擦除电压描绘 NAND 串 (例如, 图 10 的 NAND 串) 的存储单元的平均阈电压。 在施加 16 伏擦除电压脉冲后, 连接至 WL0 或 WL7 的存储单元的平均阈电压几乎为 -1 伏。 NAND 串的内部存储单元 (那些连接至 WL1-WL6 的存储单元) 的平均阈电压约为 -1.5 伏。 在施加第二擦除电压脉冲后, WL0 及 WL7 的平均阈电压已降至约 -1.5 伏而连接至 WL1-WL6 的存储单元的平均阈电压约为 -2.8 伏。 在施加附加擦除电压脉冲后, 内部存储单元及端存储单元的平均阈电压之间的差增加。 此效应通过图 13 中的第三线图解说明, 图 13 描绘在每一擦除电压脉冲后内部存储单元与端存储单元之间的平均阈电压的差。

[0074] 当在 NAND 串电平或更高电平下实施大量存储单元的擦除验证 (例如, 对块或串的其他单位) 时, 存储单元之间的完全不同的擦数时间或行为可导致对某些存储单元施加

过度应力及过度擦除。举例而言，在试图充分擦除所述串的端存储单元时，NAND 串的内部存储单元可能会被过度擦除。如先前所述，内部存储单元将擦除得快于端存储单元（在施加一个或多个擦除电压脉冲下，将从其浮栅转移更多电子）。如果在 NAND 串电平下实施验证，则 NAND 串将在 p 阱处继续接收擦除电压脉冲直至所述串的每一存储单元均受到擦除。因此，即使在低于端存储单元的擦除电压脉冲数量后仍可充分擦除内部存储单元，所述内部存储单元也将接收附加的擦除电压脉冲直至所述串的每一存储单元被验证为已擦除。

[0075] 内部存储单元上因过度擦除而被施加大于所需应力的应力。因端存储单元的较慢擦除时间而过度擦除内部存储单元可降低内部存储单元及整个非易失性存储器系统的寿命跨度。如现有技术中所了解，跨越晶体管的隧道氧化物层施加大的电位会使氧化物材料处于受力状态。跨越隧道氧化物层施加足够高的电位或大量时间施加较低电位可最终导致氧化物层断裂。

[0076] 存储单元之间的完全不同的擦除行为还可因附加作业而导致增加的擦除作业时间，所述附加作业可经实施以在进行擦除后改变存储单元的阈电压。当擦除快闪存储单元时，目标是所有已擦除的单元均具有介于预定负阈电压范围内的负阈电压。然而，如所图解说明，擦除过程可导致某些单元具有低于所述预定范围的负阈电压。具有过低阈电压的存储单元随后不能正确地编程。因此，经过度擦除的装置通常将遭受所谓软件编程。其阈电压明显低于所述预定范围内的值的存储单元将接受少量的编程，以使阈电压提升至所述预定范围内。软件编程过程需要实施附加作业且会因增加的擦除时间而降低存储器效能。总之，根据当前所阐述的使用一个或多个补偿电压的实施例，可减少或消除擦除过程中的软件编程。消除或减少软件编程将增加存储器效能。

[0077] 根据一实施例，于擦除作业期间在 NAND 串的一个或多个位置或部分处施加一个或多个补偿电压以补偿电容性耦合至所述串的一个或多个存储单元的浮栅的电压。举例而言，可将一个或多个补偿电压施加至 NAND 串的一部分以补偿从毗邻选择栅耦合至 NAND 串的端存储单元的附加电压。

[0078] 图 14 是根据一实施例用于对包含一个或多个 NAND 串的存储单元的单位实施擦除作业的流程。虽然将根据单个 NAND 串来阐述图 14，但所属领域的技术人员应了解，例如，可对多个 NAND 串并行实施所述流程图的作业，以擦除存储单元的较大单位，例如，一个或多个块。出于实例性目的，将结合图 11 中所描绘的 NAND 串来阐述图 14 中流程图的作业，然而，所述流程图并非局限于图 11 中所描绘的 NAND 串而是可与其他 NAND 串或其他串联连接的包含任何数量存储单元的单元结构使用。

[0079] 在步骤 552 处，使 NAND 串的位线及源极线浮动。在步骤 554 处施加用于 NAND 串的擦除偏置条件。在步骤 556 处，将一个或多个补偿电压施加至 NAND 串以补偿从相邻晶体管耦合至 NAND 串的一个或多个存储单元的电压。步骤 554 与 556 因在步骤 554 处施加的偏置条件将取决于在步骤 556 处施加的补偿电压而相互联系。因此，在某些实施例中可同时实施此等两个步骤（但并非要求如此）以将一组偏置条件施加至可包含一个或多个补偿电压的 NAND 串。

[0080] 在将偏置条件及一个或多个补偿电压施加至 NAND 串后，即在步骤 558 处施加擦除电压脉冲。在施加擦除电压脉冲后，即在步骤 560 处实施验证以确定 NAND 串

是否已充分擦除。可根据实施例使用众多方法以验证擦除作业的结果。举例而言,可读取 NAND 串以确定所述串的每一存储单元的阈电压低于规定值。于一实施例中,此可包含将足以导通经擦除存储单元的电压施加至每一存储单元的栅并沿(例如)从源极至位线的方向测试 NAND 串的导电性。关于擦除及擦除验证的更多细节可在标题为 COMPREHENSIVE ERASE VERIFICATION FOR NON-VOLATILE MEMORY 的第 10/857,245 号共同待决美国专利申请案中找到,所述申请案阐述了更综合的擦除验证技术并以全文引用的方式并入本文中。如果在步骤 562 处确定步骤 560 处的验证结果为成功,则在步骤 564 处报告 NAND 串的通过状态。然而,如果在步骤 562 处确定 NAND 串未充分擦除,则在步骤 566 处对照预定值检查验证计数器。如果验证计数器小于预定值(例如 20),则在步骤 570 处将擦除电压脉冲 (Verase) 增量预定值并使验证计数器增加 1。然后,流程图的作业继续至步骤 552,其中在施加附加擦除电压脉冲前再次给 NAND 串施加偏置及补偿电压。如果验证计数器大于所述预定值,则在步骤 568 处报告失败状态。

[0081] 可将各种补偿电压施加至 NAND 串的各种部分以补偿从相邻晶体管耦合至选择存储单元的浮栅的电压。因此,可在步骤 556 处施加众多补偿电压以补偿这些电容性耦合电压。图 15a 及 15b 描绘可根据一实施例在步骤 554 及 556 处施加的一组补偿电压。由于在步骤 554 处施加的偏置条件多少取决于在步骤 556 处施加的补偿电压,因此图 15a 描绘图 14 的步骤 554 及 556。图 15a 开始于在步骤 602 处使源极侧选择栅及漏极侧选择栅浮动。在步骤 604 处,将 0 伏施加至 NAND 串的第一及最后字线。在步骤 606 处,将一个或多个补偿电压施加至 NAND 串的剩余字线,例如, NAND 串的内部字线。于一实施例中,同时实施步骤 602-606。

[0082] 于一实施例中,在步骤 606 处施加的补偿电压为正电压。通过将正电压施加至 NAND 串的内部存储单元的字线,降低跨越所述内部存储单元的隧道氧化物的电场。所施加补偿电压的一部分从内部存储单元的控制栅耦合至浮栅。于图 11 中,举例而言,将补偿电压施加至字线 1 至 6 会导致电压从每一控制栅 404c-414c 耦合至其相应的浮栅 404f-414f。

[0083] 可选择施加至内部存储单元的控制栅的电压以使跨越所述内部存储单元的氧化物的电场与所述 NAND 串的端存储单元的电场均衡。如先前所论述,端存储单元将因来自毗邻选择栅的耦合而具有超过内部存储单元的增加的电荷。举例而言,于各种实施例中,可期望约 1 伏的增加。因此,可将电压施加至内部存储单元的字线以降低那些单元的电场以匹配端存储单元的电场,端存储单元因来自选择栅的电容性耦合而具有较低的电场。

[0084] 由于仅施加至字线的电压的一部分将从控制栅耦合至浮栅,因此可选择施加至字线的电压以使所述耦合值等于从串的选择栅至端存储单元的耦合值。由于参数、操作条件及实际电压的波动,如本文中所使用,相等电压可包含大致相等的电压。作为非限制性实例,相等电压可包含具有如下值的大致相等的电压:于某些实施例中具有介于 0.1 伏或更小范围内的值而在其他实施例中具有介于 0.5 伏或更小范围内的值。假定 1 伏从选择栅耦合至端存储单元,则可选择施加至字线的电压以使 1 伏从内部存储单元的控制栅耦合至浮栅。于诸多 NAND 串的实施案中,可期望所述电压的约 50% 施加至控制栅以耦合至相应的浮栅。因此,如在所述实例中,如果期望将 1 伏耦合至内部存储单元的

浮栅，则可通过字线将约 2 伏施加至控制栅以使浮栅处的净电荷增加 1 伏。通过将存在于内部存储单元的浮栅处的净电荷增加至约等于 NAND 串的端存储单元的净电荷，跨越 NAND 串中存储单元的隧道氧化物层所形成的电场将约等于在施加 p 阱擦除电压脉冲下的情况。

[0085] 图 16 是描绘当施加诸如图 15a 及 15b 中所描绘的补偿电压时，NAND 串的存储单元（例如，于图 11 中所描绘的）的平均阈电压的图表。图 16 所描绘的实际值仅是实例性且未必对应于先前所论述的实例。所述图表将沿 Y 轴的阈电压描绘为沿 X 轴描绘的各种补偿电压的函数。WL0 及 WL7 的存储单元不接收补偿电压且因此在将补偿电压施加至内部存储单元的情况下呈现接近恒定的电压。在施加擦除电压脉冲后，WL0 及 WL7 的存储单元的平均阈电压约为 -1.5 伏。如果没有补偿电压施加至内部存储单元，则在施加单个擦除电压脉冲后内部存储单元的平均阈电压约为 -2.6 伏。如果将约 0.5 伏的补偿电压施加至内部存储单元，则在施加擦除电压脉冲后 WL1-WL6 的存储单元的平均阈电压增加至约 -2 伏。通过给那些存储单元施加增加的补偿电压继续降低 WL1-WL6 的存储单元的平均阈电压。在将 1 伏的补偿电压施加至内部存储单元时，平均阈电压降至约 -1.5 伏。这是 NAND 串的端存储单元的相同值。因此，如果将 1 伏的补偿电压施加至内部存储单元，则所述内部存储单元将以与 NAND 串的端存储单元约相同的速率擦除。

[0086] 以此方式，通过减慢内部存储单元的擦除速率以符合 NAND 串的端存储单元的擦除速率来避免对内部存储单元的过度擦除。这样做的效应是正规化或使 NAND 串的端存储单元与内部存储单元的阈电压分布大致相等。施加图 15a 及 15b 中所阐明的补偿电压将有效地使内部存储单元的经擦除阈电压分布沿正方向移位。举例而言，如果在擦除 NAND 串时施加图 15a 及 15b 的补偿电压，则图 12 的分布 502 将向右移位以大致匹配分布 504。除最小化或消除对选择存储单元的过度擦除外，施加补偿还可最小化或消除对软件编程的需要。由于每一存储单元的分布将因在擦除期间施加补偿电压而被正规化，因此不再需要软件编程选择存储单元以使其阈电压介于所述串的多数或剩余存储单元的范围。这可减少时间以擦除且因此编程存储器系统。

[0087] 图 17a 及 17b 描绘根据另一实施例可在擦除作业期间施加至 NAND 串以补偿从相邻晶体管电容性耦合的一个或多个电压的偏置条件及补偿电压。在步骤 612 处，使 NAND 串的源极侧选择栅及漏极侧选择栅浮动。在步骤 614 处，将补偿电压施加至 NAND 串的端字线。在步骤 616 处将零伏施加至 NAND 串的剩余字线。于图 17a 及 17b 中所描绘的实施例中，将补偿电压施加至 NAND 串的端字线而非内部字线以直接补偿耦合至端字线的存储单元的电压。

[0088] 于一实施例中，施加至 NAND 串的第一及最后字线的补偿电压为负以增加跨越第一及最后字线的存储单元的隧道氧化物的电场。如先前所论述，第一及最后存储单元将因来自选择栅的电容性耦合而在其隧道氧化物上具有比 NAND 串的剩余字线低的电场。因此，可将电压施加至这些存储单元的字线以将电压从所述存储单元的控制栅耦合至浮栅以补偿从毗邻选择栅耦合的电压。如先前所论述，仅施加至控制栅的电压的一部分将耦合至浮栅。因此，可选择施加至字线的电压以使耦合至浮栅的电压量与从毗邻选择栅耦合的电压量在量值上相等而在极性上相反。

[0089] 举例而言，如果 +1 伏从端存储单元的选择栅耦合至浮栅，则可将 -2 伏的电压施

加至所述端存储单元的字线以将约 -1 伏的电压耦合至浮栅。从控制栅耦合的 -1 伏将补偿从毗邻选择栅耦合的 +1 伏。因此，跨越所述端存储单元的隧道氧化物的电场得以增加以使其等于 NAND 串的其他存储单元的电场。因此，跨越所述串中每一存储单元的隧道氧化物层的电位得以相等以致每一存储单元将呈现类似的擦除行为并以大致相同的速率擦除。由于参数、操作条件及实际电压的波动，因此如本文中所使用，相等电位可包含大致相等的电位，举例而言，于某些实施例中电位介于 0.1 伏或更小的范围内而于其他实施例中介于 0.5 伏或更小的范围内。施加图 17a 及 17b 的补偿电压将使端字线的存储单元的阈电压分布在施加擦除电压后沿负方向移位。再次查看图 12，分布 504 将有效地向左移位（沿负方向）以使其因负补偿电压施加至端字线而与分布 502 吻合。

[0090] 除或或者从 NAND 串的选择栅电容性耦合至端字线的电压外，可考虑附加的电容性耦合电压以更精确地补偿从毗邻或相邻晶体管耦合的电压。图 11 通过箭头 436 图解说明 NAND 串中个别存储单元的浮栅之间的附加电容性耦合效应。举例而言，存在于连接至 WL0 的存储单元 416 的浮栅处的电压的一部分将电容性耦合至连接至 WL1 的存储单元 414 的浮栅。存在于存储单元 414 的浮栅处的电压的一部分将耦合至连接至 WL2 的存储单元 412 的浮栅，诸如此类。此耦合可附加地或交替地存在于相反方向上，举例而言，如由箭头 436 上的双头所指示，从存储单元 412 至存储单元 414。可在各种电平下看到 NAND 串中所有存储单元之间的这些耦合效应。每一浮动时可耦合至相邻浮栅的净电荷小于存在于选择栅处的净电荷。因此，耦合于个别存储单元的浮栅之间的电压量将小于从毗邻选择栅耦合至端存储单元的电压量。然而，可期望 NAND 串的每一存储单元具有略不同的存在于其浮栅处的净电荷且因此耦合而具有对应的不同擦除行为。

[0091] 根据一实施例，将补偿电压施加至 NAND 串的一个或多个存储单元以补偿这些电容性耦合电压中的每一者。举例而言，NAND 串的每一存储单元可接收补偿电压同时施加擦除电压脉冲以正规化跨越 NAND 串中每一存储单元的隧道氧化物的电场。因此，可跨越每一存储单元的隧道氧化物层形成相等的电场电位以在相同速率下擦除每一存储单元且将每一存储单元擦除至相同程度。于一实施例中，举例而言，可将补偿电压施加至端字线以补偿从毗邻选择栅耦合的电压。可将其他补偿电压施加至内部存储单元以补偿从毗邻存储单元耦合的电压。参照图 11，举例而言，可将补偿电压施加至 WL1 以补偿从存储单元 416 及 412 耦合至存储单元 414 的电压。于一个实施例中，可根据假定来自毗邻存储单元的耦合比率为 50% 的前述分析选择此电压。

[0092] 于另一实施例中，可通过比较连接至所选字线的存储单元与所述串中其他存储单元的擦除行为来选择施加至 NAND 串中每一个别字线的电压。举例而言，可将所述串的一个存储单元选择为参考存储单元并在测试期间确定其擦除行为。可在施加增加的擦除电压脉冲下测试剩余的存储单元并与此参考存储单元相比较。如果存储单元擦除得慢于参考存储单元，则可选择诸如负补偿电压的适宜补偿电压以增加跨越所述存储单元的隧道氧化物的电场。如果存储单元擦除得快于参考存储单元，则可为所述字线选择正补偿电压来减慢所述存储单元的擦除速率以匹配参考存储单元的擦除速率。所属领域的技术人员将了解，可根据实施例及存储单元在特定实施方案中的擦除行为来选择补偿电压。

[0093] 图 18a 及 18b 描绘一组偏置及补偿电压，其中 NAND 串的每一存储单元接收选

择用于每一字线及存储单元的经特殊化的补偿电压。可使用前述众多方法来选择补偿电压,例如,通过存储单元与参考存储单元的比较或通过假定相邻晶体管与阱区域之间的各种耦合比率的计算。在步骤622处,使源极侧选择栅及漏极侧选择栅浮动。在步骤624处,将个别补偿电压施加至 NAND 串的每一字线。在施加补偿电压并使源极及漏极侧选择栅浮动后,施加擦除电压脉冲。通过将个别补偿电压施加至每一字线,将使得每一存储单元的电压分布大致相等。取决于以此选择补偿电压的方式,图12中描绘的阈电压分布将以各种方式移位。举例而言,如果将一擦除得快的存储单元选择为参考存储单元,则可期望 NAND 串的端字线的分布 504 将向左移位,这是因为现在这些存储单元会在施加适宜补偿电压下擦除得更快(例如,施加负补偿电压以增加跨越隧道氧化物的电位并增加擦除速率)。然而,如果将擦除得慢的单元选择为参考存储元件,则可期望内部存储单元的分布 502 向右移位,这是因为在施加适宜补偿电压下那些存储单元的擦除将变慢(例如,施加正补偿电压以降低跨越隧道氧化物的电位并降低擦除速率)。于一实施例中,通过选择个别补偿电压,可期望分布 502 将向右移位而分布 504 将向左移位,因此在其之间达成均衡。

[0094] 于一实施例中,如图19a及19b中所描绘,将补偿电压施加至 NAND 串的一个或多个选择栅以补偿一个或多个电容性耦合的电压。可将补偿电压施加至选择栅以补偿从 p 阱区域耦合至选择栅的电压。直接施加至选择栅的电压将存在于所述选择栅的控制栅处且其一部分将耦合至 NAND 串的毗邻存储单元。由于将电压施加至选择栅,因此 p 阱擦除电压将不耦合至选择栅。因此,所施加电压的一部分而非擦除电压将从选择栅耦合至毗邻存储单元。

[0095] 在图19a的步骤632处,将0伏施加至 NAND 串的每一字线。在步骤634处,将一个或多个补偿电压施加至 NAND 串的选择栅。在针对擦除作业偏置 NAND 串并施加补偿电压后,将擦除电压脉冲施加至 NAND 串。根据各种实施例,在步骤634处将各种补偿电压施加至选择栅。可施加小于擦除电压脉冲的正补偿电压以降低耦合至毗邻于选择栅的存储单元的电压量。值越接近于零伏,将耦合至毗邻选择栅的电压量越低。

[0096] 如果将0伏施加至选择栅,则所述选择栅处将不存在电压以耦合至毗邻存储单元。这最初看起来似乎是提供正规化各种存储单元的擦除行为的最佳替代。然而,必须考虑何时选择施加至选择栅的电压以避免跨越所述选择栅的隧道氧化物层的电位太高。因此,尽管似乎需要给选择栅施加0伏以消除耦合至毗邻存储单元的任何耦合,但施加此低电压可形成跨越隧道氧化物层的高电位,而此会导致选择栅的损坏及可能的断裂。举例而言,于包含80埃的隧道氧化物层的实施例中,应将跨越选择栅的隧道氧化物层所形成的最大电位限制至约4伏或5伏。如果施加至选择栅的电压低得足以使跨越所述层形成的电位(擦除电压脉冲减补偿电压)增加而超出此限制,则可能出现晶体管的断裂。如果将跨越选择栅的隧道氧化物层所形成的电位限制至约4伏或5伏并施加约为20伏的擦除电压脉冲,则最小补偿电压应约为15伏或16伏。补偿电压的一部分将耦合至毗邻存储单元。如先前所述,存在于选择栅处的电压的约5%至10%将耦合至毗邻存储单元。虽然仍有一些电压耦合至毗邻存储单元,但15伏或16伏中将耦合的部分小于假如不施加补偿电压所施加擦除电压(20伏)中将耦合的部分。因此,可将端存储单元的擦除行为正规化成与 NAND 串的剩余存储单元的大致程度。

[0097] 根据各种实施例，关于图 15-19 所描绘的一种或多种方法可彼此结合使用。举例而言，可将补偿电压既施加至 NAND 串的端字线也施加至 NAND 串的内部字线。可将正补偿电压施加至内部存储单元以降低跨越其隧道氧化物层的电场同时可将负补偿电压施加至 NAND 串的端字线以增加跨越其隧道氧化物层的电场，因此在每一存储单元的所有电场之间达成均衡。于另一实施例中，除将补偿电压施加至 NAND 串的选择栅外，还可将经个别化的补偿电压施加至 NAND 串的每一字线，以正规化每一存储单元的擦除行为。可将补偿电压（例如，15 伏）施加至选择栅以将较小的电压耦合至毗邻存储单元。由于这不会消除耦合至 NAND 串的端字线的所有耦合，因此这些字线仍将以多少比剩余字线低的速率擦除。为补偿擦除行为的剩余差，还可将补偿电压施加至 NAND 串的内部存储单元以降低其电场及 / 或施加至 NAND 串的端字线以增加其电场。

[0098] 上述实例是针对 NAND 型快闪存储器而提供。然而，本发明的原理也适用于其他类型的非挥发性存储器，包括那些当前存在的非挥发性存储器及那些设想使用正开发的新技术的非挥发性存储器。

[0099] 出于例证及说明的目的，上文已对本发明进行了详细说明。本说明并非意欲包罗无遗或将本发明局限于所揭示的具体形式。根据上文的教示也可作出许多种修改及改变。所述实施例的选择旨在最佳地解释本发明的原理及其实际应用，由此使其他所述领域的技术人员能够以适合于所构想具体应用的各种实施例形式及使用各种修改来最佳地利用本发明。本发明的范畴意欲由随附的权利要求书来界定。

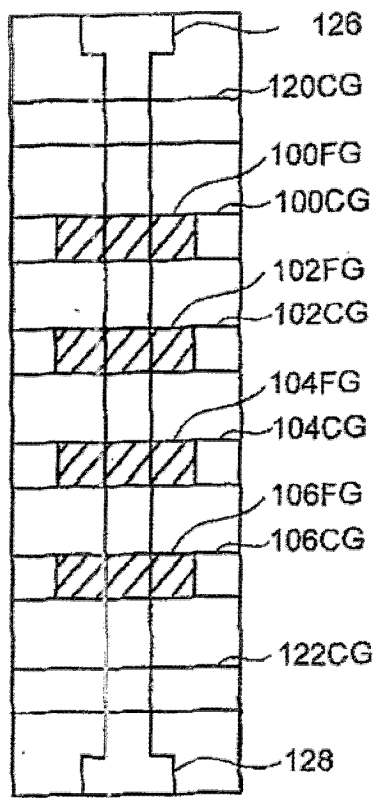


图 1

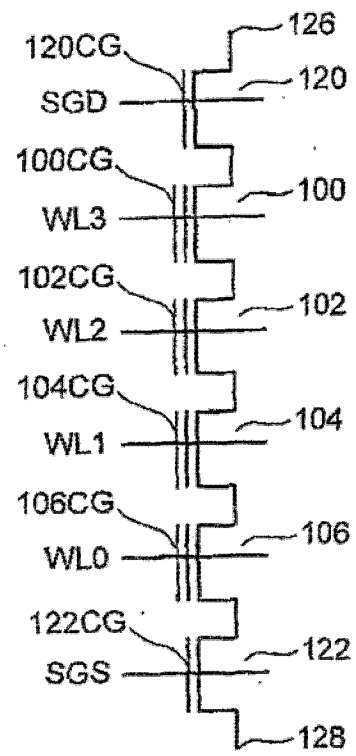


图 2

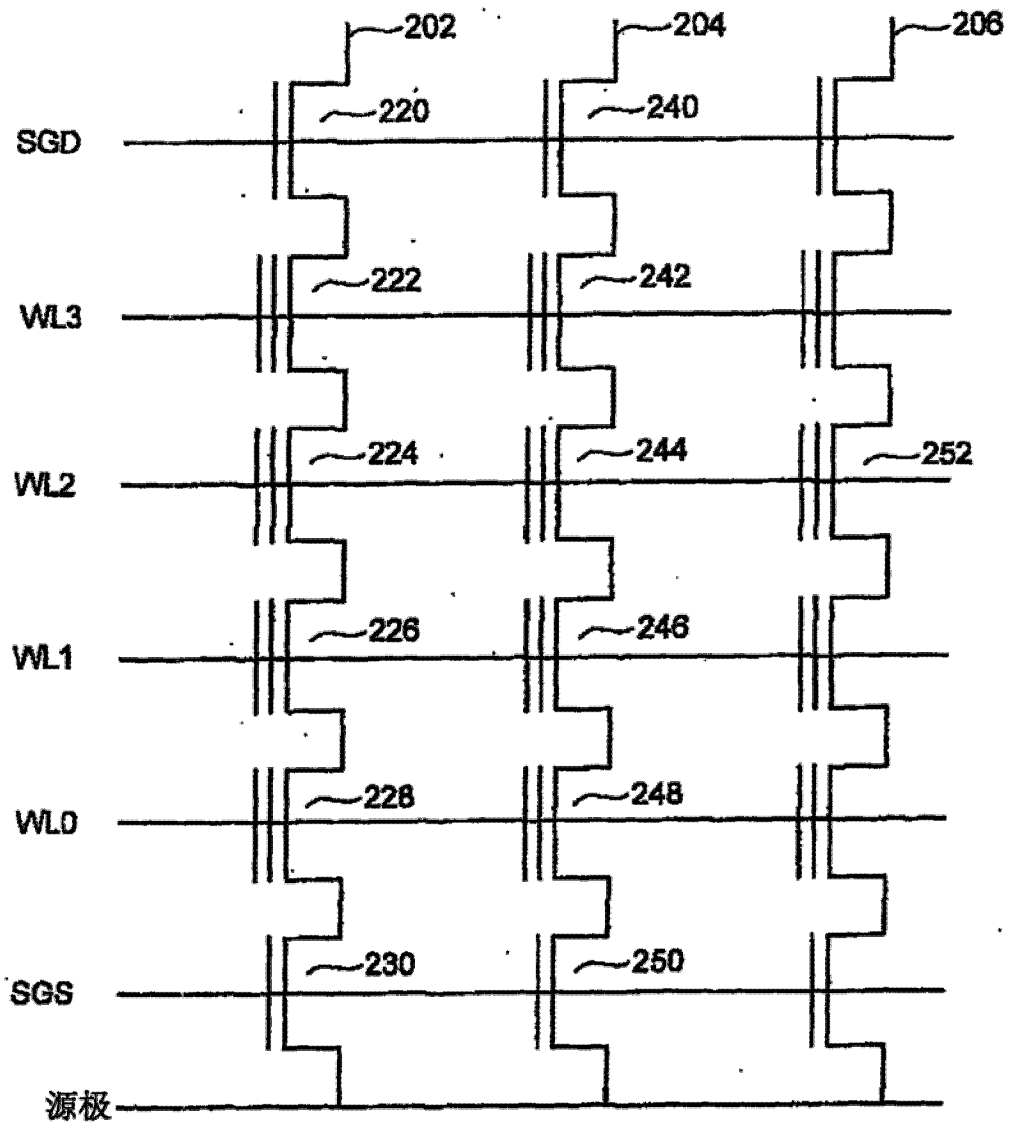


图 3

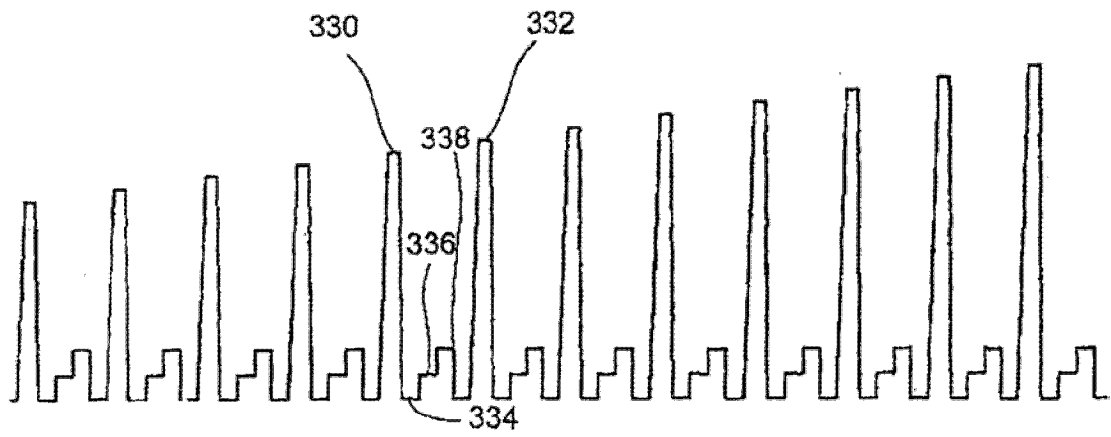


图 6

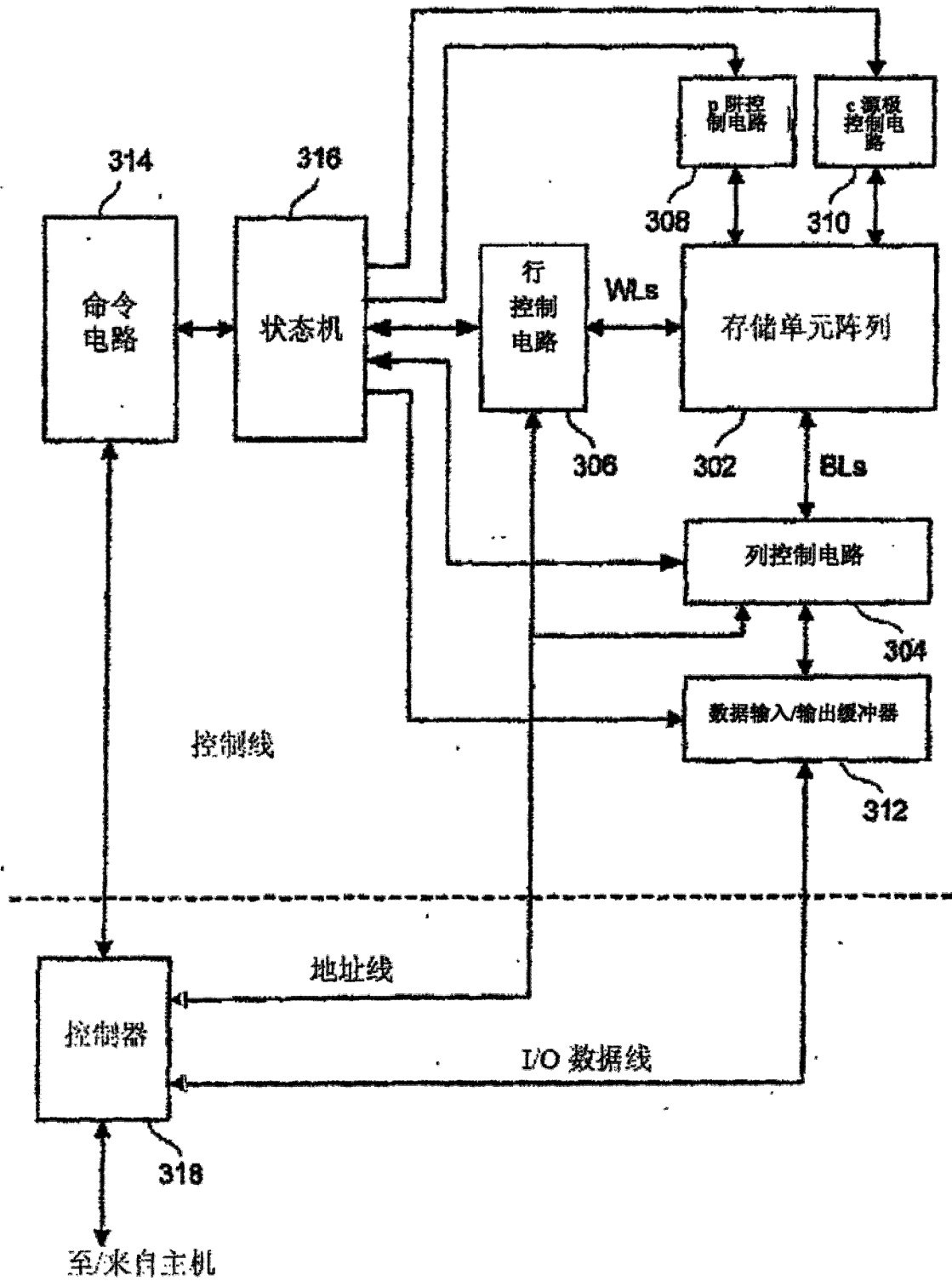


图 4

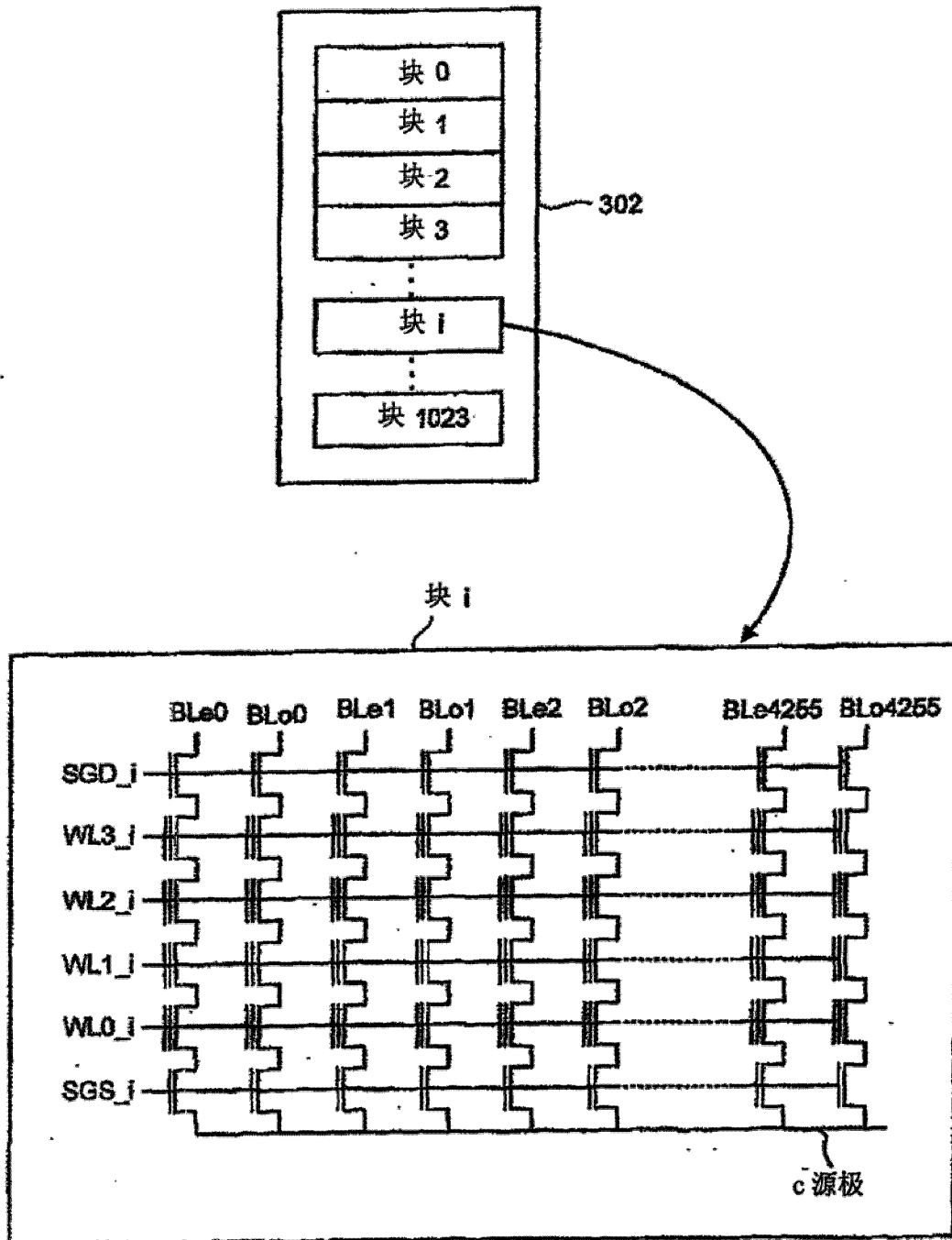


图 5

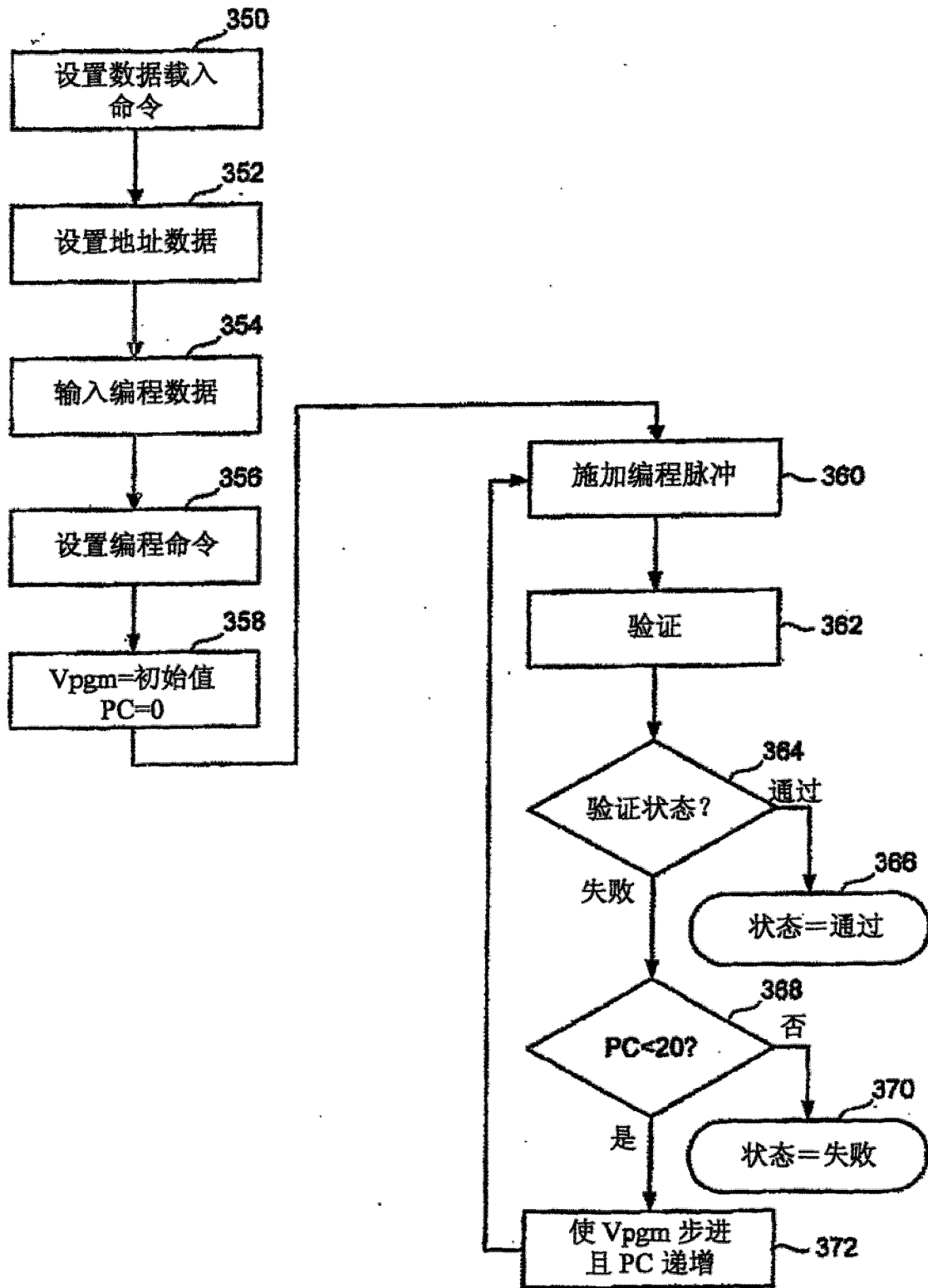


图 7

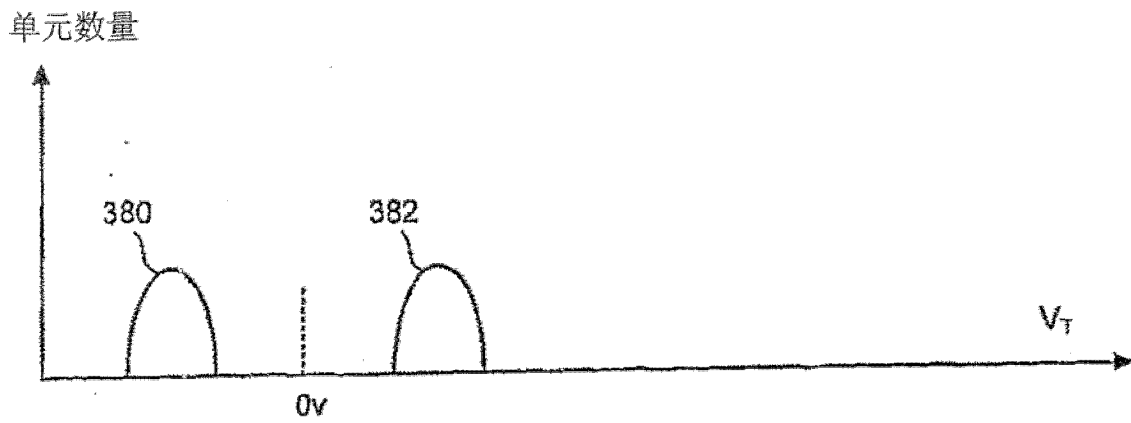


图 8

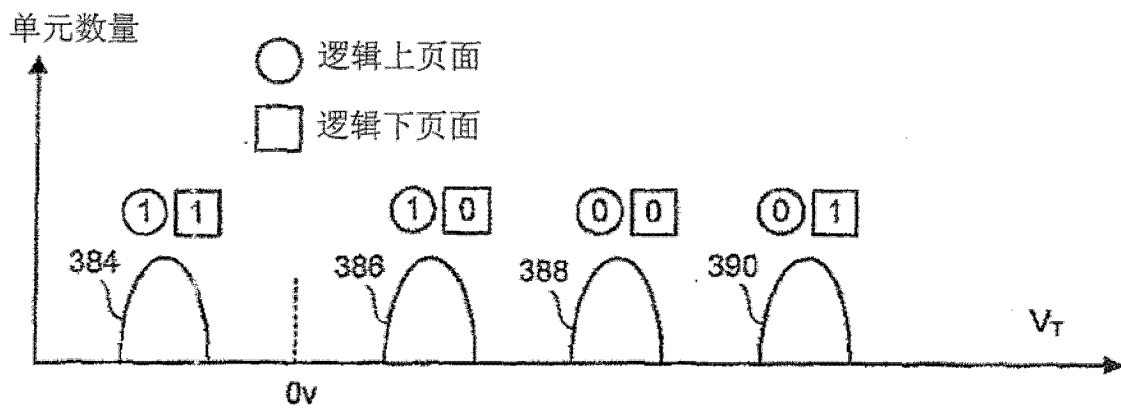


图 9

位线	浮动
SGD	浮动
WLn	0V
WLn-1	0V
.	0V
.	0V
WLi	0V
.	0V
.	0V
WL1	0V
WL0	0V
SGS	浮动
源极线	浮动
p 阱	Verase

图 10

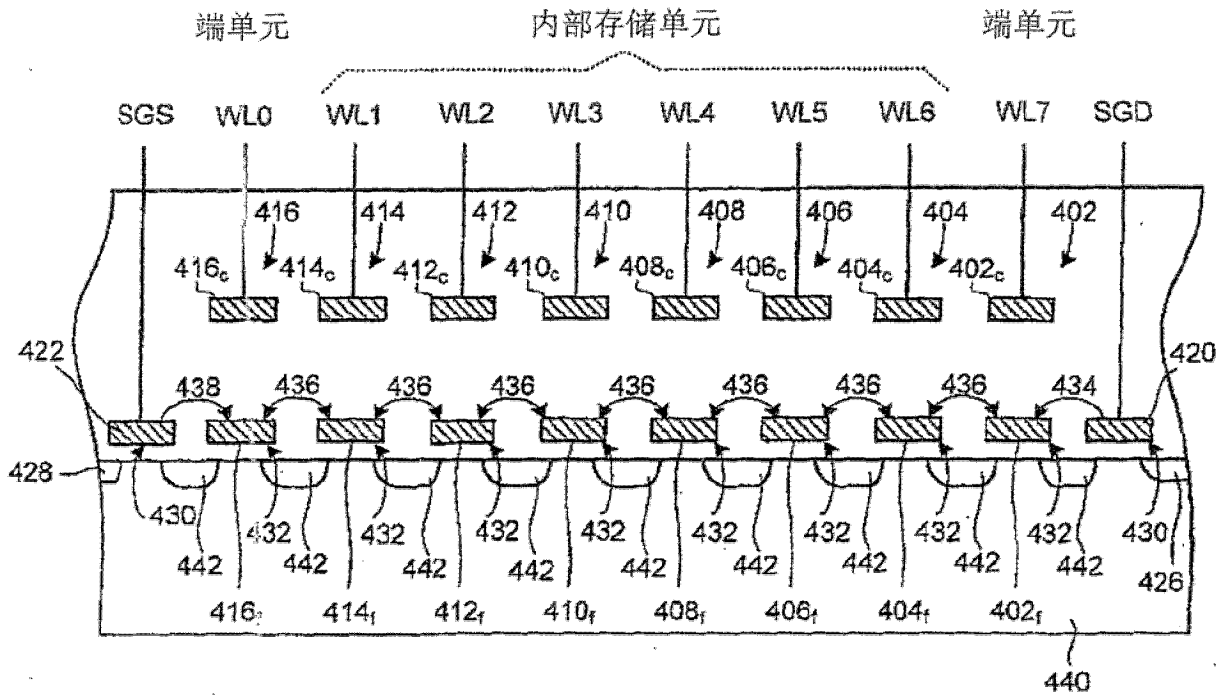


图 11

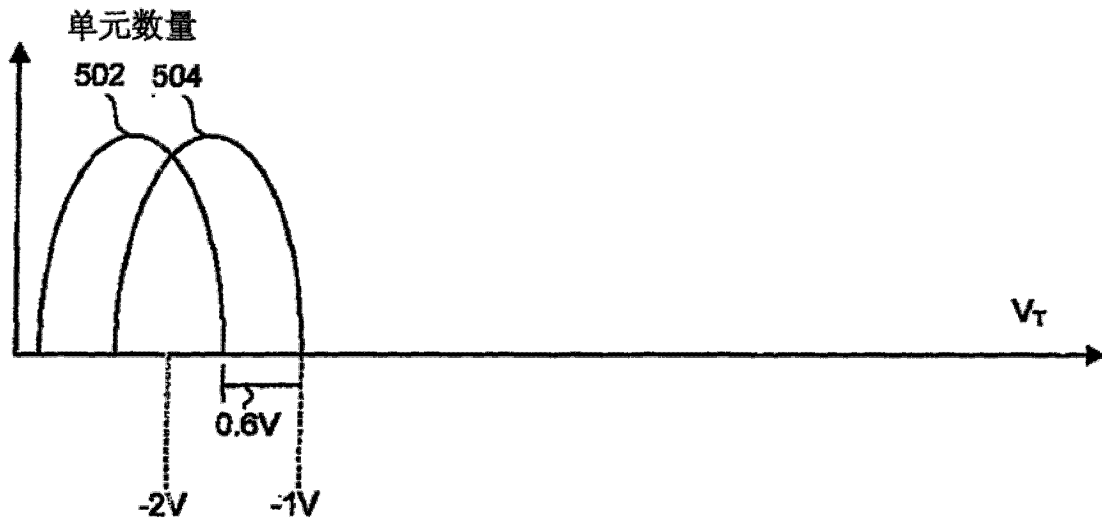


图 12

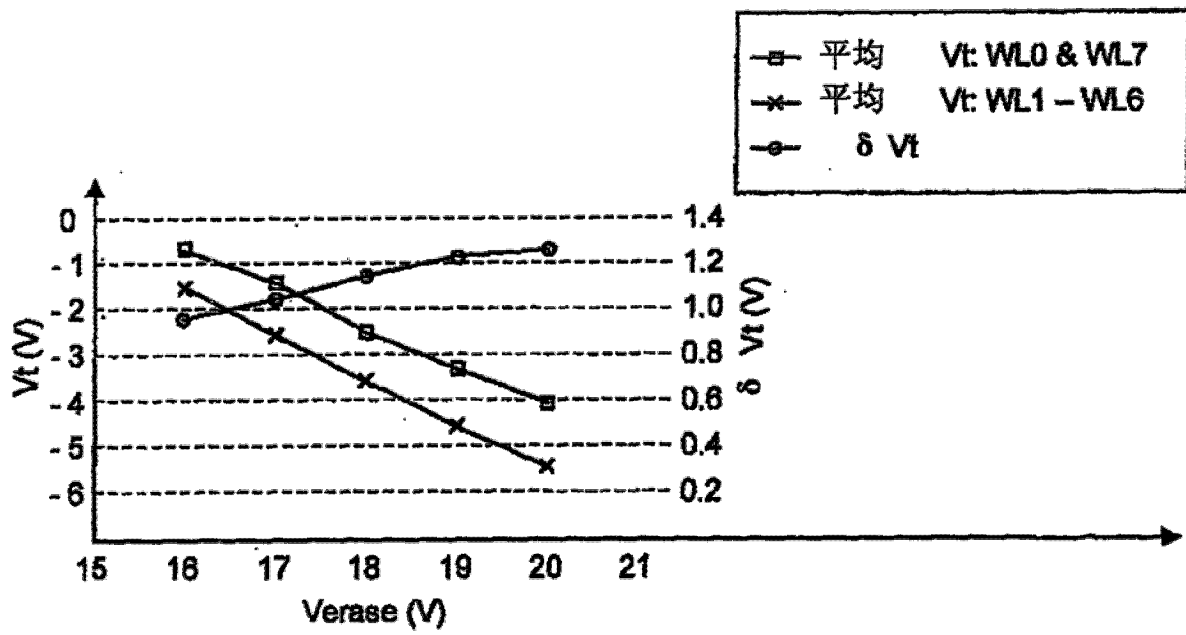


图 13

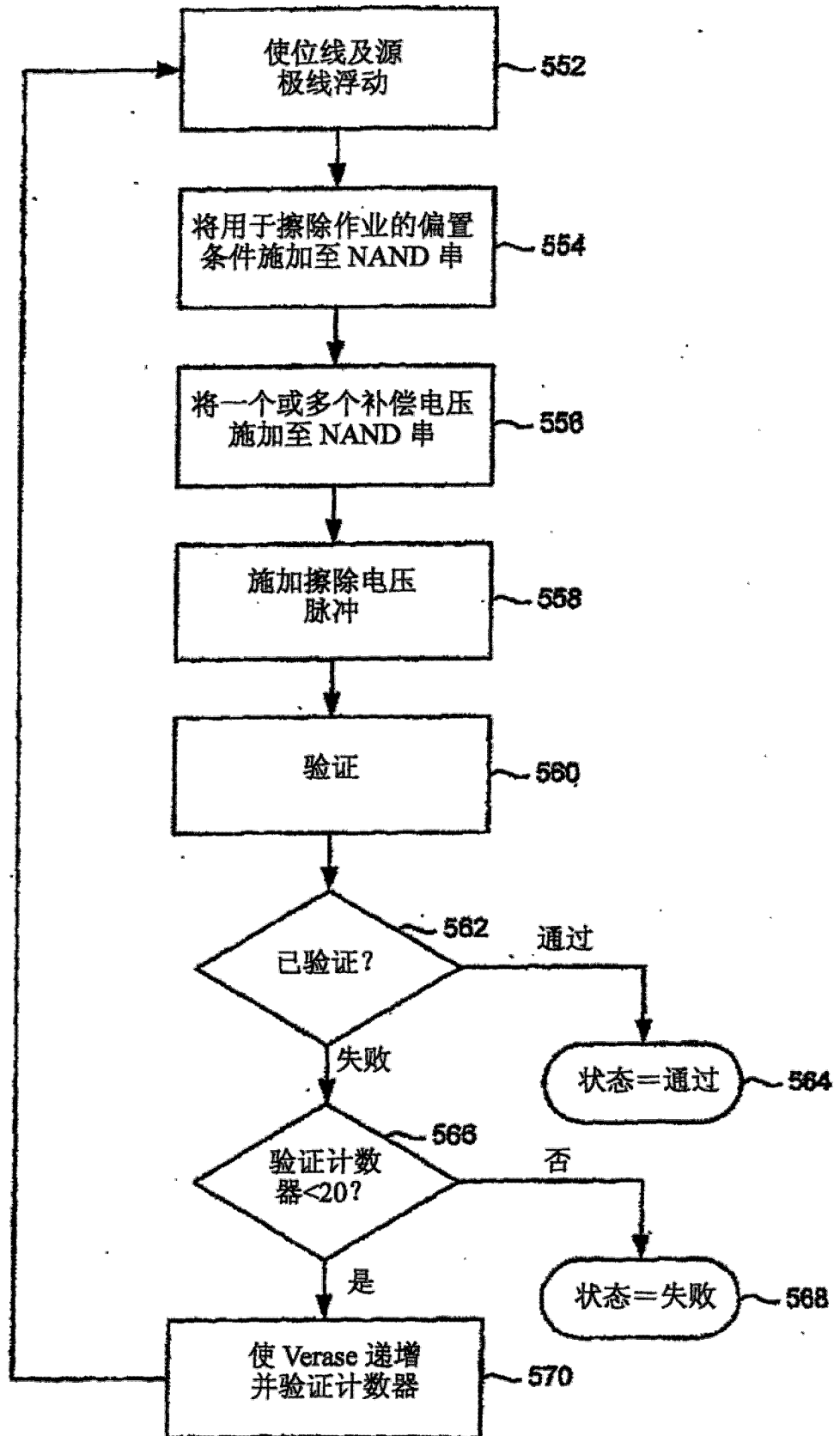


图 14

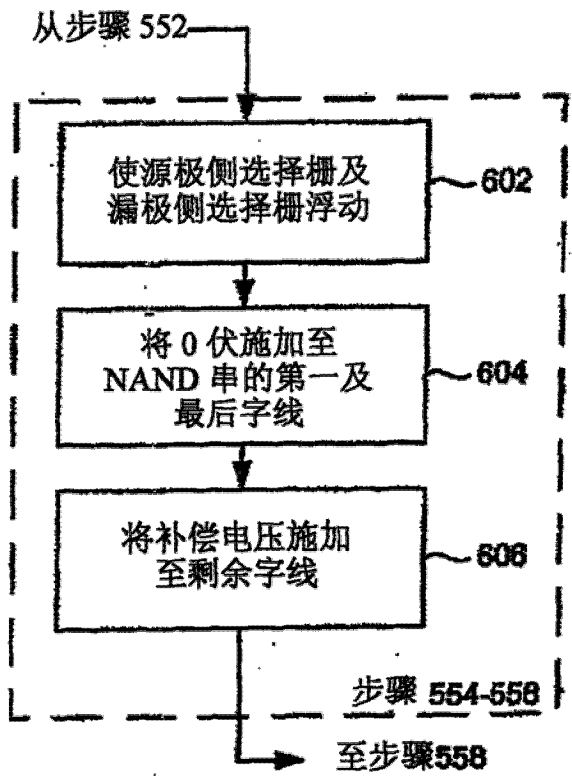


图 15a

位线	浮动
SGD	浮动
WLn	0V
WLn-1	Vcomp1
.	.
WL1	Vcomp1
.	.
WL1	Vcomp1
WLO	0V
SGS	浮动
源极线	浮动

600

图 15b

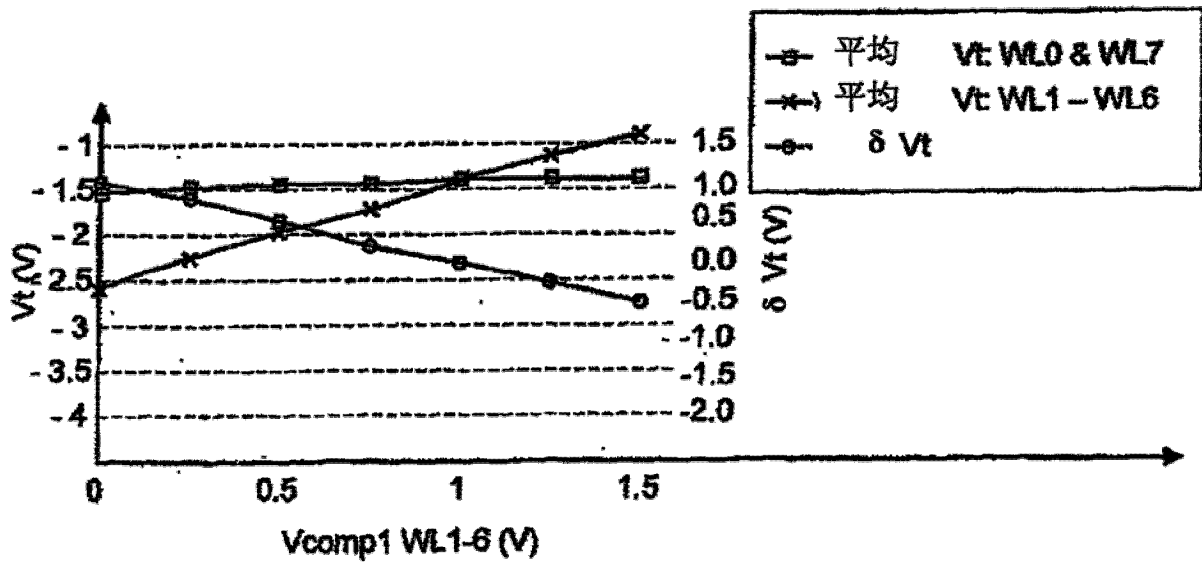


图 16

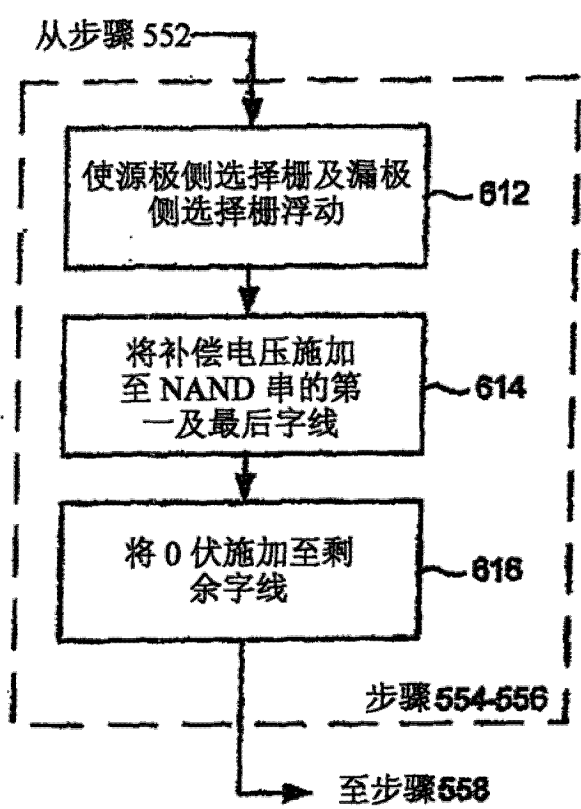


图 17a

位线	浮动
SGD	浮动
WLn	Vcomp2
WLn-1	0V
.	.
.	.
WLi	0V
.	.
.	.
WL1	0V
WL0	Vcomp2
SGS	浮动
源极线	浮动

图 17b

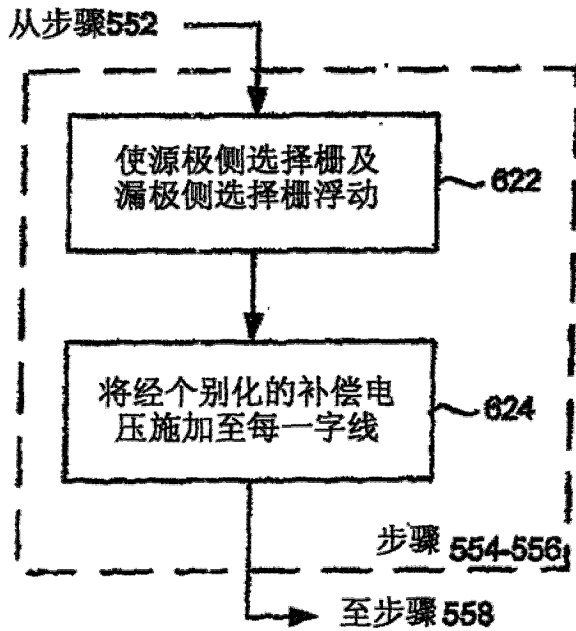


图 18a

位线	浮动
SGD	浮动
WLn	Vcomp_n
WLn-1	Vcomp_n-1
.	.
.	.
WLi	Vcomp_i
.	.
.	.
WL1	Vcomp_1
WL0	Vcomp_0
SGS	浮动
源极线	浮动

620

图 18b

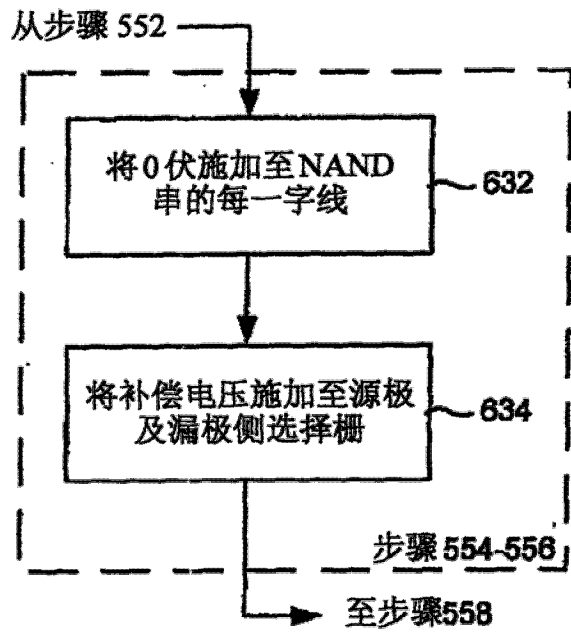


图 19a

630

位线	浮动
SGD	Vcomp4
WLn	0V
WLn-1	0V
.	.
.	.
WLi	0V
.	.
.	.
WL1	0V
WL0	0V
SGS	Vcomp4
源极线	浮动

图 19b