(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3995768号
(P3995768)
(45)発行日　平成19年10月24日(2007.10.24)　(24)登録日　平成19年8月10日(2007.8.10)

(51)Int.Cl.		F I		
H01L 21/66	(2006.01)	H01L	21/66	Z
G01B 11/30	(2006.01)	H01L	21/66	J
G01R 31/28	(2006.01)	G01B	11/30	A
G11C 29/44	(2006.01)	G01R	31/28	B
G01N 21/88	(2006.01)	G11C	29/00	655Z

請求項の数 11　(全 20 頁)　最終頁に続く

(21)出願番号　特願平9-269712
(22)出願日　平成9年10月2日(1997.10.2)
(65)公開番号　特開平11-111796
(43)公開日　平成11年4月23日(1999.4.23)
審査請求日　平成15年9月19日(2003.9.19)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(73)特許権者　591036505
株式会社ルネサスセミコンダクタエンジニアリング
兵庫県伊丹市瑞原４丁目１番地
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘

最終頁に続く

(54)【発明の名称】不良解析方法及びその装置

(57)【特許請求の範囲】

【請求項１】

（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、

（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、

（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから少なくとも１つ選択するステップと、

（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、

（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出し、当該領域を用いて前記半導体装置の解析を行うステップと、

を備えた、不良解析方法。

【請求項２】

前記ステップ（ｅ）は、

前記領域と、前記選択集合体を除いた前記ステップ（ｃ）で選択された集合体とを用いて前記半導体装置の解析を行う、請求項１記載の不良解析方法。

【請求項３】

集合体の大きさ、形状及び集合体に含まれる不良ビットの数に基づく値を条件とする不良モードが予め設定され、

前記ステップ（ｃ）は、
前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択する、請求項１及び請求項２のいずれか一つに記載の不良解析方法。
【請求項４】
前記不良モードは複数設定され、
前記ステップ（ｃ）は、複数の前記不良モードを予め設定された順で優先して認識し、認識された順で前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択する、請求項３記載の不良解析方法。
【請求項５】
前記不良モードは複数設定され、
前記ステップ（ｃ）は、
（ｃ－１）前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択するステップと、
（ｃ－２）前記ステップ（ｃ－１）で選択された集合体に対応する領域を前記第２不良マップから削除するステップと、
（ｃ－３）前記ステップ（ｃ－２）の後において、前記ステップ（ｃ－１）での前記不良モードと異なる前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択するステップと
を含む、請求項３記載の不良解析方法。
【請求項６】
前記ステップ（ｅ）は、
前記領域を複数の第２のブロックに区画し、当該複数の第２のブロックのそれぞれに含まれる不良ビットの数に基づく階調値を示す第３不良マップを生成し、当該第３不良マップを用いて前記半導体装置の解析を行う、請求項１及び請求項２のいずれか一つに記載の不良解析方法。
【請求項７】
前記ステップ（ｅ）は、前記第３不良マップ内のそれぞれの前記第２のブロックを当該第２のブロックの前記階調値に応じた模様や色によって表示する、請求項６記載の不良解析方法。
【請求項８】
前記ステップ（ｅ）の階調値は２種類である、請求項６記載の不良解析方法。
【請求項９】
（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、
（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、
（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから解析対象として少なくとも１つ選択するステップと、
（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、
（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出するステップと、
（ｆ）欠陥検査装置が検出した欠陥の座標と前記領域内の不良ビットの座標とを対比し、前記欠陥の座標を基準とする予め設定された範囲内に存在する不良ビットを検出し、当該不良ビットを前記欠陥によって発生したものであると判断するステップと、
を備えた、不良解析方法。

【請求項１０】
（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、
（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、
（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから解析対象として少なくとも１つ選択するステップと、
（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、
（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出するステップと、
（ｆ）欠陥検査装置が検出した欠陥の座標と前記領域内の不良ビットの座標とを対比し、前記不良ビットの座標を基準とする予め設定された範囲内に存在する欠陥を検出し、当該欠陥を前記不良ビットを生じさせた原因であると判断するステップと、
を備えた、不良解析方法。
【請求項１１】
半導体装置内の不良ビットの位置を示す第１不良マップを生成する第１不良マップ生成手段と、
前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成する第２不良マップ生成手段と、
少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから少なくとも１つ選択する選択手段と、
前記選択手段で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択する第２の選択手段と、
前記第１不良マップのうちの前記選択集合体に対応する領域を抽出し、当該領域を用いて前記半導体装置の解析を行う解析手段と、
を備えた、不良解析装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、複数のメモリセルを有するチップが複数形成された半導体ウェハの不良解析方法及びその装置に関し、特にフェイルビットマップ（以下「ＦＢＭ（Fail Bit Map）」と称す）を用いた不良解析方法及びその装置に関する。
【０００２】
【従来の技術】
複数のメモリセル（一般に行及び列のマトリックス状に配置されている）を有する半導体チップが複数形成された半導体ウェハの不良解析方法として、テスタ（「ＬＳＩテスタ」とも称される）を用いる方法が知られている。この方法は、半導体ウェハ内の全てのメモリセルに対して電気的特性に関するテストを行い、その結果、検出された不良を、行方向に沿ったＸ座標及び列方向に沿ったＹ座標で規定される座標空間内に、不良のメモリセル（ビット）の位置を示すフェイルビットマップ（以下、ＦＢＭと略称する）で表示し、不良の原因を推定する際に、このＦＢＭを用いる。不良のビットを不良ビットと称す。
【０００３】
しかしながら、ＦＢＭを用いて得られるものは、不良の位置と、そこで電気的異常現象に関する知見、すなわちどこで何（リーク／オープン／ショートなど）が起きているかという不良現象に関する知見であり、不良の原因が直接に示されるわけではない。したがって、製造や検査の現場で、不良の原因を推定するためには、ＦＢＭだけでは不十分であり、不良現象を引き起こす製造プロセス上の原因を明確にする必要がある。
【０００４】

このような考えに基づいて提案された方法として、特開平６－２７５６８８号公報に開示される方法が知られている。この方法では、複数の工程を有する製造ラインの各工程毎の、半導体ウェハの表面における異物、欠陥など（本明細書を通じて、不良原因となり得るこれらの以上を代表して「欠陥」と表現する）の物理的な検査結果が、欠陥検査装置を用いることによって得られる。同時に、製造ラインを通じて製造された半導体ウェハの中の各メモリセルに対して、電気的特性に関するテストがテスタを用いて行われる。そして、このテストの結果に基づいて得られるＦＢＭと、各工程ごとの欠陥の位置に関する物理的な検査結果とが照合され、それによって、不良原因が各製造工程中のどの工程で発生した欠陥に起因するものか否かが推定される。

【０００５】

上述のＦＢＭと検査結果との照合は、各工程毎に欠陥検査装置によって得られた欠陥の中で、ＦＢＭに属する各不良を中心とする所定の許容範囲の中に存在する欠陥を検索することによって行われる。そして、この許容範囲が適正な大きさであれば、その中に存在する欠陥が不良原因であると推定される。ＦＢＭの各不良について、その位置と欠陥検査装置によって得られた欠陥の位置とが近い程、不良原因である可能性が高いといえる。

【０００６】

ＦＢＭは、例えば解析対象の半導体ウェハ内のメモリセルアレイが１００×１００のメモリセルからなるとき、図３に示す通りである。図４は図３に示すＦＢＭの原点Ｏ付近の詳細図である。図４に示す黒い部分が不良ビットである。図３に示すＦＢＭのデータの数が非常に多いため、従来ではデータを圧縮したＦＢＭを用いて解析を行う。図５に図３に示すＦＢＭを圧縮したＦＢＭの例を示す。図５では、図３に示すＦＢＭがＸ方向に１０ビット、Ｙ方向に１０ビットのブロックに区画された場合である。不良ビットが含まれるブロックを不良ブロックと称す。図５内の黒い部分が不良ブロックである。

【０００７】

【発明が解決しようとする課題】

しかし、図５の原点Ｏ付近のように複数の不良ブロックが密集している場合、不良の原因となる正確な欠陥の座標を決定することができず、不良ブロックと欠陥との照合における信頼性が低いという問題点がある。

【０００８】

本発明は、これらの問題点を解決するためになされたものであり、精度の高い欠陥の座標を得るとともに、照合結果の精度、信頼性を高めることのできる不良解析方法及びその装置を得ることを目的とする。

【０００９】

【課題を解決するための手段】

本発明の請求項１に係る課題解決手段は、（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから少なくとも１つ選択するステップと、（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出し、当該領域を用いて前記半導体装置の解析を行うステップとを備える。

【００１０】

本発明の請求項２に係る課題解決手段は、前記ステップ（ｅ）は、前記領域と、前記選択集合体を除いた前記ステップ（ｃ）で選択された集合体とを用いて前記半導体装置の解析を行う。

【００１１】

本発明の請求項３に係る課題解決手段において、集合体の大きさ、形状及び集合体に含まれる不良ビットの数に基づく値を条件とする不良モードが予め設定され、前記ステップ（ｃ）は、前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前

記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択する。

【００１３】

本発明の請求項４に係る課題解決手段において、前記不良モードは複数設定され、前記ステップ（ｃ）は、複数の前記不良モードを予め設定された順で優先して認識し、認識された順で前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択する。

【００１４】

本発明の請求項５に係る課題解決手段において、前記不良モードは複数設定され、前記ステップ（ｃ）は、（ｃ－１）前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択するステップと、（ｃ－２）前記ステップ（ｃ－１）で選択された集合体に対応する領域を前記第２不良マップから削除するステップと、（ｃ－３）前記ステップ（ｃ－２）の後において、前記ステップ（ｃ－１）での前記不良モードと異なる前記不良モードに該当する少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから認識し、当該認識された集合体を前記第２不良マップから選択するステップとを含む。

【００１５】

本発明の請求項６に係る課題解決手段において、前記ステップ（ｅ）は、前記領域を複数の第２のブロックに区画し、当該複数の第２のブロックのそれぞれに含まれる不良ビットの数に基づく階調値を示す第３不良マップを生成し、当該第３不良マップを用いて前記半導体装置の解析を行う。

【００１６】

本発明の請求項７に係る課題解決手段において、前記ステップ（ｅ）は、前記第３不良マップ内のそれぞれの前記第２のブロックを当該第２のブロックの前記階調値に応じた模様や色によって表示する。

【００１７】

本発明の請求項８に係る課題解決手段において、前記ステップ（ｅ）の階調値は２種類である。

【００２４】

本発明の請求項９に係る課題解決手段において、（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから解析対象として少なくとも１つ選択するステップと、（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出するステップと、（ｆ）欠陥検査装置が検出した欠陥の座標と前記領域内の不良ビットの座標とを対比し、前記欠陥の座標を基準とする予め設定された範囲内に存在する不良ビットを検出し、当該不良ビットを前記欠陥によって発生したものであると判断するステップとを備える。

【００２５】

本発明の請求項１０に係る課題解決手段において、（ａ）半導体装置内の不良ビットの位置を示す第１不良マップを生成するステップと、（ｂ）前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成するステップと、（ｃ）少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから解析対象として少なくとも１つ選択するステップと、（ｄ）前記ステップ（ｃ）で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択するステップと、（ｅ）前記第１不良マップのうちの前記選択集合体に対応する領域を抽出するステップと、（ｆ）欠陥検査装置が検出した欠陥の座標と前記領域内の不良ビットの座標とを対比し、前記不良ビットの座標を基準とする予め設定

された範囲内に存在する欠陥を検出し、当該欠陥を前記不良ビットを生じさせた原因であると判断するステップとを備える。

【００２６】

本発明の請求項１１に係る課題解決手段は、半導体装置内の不良ビットの位置を示す第１不良マップを生成する第１不良マップ生成手段と、前記第１不良マップをそれぞれが複数のビットを含む複数のブロックに区画し、前記第１不良マップ内の不良ブロックの位置を示す第２不良マップを生成する第２不良マップ生成手段と、少なくとも１つの前記ブロックからなる集合体を前記第２不良マップから少なくとも１つ選択する選択手段と、前記選択手段で選択された集合体から、詳細な解析対象とする集合体を選択集合体として選択する第２の選択手段と、前記第１不良マップのうちの前記選択集合体に対応する領域を抽出し、当該領域を用いて前記半導体装置の解析を行う解析手段とを備える。

【００２７】

【発明の実施の形態】

実施の形態１．

図１は本発明の不良解析装置の構成図である。図１において、１ａは半導体ウェハ上に形成された集積回路等の半導体装置内の全てのメモリセルに対して電気的特性に関するテストを行うＬＳＩテスタ、１ｂは半導体ウェハの表面における欠陥及びこの位置を検出する欠陥検査装置、２はＬＳＩテスタ１ａが出力するテスト結果及び欠陥検査装置１ｂが出力する検査結果を受け、これらの結果に基づいて不良に関わる半導体装置の解析を行うデータ解析用ＥＷＳ（Engineering Work Station）である。データ解析用ＥＷＳ２において、２１はデータ解析用ＥＷＳ本体、２２はディスプレイ等の表示装置、２３はマウス、２４はキーボード、ＤＢ１はデータベースである。

【００２８】

図２は本発明の実施の形態１における不良解析方法を示すフローチャートである。図２に示す不良解析方法のアルゴリズムを有するプログラムをデータ解析用ＥＷＳ２に与えることによって、データ解析用ＥＷＳ２は図２のステップＳ１～ステップＳ６のそれぞれの処理を行う機能手段を有する。すなわち、Ｓ１は第１不良マップ生成手段、Ｓ２は第２不良マップ生成手段、Ｓ３は不良モード認識手段、Ｓ４は選択手段、Ｓ５は詳細認識手段（解析手段）、Ｓ６は出力手段に相当する。

【００２９】

まず、データ解析用ＥＷＳ本体２１はテスト結果に基づいて不良のメモリセル（ビット）の位置を示すＦＢＭを表すデータを生成する（ステップＳ１）。ステップＳ１で生成したＦＢＭを第１不良マップと称す。

【００３０】

このＦＢＭは、例えば解析対象の半導体ウェハ内のメモリセルアレイが１００×１００のメモリセルからなるとき、図３に示す通りである。図４は図３に示すＦＢＭの原点Ｏ付近の詳細図である。図４に示す黒い部分が不良ビットである。以下、この例を用いて説明する。

【００３１】

次に、ステップＳ１で生成した第１不良マップをＸ方向にｍ１ビット、Ｙ方向にｎ１ビットのブロックに区画し、不良ビットが含まれるブロックの位置を示す第２不良マップを生成する（ステップＳ２）。

【００３２】

この第２不良マップの例を図５に示す。図５では、図３に示す第１不良マップがＸ方向に１０ビット、Ｙ方向に１０ビットのブロックに区画された場合である。図５内の黒い部分が不良ブロックである。また、データ解析用ＥＷＳ本体２１はブロック内の不良率を算出して管理する。なお、不良率とはある領域内の不良の割合であり、例えばブロック内の不良率は、ブロック内の不良率＝ブロック内の不良ビットの総数／ブロック内のビットの総数である。

【００３３】

第１不良マップを構成するビット、第２不良マップを構成するブロックのように不良マップを構成する要素を総称して構成要素と称し、不良の構成要素を不良構成要素と称す。

【００３４】

図３の第１不良マップの構成要素の総数は１００００個であり、図５の第２不良マップの構成要素の総数は１００個である。このように、第１不良マップを第２不良マップに変換することによって、データの数を少なくすることができる。このようなデータの圧縮を縮退と称す。

【００３５】

次に、データ解析用ＥＷＳ本体２１は、予め設定された不良モードに該当する構成要素の集合体を第２不良マップ内から認識し、この認識結果を不良モード毎に分類する（ステップＳ３）。

【００３６】

このステップＳ３の詳細を図５～図１４を用いて説明する。図５の第２不良マップから認識して分類された集合体を図１０～図１３に示す。

【００３７】

図１０は１.６ｋビットブロック不良の不良モードに該当する構成要素の集合体ＦＢ１６を示す。図１１は１００ビットＹライン不良の不良モードに該当する構成要素の集合体ＦＬＹ１００を示す。図１２は５０ビットＹライン不良の不良モードに該当する構成要素の集合体ＦＬＹ５０を示す。図１３はビット不良の不良モードに該当する構成要素の集合体ＦＢ１を示す。図１４はどの不良モードにも属さなかった残りの不良構成要素の集合体ＦＵを示す。

【００３８】

ブロック不良にはＸ方向及びＹ方向にそれぞれ複数の構成要素の塊である集合体が該当する。ライン不良にはＸ方向あるいはＹ方向の直線上に並んだ複数の構成要素からなる集合体が該当する。ビット不良には独立した１つの構成要素のみからなる集合体が該当する。このような集合体の形状を総称して不良形状と称す。

【００３９】

この不良モード認識方法は、次のようにして行う。不良モードは認識ルールによって定義される。認識ルールは集合体の大きさ、形状、及び集合体に含まれる不良ビットの数に基づく値を条件として含む。認識ルールの例を次に示す。

【００４０】

１.６Ｋビットブロック不良｛ｓｉｚｅ＝４×４；ａｃｃｅｐｔｅｄｒａｔｅ＝８０％｝，１００ビットＹライン不良｛ｓｉｚｅ＝１×１０；ａｃｃｅｐｔｅｄｒａｔｅ＝７０％｝，５０ビットＹライン不良｛ｓｉｚｅ＝１×５；ａｃｃｅｐｔｅｄｒａｔｅ＝８０％｝，ビット不良｛ｓｉｚｅ＝１×５；ａｃｃｅｐｔｅｄｒａｔｅ＝１００％｝，Ｕｎｋｎｏｗｎ｛｝。

【００４１】

ｓｉｚｅ（Ｘ方向の構成要素×Ｙ方向の構成要素）は集合体の大きさ、形状を示し、ａｃｃｅｐｔｅｄｒａｔｅは不良率、すなわち、不良ビットの数に基づく値を示す。

【００４２】

図６は不良モード認識方法のアルゴリズムを示すフローチャートである。データ解析用ＥＷＳ本体２１は第１番目の認識ルールを読み込む（ステップＳ３１）。ステップＳ３３～ステップＳ３８では、図７に示すようにスキャン対象の構成要素にスキャンエリアＳＡを移動させながら（ステップＳ３３）、このスキャンエリア内のブロックと認識ルールとのマッチング検査を行う（ステップＳ３４）。このマッチング検査は、スキャンエリア内の不良率とａｃｃｅｐｔｅｄｒａｔｅとを比較し、スキャンエリア内の不良率がａｃｃｅｐｔｅｄｒａｔｅ以上であればスキャンエリア内の構成要素の集合体が第１番目の認識ルールの不良モードに該当する（ステップＳ３５）。

【００４３】

不良モードに該当する構成要素の集合体は、この座標及び不良モードの名称とともにデー

タベースＤＢ１内に登録される（ステップＳ３７）。スキャン対象の全領域にスキャンエリアが移動すると（ステップＳ３８）、ステップＳ３１に戻る。

【００４４】

このようにして、ステップＳ３１～ステップＳ３８を繰り返す。ステップＳ３１において、読み込むべき認識ルールがない場合、ステップＳ３の処理は終了する（ステップＳ３２）。

【００４５】

なお、ステップＳ３７では認識された構成要素の集合体をスキャン対象から除外する。例えば、１００ビットＹライン不良の認識ルールが読み込まれた時点でのスキャン対象は図８に示すように破線で示した領域を除いた領域であり、５０ビットＹライン不良の認識ルールが読み込まれた時点でのスキャン対象は図９に示すように破線で示した領域を除いた領域である。これによって、一度認識された不良モードに該当する構成要素の集合体をスキャン対象から除外することによって、同じ集合体が二重に認識されることを防ぐ。例えば、図５ではＹ方向に５つの不良構成要素の集合体が２箇所あるが、一方は図１１に示す１００ビットＹライン不良の一部として認識され、他方は図１２に示す５０ビットＹライン不良として認識される。このように、複数の不良モードを予め設定された順で優先して認識する。

【００４６】

以上の認識ルールは不良形状が大きい順に配置することによって、大きな不良形状の不良モードを優先的に認識した。小さな不良形状の不良モードを優先的に認識したいときは、不良形状の小さい不良モードの順に配置すればよい。また、ビット不良の不良モードを優先的に認識したいときは、ビット不良の不良モードを先頭に配置すればよい。ライン不良の不良モードを優先的に認識したいときは、ライン不良の不良モードを先頭に配置すればよい。ビット不良の不良モードを先頭に配置することによって、例えばブロック不良の不良モードを先頭に配置したときに認識できなかったブロック不良内に含まれるビット不良を認識することができる。

【００４７】

なお、図５及び図１１を対比して分かるように、集合体ＦＬＹ１００のうちの２つの構成要素は不良構成要素でない。これは、不良率によって不良モードに該当する集合体を認識しているためである。

【００４８】

また、Ｕｎｋｏｗｎの認識ルールに対しては残りのスキャン対象内の不良構成要素がＵｎｋｏｗｎの不良モードとして認識される。

【００４９】

オペレータは詳細に解析したい不良モードをデータ解析用ＥＷＳ本体２１に選択不良モードとして予め設定しておく。データ解析用ＥＷＳ本体２１は選択不良モードに該当する集合体を選択集合体として選択する（ステップＳ４）。例えば選択不良モードが１００ビットＹライン不良であるとき、選択集合体は図１１に示す集合体ＦＬＹ１００である。

【００５０】

データ解析用ＥＷＳ本体２１は選択集合体に対応する領域を第１不良マップから抽出領域として抽出する。例えば集合体ＦＬＹ１００に対応する抽出領域は図３に示すＸ座標が８９～９９、Ｙ座標が０～９９の領域である。そして、データ解析用ＥＷＳ本体２１は選択不良モードについてはこの抽出領域を用いて半導体装置の不良に関わる解析を行う（ステップＳ５）。

【００５１】

なお、データ解析用ＥＷＳ本体２１は選択不良モードでない不良モードについてはステップＳ３において第２不良マップを用いて解析を行う。

【００５２】

そして、データ解析用ＥＷＳ本体２１は、ステップＳ４及びステップＳ５の処理の結果を表示装置２２に表示する（ステップＳ６）。

【００５３】
なお、実施の形態１のＳ５では、従来の方法を用いて不良形状を認識する。この方法は、不良形状を読み込み（図１５のステップＳ５１）、抽出領域から読み込んだ不良形状に該当する不良構成要素を認識する（ステップＳ５３）。不良形状を全て読み込んだとき終了する（ステップＳ５１）。
【００５４】
例えば集合体ＦＬＹ１００に対応する抽出領域が図１６に示すような不良構成要素（ここでは不良ビット）を有するとき、不良形状として１本線状のライン不良ＦＬＹ１、破線状のライン不良ＦＬＹ２、２本線状のライン不良ＦＬＹ３、３本線状のライン不良ＦＬＹ４が認識される。第２不良マップでは集合体ＦＬＹ１００が単に１本線状のライン不良としか認識できないが、抽出領域では不良形状ＦＬＹ１００が複数のライン不良からなると認識できる。このように、データ解析用ＥＷＳ本体２１は選択不良モードについては抽出領域を用いることによって詳細に認識することができる。
【００５５】
実施の形態１による効果は次の通りである。すなわち、仮に第２不良マップを用いずに第１不良マップのみを用いて解析すれば、詳細に解析することができるが、解析対象のデータの数が多くなる。一方、第２不良マップを用いて解析すればデータの数が少なくなるが、詳細に解析することが困難になる。そこで、詳細に解析したい不良モードについては抽出領域を用いることによって、解析対象のデータの数を抑えながら詳細に解析することが可能になる。
【００５６】
実施の形態２.
実施の形態１のステップＳ５では、抽出領域からライン不良等の不良形状を認識した。実施の形態２のステップＳ５では、ステップＳ３と同様なアルゴリズムによって抽出領域から不良モードを認識する。実施の形態２のその他は実施の形態１と同様である。
【００５７】
　ステップＳ５における不良モードの認識方法は実施の形態１で説明したものと同様である。なお、ステップＳ３で用いられる不良モードとステップＳ５で用いられる不良モードとは異なっていてもよい。
【００５８】
ステップＳ５で用いられる不良モードに対応する認識ルールを次に示す。
【００５９】
ビット不良｛ｓｉｚｅ＝１×１；ａｃｃｅｐｔｅｄｒａｔｅ＝１００％｝，ビット不良｛ｓｉｚｅ＝１×２；ａｃｃｅｐｔｅｄｒａｔｅ＝１００％｝，ビット不良｛ｓｉｚｅ＝２×１；ａｃｃｅｐｔｅｄｒａｔｅ＝１００％｝。
【００６０】
実施の形態２のステップＳ５によって、抽出領域内に存在する不良モードが認識される。例えば、抽出領域が図１７に示すものであるとき、この抽出領域から認識して分類されたビット不良の不良モードに該当する集合体を図１８に示す。
【００６１】
なお、ａｃｃｅｐｔｅｄｒａｔｅが１００％の場合は、サーチエリアより大きい不良構成要素のみからなる集合体はスキャン対象から除外されることによって、独立したビット不良が認識できる。
【００６２】
実施の形態２による効果は次の通りである。すなわち、ステップＳ５において抽出領域の構成要素の認識に対して用いるアルゴリズムとして、ステップＳ３において第２不良マップの構成要素の認識に対して用いた不良モードの認識方法を用いることによってプログラムを簡略化することができる。
【００６３】
実施の形態３.

実施の形態１のステップＳ５では、抽出領域からライン不良等の不良形状を認識した。実施の形態３のステップＳ５では、ステップＳ３と同様な方法によって抽出領域から不良モードを認識する。実施の形態３のその他は実施の形態１と同様である。

【００６４】

ステップＳ５における不良モードの認識方法は実施の形態１で説明したものと同様である。但し、実施の形態２における不良モードにはステップＳ３で用いられる不良モードとステップＳ５で用いられる不良モードとが含まれる。

【００６５】

ステップＳ５で用いられる不良モードに対応する認識ルールを次に示す。

【００６６】

４０ビットライン不良｛ｓｉｚｅ＝４０×１；ａｃｃｅｐｔｅｄｒａｔｅ＝７５％｝。

【００６７】

実施の形態３のステップＳ５によって、抽出領域内に存在する不良モードが認識される。例えば、抽出領域が図１７に示すものであるとき、この抽出領域から認識して分類されたライン不良に該当する不良モードに該当する集合体を図１９に示す。

【００６８】

実施の形態３による効果は次の通りである。すなわち、ステップＳ５において抽出領域の構成要素の認識に対して用いるアルゴリズムとして、ステップＳ３において第２不良マップの構成要素の認識に対して用いた不良モードの認識方法を用いることによってプログラムを簡略化することができる。

【００６９】

また、ステップＳ５で用いる認識ルール内の不良モードはステップＳ３で用いる認識ルール内の不良モードのうち、不良の直接の原因とはならない不良モードが削除されていることによって、不良の直接の原因となる不良モードのみを認識することができる。例えば、上述のようにステップＳ５で用いる認識ルール内の不良モードはビット不良やブロック不良を削除し、ライン不良のみであることによって、不良の直接の原因となるライン不良のみを認識することができる。

【００７０】

実施の形態４.

実施の形態１のステップＳ５では、抽出領域からライン不良等の不良形状を認識した。実施の形態４のステップＳ５では、抽出領域から第３不良マップを作成する。実施の形態４のその他は実施の形態１と同様である。

【００７１】

実施の形態４におけるステップＳ５は、次の通りである。まず、データ解析用ＥＷＳ本体２１は選択集合体に対応する領域を第１不良マップから抽出領域として抽出する。そして抽出領域をＸ方向にｍ２ビット、Ｙ方向にｎ２ビットのブロックに区画し、データ解析用ＥＷＳ本体２１は各ブロックの不良ビットの数に基づく階調値を算出する。そして、データ解析用ＥＷＳ本体２１は各ブロック内の階調値を示す第３不良マップを生成する。

【００７２】

この第３不良マップの例を図２０に示す。図２０では、図１７に示す抽出領域がＸ方向に５ビット、Ｙ方向に５ビットのブロックに区画された場合である。図２０内の各ブロックの数字は各ブロックの階調値である。この例では階調値はブロック内の不良のメモリセルの数と等しい。このように、各ブロックを不良のメモリの数に基づいていくつかの段階（図２０では２５段階）で階調化して認識する。

【００７３】

実施の形態４による効果は次の通りである。すなわち、抽出領域を第３不良マップに変換することによって、データの数が少なくなり、抽出領域を処理する時間を短縮できる。

【００７４】

実施の形態５.

実施の形態５は実施の形態４において生成した第３不良マップの表示に関する。

【００７５】
図２１は実施の形態５のステップＳ５の詳細を示すフローチャートである。まず、実施の形態４と同様に第３不良マップを生成する（図２１のステップＳ５３１）。そして、この第３不良マップの各ブロックの階調値を視覚的に区別できるように、階調値に応じた色あるいは模様又はこれらの組み合わせ等によって表示装置２２に表示する（ステップＳ５３２）。
【００７６】
例えば第３不良マップが図２０のとき、図２２に示すように各ブロックを色によって区別して表示する。図２２は各ブロックの階調値を３段階（不良のメモリセルの数が０～１０個、１１～２０個、２１～２５個）に分けて色別して表示した例を示す。各ブロックの色は不良のメモリセルの数が多いほど濃くなるようにする。
【００７７】
本実施の形態５による効果は次の通りである。すなわち、各ブロックの不良のメモリセルの数を視覚的に区別できるように表示することで、オペレータは迅速、容易に不良の原因を解析できる。
【００７８】
実施の形態６.
実施の形態６は実施の形態４あるいは５の段階の数を２にしたものである。
【００７９】
抽出領域が図１７のときの２段階に色別して表示した第３不良マップの例を図２３に示す。図２３の黒いブロックは不良のメモリセルの数が予め設定された閾値（２１）以上のブロックであり、一方、白いブロックは不良のメモリセルの数が閾値未満のブロックである。このように、第３不良マップ内のそれぞれのブロックの階調値はブロック内の不良ビットの数が予め設定された閾値より大きいか否かに応じた２種類である。
【００８０】
実施の形態６による効果は次の通りである。すなわち、予め設定された閾値に基づいてブロックを２段階で階調化することによって不良のブロックを顕在化できる。
【００８１】
実施の形態７.
実施の形態７は、ステップＳ３と同様な方法によって実施の形態６で２階調化された第３不良マップから不良モードを認識する。図２４は実施の形態７のステップＳ５の詳細を示すフローチャートである。図２４中のステップＳ５３１１は実施の形態６で説明した２階調化を行う処理であり、ステップＳ５３３は２階調化された第３不良マップから不良モードを認識する処理であり、ステップＳ５３１、ステップＳ５３２のそれぞれは図２１におけるそれらに対応している。ステップＳ５３３における不良モードの認識方法は実施の形態１で説明したものと同様である。なお、ステップＳ３で用いられる不良モードとステップＳ５３３で用いられる不良モードとは異なっていてもよい。
【００８２】
本実施の形態７による効果は次の通りである。すなわち、第３不良マップを２段階で階調化することによって、第３不良マップの不良モードを認識することができる。
【００８３】
実施の形態８.
実施の形態８では、図２のステップＳ５における抽出領域を用いた解析の結果とこの抽出領域に対応するステップＳ３で認識された不良モード名称とを合わせて管理することによって、解析結果に不良モード名称を属性情報として付加する。
【００８４】
例えばステップＳ５における抽出領域が図１７のとき、この抽出領域を用いた解析の結果は、ステップＳ３で認識された１.６Ｋビットブロック不良と合わせて管理される。
【００８５】
実施の形態８による効果は次の通りである。すなわち、抽出領域を用いた解析の結果とス

テップＳ３で認識された不良モード名称とを合わせて管理することによって、この抽出領域が第２不良マップのどの不良モードに属するものであるかを管理することを容易に行うことができる。図２５及び図２６に解析の結果の表示例を示す。図２５と図２６とを比較して分かるように、縮退認識モードの欄にデータの属性情報を表示することによって、不良モードの欄における表示が抽出領域の不良モードであるか第２不良マップの不良モードであるかが明確になる。

【００８６】

実施の形態９.

図２７は本発明の実施の形態９における不良解析装置の構成図である。この不良解析装置は図１の不良解析装置にデータベースＤＢ２を加えたものである。

【００８７】

図２８は本発明の実施の形態９における不良解析方法を示すフローチャートである。ステップＳ６１では、ステップＳ３において認識した結果を表示し、ステップＳ７１では、この結果をデータベースＤＢ１に格納して管理する。一方、ステップＳ６２では、ステップＳ５において認識した結果を表示し、ステップＳ７２では、この結果をデータベースＤＢ２に格納して管理する。その他のステップは、図２のそれらと同様である。

【００８８】

すなわち、データベースＤＢ２によって、抽出領域を用いた解析の結果が管理され、データベースＤＢ１によって、第２不良マップを用いた解析の結果が管理される。

【００８９】

実施の形態９による効果は次の通りである。すなわち、抽出領域を用いた解析の結果と第２不良マップを用いた解析の結果を別々に管理することによって、データの管理に関わる処理負荷を軽減し、処理速度を上げることができる。

【００９０】

実施の形態１０.

図２９は本発明の実施の形態１０における不良解析方法を示すフローチャートである。ステップＳ６では、ステップＳ３あるいはステップＳ５において認識した結果を表示し、ステップＳ７では、これらの結果をデータベースＤＢ１に格納して管理する。その他のステップは、図２のそれらと同様である。

【００９１】

すなわち、データベースＤＢ１によって、抽出領域を用いた解析の結果と第２不良マップを用いた解析の結果とが管理される。

【００９２】

実施の形態１０による効果は次の通りである。すなわち、抽出領域を用いた解析の結果と第２不良マップを用いた解析の結果とを１つのデータベースＤＢ１で管理することによって、解析の結果を管理しやすくなる。特に、抽出領域がブロック不良のときであってステップＳ５で認識されたこの抽出領域内の不良モードがライン不良やビット不良のような不良の原因が解析し易い場合、１つのデータベースＤＢ１にアクセスするだけで、不良の原因の解析の際に有効な情報が得られる。

【００９３】

実施の形態１１.

図１４に示したように、どの不良モードにも属さなかった残りの不良構成要素の集合体ＦＵが存在する場合がある。そこで、実施の形態１１では、オペレータが認識結果を改訂したい場合（図３０のステップＳ８）、オペレータがこの集合体ＦＵを指定して入力し、さらに不良モード名称を入力する（ステップＳ９）。改訂した後、改定後の認識の結果を含めて、ステップＳ３あるいはステップＳ５において認識した結果をデータベースＤＢ１に格納して管理する（ステップＳ７）。

【００９４】

ステップＳ５では、例えば、図３１に示すように、オペレータがキーボード２４から座標（Ｘ１、Ｙ１）と（Ｘ２、Ｙ１）を与えることによって、集合体ＦＵのうちＸ方向のライ

ン不良を入力し、さらに不良モード名称として”３００ビットＸライン不良”を入力する。図３２は改定後の認識の結果の表示例を示す。

【００９５】

実施の形態１１による効果は次の通りである。すなわち、どの不良モードにも属さなかった残りの不良構成要素を入力して不良モードを入力することによって、解析の結果を正確に把握することができる。

【００９６】

実施の形態１２.

実施の形態１１ではキーボード２４を用いて不良構成要素を入力したが、実施の形態１２では、マウス２３等のポインティングデバイスを用いて不良構成要素を指定して入力する。例えば図３３に示すように表示装置２２に第２不良マップを表示し、オペレータがカーソル２３１をマウスで動かして不良ブロックを指定して入力する。これによって不良構成要素の認識の結果の入力が迅速、容易になる。

【００９７】

実施の形態１３.

従来では、ブロック不良の場合は正確な欠陥位置座標を決定することができないため、不良ブロックと欠陥との照合は行っていなかった。

【００９８】

実施の形態１３では、ステップＳ５において欠陥検査装置１ｂが検出した欠陥の座標と抽出領域内の不良ビットの座標とを対比し、欠陥の座標を基準とする予め設定された範囲内に存在する不良ビットを検出する。

【００９９】

図３４は実施の形態１３における抽出領域と欠陥との照合を示す概念図である。図３４に示すように、欠陥の座標から予め設定された距離Ｔ内に存在するビット不良を検出する。この範囲内に存在するビット不良Ｆ１が欠陥Ｐ１によって発生したものであると判断され、この範囲外に存在するビット不良Ｆ２が欠陥Ｐ１によって発生したものではないと判断される。

【０１００】

実施の形態１３による効果は次の通りである。すなわち、ブロック不良の場合であっても、このブロック不良に対応する抽出領域と欠陥との照合を行うことによって、不良の原因となる正確な欠陥の座標を決定することができる。これによって、欠陥との照合における信頼性が高くなる。

【０１０１】

実施の形態１４.

実施の形態１４では、ステップＳ５において欠陥検査装置１ｂが検出した欠陥の座標と抽出領域内の不良ビットの座標とを対比し、不良ビットの座標を基準とする予め設定された範囲内に存在する欠陥を検出する。

【０１０２】

図３５は実施の形態１４における抽出領域と欠陥との照合を示す概念図である。図３５に示すように、ライン不良Ｆ３の座標から予め設定された距離Ｔ内に存在する欠陥を検出する。この範囲内に存在する欠陥Ｐ１がライン不良Ｆ３を生じさせた原因であると判断され、この範囲外に存在する欠陥Ｐ２がライン不良Ｆ３を生じさせた原因ではないと判断される。

【０１０３】

実施の形態１４による効果は次の通りである。すなわち、ブロック不良の場合であっても、このブロック不良に対応する抽出領域と欠陥との照合を行うことによって、不良の原因となる正確な欠陥の座標を決定することができる。これによって、不良ブロックと欠陥との照合における信頼性が高くなる。

【０１０４】

変形例.

実施の形態１～１４のいくつかを組み合わせることが好ましい。図３６は実施の形態１～１４のいくつかを組み合わせた場合である。図３６において、ステップＳ５１では実施の形態５～８のいずれかに示した第３不良マップを用いて詳細認識を行い、ステップＳ６２１ではこの結果を出力する。ステップＳ５２では第３不良マップを用いない、すなわち、実施の形態１～３のいずれかに説明した詳細認識を行い、ステップＳ６２２ではこの結果を出力する。その他のステップは実施の形態９と同様である。ステップＳ５１、ステップＳ５２のどちらを行うかはオペレータによって予め設定される。

【０１０５】

【発明の効果】

本発明請求項１及び請求項２によると、半導体装置の解析を行う際、第１不良マップそのものを用いるのではなく、少なくとも１つのブロックからなる集合体を選択して、これに対応する第１不良マップ内の領域を用いることによって、集合体についてはデータの数を抑えながら詳細に解析することが可能になるという効果を奏す。

【０１０６】

本発明請求項３によると、詳細に解析する必要がある不良モードに該当する集合体について詳細に解析できるという効果を奏す。

【０１０９】

本発明請求項４によると、不良モードを優先して認識することで、同じ集合体が二重に認識されることを防ぐことができるという効果を奏す。

【０１１０】

本発明請求項５によると、例えばビット不良のように不良の直接の原因とならいものやブロック不良のように不良の原因が明確にならないようなものを削除することによって、不良の直接の原因となる不良モードのみを認識することができるという効果を奏す。

【０１１１】

本発明請求項６によると、第３不良マップを生成することによって、データの数が少なくなり、領域を処理する時間を短縮できるという効果を奏す。

【０１１２】

本発明請求項７によると、階調値に応じた模様や色によってブロックを表示することで、オペレータは迅速、容易に不良の原因を解析できるという効果を奏す。

【０１１３】

本発明請求項８によると、階調値が２種類であることによって例えば不良ビットの多いブロックを顕在化できるという効果を奏す。

【０１２０】

本発明請求項９によると、欠陥の座標と領域内の不良ビットの座標とを対比することによって、不良の原因となる正確な欠陥の座標を決定することができ、欠陥との照合における信頼性が高くなる。さらに、例えば不良ビットの数が欠陥の数より少ない場合、１つの欠陥に対して行う対比の回数が少なくなり、処理の速度が向上するという効果を奏す。

【０１２１】

本発明請求項１０によると、欠陥の座標と領域内の不良ビットの座標とを対比することによって、不良の原因となる正確な欠陥の座標を決定することができ、欠陥との照合における信頼性が高くなる。さらに、例えば不良ビットの数が欠陥の数より多い場合、１つの不良ビットに対して行う対比の回数が少なくなり、処理の速度が向上するという効果を奏す。

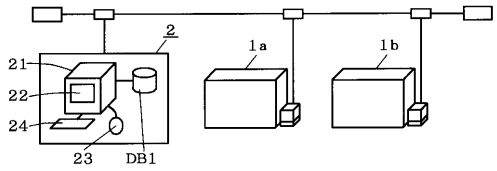
【０１２２】

本発明請求項１１によると、解析手段が半導体装置の解析を行う際、第１不良マップ生成手段によって生成された第１不良マップそのものを用いるのではなく、少なくとも１つのブロックからなる集合体を選択部によって選択して、解析手段がこれに対応する第１不良マップ内の領域を用いることによって、部集合体についてはデータの数を抑えながら詳細に解析することが可能になるという効果を奏す。

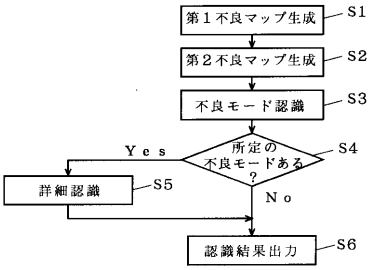
【図面の簡単な説明】

【図１】　本発明の不良解析装置の構成図である。
【図２】　本発明の実施の形態１における不良解析方法を示すフローチャートである。
【図３】　ＦＢＭの例を示す図である。
【図４】　図３に示すＦＢＭの原点Ｏ付近の詳細図である。
【図５】　第２不良マップの例を示す図である。
【図６】　本発明の実施の形態１における不良モード認識方法のアルゴリズムを示すフローチャートである。
【図７】　不良モード認識方法を説明するための図である。
【図８】　不良モード認識方法を説明するための図である。
【図９】　不良モード認識方法を説明するための図である。
【図１０】　不良モード認識方法を説明するための図である。
【図１１】　不良モード認識方法を説明するための図である。
【図１２】　不良モード認識方法を説明するための図である。
【図１３】　不良モード認識方法を説明するための図である。
【図１４】　不良モード認識方法を説明するための図である。
【図１５】　不良形状を認識する方法を示すフローチャートである。
【図１６】　不良形状の例を示す図である。
【図１７】　本発明の実施の形態１における抽出領域の例を示す図である。
【図１８】　本発明の実施の形態２における不良モードの例を示す図である。
【図１９】　本発明の実施の形態３における不良モードの例を示す図である。
【図２０】　本発明の実施の形態４における第３不良マップの例を示す図である。
【図２１】　本発明の実施の形態５を説明するためのフローチャートである。
【図２２】　本発明の実施の形態５における第３不良マップの表示例を示す図である。
【図２３】　本発明の実施の形態６における第３不良マップの表示例を示す図である。
【図２４】　本発明の実施の形態７を説明するためのフローチャートである。
【図２５】　本発明の実施の形態８における解析の結果の表示例を示す図である。
【図２６】　本発明の実施の形態８における解析の結果の表示例を示す図である。
【図２７】　本発明の実施の形態９における不良解析装置の構成図である。
【図２８】　本発明の実施の形態９における不良解析方法を示すフローチャートである。
【図２９】　本発明の実施の形態１０における不良解析方法を示すフローチャートである。
【図３０】　本発明の実施の形態１１における不良解析方法を示すフローチャートである。
【図３１】　本発明の実施の形態１１を説明するための図である。
【図３２】　本発明の実施の形態１１における認識結果の表示例を示す図である。
【図３３】　本発明の実施の形態１２を説明するための図である。
【図３４】　本発明の実施の形態１３における抽出領域と欠陥との照合を示す概念図である。
【図３５】　本発明の実施の形態１４における抽出領域と欠陥との照合を示す概念図である。
【図３６】　本発明の実施の形態の変形例を示す図である。
【符号の説明】
１ａ　ＬＳＩテスタ、１ｂ　欠陥検査装置、２１　データ解析用ＥＷＳ本体、２２　表示装置、２３　マウス、２４　キーボード、ＤＢ１，ＤＢ２　データベース。

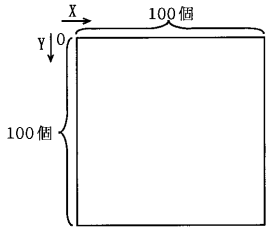
【図１】



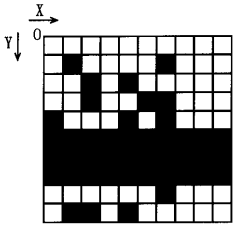
【図２】



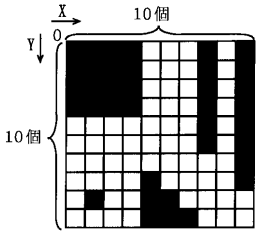
【図３】



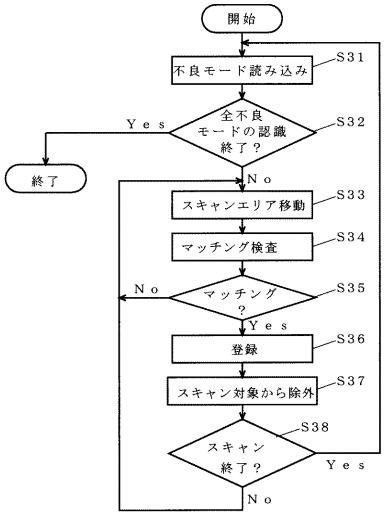
【図４】



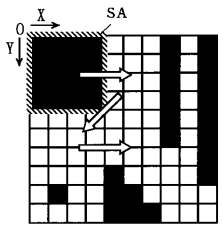
【図５】



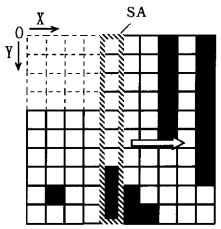
【図６】



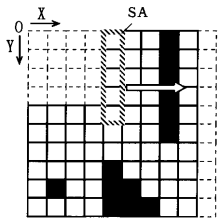
【図７】



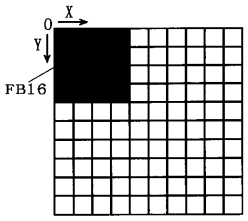
【図８】



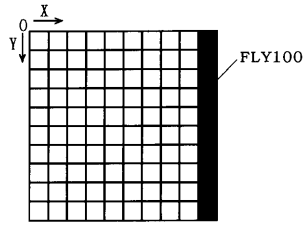
【図９】



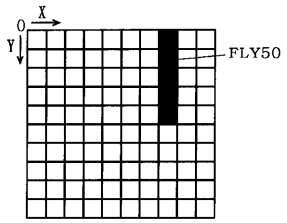
【図１０】



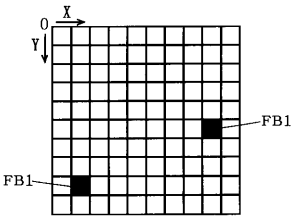
【図１１】



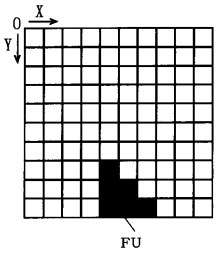
【図１２】



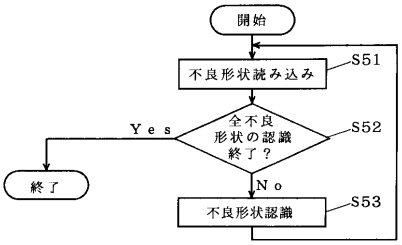
【図１３】



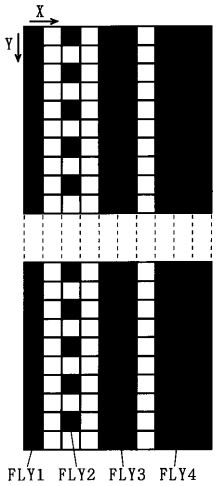
【図１４】



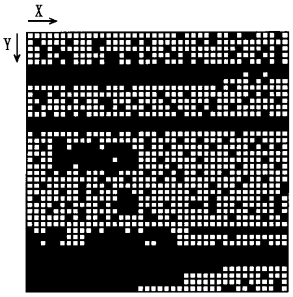
【図１５】



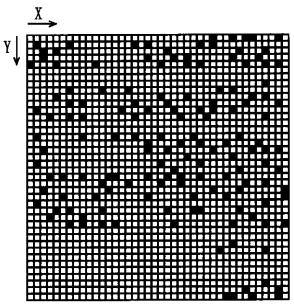
【図１６】



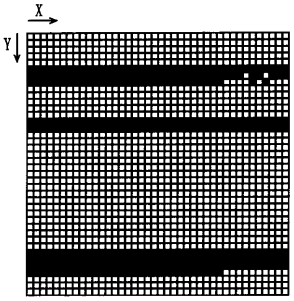
【図１７】



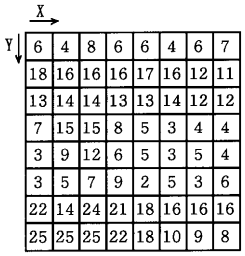
【図１８】



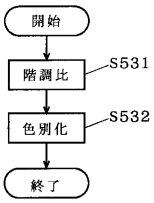
【図１９】



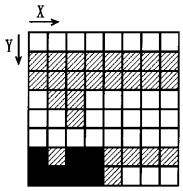
【図２０】



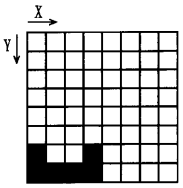
【図２１】



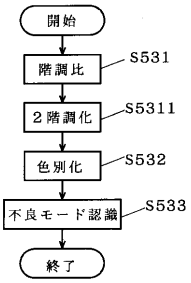
【図２２】



【図２３】



【図２４】



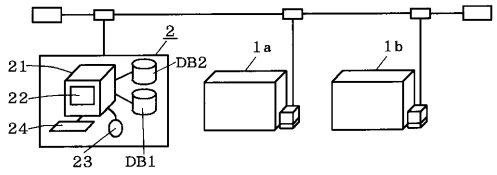
【図２５】

No	不良モード	座標X	座標Y
１０	1.6Kビットブロック不良	------	------
１１	100ビットYライン不良	------	------
１２	50ビットYライン不良	------	------
１３	100ビットブロック不良	------	------

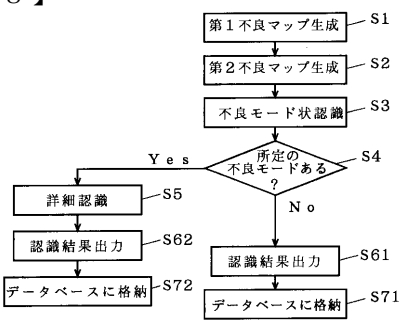
【図２６】

No	不良モード	縮退認識モード	座標X	座標Y
１０	1.6Kビットブロック不良	――――	------	------
１１	100ビットYライン不良	――――	------	------
１２	50ビットYライン不良	――――	------	------
１３	100ビットブロック不良	――――	------	------
１９	Xライン不良	1.6Kビットブロック不良	------	------
１８	ビット不良	1.6Kビットブロック不良	------	------

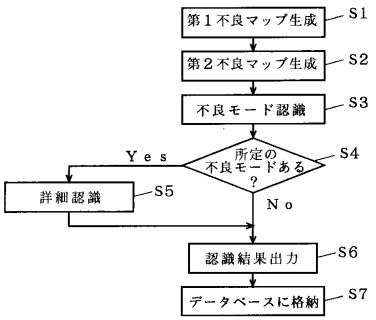
【図２７】



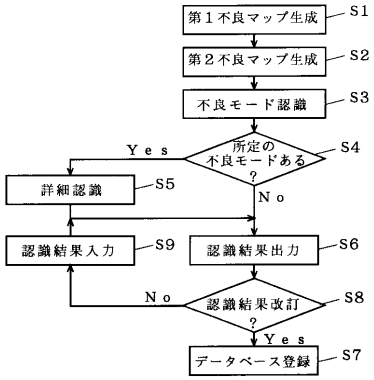
【図２８】



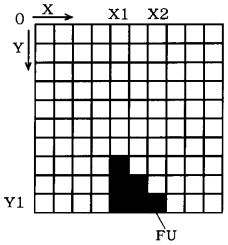
【図２９】



【図３０】



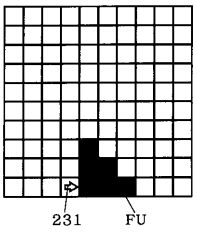
【図３１】



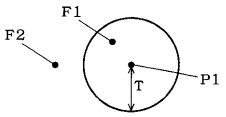
【図３２】

Ｎｏ	不良モード	座標Ｘ	座標Ｙ
１０	1.6Ｋビットブロック不良	------	------
１１	100ビットＹライン不良	------	------
１２	50ビットＹライン不良	------	------
１３	100ビットブロック不良	------	------
１４	300ビットＸライン不良	------	------

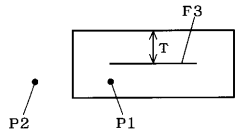
【図３３】



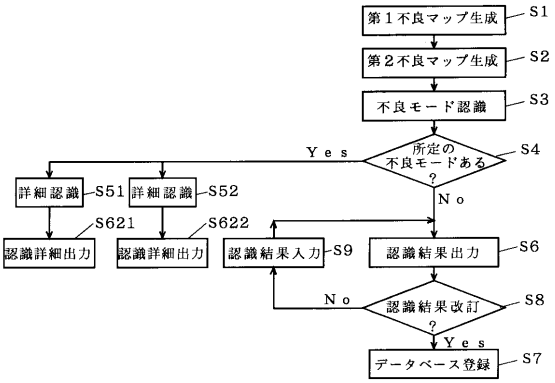
【図３４】



【図３５】



【図３６】



フロントページの続き

(51)Int.Cl. FI
G01N 21/88 J

(72)発明者 筒井 俊和
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 古田 正昭
兵庫県伊丹市瑞原四丁目１番地 菱電セミコンダクタシステムエンジニアリング株式会社内

審査官 菅野 智子

(56)参考文献 特開平０４－２８９４７７（ＪＰ，Ａ）
特開昭６１－２４３３７８（ＪＰ，Ａ）
特開平０４－２７８５５６（ＪＰ，Ａ）
特開平０３－０４４０５４（ＪＰ，Ａ）
特開平０６－１８１２４４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/66
G01B 11/30
G01R 31/28
G11C 29/44
G01N 21/88