

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 7월 9일 (09.07.2020)



(10) 국제공개번호
WO 2020/141731 A1

(51) 국제특허분류:

H01L 51/00 (2006.01) C23C 16/455 (2006.01)
H01L 21/02 (2006.01) C23C 16/56 (2006.01)
H01L 21/324 (2006.01) C23C 16/26 (2006.01)
H01L 21/3213 (2006.01)

(21) 국제출원번호: PCT/KR2019/016562

(22) 국제출원일: 2019년 11월 28일 (28.11.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2018-0173401 2018년 12월 31일 (31.12.2018) KR
10-2018-0173402 2018년 12월 31일 (31.12.2018) KR
10-2018-0173400 2018년 12월 31일 (31.12.2018) KR
10-2019-0057772 2019년 5월 17일 (17.05.2019) KR

(71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 박진성 (PARK, Jin Seong); 13597 경기도 성남시 분당구 내정로165번길 35 526-201, Gyeonggi-do

(KR). 이승환 (LEE, Seung Hwan); 21119 인천시 계양구 아나지로307번길 24 207, Incheon (KR). 백건호 (BAEK, Geon Ho); 04763 서울시 성동구 살곶이길 188 306, Seoul (KR).

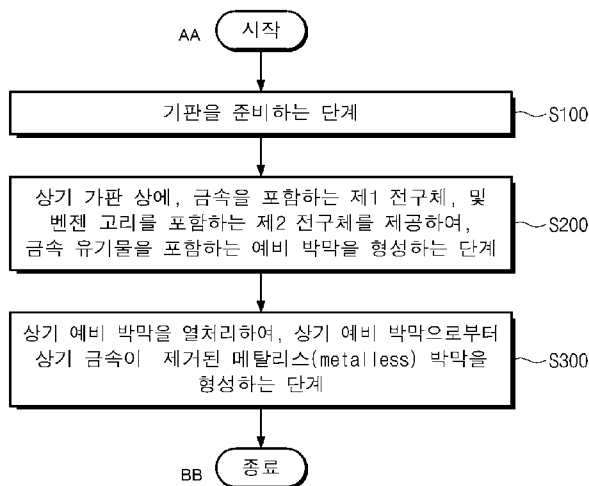
(74) 대리인: 박상열 (PARK, Sang Youl); 08506 서울시 금천구 가산디지털2로 98 1-315, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) Title: METHOD FOR MANUFACTURING METALLESS THIN FILM, METHOD FOR MANUFACTURING MICRO-PATTERN, AND METHOD FOR MANUFACTURING ELECTRONIC ELEMENT

(54) 발명의 명칭: 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법



S100 ... Step for preparing substrate

S200 ... Step for providing first precursor containing metal and second precursor containing benzene ring to form preliminary thin film containing metal-organic material on substrate

S300 ... Step for removing metal from preliminary thin film by performing heat treatment of preliminary thin film to form metalless thin film

AA ... Start

BB ... End

(57) Abstract: A method for manufacturing a metalless thin film is provided. The method for manufacturing a metalless thin film may comprise the steps of: preparing a substrate; providing a first precursor containing a metal and a second precursor containing a benzene ring to form a preliminary thin film containing a metal-organic material on the substrate; and removing the metal from the preliminary thin film by performing heat treatment of the preliminary thin film to form a metalless thin film.

(57) 요약서: 메탈리스 박막의 제조 방법이 제공된다. 상기 메탈리스 박막의 제조 방법은, 기판을 준비하는 단계, 상기 기판 상에, 금속을 포함하는 제1 전구체, 및 벤젠 고리를 포함하는 제2 전구체를 제공하여, 금속 유기물을 포함하는 예비 박막을 형성하는 단계, 및 상기 예비 박막을 열처리하여, 상기 예비 박막으로부터 상기 금속이 제거된 메탈리스(metalless) 박막을 형성하는 단계를 포함할 수 있다.

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법

기술분야

- [1] 본 발명은 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법에 관한 것으로서, 보다 구체적으로, 기판 상에 서로 다른 전구체들을 반응시켜 박막을 형성한 후, 이를 열처리하는 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법에 관련된 것이다.

배경기술

- [2] 현재 반도체 시장에서 휴대성이 용이한 스마트 기기의 사용량이 증가하고 있으며, 4차 산업혁명을 통한 인공지능, 사물인터넷 구현이 진행되고 있다. 특히 인공지능의 Deep learning 및 neuromorphic 개발 등이 큰 이슈로 대두되고 있으며 이러한 데이터 처리를 위해 NAND Flash 메모리 및 DRAM의 수요가 한층 더 증가할 것이다. 이에 따라 반도체 산업에서의 고도의 데이터 집적화가 필수적이며, 미세 패터닝 기술을 통한 단위 면적당 반도체 용량의 증가 및 회로설계를 통한 데이터 처리 효율의 증가가 이루어져야 하며, 생산단가를 낮추었을 때 고도화된 상품으로 응용할 수 있다.
- [3] 현재 실제 반도체에 집적화는 QPT (Quadruple Patterning Technology) 공정을 이용하여 10nm급 반도체 메모리가 양산에 이용되고 있고 10nm 이하급의 반도체 소자를 위한 공정기술을 개발중이다. QPT의 응용 방법인 OPT (Octuple Patterning Technology)의 경우 공정 수율 떨어지고, PR의 물리적 한계에 의하여 고집적 패턴에서의 한계점에 도달했다. 또한 기존의 이온빔, 전자빔 및 EUV를 이용한 초미세 패터닝 공정은 공정비용이 비싸 실제 양산에 응용하기 위해서 연구가 더욱 필요하다.
- [4] 이에 따라, 초미세 패터닝 공정에 관한 다양한 연구들이 이루어지고 있다. 예를 들어, 대한민국 특허 등록 번호 10-1716857(출원번호: 10-2015-0163401, 출원인: 한국과학기술원, 한국기계연구원)에는, 베이스 기판 상에 순차적으로 적층되는 친수성막 및 소수성막을 포함하는 제1 층을 형성하는 단계, 베이스 몰드 상에 제1 패턴을 형성하여 임프린팅 몰드를 제작하는 단계, 상기 제1 패턴을 포함한 임프린팅 몰드로 상기 제1 패턴이 상기 소수성막 및 상기 친수성막을 모두 관통하도록 상기 제1 층을 패터닝하는 단계, 상기 패터닝으로 제2 패턴이 형성된 상기 기판 상에, 상기 제2 패턴 중 상기 친수성막에 의해 형성된 제1 개구부 상에만 선택적으로 침투하고 상기 소수성막에 의해 형성된 제2 개구부에는 침투되지 않도록 용액을 도포하는 단계; 및 상기 도포된 용액을 건조하여, 상기 제2 개구부가 개구된 상태의 미세패턴을 형성하는 단계를 포함하는 미세패턴의

제조 방법이 개시되어 있다. 이 밖에도, 미세 패터닝 공정과 관련된 다양한 기술들이 지속적으로 연구 개발되고 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명이 해결하고자 하는 일 기술적 과제는, 선택적 성장이 용이한 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법을 제공하는 데 있다.
- [6] 본 발명이 해결하고자 하는 다른 기술적 과제는, 생산 효율이 향상된 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법을 제공하는 데 있다.
- [7] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 간소화된 공정으로 대면적 생산이 용이한 메탈리스 박막의 제조 방법, 그리고 미세패턴 제조 방법, 그리고 전자 소자의 제조 방법을 제공하는 데 있다.
- [8] 본 발명이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

과제 해결 수단

- [9] 상술된 기술적 과제들을 해결하기 위해 본 발명은 메탈리스 박막의 제조 방법을 제공한다.
- [10] 일 실시 예에 따르면, 상기 메탈리스 박막의 제조 방법은, 기판을 준비하는 단계, 상기 기판 상에, 금속을 포함하는 제1 전구체, 및 벤젠 고리를 포함하는 제2 전구체를 제공하여, 금속 유기물을 포함하는 예비 박막을 형성하는 단계, 및 상기 예비 박막을 열처리하여, 상기 예비 박막으로부터 상기 금속이 제거된 메탈리스(metalless) 박막을 형성하는 단계를 포함할 수 있다.
- [11] 일 실시 예에 따르면, 상기 예비 박막의 열처리 온도를 제어하여, 상기 메탈리스 박막의 식각률(etching rate)이 제어되는 것을 포함할 수 있다.
- [12] 일 실시 예에 따르면, 상기 예비 박막이 750°C 이상의 온도에서 열처리 되는 경우, 상기 메탈리스 박막의 식각률이 감소되는 것을 포함할 수 있다.
- [13] 일 실시 예에 따르면, 상기 예비 박막의 열처리 온도를 제어하여, 상기 예비 박막 내의 반응기의 양을 제어하는 것을 포함할 수 있다.
- [14] 일 실시 예에 따르면, 상기 예비 박막이 450°C 이상의 온도에서 열처리 되는 경우, 상기 예비 박막 내의 반응기의 양이 감소되고, 상기 예비 박막 상에 증착되는 물질막의 증착률이 감소되는 것을 포함할 수 있다.
- [15] 일 실시 예에 따르면, 상기 메탈리스 박막은, 상기 예비 박막이 열처리되어 그래피틱 탄소화(graphitic carbon)된 것을 포함할 수 있다.
- [16] 일 실시 예에 따르면, 상기 메탈리스 박막 내의 탄소 결합 중 C=C sp² 결합의 비율은, 상기 예비 박막 내의 탄소 결합 중 C=C sp² 결합의 비율보다 큰 것을 포함할 수 있다.
- [17] 일 실시 예에 따르면, 상기 메탈리스 박막 내의 탄소 결합 중 C-OH 결합의

비율은, 상기 예비 박막 내의 탄소 결합 중 C-OH 결합의 비율보다 작은 것을 포함할 수 있다.

[18] 일 실시 예에 따르면, 상기 제2 전구체는, HQ(Hydroquinone) 또는 4-mercaptophenol 중 어느 하나를 포함할 수 있다.

[19] 일 실시 예에 따르면, 상기 금속은, 인듐(In), 알루미늄(Al), 아연(Zn), 티타늄(Ti), 주석(Sn), 및 갈륨(Ga) 중 어느 하나를 포함할 수 있다.

[20]

[21] 상술된 기술적 과제들을 해결하기 위해 본 발명은 미세패턴의 제조 방법을 제공한다.

[22] 일 실시 예에 따르면, 상기 미세패턴의 제조 방법은, 기판 상에 베이스 패턴을 형성하는 단계, 상기 기판 및 상기 베이스 패턴을 콘포말하게(conformally) 덮고, 금속 유기물을 포함하는 예비 박막을 형성하는 단계, 상기 베이스 패턴의 사이 및 상기 기판의 상부면에 형성된 상기 예비 박막의 일부분, 및 상기 베이스 패턴의 상부면에 형성된 상기 예비 박막의 일부분을 제거하고, 상기 베이스 패턴의 측면에 형성된 상기 예비 박막의 일부분을 잔존시켜, 예비 패턴을 형성하는 단계, 상기 베이스 패턴을 선택적으로 제거하여, 상기 기판 상에 상기 예비 패턴을 잔존시키는 단계, 상기 예비 패턴을 열처리하여, 상기 예비 패턴으로부터 상기 금속이 제거된 메탈리스 패턴을 형성하는 단계, 및 상기 기판 및 상기 메탈리스 패턴 상에 타겟 물질을 제공하여, 인접한 상기 메탈리스 패턴 사이에 타겟 패턴을 형성하는 단계를 포함할 수 있다.

[23] 일 실시 예에 따르면, 상기 기판 상에 상기 베이스 패턴을 형성하는 단계는, 상기 기판 상에 유기물 패턴을 형성하는 단계, 상기 유기물 패턴 내에 무기물 소스를 침투시켜, 상기 유기물 패턴의 일 영역을 혼합막으로 변환하되, 상기 혼합막은, 잔존된 상기 유기물 패턴의 상부면 및 측면을 덮는 단계, 상기 잔존된 유기물 패턴 상부면 상의 상기 혼합막의 일부를 제거하고, 상기 잔존된 유기물 패턴 측면 상의 상기 혼합막을 잔존시켜, 상기 베이스 패턴을 형성하는 단계, 및 상기 잔존된 유기물 패턴을 선택적으로 제거하여, 상기 기판 상에 상기 베이스 패턴을 잔존시키는 단계를 포함할 수 있다.

[24]

[25] 상술된 기술적 과제들을 해결하기 위해 본 발명은 전자 소자의 제조 방법을 제공한다.

[26] 일 실시 예에 따르면, 상기 전자 소자의 제조 방법은 기판 상에, 금속 유기물을 포함하는 예비 패턴이 열처리된 복수의 메탈리스 패턴을 형성하는 단계, 상기 메탈리스 패턴을 마스크로 이용하여, 외부에 노출된 상기 기판의 일 영역을 식각하여, 상기 메탈리스 패턴 사이에 트렌치(trench)를 형성하는 단계, 상기 트렌치의 내면을 콘포말하게(conformally) 덮는 활성막을 형성하고, 상기 메탈리스 패턴을 제거하는 단계, 상기 메탈리스 패턴이 제거된 상기 기판, 및 상기 활성막을 콘포말하게 덮는 게이트 절연막을 형성하는 단계, 및 상기 트렌치

내에, 상기 게이트 절연막의 적어도 일 부분과 접촉되도록 게이트 전극을 형성하는 단계를 포함할 수 있다.

- [27] 일 실시 예에 따르면, 상기 게이트 전극은, 상기 트렌치 내에 배치되는 게이트 바디, 및 상기 게이트 바디보다 폭이 넓고 상기 게이트 바디의 상부에 배치되는 게이트 헤드를 포함하며, 머쉬룸(mushroom) 형태를 가질 수 있다.

발명의 효과

- [28] 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법은, 기판을 준비하는 단계, 상기 기판 상에, 금속을 포함하는 제1 전구체, 및 벤젠 고리를 포함하는 제2 전구체를 제공하여, 금속 유기물을 포함하는 예비 박막을 형성하는 단계, 및 상기 예비 박막을 열처리하여, 상기 예비 박막으로부터 상기 금속이 제거된 메탈리스(metalless) 박막을 형성하는 단계를 포함할 수 있다.
- [29] 또한, 상기 실시 예에 따른 메탈리스 박막의 제조 방법은, 상기 예비 박막의 열처리 온도를 제어하여, 상기 메탈리스 박막의 구성 및 특성을 제어할 수 있다. 구체적으로, 상기 예비 박막의 열처리 온도가 450°C 이상으로 제어되는 경우, 상기 메탈리스 박막은, 물질의 증착률이 감소되는 안티-그로스(anti-growth) 특성을 나타낼 수 있다. 이와 달리, 상기 예비 박막의 열처리 온도가 750°C 이상으로 제어되는 경우, 상기 메탈리스 박막은, 식각(etching)률이 감소되는 안티-에칭(anti-etching) 특성을 나타낼 수 있다.

도면의 간단한 설명

- [30] 도 1은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법을 설명하는 순서도이다.
- [31] 도 2는 본 발명의 실시 예에 따른 메탈리스 박막의 제조 공정을 나타내는 도면이다.
- [32] 도 3은 본 발명의 실시 예에 따른 메탈리스 박막의 안티-그로스(anti-growth) 특성을 나타내는 도면이다.
- [33] 도 4 내지 도 7은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 베이스 패턴을 형성하는 단계를 나타내는 도면이다.
- [34] 도 8 내지 도 10은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 메탈리스 패턴의 제조 방법을 나타내는 도면이다.
- [35] 도 11은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 타겟 패턴의 제조 방법을 나타내는 도면이다.
- [36] 도 12 및 도 13은 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 트렌치 형성 단계를 나타내는 도면이다.
- [37] 도 14 및 도 15는 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 활성막 형성 단계를 나타내는 도면이다.
- [38] 도 16은 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 게이트 절연막 형성 단계를 나타내는 도면이다.

- [39] 도 17은 본 발명의 실시 예에 따른 전자 소자를 나타내는 도면이다.
- [40] 도 18은 본 발명의 변형 예에 따른 전자 소자를 나타내는 도면이다.
- [41] 도 19는 본 발명의 실시 예 및 변형 예에 따른 전자 소자가 배치된 회로를 나타내는 도면이다.
- [42] 도 20은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 온도에 따른 메탈리스 박막의 특성 변화를 나타내는 그래프이다.
- [43] 도 21은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 시간에 따른 메탈리스 박막의 특성 변화를 나타내는 그래프이다.
- [44] 도 22 및 도 23은 본 발명의 실시 예에 따른 메탈리스 박막의 안티-에칭(anti-etching) 특성을 확인하는 그래프이다.
- [45] 도 24는 예비 박막의 열처리 시간에 따라 제조된 메탈리스 박막 각각에 대한 Raman 분석을 나타내는 그래프이다.
- [46] 도 25내지 도 29는 본 발명의 실시 예에 따른 메탈리스 박막의 안티-그로스(anti-growth) 특성을 나타내는 그래프이다.
- [47] 도 30 내지 도 37은 본 발명의 실시 예에 따른 메탈리스 박막을 이용한 선택적 증착 공정을 확인하는 도면들이다.
- [48] 도 38은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 온도에 따른 성분 변화를 나타내는 그래프이다.

발명의 실시를 위한 형태

- [49] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [50] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [51] 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.
- [52] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의

표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 본 명세서에서 "연결"은 복수의 구성 요소를 간접적으로 연결하는 것, 및 직접적으로 연결하는 것을 모두 포함하는 의미로 사용된다.

[53] 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다.

[54]

[55] 도 1은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법을 설명하는 순서도이고, 도 2는 본 발명의 실시 예에 따른 메탈리스 박막의 제조 공정을 나타내는 도면이고, 도 3은 본 발명의 실시 예에 따른 메탈리스 박막의 안티-그로스(anti-growth) 특성을 나타내는 도면이다.

[56] 도 1 내지 도 3을 참조하면, 기판(100)이 준비된다(S100). 상기 기판(100)은 실리콘 반도체 기판, 화합물 반도체 기판, 유리 기판, 또는 플라스틱 기판 중 어느 하나일 수 있다.

[57] 상기 기판(100) 상에 제1 전구체가 제공될 수 있다. 이후, 상기 제1 전구체가 제공된 상기 기판(100) 상에 제2 전구체가 제공될 수 있다. 상기 제1 전구체 및 상기 제2 전구체는 서로 반응하여 예비 박막을 형성할 수 있다(S200).

[58] 일 실시 예에 따르면, 상기 제1 전구체는 금속을 포함할 수 있다. 예를 들어, 상기 금속은 인듐(In), 알루미늄(Al), 아연(Zn), 티타늄(Ti), 주석(Sn), 및 갈륨(Ga) 중 어느 하나를 포함할 수 있다. 예를 들어, 상기 금속이 인듐(In)을 포함하는 경우, 상기 제1 전구체는 INCA-1(Bis(trimethylsilyl)amidodiethyl Indium)을 포함할 수 있다. 다른 예를 들어, 상기 금속이 알루미늄(Al)을 포함하는 경우, 상기 제1 전구체는 TMA(Trimethyl Aluminum)을 포함할 수 있다.

[59] 일 실시 예에 따르면, 상기 제2 전구체는 벤젠 고리를 포함할 수 있다. 예를 들어, 상기 제2 전구체는, HQ(Hydroquinone) 또는 4-mercaptophenol 중 어느 하나를 포함할 수 있다.

[60] 이에 따라, 상기 제1 전구체 및 상기 제2 전구체가 반응된 상기 예비 박막은, 금속 유기물을 포함할 수 있다. 예를 들어, 상기 금속이 인듐(In)을 포함하는 경우, 상기 예비 박막은, 인듐 알콕사이드(Indium alkoxide, Indicone)을 포함할 수 있다. 다른 예를 들어, 상기 금속이 알루미늄(Al)을 포함하는 경우, 상기 예비 박막은, 알루미늄 알콕사이드(Aluminum alkoxide, Alucone)을 포함할 수 있다.

[61] 일 실시 예에 따르면, 상기 제1 전구체가 제공된 이후, 및 상기 제2 전구체가 제공된 이후, 상기 제1 전구체가 제공된 상기 기판(100) 및 상기 제2 전구체가 제공된 상기 기판(100) 상에 불활성 기체가 제공될 수 있다. 이에 따라, 상기

- 기관(100)은 퍼지(purge)될 수 있다. 예를 들어, 상기 불활성 기체는 질소(N_2) 가스일 수 있다.
- [62] 즉, 상기 예비 박막(200)을 형성하는 단계는, 상기 기관(100) 상에 상기 제1 전구체를 제공하는 단계, 상기 제1 전구체가 제공된 상기 기관(100)을 퍼지(purge)하는 단계, 상기 기관(100) 상에 상기 제2 전구체를 제공하는 단계, 및 상기 제2 전구체가 제공된 상기 기관(100)을 퍼지(purge)하는 단계를 포함할 수 있다.
- [63] 일 실시 예에 따르면, 상기 제1 전구체를 제공하는 단계, 상기 제1 전구체가 제공된 상기 기관(100)을 퍼지하는 단계, 상기 제2 전구체를 제공하는 단계, 및 상기 제2 전구체가 제공된 상기 기관(100)을 퍼지하는 단계는 하나의 유닛 공정(unit process)으로 정의될 수 있다. 상기 유닛 공정은 복수회 반복될 수 있다. 이에 따라, 상기 예비 박막(200)의 두께는 제어될 수 있다.
- [64] 계속해서, 상기 예비 박막(200)은 열처리되어, 메탈리스(metalless) 박막(300)이 형성될 수 있다(S300). 상기 메탈리스 박막은, 상기 예비 박막(200)으로부터 상기 금속이 제거된(300) 상태일 수 있다. 즉, 상기 예비 박막(200)을 열처리하는 경우, 상기 예비 박막으로부터 상기 금속이 제거되어, 상기 메탈리스 박막(300)이 형성될 수 있다.
- [65] 보다 구체적으로, 상기 예비 박막(200)이 열처리되는 경우, 열처리 온도에 따라 상기 예비 박막(200)의 구성이 변화될 수 있다. 예를 들어, 상기 예비 박막(200)의 열처리 온도가 증가함에 따라, 상기 예비 박막(200) 내의 탄소(C)의 함유량은 증가할 수 있다. 반면, 상기 예비 박막(200)의 열처리 온도가 증가함에 따라, 상기 예비 박막(200) 내의 상기 금속의 함유량은 감소될 수 있다. 이에 따라, 상기 예비 박막(200)으로부터 상기 메탈리스 박막(300)이 형성될 수 있다.
- [66] 또한, 상기 예비 박막(200)이 열처리되는 경우, 상기 예비 박막(200) 내의 반응기들이 제거될 수 있다. 예를 들어, 상기 예비 박막(200)이 포함하는 -OH기들이 제거될 수 있다. 이에 따라, 상기 메탈리스 박막(300) 내의 탄소 결합 중 C-OH 결합의 비율은, 상기 예비 박막(200) 내의 탄소 결합 중 C-OH 결합의 비율 보다 작을 수 있다.
- [67] 또한, 상기 예비 박막(200)이 열처리되는 경우, 벤젠 고리에 있던 탄소들이 서로 강하게 결합되어, graphite domain을 형성할 수 있다. 즉, 상기 예비 박막(200)이 열처리되어 형성된 상기 메탈리스 박막(300)은, 상기 예비 박막(200)이 그래피틱 탄소화(graphitic carbon)된 것일 수 있다. 이에 따라, 상기 메탈리스 박막(300) 내의 탄소 결합 중 C=C sp^2 결합의 비율은, 상기 예비 박막(200) 내의 탄소 결합 중 C=C sp^2 결합의 비율보다 클 수 있다.
- [68] 상술된 바와 같이, 상기 예비 박막(200)의 구성이 변화됨에 따라, 상기 예비 박막(200)의 특성이 변화될 수 있다. 즉, 서로 다른 온도로 열처리되어 형성된 상기 메탈리스 박막(300)은 서로 다른 구성을 나타낼 수 있다. 서로 다른 구성을 갖는 상기 메탈리스 박막(300)은 서로 다른 특성을 가질 수 있다.

- [69] 또한, 열처리 온도뿐만 아니라, 열처리 시간에 따라서도, 상기 예비 박막(200)의 특성이 변화될 수 있다. 즉, 서로 같은 온도에서 열처리되지만, 서로 다른 시간 동안 열처리되어 형성된 상기 메탈리스 박막(300)은 서로 다른 특성을 가질 수 있다.
- [70] 일 실시 예에 따르면, 450°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 안티-그로스(anti-growth) 특성을 나타낼 수 있다. 즉, 450°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 다른 물질들과의 결합력이 저하될 수 있다. 그 결과, 상기 메탈리스 박막(300)상에는, 물질의 성장이 억제되어, 물질막의 증착이 억제될 수 있다.
- [71] 일 실시 예에 따르면, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 안티-에칭(anti-etching) 특성을 나타낼 수 있다. 또한, 450°C 이상의 온도에서 열처리되되, 상대적으로 긴 시간(예를 들어, 10시간) 동안 열처리되어 형성된 상기 메탈리스 박막(300)은, 안티-에칭(anti-etching) 특성을 나타낼 수 있다.
- [72] 즉, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300), 및 450°C 이상의 온도에서 10시간 동안 열처리되어 형성된 상기 메탈리스 박막(300)은, 식각률(etching rate) 감소될 수 있다. 이에 따라, 상기 메탈리스 박막(300)은 식각 물질에 대한 저항 특성을 가질 수 있다.
- [73] 구체적으로, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 750°C 미만의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)과 비교하여, 낮은 식각률을 가질 수 있다. 예를 들어, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 450°C 이상의 온도에서 1시간 동안 열처리되어 형성된 상기 메탈리스 박막(300) 보다 낮은 식각률을 가질 수 있다.
- [74] 즉, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300) 및 450°C 이상의 온도에서 1시간 동안 열처리되어 형성된 상기 메탈리스 박막(300) 상에 동일한 식각 물질이 제공되는 경우, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)의 식각 속도는 450°C 이상의 온도에서 1시간 동안 열처리되어 형성된 상기 메탈리스 박막(300)의 식각 속도 보다 낮을 수 있다.
- [75] 이에 따라, 특정 식각 물질(예를 들어, CF₄ 및 아르곤(Ar))에 대해, 450°C 이상의 온도에서 1시간 동안 열처리되어 형성된 상기 메탈리스 박막(300)은 식각되지만, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은 식각되지 않을 수 있다.
- [76] 또한, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은, 포토 레지스트(photo resist)와 비교하여, 낮은 식각률을 가질 수 있다. 예를 들어, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)을 CF₄ 및 아르곤(Ar)을 통해 식각하는 경우, 포토 레지스트를 CF₄ 및 아르곤(Ar)을 통해

- 식각하는 경우와 비교하여, 현저하게 낮은 식각 속도를 나타낼 수 있다.
- [77] 이에 따라, CF_4 및 아르곤(Ar)에 대해 포토 레지스트는 용이하게 식각되지만, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300)은 용이하게 식각되지 않을 수 있다.
- [78] 결과적으로, 750°C 이상의 온도에서 열처리되어 형성된 상기 메탈리스 박막(300), 및 450°C 이상의 온도에서 10시간 동안 열처리되어 형성된 상기 메탈리스 박막(300)은, 식각 속도 및 식각률이 감소되는 안티-에칭(anti-etching) 특성을 나타낼 수 있다.
- [79] 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법은, 상기 기판(100)을 준비하는 단계, 상기 기판(100) 상에, 금속을 포함하는 제1 전구체, 및 벤젠 고리를 포함하는 제2 전구체를 제공하여, 금속 유기물을 포함하는 상기 예비 박막(200)을 형성하는 단계, 및 상기 예비 박막(200)을 열처리하여, 상기 예비 박막으로부터 상기 금속이 제거된 상기 메탈리스(metalless) 박막(300)을 형성하는 단계를 포함할 수 있다.
- [80] 또한, 상기 실시 예에 따른 메탈리스 박막의 제조 방법은, 상기 예비 박막(200)의 열처리 온도를 제어하여, 상기 메탈리스 박막(300)의 구성 및 특성을 제어할 수 있다. 구체적으로, 상기 예비 박막(200)의 열처리 온도가 450°C 이상으로 제어되는 경우, 상기 메탈리스 박막(300)은, 물질의 증착률이 감소되는 안티-그로스(anti-growth) 특성을 나타낼 수 있다. 이와 달리, 상기 예비 박막(200)의 열처리 온도가 750°C 이상으로 제어되는 경우, 상기 메탈리스 박막(300)은, 식각(etching)률이 감소되는 안티-에칭(anti-etching) 특성을 나타낼 수 있다.
- [81]
- [82] 이상, 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법이 설명되었다. 이하, 상기 메탈리스 박막의 안티-그로스(anti-growth) 특성을 이용한, 본 발명의 실시 예에 따른 미세패턴의 제조 방법이 도 4 내지 도 11을 참조하여 설명된다.
- [83] 도 4 내지 도 7은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 베이스 패턴을 형성하는 단계를 나타내는 도면이다.
- [84] 도 4 내지 도 7을 참조하면, 기판(100) 상에 유기물 패턴(10)이 형성될 수 있다. 일 실시 예에 따르면, 상기 유기물 패턴(10)은 포토레지스트 패턴일 수 있다. 상기 유기물 패턴(10) 내에 무기물 소스가 침투될 수 있다. 이 경우, 상기 무기물 소스가 침투된 상기 유기물 패턴(10)의 일 영역은, 혼합막(20)으로 변환될 수 있다. 이에 따라, 상기 혼합막(20)은 유기물 및 무기물이 혼합된 상태일 수 있다. 일 실시 예에 따르면, 상기 혼합막(20)은, 잔존된 상기 유기물 패턴(10)의 상부면(10a) 및 측면(10b)을 덮을 수 있다.
- [85] 구체적으로, 상기 유기물 패턴(10)의 일 영역이 상기 혼합막(20)으로 변환되는 단계는, 상기 유기물 패턴(10) 상에 상기 무기물 소스(예를 들어, TMA 등) 및 반응물(예를 들어, 산소, 오존, 물 등)을 제공하는 단계, 상기 무기물 소스 및 상기

반응물이 제공된 상기 유기물 패턴 상에 불활성 가스(예를 들어, N_2)를 제공하는 단계를 포함하되, 상기 무기물 소스 및 상기 반응물 제공 단계, 및 상기 불활성 가스 제공 단계는 복수회 반복 수행되는 것을 포함할 수 있다.

- [86] 즉, 상기 유기물 패턴(10) 상에 상기 무기물 소스, 상기 반응물 및 상기 불활성 가스를 반복하여 제공하는 과정에서, 상기 무기물 소스가 상기 유기물 패턴(10)으로 침투될 수 있다. 이 경우, 상기 무기물 소스가 침투된 상기 유기물 패턴(10)의 일 영역은 상기 혼합막(20)으로 변환될 수 있다.
- [87] 상기 혼합막(20)의 일부분은 제거될 수 있다. 구체적으로, 상기 유기물 패턴(10) 상부면(10a) 상의 상기 혼합막(20)의 일부가 제거될 수 있다. 이에 따라, 상기 유기물 패턴(10) 측면(10b) 상의 상기 혼합막(20)이 잔존될 수 있다. 다시 말해, 상기 기판(100)과 평행한 방향으로 연장되는 상기 혼합막(20)의 일부는 제거되고, 상기 기판(100)과 수직인 방향으로 연장되는 상기 혼합막(20)의 일부는 잔존될 수 있다. 이에 따라, 상기 유기물 패턴(10) 측면(10b) 상에, 상기 베이스 패턴(30)이 형성될 수 있다. 즉, 상기 베이스 패턴(30)은 상기 혼합막(20)의 일부분이 제거되고 잔존된 것일 수 있다. 일 실시 예에 따르면, 상기 혼합막(20)의 일부는, 건식 식각(dry etching) 공정을 통해 제거될 수 있다.
- [88] 상기 유기물 패턴(10)은 선택적으로 제거될 수 있다. 즉, 상기 유기물 패턴(10) 및 상기 베이스 패턴(30)이 혼재된 상태에서, 상기 유기물 패턴(10)은 제거되고, 상기 베이스 패턴(30)은 잔존될 수 있다.
- [89] 도 8 내지 도 10은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 메탈리스 패턴의 제조 방법을 나타내는 도면이고, 도 11은 본 발명의 실시 예에 따른 미세패턴의 제조 방법 중 타겟 패턴의 제조 방법을 나타내는 도면이다.
- [90] 도 8 내지 도 11을 참조하면, 상기 베이스 패턴(30) 상에 예비 박막(40)이 형성될 수 있다. 구체적으로, 상기 베이스 패턴(30)이 형성된 상기 기판(100) 상에, 제1 전구체 및 제2 전구체가 제공될 수 있다. 이 경우, 상기 제1 및 제2 전구체가 반응되어 상기 예비 박막(40)이 형성될 수 있다. 상기 제1 및 제2 전구체의 구체적인 물질, 및 상기 예비 박막(40) 형성에 관한 구체적인 설명은, 도 1 내지 도 3을 참조하여 설명된 바와 같을 수 있다. 이에 따라, 상기 예비 박막(40)은 금속 유기물을 포함할 수 있다. 또한, 상기 예비 박막(40)은 상기 기판(100) 및 상기 베이스 패턴(30)을 콘포말하게(conformally) 덮을 수 있다.
- [91] 상기 예비 박막(40)의 일부분이 제거되어, 예비 패턴(50)이 형성될 수 있다. 구체적으로, 상기 베이스 패턴(30)의 사이 및 상기 기판(100)의 상부면에 형성된 상기 예비 박막(40)의 일부분이 제거될 수 있다. 또한, 상기 베이스 패턴(30) 상부면(30a)에 형성된 상기 예비 박막(40)의 일부분이 제거될 수 있다. 이와 달리, 상기 베이스 패턴(30) 측면(30b)에 형성된 상기 예비 박막(40)의 일부분은 잔존될 수 있다. 다시 말해, 상기 기판(100)과 평행 방향으로 연장되는 상기 예비 박막(40)의 일부는 제거되고, 상기 기판(100)과 수직 방향으로 연장되는 상기 예비 박막(40)의 일부분은 잔존될 수 있다. 이에 따라, 상기 베이스 패턴(30)

측면(30b) 상에 상기 예비 패턴(50)이 형성될 수 있다. 즉, 상기 예비 패턴(50)은 상기 예비 박막(40)의 일부분이 제거되고 잔존된 것일 수 있다. 일 실시 예에 따르면, 상기 예비 박막(40)의 일부분은 건식 식각(dry etching) 공정을 통해 제거될 수 있다.

[92] 상기 베이스 패턴(30)은 선택적으로 제거될 수 있다. 즉, 상기 베이스 패턴(30) 및 상기 예비 패턴(50)이 혼재된 상태에서, 상기 베이스 패턴(30)은 제거되고, 상기 예비 패턴(50)은 잔존될 수 있다.

[93] 상기 예비 패턴(50)이 열처리되어, 메탈리스(metalless) 패턴(60)이 형성될 수 있다. 상기 메탈리스 패턴(60)은, 상기 예비 패턴(50)으로부터 금속이 제거된 상태일 수 있다. 즉, 상기 예비 패턴(50)을 열처리하는 경우, 상기 예비 패턴(50)으로부터 금속이 제거되어, 상기 메탈리스 패턴(60)이 형성될 수 있다.

[94] 일 실시 예에 따르면, 상기 메탈리스 패턴(60)은, 상기 예비 패턴(50)이 450°C 이상의 온도에서 열처리되어 형성될 수 있다. 이에 따라, 상기 메탈리스 패턴(60)은 안티-그로스(anti-growth) 특성을 가질 수 있다. 상기 메탈리스 패턴(60)이 안티-그로스(anti-growth) 특성을 갖게 되는 구체적인 설명은, 도 1 내지 도 3을 참조하여 설명된, 상기 메탈리스 박막(300)이 안티-그로스(anti-growth) 특성을 갖게 되는 것과 같을 수 있다. 이에 따라, 구체적인 설명은 생략된다.

[95] 상기 기판(100) 및 상기 메탈리스 패턴(60) 상에 타겟 물질이 제공될 수 있다. 일 실시 예에 따르면, 상기 타겟 물질은 금속을 포함할 수 있다. 상기 타겟 물질이 제공된 경우, 인접한 상기 메탈리스 패턴(60) 사이에 타겟 패턴(70)이 선택적으로 형성될 수 있다. 즉, 상기 타겟 물질은, 상기 기판(100) 및 상기 메탈리스 패턴(60)을 콘포말하게(conformally) 덮지 않을 수 있다. 이에 따라, 상기 타겟 패턴(70)은, 상기 메탈리스 패턴(60)의 상부면에 형성되지 않고, 인접한 상기 메탈리스 패턴(60)의 사이에 형성될 수 있다.

[96] 구체적으로, 상술된 바와 같이, 상기 메탈리스 패턴(60)은 안티-그로스(anti-growth) 특성을 가짐에 따라, 상기 타겟 물질은 상기 메탈리스 패턴(60) 상에 증착 되지 않을 수 있다. 하지만, 서로 인접한 상기 메탈리스 패턴(60) 사이에는 빈 공간이 형성되어 있음에 따라, 상기 타겟 물질은 빈 공간을 채울 수 있다. 그 결과, 서로 인접한 상기 메탈리스 패턴(60) 사이에, 상기 타겟 물질이 적층되어, 상기 타겟 패턴(70)이 형성될 수 있다. 상기 타겟 물질이 금속을 포함하는 경우, 상기 타겟 패턴(70) 또한 금속을 포함할 수 있다.

[97] 상기 타겟 패턴(70)이 형성된 이후, 상기 메탈리스 패턴(60)이 선택적으로 제거될 수 있다. 즉, 상기 메탈리스 패턴(60) 및 상기 타겟 패턴(70)이 혼재된 상태에서, 상기 메탈리스 패턴(60)은 제거되고, 상기 타겟 패턴(70)은 잔존될 수 있다.

[98] 본 발명의 실시 예에 따른 미세패턴의 제조 방법은, 상기 기판(100) 상에 상기 베이스 패턴(30)을 형성하는 단계, 상기 기판(100) 및 상기 베이스 패턴(30)을

콘포말하게(conformally) 덮고, 금속 유기물을 포함하는 상기 예비 박막(40)을 형성하는 단계, 상기 베이스 패턴(30)의 사이 및 상기 기관(100)의 상부면에 형성된 상기 예비 박막(40)의 일부분, 및 상기 베이스 패턴(30)의 상부면에 형성된 상기 예비 박막(40)의 일부분을 제거하고, 상기 베이스 패턴(30)의 측면에 형성된 상기 예비 박막(40)의 일부분을 잔존시켜, 상기 예비 패턴(50)을 형성하는 단계, 상기 베이스 패턴을 선택적으로 제거하여, 상기 기관 상에 상기 예비 패턴을 잔존시키는 단계, 상기 예비 패턴(50)을 열처리하여, 상기 예비 패턴(50)으로부터 상기 금속이 제거된 상기 메탈리스 패턴(60)을 형성하는 단계, 및 상기 기관(100) 및 상기 메탈리스 패턴(60) 상에 상기 타겟 물질을 제공하여, 인접한 상기 메탈리스 패턴(60) 사이에 상기 타겟 패턴(70)을 형성하는 단계를 포함할 수 있다. 이에 따라, 미세한 크기의 금속 패턴을 용이하게 제조할 수 있는 미세패턴의 제조 방법이 제공될 수 있다.

[99]

[100] 이상, 본 발명의 실시 예에 따른 미세패턴의 제조 방법이 설명되었다. 이하, 상기 메탈리스 박막의 안티-에칭(anti-etching) 특성을 이용한, 본 발명의 실시 예에 따른 전자 소자의 제조 방법도 12 내지 19를 참조하여 설명된다.

[101] 도 12 및 도 13은 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 트렌치 형성 단계를 나타내는 도면이고, 도 14 및 도 15는 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 활성막 형성 단계를 나타내는 도면이고, 도 16은 본 발명의 실시 예에 따른 전자 소자의 제조 방법 중 게이트 절연막 형성 단계를 나타내는 도면이고, 도 17은 본 발명의 실시 예에 따른 전자 소자를 나타내는 도면이고, 도 18은 본 발명의 변형 예에 따른 전자 소자를 나타내는 도면이고, 도 19는 본 발명의 실시 예 및 변형 예에 따른 전자 소자가 배치된 회로를 나타내는 도면이다.

[102] 도 12 및 도 13을 참조하면, 기관(100) 상에 메탈리스 패턴(300)이 형성될 수 있다. 상기 메탈리스 패턴(300)은 예비 패턴(미도시)이 열처리되어 형성될 수 있다. 일 실시 예에 따르면, 상기 예비 패턴(미도시)의 제조 방법은, 상기 기관(100) 상에 예비 박막(미도시)을 형성하는 단계, 및 상기 예비 박막(미도시)을 식각하는 단계를 포함할 수 있다.

[103] 상기 예비 박막(미도시)은, 상기 기관(100) 상에 제1 전구체 및 제2 전구체가 제공되어 형성될 수 있다. 상기 제1 및 제2 전구체의 구체적인 물질, 및 상기 예비 박막(미도시) 형성에 관한 구체적인 설명은, 도 1 내지 도 3을 참조하여 설명된 바와 같을 수 있다. 이에 따라, 상기 예비 박막(미도시)은 금속 유기물을 포함할 수 있다. 상기 예비 박막(미도시)은 식각될 수 있다. 이에 따라, 상기 예비 패턴(미도시)이 형성될 수 있다.

[104] 상기 예비 패턴(미도시)이 열처리되어, 상기 메탈리스 패턴(300)이 형성될 수 있다. 상기 메탈리스 패턴(300)은 상기 예비 패턴(미도시)으로부터 금속이 제거된 상태일 수 있다. 즉, 상기 예비 패턴(미도시)을 열처리하는 경우, 상기

예비 패턴(미도시)으로부터 금속이 제거되어, 상기 메탈리스 패턴(300)이 형성될 수 있다.

- [105] 일 실시 예에 따르면, 상기 메탈리스 패턴(300)은, 상기 예비 패턴(미도시)이 750°C 이상의 온도에서 열처리되어 형성될 수 있다. 이에 따라, 상기 메탈리스 패턴(300)은 안티-에칭(etching) 특성, 및 안티-그로스(growth) 특성을 가질 수 있다. 상기 메탈리스 패턴(300)이 안티-에칭(etching) 특성을 갖게 되는 구체적인 설명은, 도 1 내지 도 3을 참조하여 설명된, 상기 메탈리스 박막(300)이 안티-에칭(etching) 특성을 갖게 되는 것과 같을 수 있다. 이에 따라, 구체적인 설명은 생략된다.
- [106] 상기 메탈리스 패턴(300)을 마스크(mask)로 이용하여, 외부에 노출된 상기 기판(100)의 일 영역이 식각 될 수 있다. 구체적으로, 상기 메탈리스 패턴(300)이 형성된 상기 기판(100)은 건식 식각 될 수 있다. 이 경우, 상술된 바와 같이, 상기 메탈리스 패턴(300)은 안티-에칭(etching) 특성을 가짐에 따라, 식각되지 않을 수 있다. 이에 따라, 상기 메탈리스 패턴(300)은 잔존되고, 외부에 노출된 상기 기판(100)의 일 영역이 식각 될 수 있다. 그 결과, 상기 메탈리스 패턴(300) 사이에 트렌치(trench, T)가 형성될 수 있다. 상기 트렌치(T)를 사이에 둔, 상기 기판(100) 상부면의 일 영역과 타 영역은, 소스 영역 및 드레인 영역으로 정의될 수 있다.
- [107] 도 14 및 도 15를 참조하면, 상기 트렌치(T)의 내면에는 활성막(active layer, 400)이 형성될 수 있다. 일 실시 예에 따르면, 활성막(400)은 상기 트렌치(T)의 내면을 콘포말하게(conformally) 덮을 수 있다. 구체적으로, 상기 트렌치(T) 내에 소스 물질을 제공하는 방법으로 상기 활성막(400)이 형성될 수 있다. 상기 트렌치(T) 내에 상기 소스 물질이 제공되는 경우, 상술된 바와 같이, 안티-그로스(anti-growth) 특성을 갖는 상기 메탈리스 패턴(300) 상에는, 상기 소스 물질이 증착되지 않을 수 있다. 이에 따라, 상기 소스 물질은 상기 트렌치(T)의 내면에 콘포말하게(conformally) 증착될 수 있다. 그 결과, 상기 활성막(400)은 상기 트렌치(T)의 내면을 콘포말하게(conformally) 덮을 수 있다.
- [108] 일 실시 예에 따르면, 상기 활성막(400)은 트랜지스터의 채널층으로 사용되는 물질을 포함할 수 있다. 상기 활성막(400)이 형성된 이후, 상기 메탈리스 패턴(300)은 제거될 수 있다.
- [109] 도 16을 참조하면, 상기 기판(100), 및 상기 활성막(400)을 콘포말하게 덮는 게이트 절연막(500)이 형성될 수 있다. 구체적으로, 상기 게이트 절연막(500)은 외부에 노출되는 상기 기판의 일 영역을 덮을 수 있다. 또한, 상기 게이트 절연막(500)은 상기 활성막(400)을 콘포말하게 덮을 수 있다.
- [110] 도 17을 참조하면, 상기 트렌치(T) 내에 게이트 전극(600)이 형성될 수 있다. 일 실시 예에 따르면, 상기 게이트 전극(600)은 게이트 바디(body) 및 게이트 헤드(head)를 포함할 수 있다. 상기 게이트 바디는 상기 트렌치(T) 내에 배치될 수 있다. 상기 게이트 헤드는 상기 게이트 바디의 상부면, 및 상기 트렌치(T) 외부에 배치될 수 있다. 상기 게이트 헤드는 상기 게이트 바디 보다 폭이 넓을 수 있다.

이에 따라, 상기 게이트 전극(600)은 머쉬룸(mushroom) 형상을 가질 수 있다.

[111] 보다 구체적으로, 상기 게이트 헤드의 일 단은 상기 소스 영역(미도시) 상에 배치되는 상기 게이트 절연막(500)과 접촉될 수 있다. 반면, 상기 게이트 헤드의 타 단은 상기 드레인 영역(미도시) 상에 배치되는 상기 게이트 절연막(500)과 접촉될 수 있다.

[112] 결과적으로, 상기 실시 예에 따른 전자 소자의 제조 방법을 통해 제조된 전자 소자(ED)는, 상기 트렌치(T)를 포함하는 상기 기판(100), 상기 트렌치(T)를 콘포말하게 덮는 상기 활성막(400), 상기 활성막(400) 및 상기 기판(500)을 콘포말하게 덮는 상기 게이트 절연막(500), 및 상기 트렌치(T) 내에 상기 게이트 절연막(400)의 적어도 일 부분과 접촉되도록 배치되는 상기 게이트 전극(600)을 포함할 수 있다. 구체적인 예를 들어, 상기 실시 예에 따른 전자 소자(ED)는 recessed channel array transistor(RCAT) 구조를 가질 수 있다.

[113] 도 18을 참조하면, 본 발명의 변형 예에 따른 전자 소자(ED)는 도 17을 참조하여 설명된 상기 실시 예에 따른 전자 소자(ED)와 같이, 상기 트렌치(T)를 포함하는 상기 기판(100), 상기 활성막(400), 상기 게이트 절연막(500), 및 상기 게이트 전극(600)을 포함할 수 있다. 다만, 상기 변형 예에 따른 전자 소자(ED)가 포함하는 상기 게이트 절연막(500)은, 상기 활성막(400)을 콘포말하게 덮을 수 있다. 또한, 상기 게이트 전극(600)이 상기 트렌치(T) 내에 배치되되, 상기 게이트 전극(600)의 레벨이 상기 트렌치(T)의 레벨 보다 작을 수 있다. 구체적인 예를 들어, 상기 변형 예에 따른 전자 소자(ED)는 buried channel array transistor(BCAT) 구조를 가질 수 있다. 도 19에 도시된 바와 같이, 상기 실시 예 및 비교 예에 따른 전자 소자(ED)는 DRAM array 회로에 사용될 수 있다.

[114] 본 발명의 실시 예에 따른 전자 소자의 제조 방법은, 상기 기판(100) 상에, 금속 유기물을 포함하는 상기 예비 패턴이 열처리된 복수의 상기 메탈리스 패턴(300)을 형성하는 단계, 상기 메탈리스 패턴(300)을 마스크로 이용하여, 외부에 노출된 상기 기판(100)의 일 영역을 식각하여, 상기 메탈리스 패턴(300) 사이에 상기 트렌치(T)를 형성하는 단계, 상기 트렌치(T)의 내면을 콘포말하게(conformally) 덮는 상기 활성막(400)을 형성하고, 상기 메탈리스 패턴(300)을 제거하는 단계, 상기 메탈리스 패턴(300)이 제거된 상기 기판(100), 및 상기 활성막(400)을 콘포말하게 덮는 상기 게이트 절연막(500)을 형성하는 단계, 및 상기 트렌치(T) 내에, 상기 게이트 절연막(500)의 적어도 일 부분과 접촉되도록 상기 게이트 전극(600)을 형성하는 단계를 포함할 수 있다. 이에 따라, 간단한 방법으로, 대면적 생산이 용이한 전자 소자의 제조 방법이 제공될 수 있다.

[115]

[116] 이상, 본 발명의 실시 예에 따른 메탈리스 박막의 제조 방법, 미세패턴의 제조 방법, 및 전자 소자의 제조 방법이 설명되었다. 이하, 상기 실시 예에 따른 메탈리스 박막의 구체적인 실험 예 및 특성 평가 결과가 설명된다.

- [117] 실시 예에 따른 메탈리스 박막 제조
- [118] 기판이 준비된다. 상기 기판 상에 INCA-1(Bis(trimethylsilyl)amidodiethyl Indium) 및 HQ(Hydroquinone)을 반응시켜, Indicone(Indium alkoxide) 예비 박막을 제조하였다. 이후, Indicone 박막을 열처리하여, 상기 실시 예에 따른 메탈리스 박막을 제조하였다.
- [119] 도 20은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 온도에 따른 메탈리스 박막의 특성 변화를 나타내는 그래프이다.
- [120] 도 20을 참조하면, 상기 실시 예에 따른 Indicone 예비 박막(As), 예비 박막이 300°C의 온도에서 열처리되어 형성된 메탈리스 박막, 예비 박막이 450°C의 온도에서 열처리되어 형성된 메탈리스 박막, 예비 박막이 550°C의 온도에서 열처리되어 형성된 메탈리스 박막, 예비 박막이 600°C의 온도에서 열처리되어 형성된 메탈리스 박막, 예비 박막이 700°C의 온도에서 열처리되어 형성된 메탈리스 박막, 및 예비 박막이 800°C의 온도에서 열처리되어 형성된 메탈리스 박막 각각에 대해 두께 감소율(Thickness decreament, %), 및 굴절율(Refractive index)을 측정하여 나타내었다. 두께 감소율은, 예비 박막에서 메탈리스 박막으로 변하는 동안 감소되는 두께를 측정하였다. 도 20에서 확인할 수 있듯이, 상기 Indicone 예비 박막을 열처리하는 온도가 증가함에 따라, 두께는 감소하고 굴절율은 약간 증가하는 것을 확인할 수 있었다.
- [121] 도 21은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 시간에 따른 메탈리스 박막의 특성 변화를 나타내는 그래프이다.
- [122] 도 21을 참조하면, Indicone 예비 박막을 450°C에서 열처리하여 메탈리스 박막을 제조하되, 열처리 시간을 0 h ~ 10 h로 제어한 후, 열처리 시간에 따라 제조된 메탈리스 박막의 두께 감소율(Thickness Change, %) 및 굴절율(Refractive index)을 측정하여 나타내었다. 도 21에서 확인할 수 있듯이, 상기 Indicone 예비 박막을 열처리하는 시간이 증가함에 따라, 두께는 감소하고 굴절율은 약간 증가하는 것을 확인할 수 있었다.
- [123] 도 22 및 도 23은 본 발명의 실시 예에 따른 메탈리스 박막의 안티-에칭(anti-etching) 특성을 확인하는 그래프이다.
- [124] 도 22를 참조하면, 상기 실시 예에 따른 Indicone 예비 박막(As Deposited Indicone), 예비 박막이 450°C의 온도에서 열처리되어 형성된 메탈리스 박막(450°C Annealed Indicone), 예비 박막이 750°C의 온도에서 열처리되어 형성된 메탈리스 박막(750°C Annealed Indicone), 및 Photo Resist를 준비한 후 각각에 대해 CF₄ 및 아르곤(Ar)을 제공하여 식각을 한 후, 식각 속도(Etch rater, nm/s)를 측정하였다.
- [125] 도 22에서 확인할 수 있듯이, Photo Resist와 비교하여, Indicone 예비 박막 및 메탈리스 박막은 현저하게 낮은 식각 속도를 나타내는 것을 확인할 수 있었다. 또한, 450°C의 온도에서 열처리되어 형성된 메탈리스 박막 보다 750°C의 온도에서 열처리되어 형성된 메탈리스 박막이, 더욱 낮은 식각 속도를 나타내는

것을 확인할 수 있었다.

- [126] 도 23을 참조하면, 상기 실시 예에 따른 Indicone 예비 박막(As Deposited Indicone), 예비 박막이 450°C의 온도에서 1시간 동안 열처리되어 형성된 메탈리스 박막(450°C 1h Annealed Indicone), 예비 박막이 450°C의 온도에서 5시간 동안 열처리되어 형성된 메탈리스 박막(450°C 5h Annealed Indicone), 예비 박막이 450°C의 온도에서 10시간 동안 열처리되어 형성된 메탈리스 박막(450°C 10h Annealed Indicone), 예비 박막이 600°C의 온도에서 1시간 동안 열처리되어 형성된 메탈리스 박막(450°C 1h Annealed Indicone), 예비 박막이 750°C의 온도에서 1시간 동안 열처리되어 형성된 메탈리스 박막(450°C 1h Annealed Indicone), SiO₂ 박막, In₂O₃ 박막, 및 Photo Resist를 준비한 후 각각에 대해 CF₄ 및 아르곤(Ar)을 제공하여 식각을 한 후, 식각 속도(Etch rater, nm/s)를 측정하였다.
- [127] 도 23에서 확인할 수 있듯이, 같은 온도에서 열처리되어 형성된 메탈리스 박막의 경우에도, 열처리된 시간이 현저하게 길어진 경우(10h), 식각이 진행되지 않는 것을 확인할 수 있었다. 즉, 메탈리스 박막이 안티-에칭(etching) 특성을 나타내기 위해서는, Indicone 박막의 열처리 온도를 증가시키는 방법뿐만 아니라, 열처리 시간을 증가시키는 방법 또한 수행될 수 있음을 알 수 있었다.
- [128] 도 24는 예비 박막의 열처리 시간에 따라 제조된 메탈리스 박막 각각에 대한 Raman 분석을 나타내는 그래프이다.
- [129] 도 24를 참조하면, 예비 박막이 450°C의 온도에서 1시간 동안 열처리되어 형성된 메탈리스 박막(450°C 1h Annealed Indicone), 예비 박막이 450°C의 온도에서 5시간 동안 열처리되어 형성된 메탈리스 박막(450°C 5h Annealed Indicone), 및 예비 박막이 450°C의 온도에서 10시간 동안 열처리되어 형성된 메탈리스 박막(450°C 10h Annealed Indicone) 각각에 대해 Raman shift(cm⁻¹)에 따른 Etch rater(nm/s)를 측정하여 나타내었다. 도 24에서 확인할 수 있듯이, 예비 박막의 열처리 시간이 증가함에 따라, 메탈리스 박막에 구조 변화가 발생하는 것을 확인할 수 있었다.
- [130] 도 25내지 도 29는 본 발명의 실시 예에 따른 메탈리스 박막의 안티-그로스(anti-growth) 특성을 나타내는 그래프이다.
- [131] 도 25를 참조하면, Si 박막(Si), 예비 박막이 450°C의 온도에서 열처리되어 형성된 메탈리스 박막(450°C Annealed Indicone), 예비 박막이 600°C의 온도에서 열처리되어 형성된 메탈리스 박막(600°C Annealed Indicone), 및 예비 박막이 750°C의 온도에서 열처리되어 형성된 메탈리스 박막(750°C Annealed Indicone)을 준비한 후, 각각의 박막 상에 ZnO를 증착시켰다. ZnO 증착은 ALD 공정으로 수행되었으며, 수행 cycle에 따른 ZnO의 두께(ZnO thickness, nm)를 측정하여 나타내었다. 도 25의 구체적인 실험 결과는 아래 <표 1>을 통해 정리된다.

[132] [표1]

구분	ZnO 증착 두께 (nm)	
	20 cycle	60 cycle
Si 박막	4.6	10.5
메탈리스 박막(450°C)	1.3	8.8
메탈리스 박막(600°C)	0.2	5.2
메탈리스 박막(750°C)	0.4	4.4

- [133] 도 25 및 <표 1>에서 확인할 수 있듯이, ZnO 증착 공정이 20 cycle 수행된 경우, Si 박막과 비교하여, 메탈리스 박막 상에서는 ZnO의 증착 두께가 현저히 얇은 것을 확인할 수 있었다. 즉, 예비 박막이 450°C 이상의 온도에서 형성된 메탈리스 박막은, 안티-그로스(anti-growth) 특성을 나타내는 것을 확인할 수 있었다. 도 26을 참조하면, Si 박막 상에 ZnO 증착 공정을 20 cycle 및 100 cycle 수행시켜 박막을 증착시킨 후, 증착된 박막 내의 Zn 함유량을 확인하기 위해, Binding Energy(eV)에 따른 Zn 2p Intensity를 측정하여 나타내었다. 도 26에서 확인할 수 있듯이, Si 박막의 경우, ZnO 증착 공정이 수행됨에 따라 ZnO 박막 내의 Zn 함유량이 현저히 증가되는 것을 확인할 수 있었다. 즉, Si 박막 상에는, ZnO 박막의 증착이 용이하게 이루어짐을 알 수 있었다.
- [134] 도 27 및 도 28을 참조하면, Indicone 예비 박막이 600°C 및 750°C의 온도에서 열처리되어 형성된 메탈리스 박막을 준비한 후, 준비된 메탈리스 박막 상에 ZnO 증착 공정을 20 cycle 및 100 cycle 수행시켜 박막을 증착시킨 후, 증착된 박막 내의 Zn 함유량을 확인하기 위해, Binding Energy(eV)에 따른 Zn 2p Intensity를 측정하여 나타내었다. 도 27 및 도 28에서 확인할 수 있듯이, 메탈리스 박막 상에 ZnO 증착 공정을 20 cycle 수행했음에도 불구하고, 증착된 박막 내의 Zn 함유량은 매우 낮은 것을 확인할 수 있었다. 즉, 메탈리스 박막 상에 ZnO의 증착이 용이하게 이루어지지 않았음을 확인할 수 있었다.
- [135] 도 29를 참조하면, Si 박막(On Si substrate), 예비 박막이 600°C의 온도에서 열처리되어 형성된 메탈리스 박막(On 600°C annealed Indicone), 및 예비 박막이 750°C의 온도에서 열처리되어 형성된 메탈리스 박막(On 600°C annealed Indicone)을 준비한 후, 각각의 박막 상에 ZnO 증착 공정을 수행하였다. 이후, ZnO 증착 공정 cycle 횟수(ZnO cycle)에 따른 Zn의 함유량(Zn Concentration, %)을 측정하여 나타내었다. 도 29에서 확인할 수 있듯이, Si 박막과 비교하여 메탈리스 박막에서는 ZnO의 증착이 용이하게 이루어지지 않는 것을 확인할 수 있었다.
- [136] 도 30 내지 도 37은 본 발명의 실시 예에 따른 메탈리스 박막을 이용한 선택적 증착 공정을 확인하는 도면들이다.
- [137] 도 30을 참조하면, Si 기판 상의 특정 영역 상에 Indicone 예비 박막을 형성하였다. 이후, 예비 박막을 열처리하여 메탈리스 박막을 형성하였다. 도

30에서 나타낸 Si는 메탈리스 박막 없이 Si 기판이 외부로 노출된 영역을 나타내고, Indicone은 메탈리스 박막을 나타낸다.

- [138] 도 31을 참조하면, 도 30에서 설명된 기판을 준비하되, Indicone 예비 박막을 600°C에서 열처리하여 메탈리스 박막을 형성하였다. 이후, 준비된 기판 상에 ZnO를 증착시키고, 메탈리스 박막이 형성된 영역과 Si 기판 영역 상의 Zn, O, 및 C의 성분을 측정하기 위해 AES(Auger Electron Spectroscopy) Line Scan을 수행하였다. 도 31에서 확인할 수 있듯이, 메탈리스 박막 상에는 Zn 및 O 성분이 현저하게 적고, Si 기판 영역 상에는 Zn 및 O의 성분이 많은 것을 확인할 수 있었다.
- [139] 도 32를 참조하면, 도 30에서 설명된 기판을 준비하되, Indicone 예비 박막을 750°C에서 열처리하여 메탈리스 박막을 형성하였다. 이후, 준비된 기판 상에 ZnO를 증착시키고, 메탈리스 박막이 형성된 영역과 Si 기판 영역 상의 Zn, O, 및 C의 성분을 측정하기 위해, AES(Auger Electron Spectroscopy) Line Scan을 수행하였다. 도 32에서 확인할 수 있듯이, 메탈리스 박막 상에는 Zn 및 O 성분이 현저하게 적고, Si 기판 영역 상에는 Zn 및 O의 성분이 많은 것을 확인할 수 있었다.
- [140] 도 33을 참조하면, Si 기판 상의 특정 영역 상에 Indicone 예비 박막을 형성하였다. 이후, 예비 박막을 열처리하여 메탈리스 박막을 형성하였다. 도 32에서 나타낸 Si는 메탈리스 박막 없이 Si 기판이 외부로 노출된 영역을 나타내고, Indicone은 메탈리스 박막을 나타낸다.
- [141] 도 34 내지 도 37을 참조하면, 도 33에서 설명된 기판을 준비한 후, 기판 상에 ZnO를 증착시키고, 메탈리스 박막이 형성된 영역과 Si 기판 영역 상의 Zn, O, 및 C의 성분을 측정하기 위해, AES(Auger Electron Spectroscopy) mapping을 수행하였다. 도 34 내지 도 37에서 확인할 수 있듯이, 메탈리스 영역 상에는 Zn 및 O의 함유량이 매우 적고, C의 함유량이 많은 것을 확인할 수 있었다. 반면, Si 기판 영역 상에는 Zn 및 O의 함유량이 많은 것을 확인할 수 있었다. 즉, 도 30 내지 도 37을 통해 알 수 있듯이, 본 발명의 실시 예에 따른 메탈리스 박막은, 안티-그로스(anti-growth) 특성을 갖는 것을 확인할 수 있었다.
- [142] 도 38은 본 발명의 실시 예에 따른 메탈리스 박막의 제조 과정 중, 예비 박막의 열처리 온도에 따른 성분 변화를 나타내는 그래프이다.
- [143] 도 38을 참조하면, Indicone 예비 박막(As Indicone), 예비 박막이 300°C의 온도에서 열처리되어 형성된 메탈리스 박막(300°C annealed), 예비 박막이 450°C의 온도에서 열처리되어 형성된 메탈리스 박막(450°C annealed), 예비 박막이 600°C의 온도에서 열처리되어 형성된 메탈리스 박막(600°C annealed), 및 예비 박막이 750°C의 온도에서 열처리되어 형성된 메탈리스 박막(750°C annealed) 각각에 대해 Raman 분석을 수행한 후, 조성을 분석하였다. 결과는 아래 <표 2>를 통해 정리된다.

[144] [표2]

구분	Carbon	Indium	Oxygen	Nitrogen
As Indicone	51.3	21.6	27.1	0
300°C annealed	88.2	2.3	9.5	0
450°C annealed	94.4	0	5.6	0
600°C annealed	96.8	0	3.2	0
750°C annealed	97.3	0	2.7	0

[145] 도 38 및 <표 2>에서 확인할 수 있듯이, 예비 박막의 열처리 온도가 증가함에 따라, 탄소(C)의 함유량은 증가하고, 인듐(In) 및 산소(O)의 함유량은 현저히 감소하는 것을 확인할 수 있었다.

[146] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

산업상 이용가능성

[147] 본 발명의 실시 예에 따른 박막의 제조 방법, 미세 패턴의 제조 방법, 및 전자 소자의 제조 방법은, 반도체 공정, 디스플레이 공정 등 다양한 산업 분야에서 활용될 수 있다.

[148]

청구범위

- [청구항 1] 기판을 준비하는 단계;
상기 기판 상에, 금속을 포함하는 제1 전구체, 및 벤젠 고리를 포함하는 제2 전구체를 제공하여, 금속 유기물을 포함하는 예비 박막을 형성하는 단계; 및
상기 예비 박막을 열처리하여, 상기 예비 박막으로부터 상기 금속이 제거된 메탈리스(metalless) 박막을 형성하는 단계를 포함하는 메탈리스 박막의 제조 방법.
- [청구항 2] 제1 항에 있어서,
상기 예비 박막의 열처리 온도를 제어하여, 상기 메탈리스 박막의 식각률(etching rate)이 제어되는 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 3] 제2 항에 있어서,
상기 예비 박막이 750°C 이상의 온도에서 열처리 되는 경우, 상기 메탈리스 박막의 식각률이 감소되는 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 4] 제1 항에 있어서,
상기 예비 박막의 열처리 온도를 제어하여, 상기 예비 박막 내의 반응기의 양을 제어하는 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 5] 제4 항에 있어서,
상기 예비 박막이 450°C 이상의 온도에서 열처리 되는 경우, 상기 예비 박막 내의 반응기의 양이 감소되고, 상기 예비 박막 상에 증착되는 물질막의 증착률이 감소되는 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 6] 제1 항에 있어서,
상기 메탈리스 박막은, 상기 예비 박막이 열처리되어 그래피틱 탄소화(graphitic carbon)된 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 7] 제1 항에 있어서,
상기 메탈리스 박막 내의 탄소 결합 중 C=C sp² 결합의 비율은, 상기 예비 박막 내의 탄소 결합 중 C=C sp² 결합의 비율보다 큰 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 8] 제1 항에 있어서,
상기 메탈리스 박막 내의 탄소 결합 중 C-OH 결합의 비율은, 상기 예비 박막 내의 탄소 결합 중 C-OH 결합의 비율보다 작은 것을 포함하는 메탈리스 박막의 제조 방법.
- [청구항 9] 제1 항에 있어서,
상기 제2 전구체는, HQ(Hydroquinone) 또는 4-mercaptophenol 중 어느

- 하나를 포함하는 메탈리스 박막의 제조 방법.
- [청구항 10] 제1 항에 있어서,
상기 금속은, 인듐(In), 알루미늄(Al), 아연(Zn), 티타늄(Ti), 주석(Sn), 또는 갈륨(Ga) 중 어느 하나를 포함하는 메탈리스 박막의 제조 방법.
- [청구항 11] 기관 상에 베이스 패터를 형성하는 단계;
상기 기관 및 상기 베이스 패터를 콘포말하게(conformally) 덮고, 금속 유기물을 포함하는 예비 박막을 형성하는 단계;
상기 베이스 패터의 사이 및 상기 기관의 상부면에 형성된 상기 예비 박막의 일부분, 및 상기 베이스 패터의 상부면에 형성된 상기 예비 박막의 일부분을 제거하고, 상기 베이스 패터의 측면에 형성된 상기 예비 박막의 일부분을 잔존시켜, 예비 패터를 형성하는 단계;
상기 베이스 패터를 선택적으로 제거하여, 상기 기관 상에 상기 예비 패터를 잔존시키는 단계;
상기 예비 패터를 열처리하여, 상기 예비 패터로부터 상기 금속이 제거된 메탈리스 패터를 형성하는 단계; 및
상기 기관 및 상기 메탈리스 패터 상에 타겟 물질을 제공하여, 인접한 상기 메탈리스 패터 사이에 타겟 패터를 선택적으로 형성하는 단계를 포함하는 미세패터의 제조 방법.
- [청구항 12] 제11항에 있어서,
상기 기관 상에 상기 베이스 패터를 형성하는 단계는,
상기 기관 상에 유기물 패터를 형성하는 단계;
상기 유기물 패터 내에 무기물 소스를 침투시켜, 상기 유기물 패터의 일 영역을 혼합막으로 변환하되, 상기 혼합막은, 잔존된 상기 유기물 패터의 상부면 및 측면을 덮는 단계;
상기 잔존된 유기물 패터 상부면 상의 상기 혼합막의 일부를 제거하고, 상기 잔존된 유기물 패터 측면 상의 상기 혼합막을 잔존시켜, 상기 잔존된 유기물 패터 측면 상에 상기 베이스 패터를 형성하는 단계; 및
상기 잔존된 유기물 패터를 선택적으로 제거하여, 상기 기관 상에 상기 베이스 패터를 잔존시키는 단계를 포함하는 미세패터의 제조 방법.
- [청구항 13] 기관 상에, 금속 유기물을 포함하는 예비 패터가 열처리된 복수의 메탈리스 패터를 형성하는 단계;
상기 메탈리스 패터를 마스크로 이용하여, 외부에 노출된 상기 기관의 일 영역을 식각하여, 상기 메탈리스 패터 사이에 트렌치(trench)를 형성하는 단계;
상기 트렌치의 내면을 콘포말하게(conformally) 덮는 활성막을 형성하고, 상기 메탈리스 패터를 제거하는 단계;
상기 메탈리스 패터가 제거된 상기 기관, 및 상기 활성막을 콘포말하게 덮는 게이트 절연막을 형성하는 단계; 및

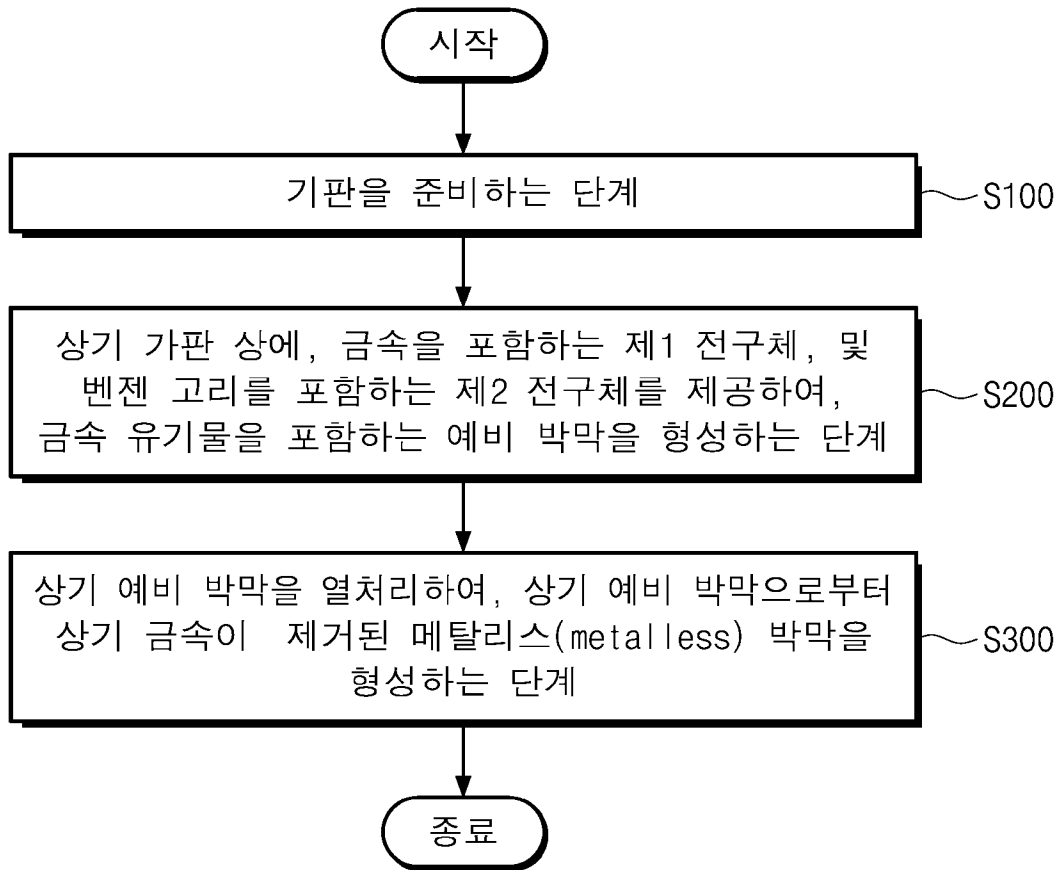
상기 트렌치 내에, 상기 게이트 절연막의 적어도 일 부분과 접촉되도록 게이트 전극을 형성하는 단계를 포함하는 전자 소자의 제조 방법.

[청구항 14]

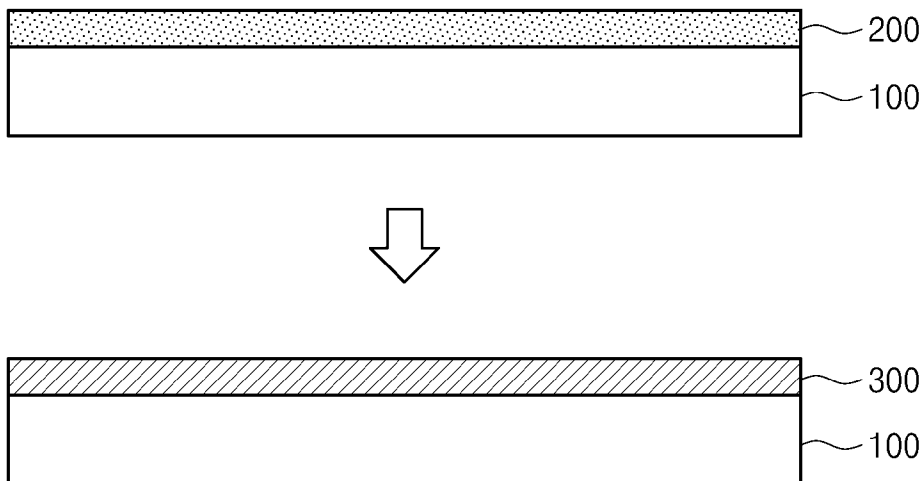
제13 항에 있어서,

상기 게이트 전극은, 상기 트렌치 내에 배치되는 게이트 바디, 및 상기 게이트 바디보다 폭이 넓고 상기 게이트 바디의 상부에 배치되는 게이트 헤드를 포함하며, 머쉬룸(mushroom) 형태를 갖는 전자 소자의 제조 방법.

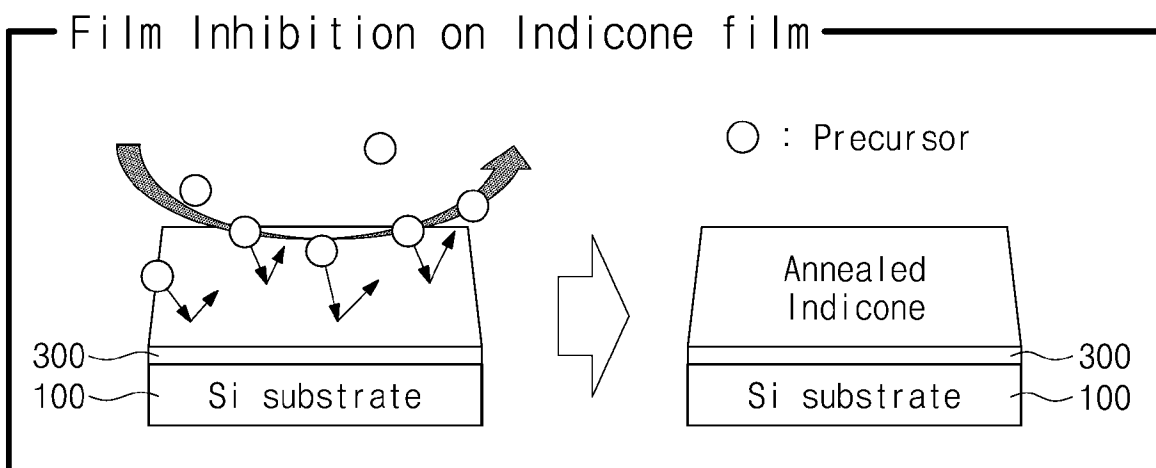
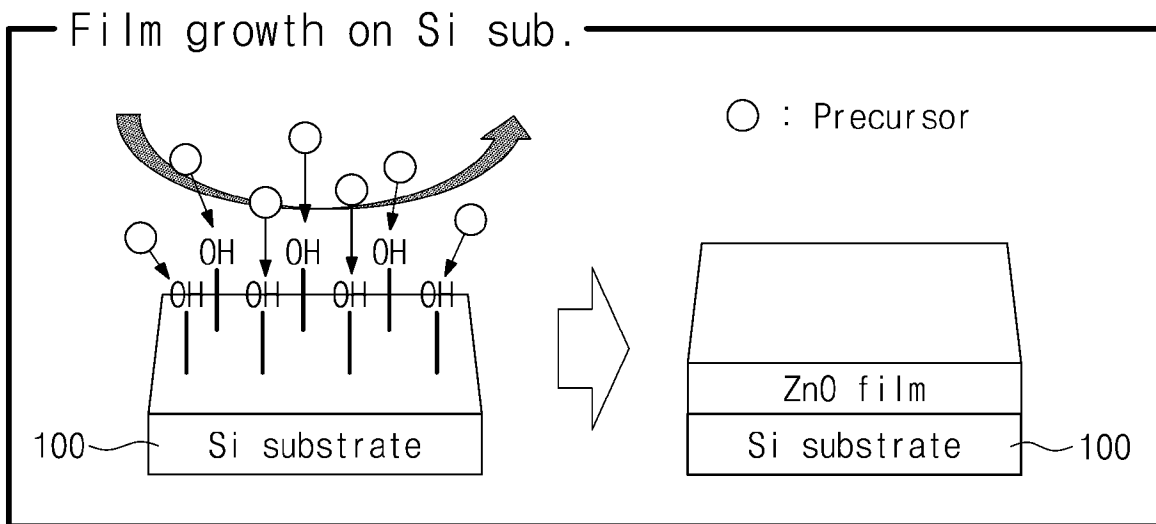
[도1]



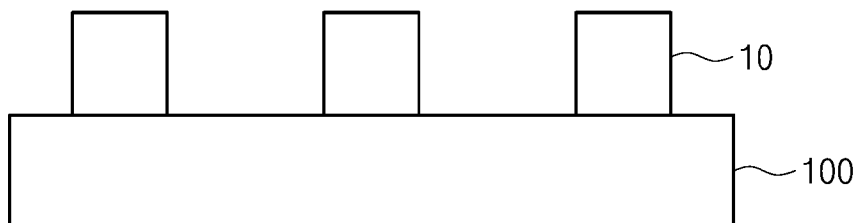
[도2]



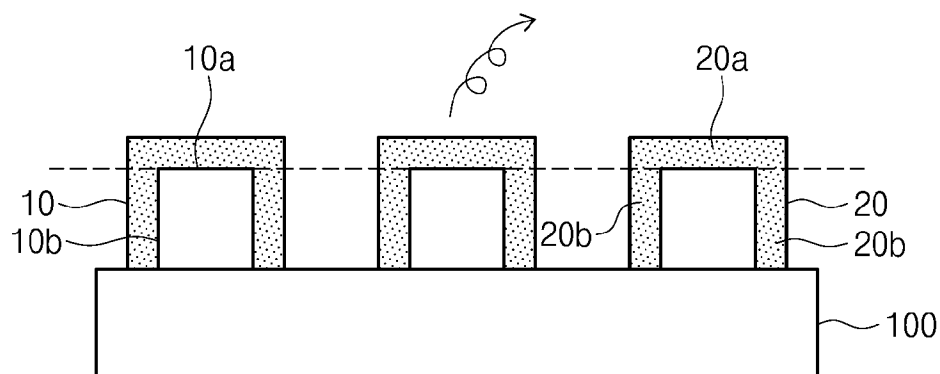
[도3]



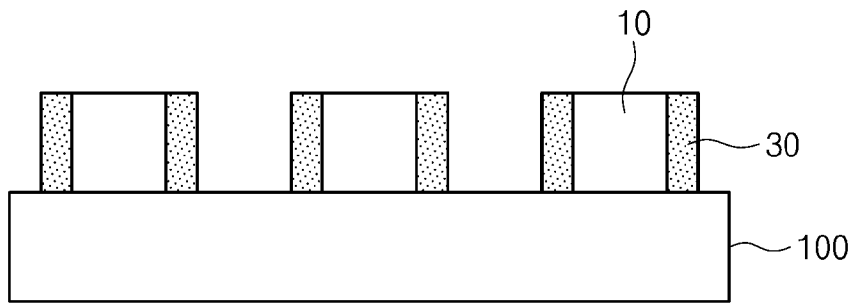
[도4]



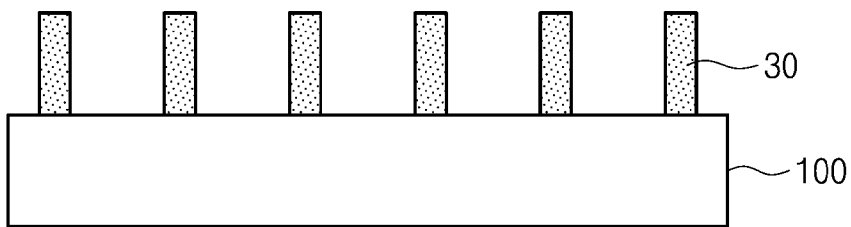
[도5]



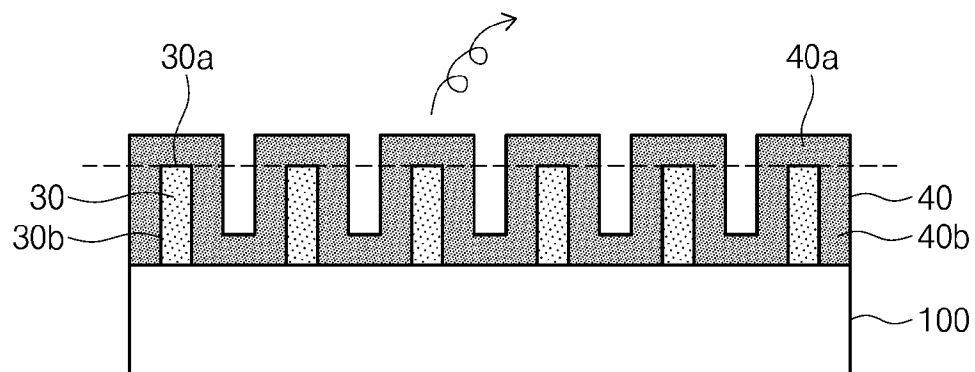
[도6]



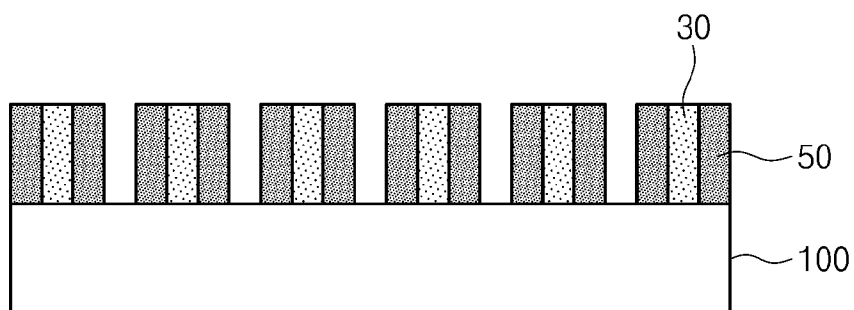
[도7]



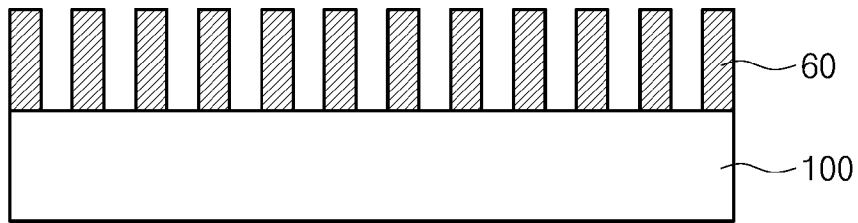
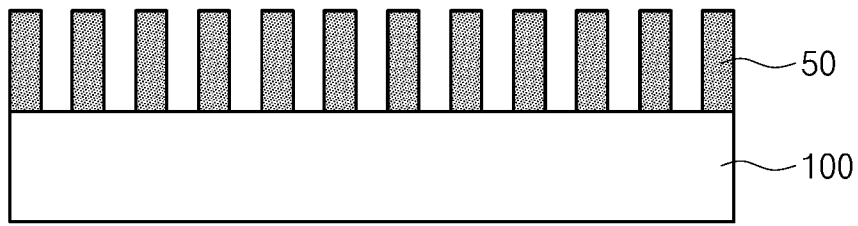
[도8]



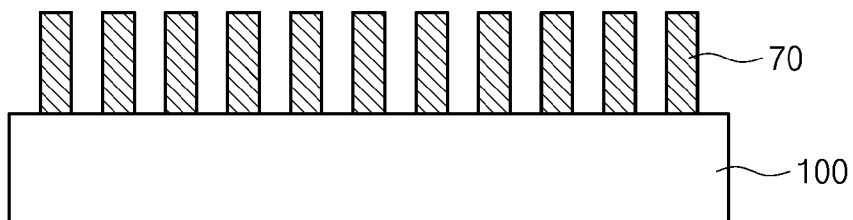
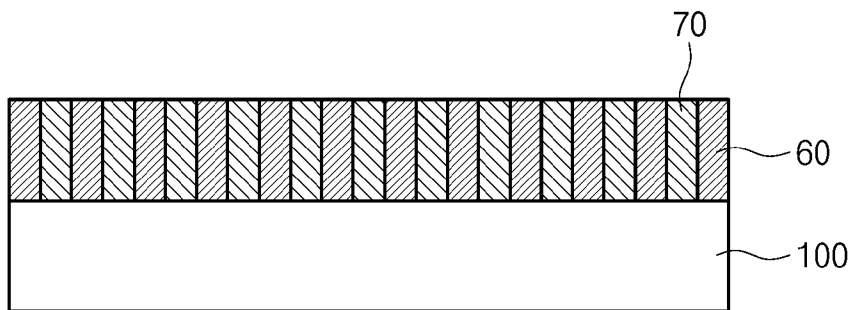
[도9]



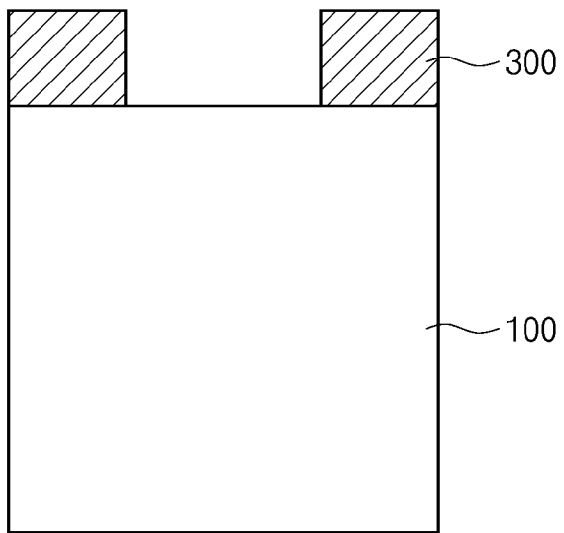
[도10]



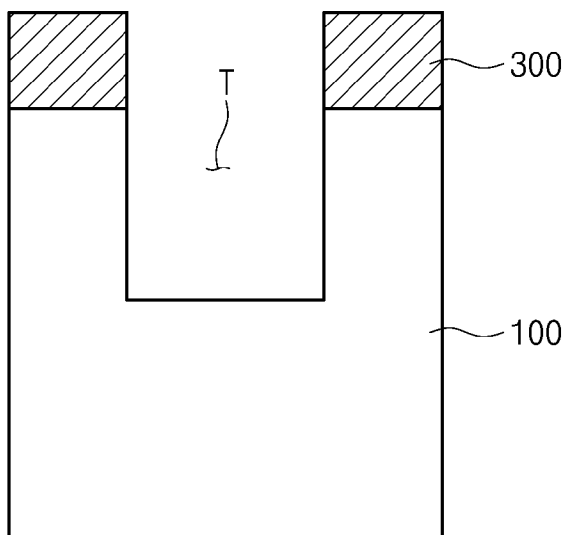
[도11]



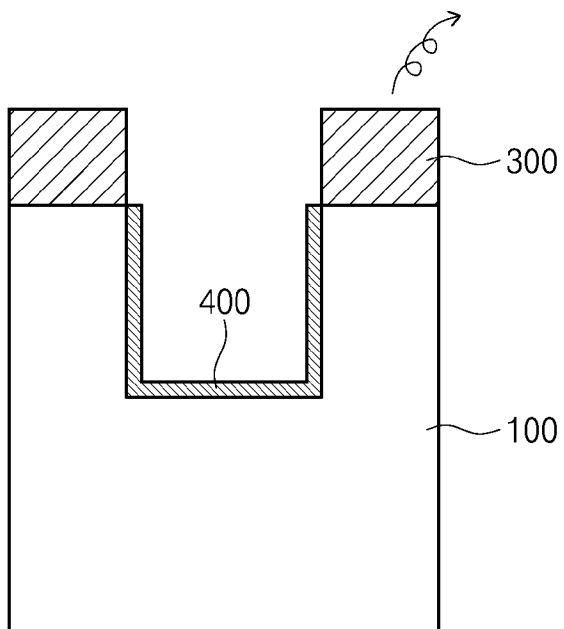
[도12]



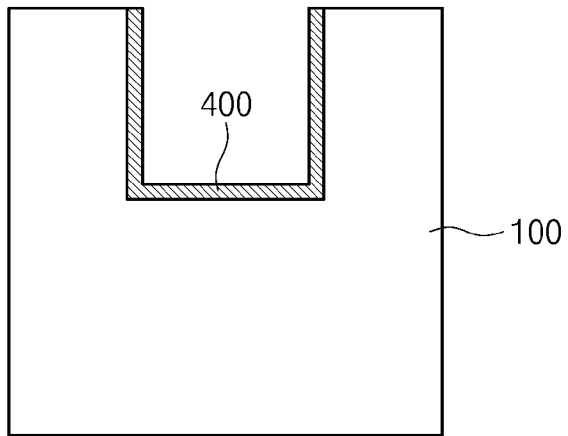
[도13]



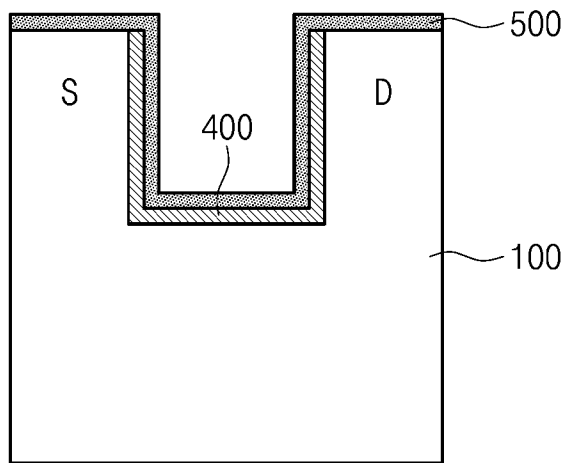
[도14]



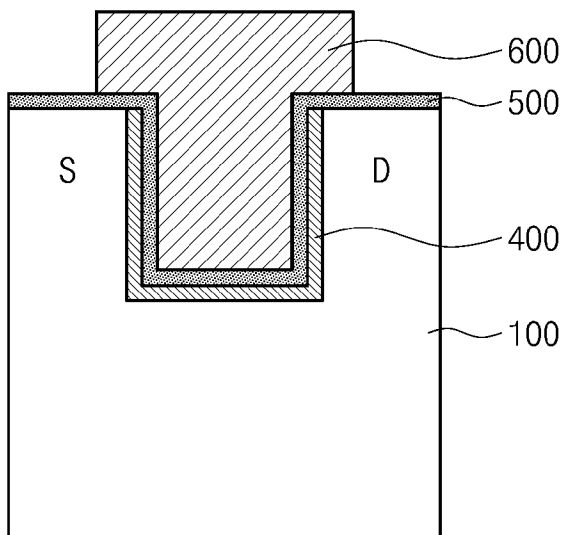
[도15]



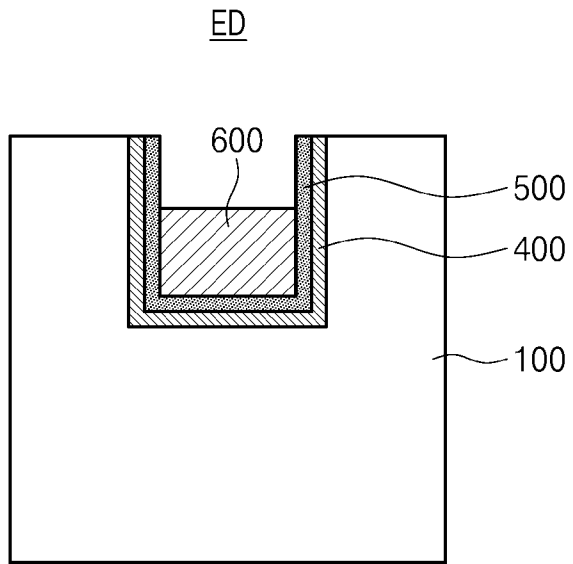
[도16]



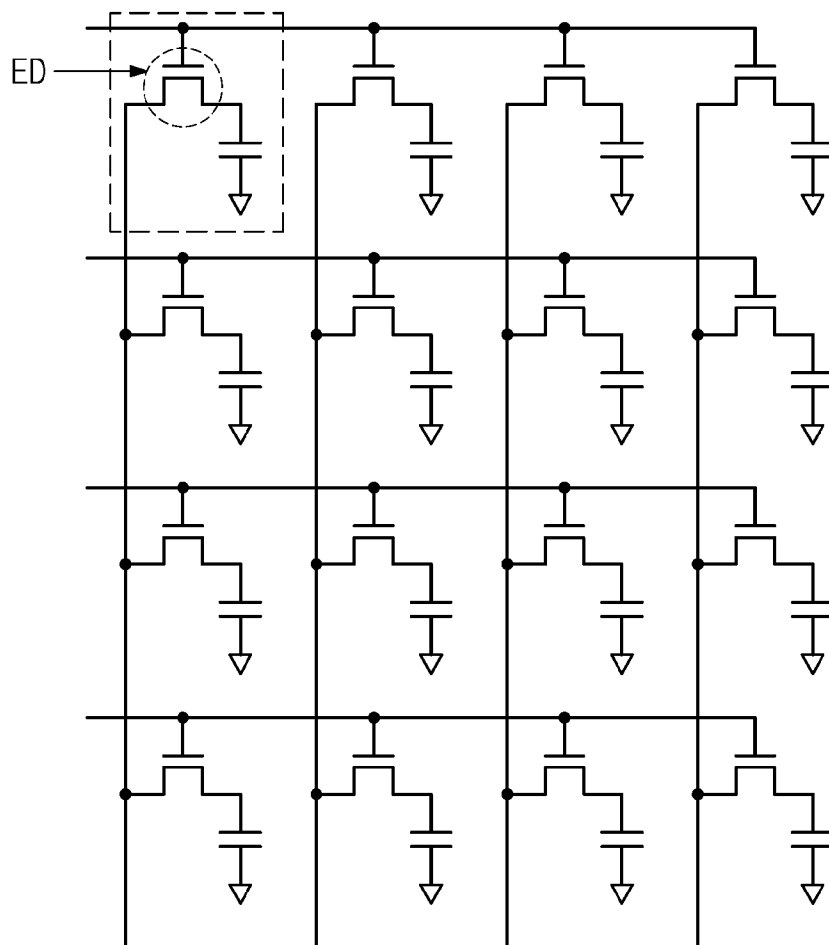
[도17]

ED

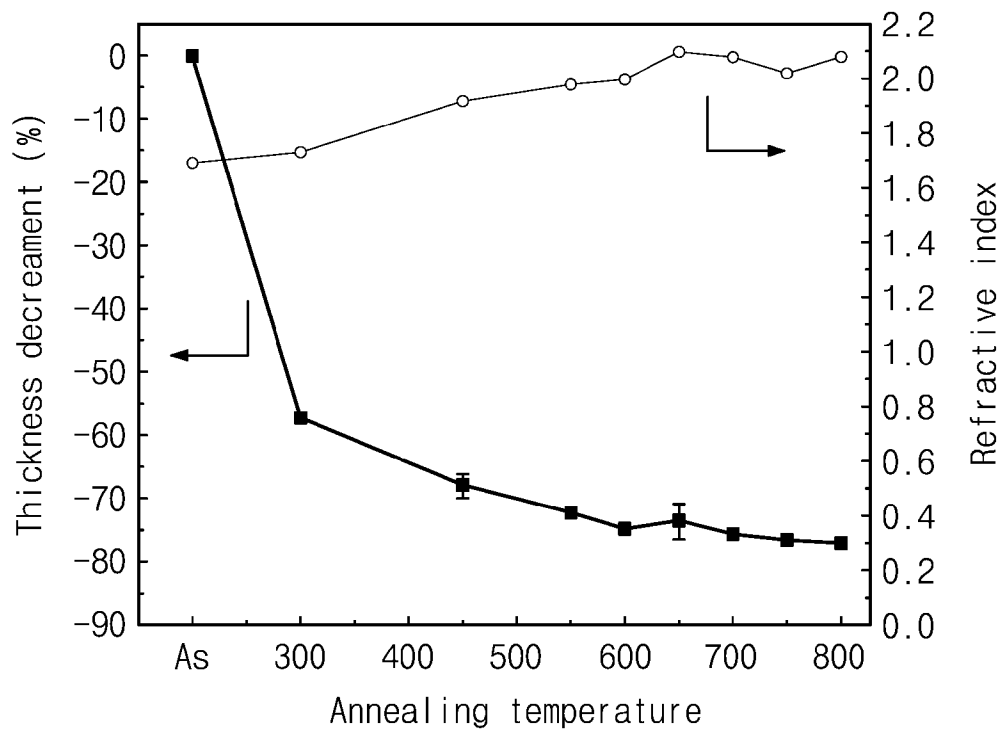
[도18]



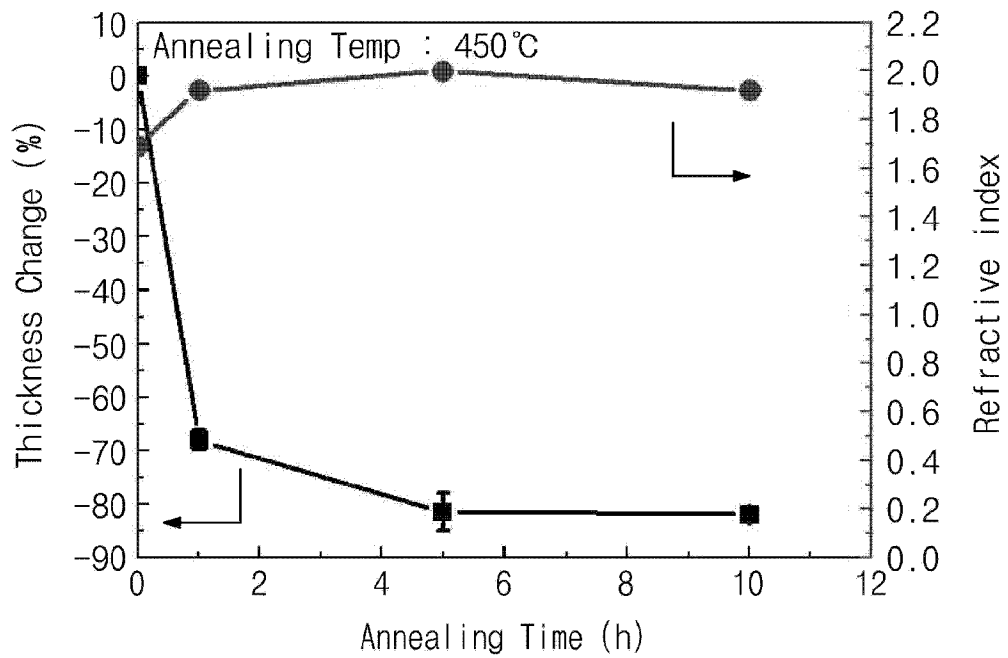
[도19]



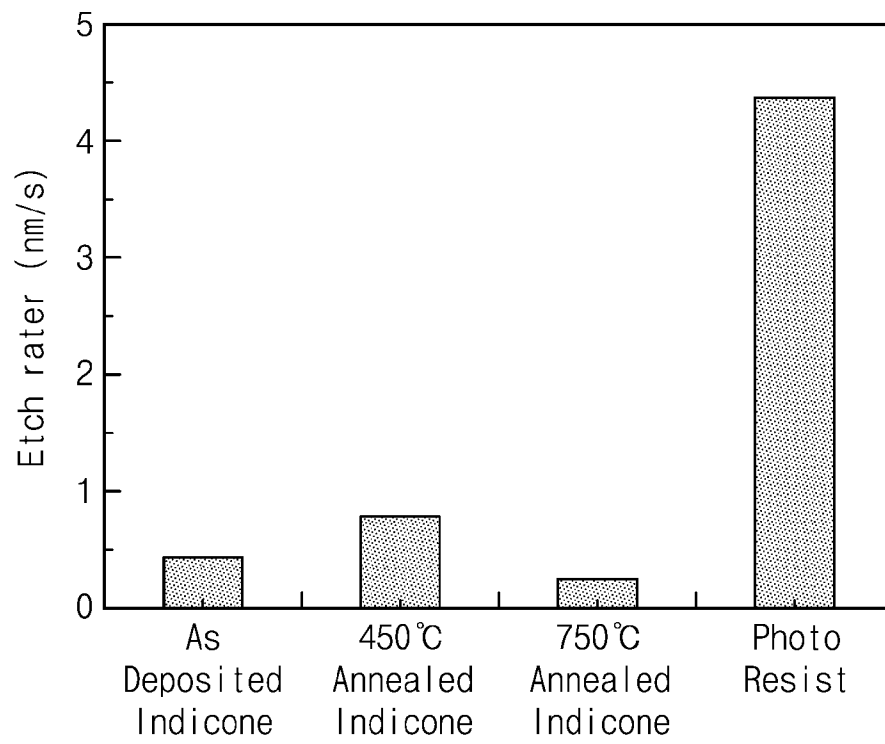
[도20]



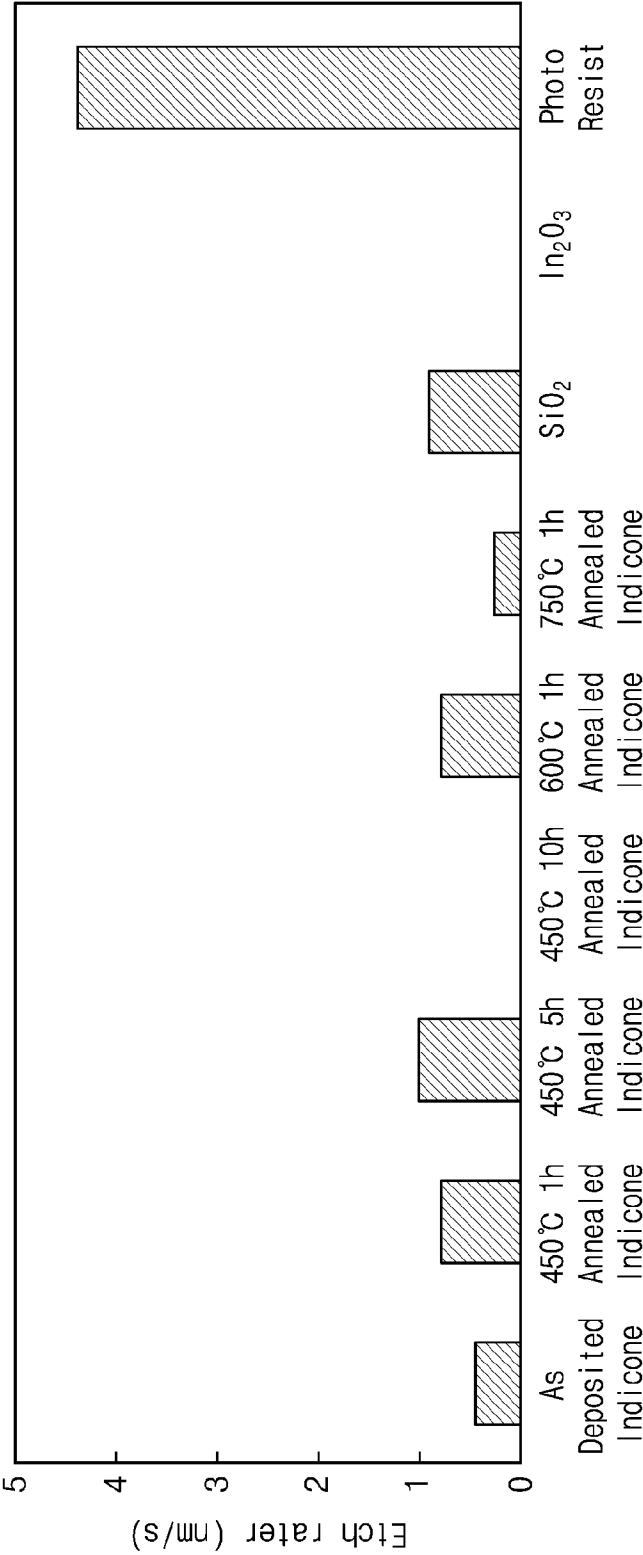
[도21]



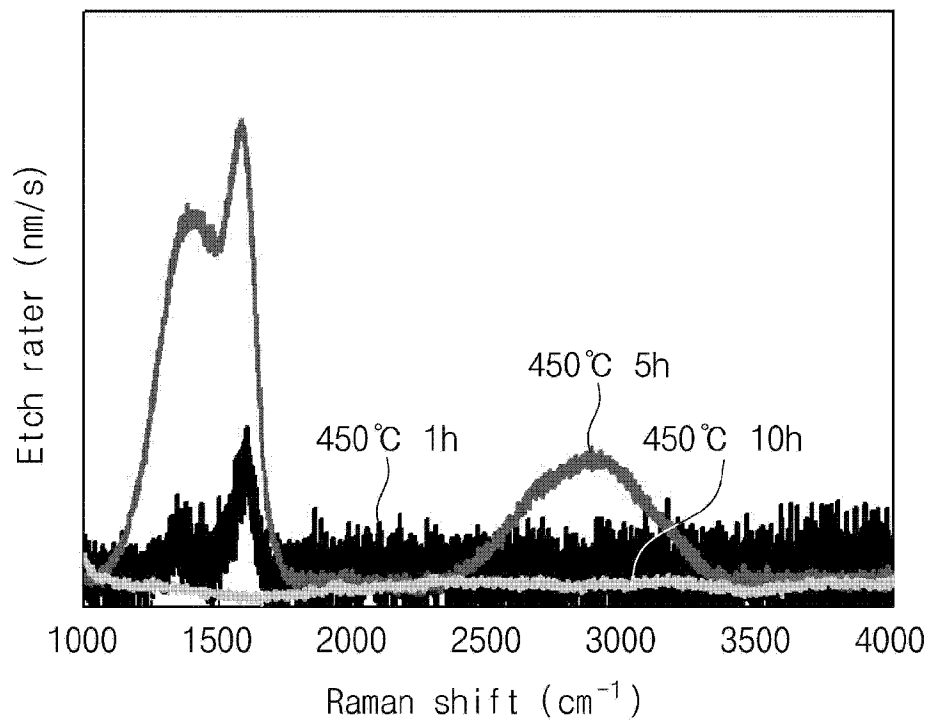
[도22]



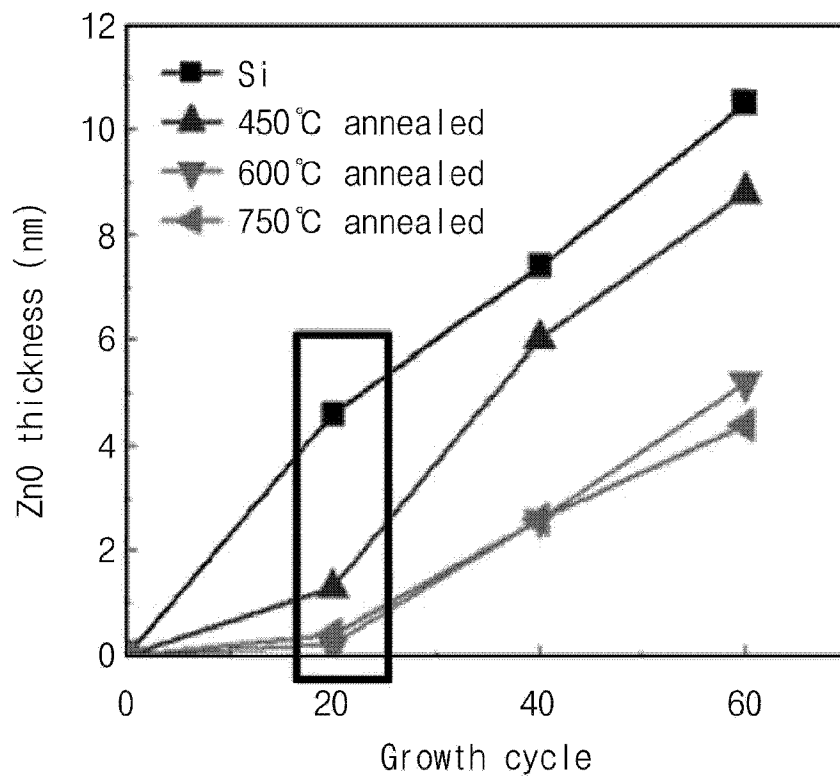
[도23]



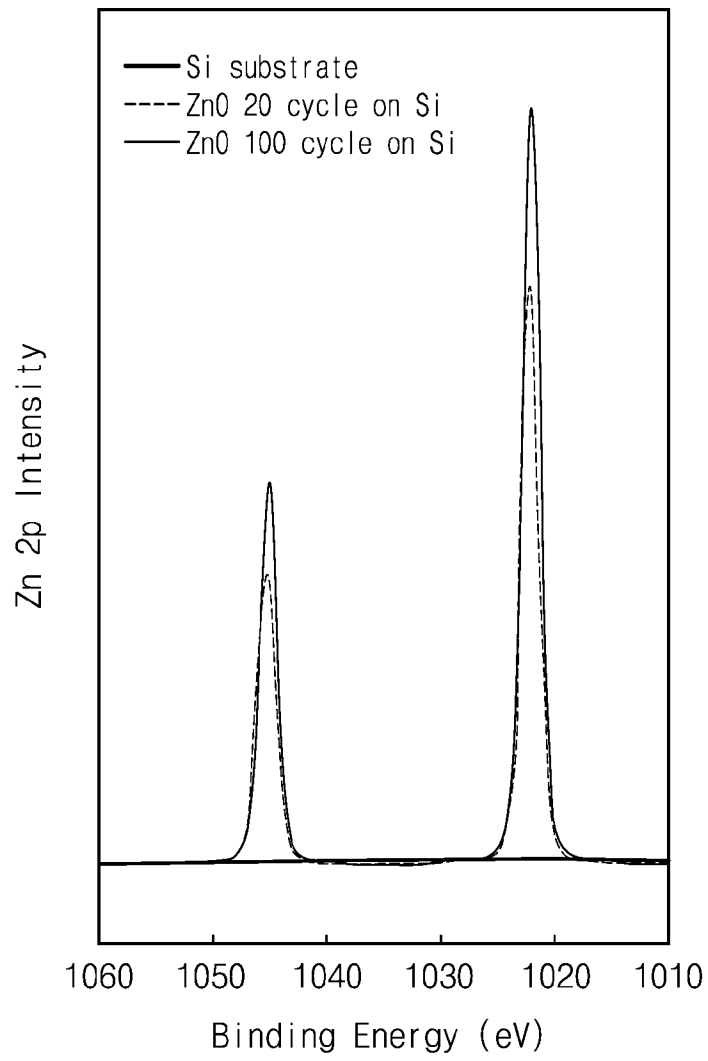
[도24]



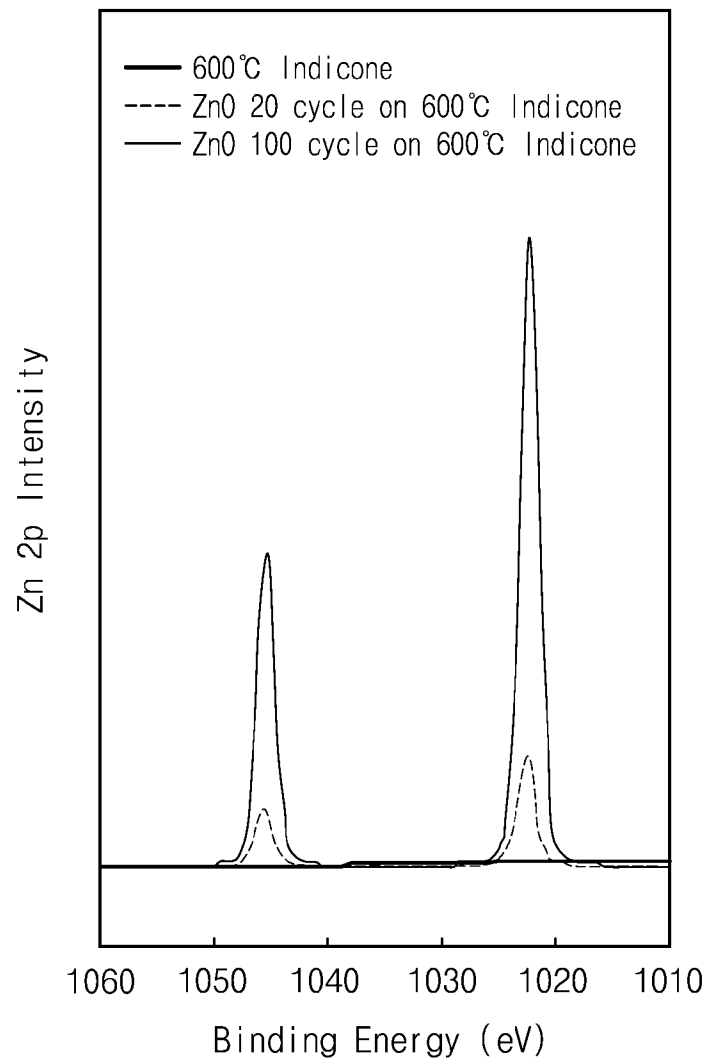
[도25]



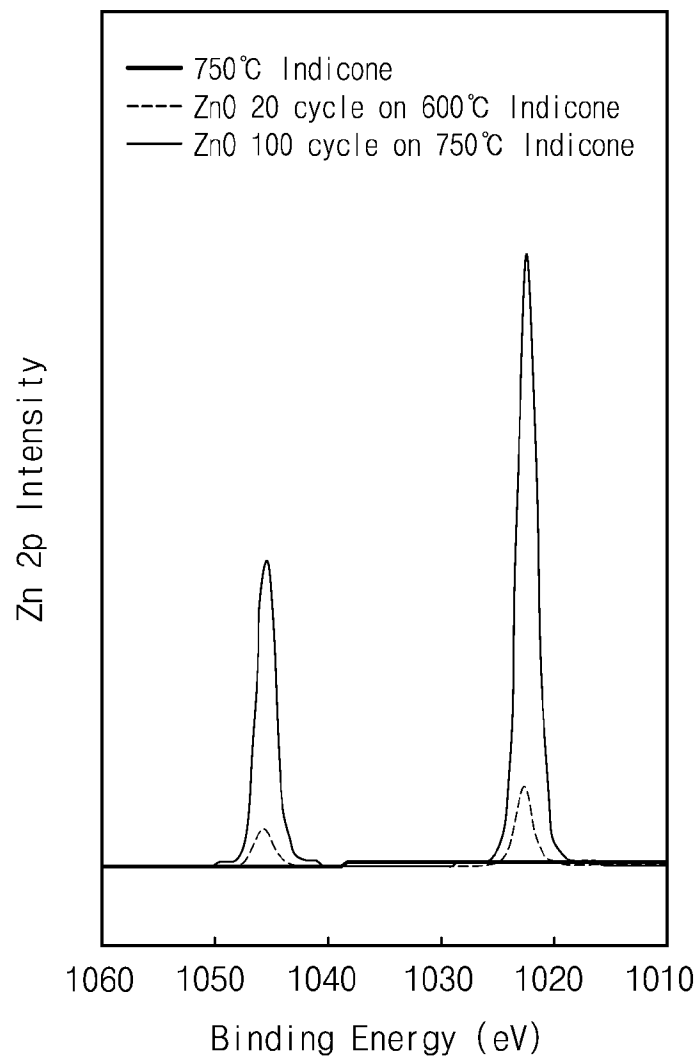
[도26]



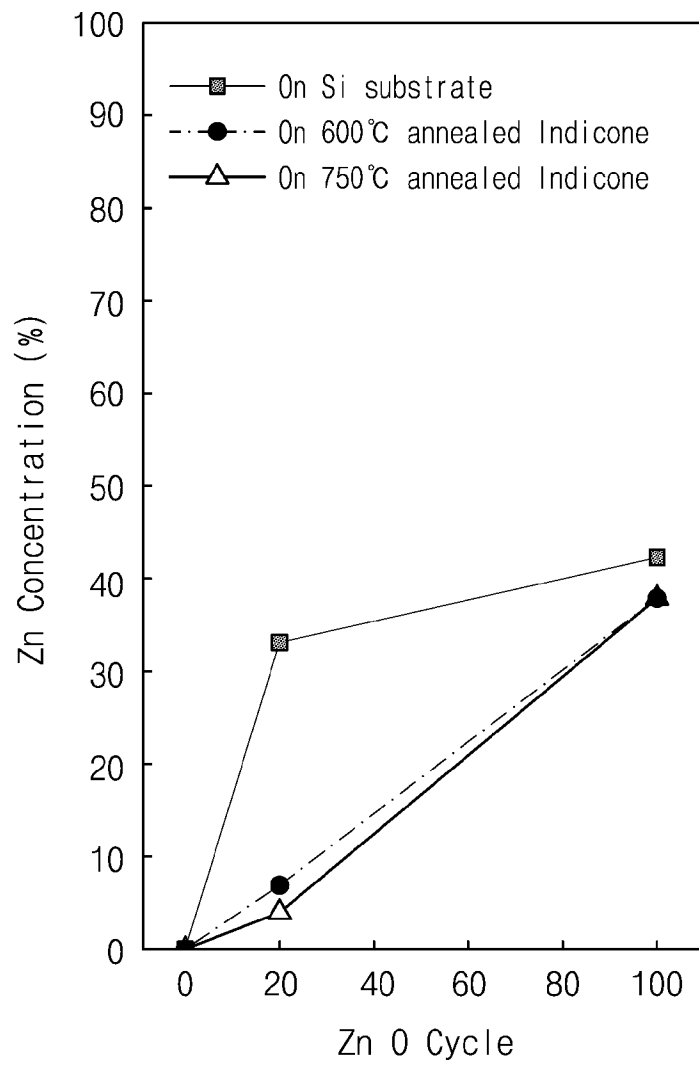
[도27]



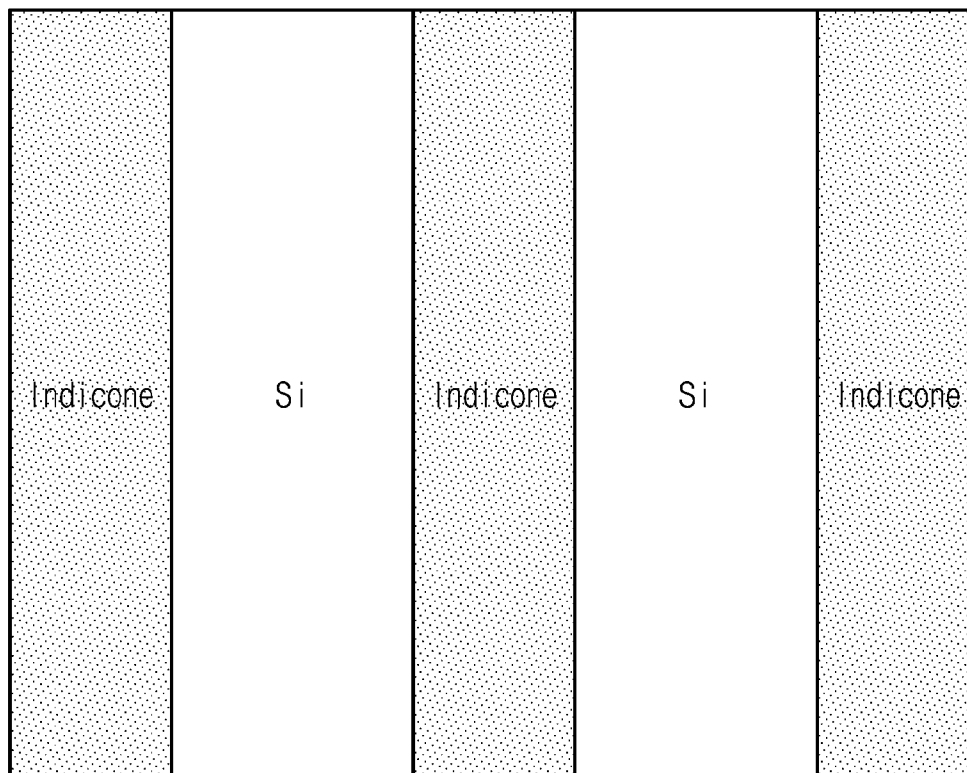
[도28]



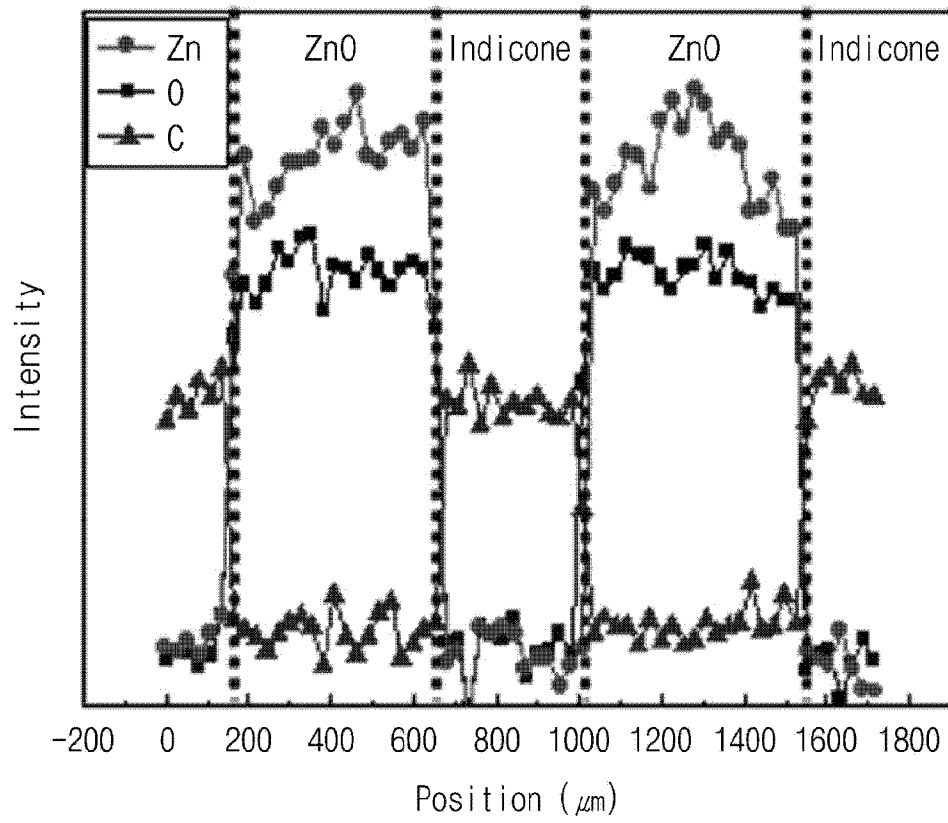
[도29]



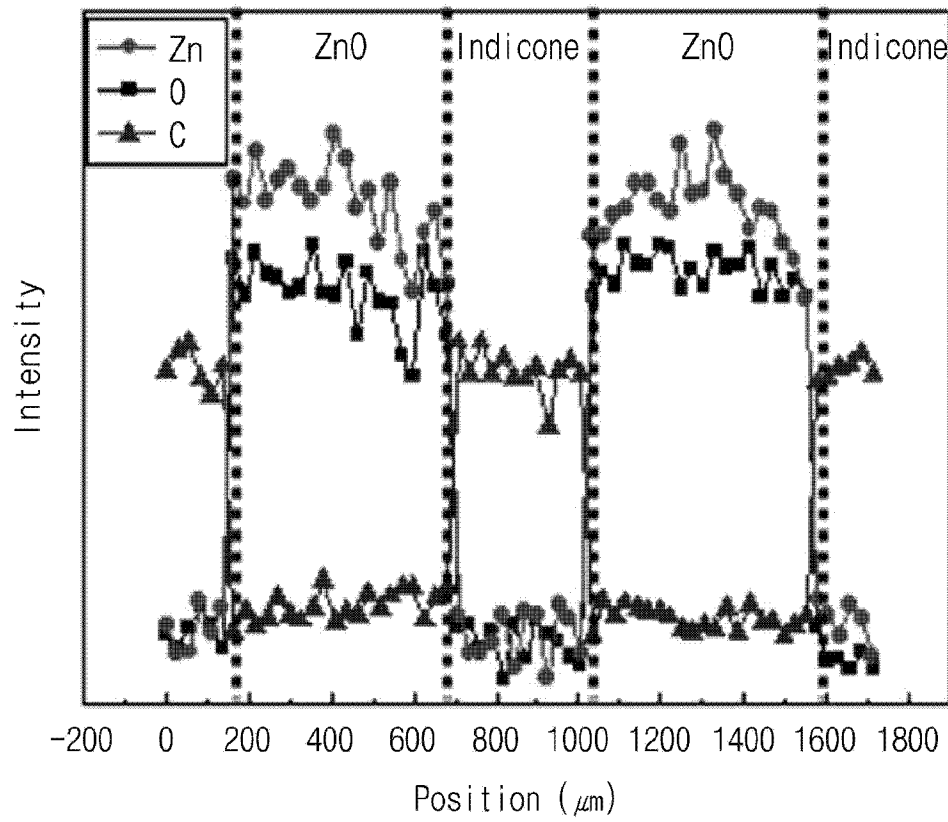
[도30]



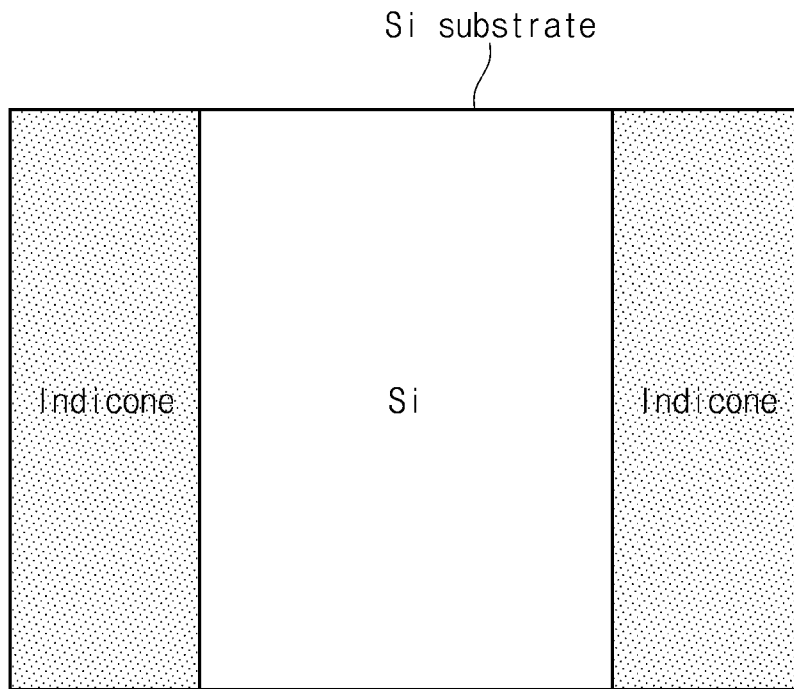
[도31]



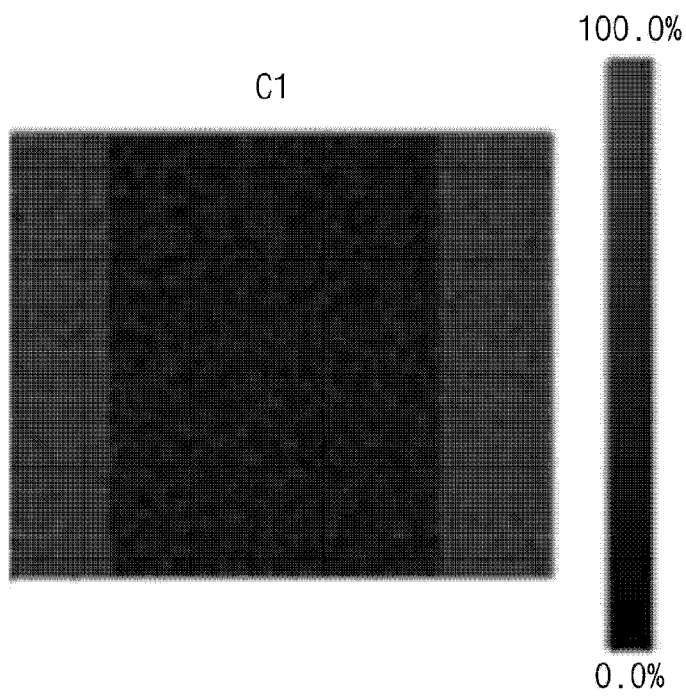
[도32]



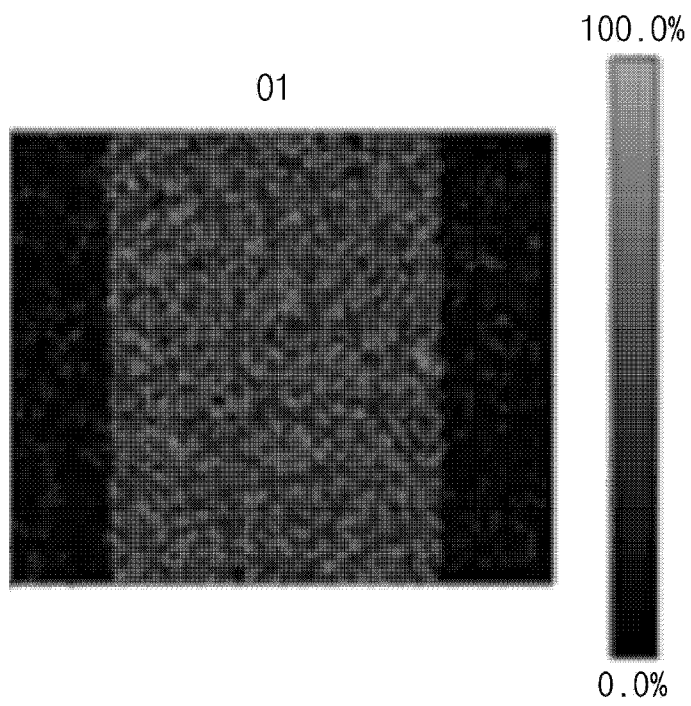
[도33]



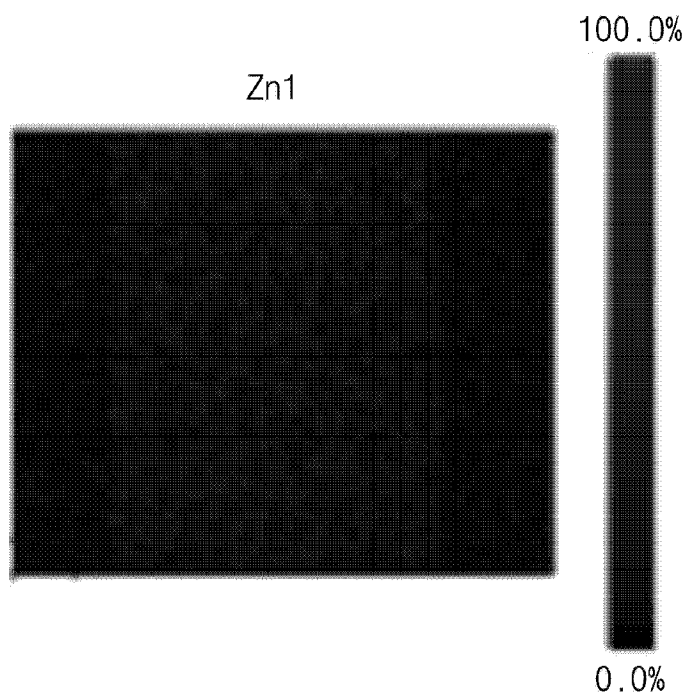
[도34]



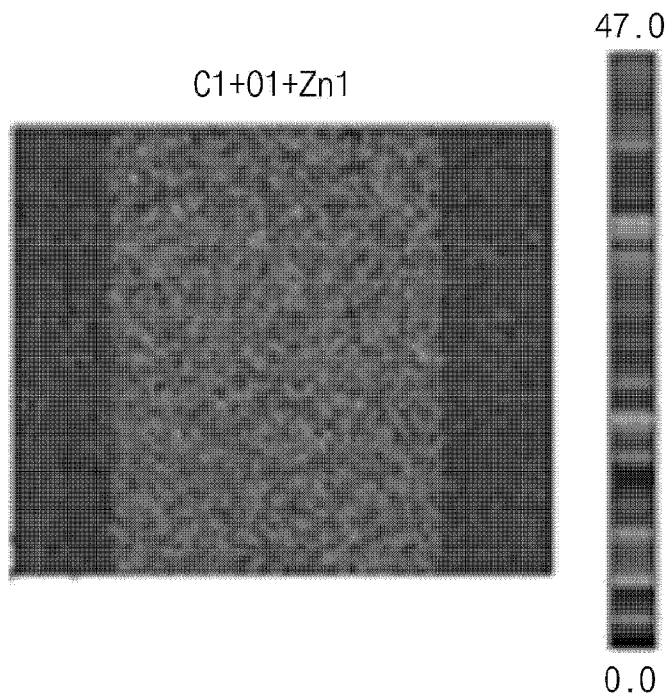
[도35]



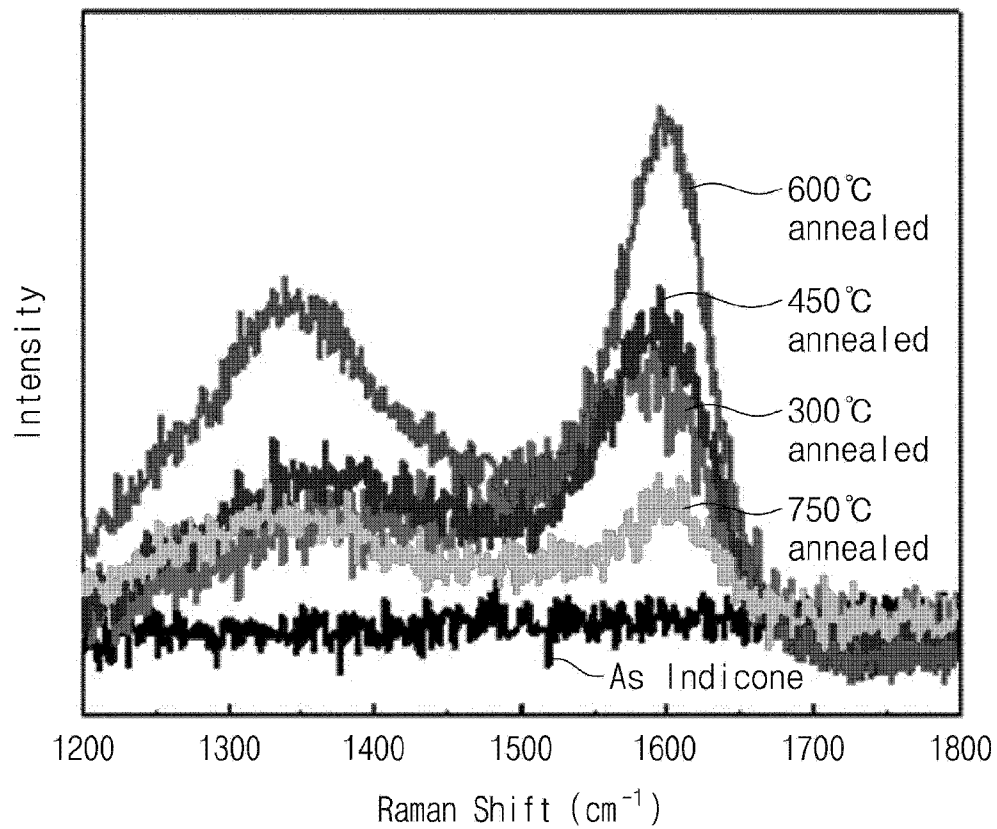
[도36]



[도37]



[도38]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/016562

A. CLASSIFICATION OF SUBJECT MATTER

H01L 51/00(2006.01)i, H01L 21/02(2006.01)i, H01L 21/324(2006.01)i, H01L 21/3213(2006.01)i, C23C 16/455(2006.01)i, C23C 16/56(2006.01)i, C23C 16/26(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 51/00; B32B 009/04; B32B 015/04; C23C 16/00; C30B 25/02; H01L 21/027; H01L 21/033; H01L 21/324; H01L 21/3213; C23C 16/455; C23C 16/56; C23C 16/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: metalless film, metal, benzene, organometallic compound, micropattern, gate electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DUMONT, Jaime W. et al. Pyrolysis of alucone molecular layer deposition films studied using in situ transmission Fourier transform infrared spectroscopy. The Journal of Physical Chemistry C. 20 February 2015 (Publication date), vol. 119, no. 26, pages 14603-14612 See abstract; pages 14606-14610; and figure 6.	1-10
A		11-14
X	LEE, Seunghwan et al. Facile fabrication of p-type Al ₂ O ₃ /carbon nanocomposite films using molecular layer deposition. Applied Surface Science. 24 July 2018 (Online publication date), vol. 458, pages 864-871 See abstract; pages 865-870; and figures 1-7.	1-10
A	KR 10-2016-0091164 A (SAMSUNG ELECTRONICS CO., LTD.) 02 August 2016 See the entire document.	1-14
A	KR 10-2007-0095919 A (UNIVERSITETET I OSLO) 01 October 2007 See the entire document.	1-14
A	US 2004-0071879 A1 (CALLEGARI, Alessandro C. et al.) 15 April 2004 See the entire document.	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 MARCH 2020 (09.03.2020)

Date of mailing of the international search report

09 MARCH 2020 (09.03.2020)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/016562

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2016-0091164 A	02/08/2016	US 2016-0218010 A1 US 9543155 B2	28/07/2016 10/01/2017
KR 10-2007-0095919 A	01/10/2007	EP 1838893 A1 EP 1838893 B1 KR 10-1322095 B1 US 2008-0102313 A1 US 8124179 B2 WO 2006-071126 A1	03/10/2007 23/01/2019 25/10/2013 01/05/2008 28/02/2012 06/07/2006
US 2004-0071879 A1	15/04/2004	US 6664186 B1 US 7015152 B2	16/12/2003 21/03/2006

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 51/00(2006.01)i, H01L 21/02(2006.01)i, H01L 21/324(2006.01)i, H01L 21/3213(2006.01)i, C23C 16/455(2006.01)i, C23C 16/56(2006.01)i, C23C 16/26(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 51/00; B32B 009/04; B32B 015/04; C23C 16/00; C30B 25/02; H01L 21/027; H01L 21/033; H01L 21/324; H01L 21/3213; C23C 16/455; C23C 16/56; C23C 16/26

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메탈리스 박막(metalless film), 금속(metal), 벤젠(benzene), 금속 유기물(organometallic compound), 미세패턴(micropattern), 게이트 전극(gate electrode)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	DUMONT, JAIME W. 등, "Pyrolysis of alucone molecular layer deposition films studied using in situ transmission Fourier transform infrared spectroscopy", The Journal of Physical Chemistry C, 2015년 2월 20일(공개일), 119권, 26호, 페이지 14603-14612 요약; 페이지 14606-14610; 및 도 6 참조.	1-10
A		11-14
X	LEE, SEUNGHWAN 등, "Facile fabrication of p-type Al2O3/carbon nanocomposite films using molecular layer deposition", Applied Surface Science, 2018년 7월 24일(온라인 공개일), 458권, 페이지 864-871 요약; 페이지 865-870; 및 도 1-7 참조.	1-10
A	KR 10-2016-0091164 A (삼성전자주식회사) 2016.08.02 문헌 전체 참조.	1-14
A	KR 10-2007-0095919 A (유니버시티테트 아이 오슬로) 2007.10.01 문헌 전체 참조.	1-14
A	US 2004-0071879 A1 (CALLEGARI, ALESSANDRO C. 등) 2004.04.15 문헌 전체 참조.	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 "X"에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2020년 03월 09일 (09.03.2020)

국제조사보고서 발송일

2020년 03월 09일 (09.03.2020)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

한인호

전화번호 +82-42-481-3362



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0091164 A	2016/08/02	US 2016-0218010 A1 US 9543155 B2	2016/07/28 2017/01/10
KR 10-2007-0095919 A	2007/10/01	EP 1838893 A1 EP 1838893 B1 KR 10-1322095 B1 US 2008-0102313 A1 US 8124179 B2 WO 2006-071126 A1	2007/10/03 2019/01/23 2013/10/25 2008/05/01 2012/02/28 2006/07/06
US 2004-0071879 A1	2004/04/15	US 6664186 B1 US 7015152 B2	2003/12/16 2006/03/21