

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 23 年 4 月 14 日 (2011.4.14)

【公開番号】特開 2010-282649 (P2010-282649A)
 【公開日】平成 22 年 12 月 16 日 (2010.12.16)
 【年通号数】公開・登録公報 2010-050
 【出願番号】特願 2010-180413 (P2010-180413)
 【国際特許分類】

G 0 6 F 9/305 (2006.01)

G 0 6 F 7/00 (2006.01)

【 F I 】

G 0 6 F 9/30 3 4 0 E

G 0 6 F 7/00 2 0 1

【手続補正書】
 【提出日】平成 23 年 3 月 2 日 (2011.3.2)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

データをシャッフルするためのプロセッサユニットであって、
 データを格納するための複数のレジスタを有するレジスタファイルと、
 前記レジスタファイルから、ソースデータ要素と L 個のシャッフルマスクの形式の L 個
 の制御要素とを受信するよう動作する実行ユニットと、
 を有し、

前記 L 個の制御要素のそれぞれは、結果におけるデータ要素位置に関連付けされ、複数の
 部分に分割され、

第 1 部分はゼロクリア指示を示すフラッシュフィールドであり、第 2 部分は前記ソース
 データ要素の 1 つの位置を示す位置選択フィールドであり、第 3 部分は特別な利用のため
 の予約フィールドであり、

前記実行ユニットはまた、

前記ゼロクリア指示が各制御要素に対して設定されているか判断し、前記ゼロクリア指
 示が各制御要素に対して設定されている場合、関連する結果のデータ要素位置にゼロを配
 置し、前記ゼロクリア指示が各制御要素に対して設定されていない場合、前記各制御要素
 により指定される前記ソースデータ要素のデータ要素から前記関連する結果のデータ要素
 位置にデータをシャッフルするよう動作するプロセッサユニット。

【請求項 2】

当該プロセッサユニットは、8 ビットバイトデータのシャッフルを含む S I M D (S i
 n g l e I n s t r u c t i o n M u l t i p l e D a t a) 処理を実行する S I
 M D プロセッサユニットからなる、請求項 1 記載のプロセッサユニット。

【請求項 3】

前記レジスタファイルは、前記 S I M D プロセッサユニットに接続され、各レジスタが
 1 2 8 ビットのデータを格納する複数のレジスタを有する、請求項 2 記載のプロセッサユ
 ニット。

【請求項 4】

前記予約フィールドの特殊な利用は、複数のソースデータレジスタの何れかから、前記

関連する結果のデータ要素位置にシャッフルするため、各制御要素の位置選択フィールドにより指定されるデータ要素を選択するため示すものである、請求項 3 記載のプロセッサユニット。

【請求項 5】

前記 SIMD プロセッサユニットは、音声通信を表すデジタル音声サンプルを生成するため、前記 SIMD プロセッサユニットの命令により処理されるデータをデジタルストリームにより受信する、請求項 2 記載のプロセッサユニット。

【請求項 6】

前記 SIMD プロセッサユニットは、デジタル動きビデオフレームを生成するため、前記 SIMD プロセッサユニットの命令により処理されるデータをデジタルストリームにより受信する、請求項 2 記載のプロセッサユニット。

【請求項 7】

請求項 2 記載のプロセッサユニットを有するデータ処理システムであって、

前記 SIMD プロセッサユニットに接続され、汎用タイプのデータ処理演算を制御するメインプロセッサと、

前記メインプロセッサの制御の下で前記メインプロセッサとやりとりするため動作接続されるキャッシュメモリと、

入出力 (I/O) システムと、

をさらに有するデータ処理システム。

【請求項 8】

前記メインプロセッサと前記 SIMD プロセッサユニットとは、単一の処理コアに一体化される、請求項 7 記載のデータ処理システム。

【請求項 9】

汎用タイプのデータ処理演算を制御するメインプロセッサと、

前記メインプロセッサと接続される SIMD (Single Instruction Multiple Data) プロセッサユニットと、

を有するデータ処理システムであって、

前記 SIMD プロセッサユニットは、

各レジスタが 128 ビットのデータを格納する複数のレジスタを有するレジスタファイルと、

前記レジスタファイルから、8 ビットバイトデータソースデータ要素と L 個のシャッフルマスクの形式の L 個の制御要素とを受信するよう動作する実行ユニットと、

を有し、

前記 L 個の制御要素のそれぞれは、結果における 8 ビットバイトデータ要素位置に関連付けられ、複数の部分に分割され、

第 1 部分はゼロクリア指示を示すフラッシュフィールドであり、第 2 部分は前記 8 ビットバイトソースデータ要素の 1 つの位置を示す位置選択フィールドであり、第 3 部分は特別な利用のための予約フィールドであり、

前記実行ユニットはまた、

前記ゼロクリア指示が各制御要素に対して設定されているか判断し、前記ゼロクリア指示が各制御要素に対して設定されている場合、関連する結果の 8 ビットバイトデータ要素位置にゼロを配置し、前記ゼロクリア指示が各制御要素に対して設定されていない場合、前記各制御要素により指定される前記 8 ビットバイトソースデータ要素のデータ要素から前記関連する結果の 8 ビットバイトデータ要素位置にデータをシャッフルするよう動作するデータ処理システム。

【請求項 10】

前記予約フィールドの特殊な利用は、複数のソースデータレジスタの何れかから、前記関連する結果のデータ要素位置にシャッフルするため、各制御要素の位置選択フィールドにより指定されるデータ要素を選択するため示すものである、請求項 9 記載のデータ処理システム。

【請求項 11】

前記 SIMD プロセッサユニットは、音声通信を表すデジタル音声サンプルを生成するため、前記 SIMD プロセッサユニットの命令により処理されるデータをデジタルストリームにより受信する、請求項 9 記載のデータ処理システム。

【請求項 12】

前記 SIMD プロセッサユニットは、デジタル動きビデオフレームを生成するため、前記 SIMD プロセッサユニットの命令により処理されるデータをデジタルストリームにより受信する、請求項 9 記載のデータ処理システム。

【請求項 13】

前記メインプロセッサの制御の下で前記メインプロセッサとやりとりするため動作接続されるキャッシュメモリと、

入出力 (I/O) システムと、

をさらに有する、請求項 9 記載のデータ処理システム。

【請求項 14】

前記メインプロセッサと前記 SIMD プロセッサユニットとは、単一の処理コアに一体化される、請求項 9 記載のデータ処理システム。

【請求項 15】

制御ロジックが、各シャッフルマスクが一意的な結果のデータ要素位置に関連付けされる L 個のシャッフルマスクを有する第 1 オペランドを受信し、結果の各データ要素位置について選択信号とゼロクリア信号とを提供するステップと、

前記制御ロジックに接続される L 個のマルチプレクサの各マルチプレクサであって、一意的な結果のデータ要素位置に関連付けされる各マルチプレクサを介して、その関連付けされたゼロクリア信号がアクティブであるときにはゼロを出力し、その関連付けされたゼロクリア信号が非アクティブであるときには、その関連付けされた選択信号に基づき L 個のデータ要素から選択されたデータを出力するステップと、
を有するデータシャッフル方法であって、

前記 L 個のシャッフルマスクのそれぞれは、設定されているとき前記マスクにより指定される前記結果のデータ要素位置がゼロにされるべきであることを示すゼロクリアフラグである第 1 部分と、前記 L 個のデータ要素の 1 つの位置を示す位置選択フィールドである第 2 部分と、予約又はソース選択フィールドである第 3 部分との 3 つの部分に分割されるデータシャッフル方法。

【請求項 16】

請求項 15 記載の方法であって、

前記 L 個の制御要素のそれぞれは、前記第 2 オペランドに配置されることを特徴とする方法。

【請求項 17】

請求項 16 記載の方法であって、

前記 L 個のデータ要素のそれぞれは、前記第 1 オペランドに配置されることを特徴とする方法。

【請求項 18】

請求項 17 記載の方法であって、

前記結果のデータ要素位置のそれぞれは、その関連付けされたマルチプレクサからの出力を保持することを特徴とする方法。

【請求項 19】

請求項 16 記載の方法であって、さらに、

前記第 2 オペランドの制御要素に応答して、前記第 1 オペランドからシャッフルされたデータを有する結果のデータブロックを出力するステップを有することを特徴とする方法。

【請求項 20】

請求項 15 記載の方法であって、

前記データ要素のそれぞれは、１バイトのデータから構成されることを特徴とする方法

。

【請求項 2 1】

請求項 2 0 記載の方法であって、

前記制御要素のそれぞれは、１バイト長であることを特徴とする方法。

【請求項 2 2】

請求項 2 1 記載の方法であって、

L は 8 であり、前記第 1 オペランド、前記第 2 オペランド及び前記結果は、それぞれ 64 ビット長 packed データから構成されることを特徴とする方法。

【請求項 2 3】

請求項 2 1 記載の方法であって、

L は 16 であり、前記第 1 オペランド、前記第 2 オペランド及び前記結果は、それぞれ 128 ビット長 packed データから構成されることを特徴とする方法。

【請求項 2 4】

前記第 2 オペランドの受信及び前記データを関連付けされた結果のデータ要素に出力することは、3 ビットにより前記第 1 オペランドを格納する第 1 レジスタを指定し、3 ビットにより前記第 2 オペランドを格納する第 2 レジスタを指定する 1 つの packed シャッフル命令を受け取ることに応答して実行され、前記第 1 オペランドと前記第 2 オペランドとは同じサイズを有し、前記 L 個のデータ要素と L 個の制御要素とのキャッシュは同じサイズを有しており、

前記 L 個の制御要素のそれぞれは、3 つの部分に分割され、第 1 部分は各シャッフルマスクの最上位ビットを占有するゼロクリアフラグであり、第 2 部分は少なくとも $\log_2 L$ のビット長であって、前記 L 個のデータ要素の 1 つの位置を示す位置選択フィールドである、請求項 1 5 記載の方法。

【請求項 2 5】

複数のソースデータ要素を格納する第 1 記憶位置と、

各制御要素が結果のデータ要素位置に対応し、ゼロクリアビットと選択フィールドとを有する L 個のシャッフルマスクの形式による複数の制御要素を格納する第 2 記憶位置と、

前記第 2 記憶位置に接続され、前記制御要素の値に応答して、複数の選択信号と複数のゼロクリア信号とを生成する制御ロジックと、

前記第 1 記憶位置に接続され、前記複数の選択信号を受信する複数の第 1 マルチプレクサであって、各マルチプレクサが特定の結果のデータ要素位置に対応する選択信号に応答して、前記特定の結果のデータ要素位置のデータ要素をシャッフルする複数の第 1 マルチプレクサと、

前記複数の第 1 マルチプレクサに接続され、前記複数のゼロクリア信号を受信する複数の第 2 マルチプレクサであって、各マルチプレクサが特定の結果のデータ要素位置に関連付けられ、そのゼロクリア信号がアクティブである場合にはゼロを出力し、または、前記特定の結果のデータ要素位置に対してシャッフルされたデータ要素を出力する複数の第 2 マルチプレクサと、

から構成される装置であって、

設定されているとき、前記ゼロクリア信号は、前記マスクにより指定される結果のデータ要素位置がゼロにされるべきであることを示すことを特徴とする装置。

【請求項 2 6】

請求項 2 5 記載の装置であって、

前記複数のソースデータ要素は、第 1 packed データオペランドであることを特徴とする装置。

【請求項 2 7】

請求項 2 6 記載の装置であって、

前記複数の制御要素は、第 2 packed データオペランドであることを特徴とする装置。

【請求項 28】

請求項 26 記載の装置であって、

前記第 1 及び第 2 記憶位置は、SIMD (Single Instruction Multiple Data) レジスタであることを特徴とする装置。

【請求項 29】

請求項 27 記載の装置であって、

前記第 1 packed オペランドは 64 ビット長であり、前記ソースデータ要素のそれぞれは 1 バイト長であり、

前記第 2 packed オペランドは 64 ビット長であり、前記制御要素のそれぞれは 1 バイト長である、

ことを特徴とする装置。

【請求項 30】

請求項 27 記載の装置であって、

前記第 1 packed オペランドは 128 ビット長であり、前記ソースデータ要素のそれぞれは 1 バイト長であり、

前記第 2 packed オペランドは 128 ビット長であり、前記制御要素のそれぞれは 1 バイト長である、

ことを特徴とする装置。

【請求項 31】

各シャッフルマスクが一意的な結果のデータ要素位置に関連付けされる L 個のシャッフルマスクを受信し、各結果のデータ要素位置に対して、選択信号とゼロ設定信号とを提供する制御ロジックと、

前記制御ロジックに接続され、各マルチプレクサもまた一意的な結果のデータ要素位置に関連付けされ、その関連付けされたゼロクリア信号がアクティブである場合にはゼロを、その関連付けされたゼロクリア信号が非アクティブである場合には、その関連付けされた選択信号に基づき L 個のデータ要素から選択されたデータを出力する L 個のマルチプレクサと、

から構成される装置であって、

設定されているとき、前記ゼロクリア信号は、前記マスクにより指定される結果のデータ要素位置がゼロにされるべきであることを示し、

前記 L 個のシャッフルマスクのそれぞれは、ゼロクリアビットである第 1 部分と、データ要素の位置を示す位置選択フィールドである第 2 部分と、予約フィールドである第 3 部分との 3 つの部分に分割されることを特徴とする装置。

【請求項 32】

請求項 31 記載の装置であって、さらに、

各データ要素位置がその関連付けされたマルチプレクサからの出力を保持する L 個の一意的なデータ要素位置を有するレジスタを有することを特徴とする装置。

【請求項 33】

請求項 32 記載の装置であって、

L は 16 であることを特徴とする装置。

【請求項 34】

データ及び命令を格納するメモリと、

前記メモリから、プロセッサにデータシャッフル処理を実行させる命令を受信するバスと、

前記メモリに前記バスを介して接続され、前記データシャッフル処理を実行可能なプロセッサと、

から構成されるシステムであって、

前記プロセッサは、

L 個のデータ要素を有する第 1 オペランドと、各シャッフルマスクが一意的な結果のデータ要素位置に関連付けされる L 個のシャッフルマスクの形式による L 個の制御要素を有

する第 2 オペランドとを受信し、結果の各データ要素位置について選択信号とゼロクリア信号とを提供する制御ロジックと、

各マルチプレクサが一意的な結果のデータ要素位置に関連付けされ、その関連付けされたゼロクリア信号がアクティブである場合にはゼロを出力し、その関連付けされたゼロクリア信号が非アクティブである場合には、その関連付けされた選択信号に基づき L 個のデータ要素から選択されたデータを出力する、前記制御ロジックに接続された L 個のマルチプレクサと、

から構成され、

設定されているとき、前記ゼロクリア信号は、前記マスクにより指定される結果のデータ要素位置がゼロにされるべきであることを示し、

前記 L 個のシャッフルマスクのそれぞれは、ゼロクリアビットである第 1 部分と、前記 L 個のデータ要素の 1 つの位置を示す位置選択フィールドである第 2 部分と、予約フィールドである第 3 部分との 3 つの部分に分割されることを特徴とするシステム。

【請求項 3 5】

請求項 3 4 記載のシステムであって、

各シャッフル制御要素は、前記ゼロクリアビットと前記位置選択フィールドとから構成され、

前記ゼロクリアビットは、該シャッフル制御要素に係るデータ要素位置がゼロの値により充填されるべきかを示し、

前記位置選択フィールドは、データをシャッフルする第 1 オペランドデータ要素を示すことを特徴とするシステム。

【請求項 3 6】

請求項 3 5 記載のシステムであって、

前記 L 個のデータ要素のそれぞれは、ソース選択フィールドから構成されることを特徴とするシステム。

【請求項 3 7】

請求項 3 4 記載のシステムであって、

前記命令は、ゼロクリア機能を有する packed バイトシャッフルであることを特徴とするシステム。

【請求項 3 8】

請求項 3 4 記載のシステムであって、

前記 L 個のデータ要素のそれぞれは 1 バイト長であり、

各シャッフルコマンド要素は 1 バイト長であり、

L は 8 である、

ことを特徴とするシステム。

【請求項 3 9】

請求項 3 4 記載のシステムであって、

前記第 1 オペランドは 64 ビット長であり、

前記第 2 オペランドは 64 ビット長である、

ことを特徴とするシステム。

【請求項 4 0】

データをシャッフルするプロセッサであって、

シャッフル命令を復号化するデコーダと、

整数レジスタと浮動小数点レジスタとを含むレジスタファイルと、

4 つのデータ要素を有する第 1 オペランドを格納する第 1 の 64 ビットソースレジスタと、4 つの 2 ビット選択フィールドのセットを有する第 2 ソースオペランドを格納する第 2 の 64 ビットレジスタと、64 ビットデスティネーションレジスタとを有する前記レジスタファイルにおける前記レジスタをリネームするレジスタリネームロジックと、

前記デコーダからのマイクロ命令を格納するキューと、

前記ソースレジスタの従属オペランドの準備状況に基づき処理の実行をスケジューリングするスケジューラと、

前記レジスタファイルから前記第 1 オペランドと前記選択フィールドのセットとを受信するよう動作する実行ユニットと、
を有し、

前記選択フィールドのそれぞれは、デスティネーションオペランドのデータ要素位置に関連付けられ、

前記選択フィールドのそれぞれは、前記第 1 オペランドから前記デスティネーションオペランドにコピーされるべき前記データ要素の 1 つを選択するため処理可能な位置選択フィールドであり、

前記実行ユニットはさらに、前記 2 ビット選択フィールドのそれぞれにより指定される順序に基づき前記第 1 オペランドのデータ要素から前記関連付けされたデスティネーションデータ要素位置にデータをコピーするよう動作するプロセッサ。