



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0023831
(43) 공개일자 2018년03월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/11568 (2017.01) H01L 21/3105 (2006.01)
H01L 21/324 (2017.01) H01L 27/11521 (2017.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 27/11568 (2013.01)
H01L 21/31051 (2013.01)
(21) 출원번호 10-2017-0105955
(22) 출원일자 2017년08월22일
심사청구일자 없음
(30) 우선권주장
JP-P-2016-164586 2016년08월25일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키키가이샤
일본 도쿄도 고토쿠 도요스 3쵸메 2방 24고
(72) 발명자
야마구찌 다다시
일본 도쿄도 고후또우쿠 도요스 3쵸메 2-24 르네사스 일렉트로닉스 가부시키키가이샤 내
(74) 대리인
장수길, 이중희

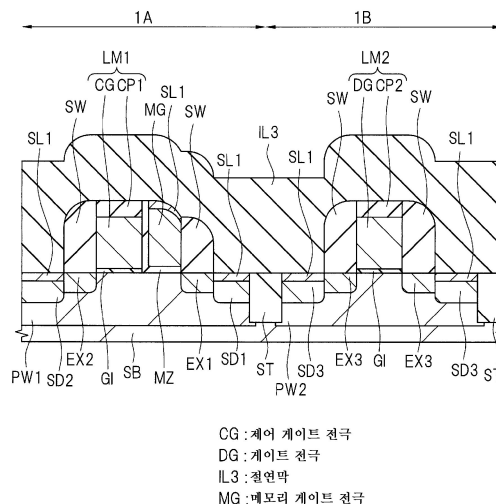
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

반도체 장치의 성능이나 신뢰성을 향상시킨다. 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 게이트 전극 DG를 매립하도록 절연막 IL3을 형성한 후, 제1 연마 처리에 의해, 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 게이트 전극 DG의 상면을 노출한다. 다음에, 게이트 전극 DG를 제거하여 형성된 홈 내에 금속막을 매립하고, 제2 연마 처리를 함으로써, 금속막을 포함하는 게이트 전극을 형성한다. 절연막 IL3은, 갭 매립 특성이 높은 O₃-TEOS막으로서, 절연막 IL3 내의 심의 발생을 저감한다. 또한, 제1 연마 처리 전에, O₃-TEOS막을 산화 분위기에 서 열처리함으로써, 제2 연마 처리에서의 절연막 IL3의 디싱을 저감한다.

대표도 - 도15



(52) CPC특허분류

H01L 21/324 (2013.01)

H01L 27/11521 (2013.01)

H01L 29/66477 (2013.01)

명세서

청구범위

청구항 1

- (a) 그 주변에, 메모리 셀 영역과 주변 회로 영역을 갖는 반도체 기판을 준비하는 공정,
- (b) 상기 메모리 셀 영역에서, 상기 반도체 기판의 주변 위에, 제1 게이트 절연막을 개재하여 형성된 제1 게이트 전극과, 상기 제1 게이트 전극에 인접하며, 상기 반도체 기판의 주변 위에, 전하 축적 영역을 포함하는 제2 게이트 절연막을 개재하여 형성된 제2 게이트 전극과, 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 사이에 두도록, 상기 반도체 기판의 주변에 형성된 제1 소스 영역 및 제1 드레인 영역을 포함하는 메모리 셀을 형성하고, 주변 회로 영역에서, 상기 반도체 기판의 주변 위에, 제3 게이트 절연막을 개재하여 형성된 제3 게이트 전극과, 상기 제3 게이트 전극을 사이에 두도록, 상기 반도체 기판의 주변에 형성된 제2 소스 영역 및 제2 드레인 영역을 포함하는 MISFET를 형성하는 공정,
- (c) 상기 메모리 셀 및 상기 MISFET를 덮도록, 상기 반도체 기판의 주변 위에, 제1 온도에서 성막한 O_3 -TEOS막을 포함하는 제1 절연막을 형성하는 공정,
- (d) 상기 제1 절연막을, 산화 분위기 및 제2 온도에서 열처리하는 공정,
- (e) 상기 (d) 공정 후에, 상기 제1 절연막에 제1 연마 처리를 실시하여, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및, 상기 제3 게이트 전극의 상면을 노출하는 공정,
- (f) 상기 주변 회로 영역에서, 상기 제3 게이트 전극을 제거하여, 상기 제1 절연막에 홈을 형성하는 공정,
- (g) 상기 홈 내를 매립하도록, 상기 제1 절연막 위에, 금속막을 형성하는 공정,
- (h) 상기 금속막에 제2 연마 처리를 실시하여, 상기 홈 내에 선택적으로 상기 금속막을 남김으로써, 상기 홈 내에, 상기 MISFET의 제4 게이트 전극을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,
상기 제2 온도는 상기 제1 온도보다도 낮은 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서,
상기 산화 분위기는 O_2 , O_3 , H_2O , 또는, H_2O_2 를 포함하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,
상기 (c) 공정의 O_3 -TEOS막은, 막 중의 실록산(Si-O-Si)기에 대한 실라놀(Si-O-H)기의 비율이 10% 이상인 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서,
열처리 후의 상기 제1 절연막의 비유전율은, 열처리 전의 상기 제1 절연막의 비유전율보다도 낮은 반도체 장치의 제조 방법.

청구항 6

제1항에 있어서,

상기 (f) 공정에서, 상기 제3 게이트 전극은 웨트 에칭법에 의해 제거하고,

열처리 후의 상기 제1 절연막의 웨트 에칭 레이트는, 열처리 전의 상기 제1 절연막의 웨트 에칭 레이트보다도 낮은 반도체 장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 제3 게이트 전극은, 다결정 실리콘막을 포함하는 반도체 장치의 제조 방법.

청구항 8

제1항에 있어서,

상기 (b) 공정과 상기 (c) 공정 사이에,

(i) 상기 제1 소스 영역, 상기 제1 드레인 영역, 상기 제2 소스 영역, 및, 상기 제2 드레인 영역의 상면에, 제1 실리사이드층을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 실리사이드층은 Ni를 포함하는 반도체 장치의 제조 방법.

청구항 10

제1항에 있어서,

상기 (h) 공정 후에,

(j) 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 상면에 제2 실리사이드층을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

청구항 11

제1항에 있어서,

상기 (h) 공정 후에,

(k) 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및, 상기 제4 게이트 전극을 덮도록, 상기 제1 절연막 위에 제2 절연막을 형성하는 공정,

(l) 상기 제2 절연막 및 상기 제1 절연막을 관통하여, 상기 제1 소스 영역 또는 상기 제1 드레인 영역의 상면을 노출하는 콘택트 홀을 형성하는 공정,

(m) 상기 콘택트 홀 내에, 플러그 전극을 형성하는 공정을 더 갖는 반도체 장치의 제조 방법.

청구항 12

제1항에 있어서,

상기 (b) 공정에 있어서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 및, 상기 제3 게이트 전극의 측벽 위에는, 절연막을 포함하는 사이드 월 스페이서가 형성되어 있고,

상기 (f) 공정에 있어서, 상기 홈의 측면에는 상기 사이드 월 스페이서가 노출되어 있는 반도체 장치의 제조 방법.

청구항 13

(a) 그 주변에, 메모리 셀 영역과 주변 회로 영역을 갖고, 상기 메모리 셀 영역에서, 소자 분리막을 관통하여 상기 주변으로부터 돌출되는 제1 블록부와, 상기 주변 회로 영역에서, 상기 소자 분리막을 관통하여 상기 주변

으로부터 돌출되는 제2 블록부를 갖는 반도체 기판을 준비하는 공정,

(b) 상기 메모리 셀 영역에서, 상기 제1 블록부 위에, 제1 게이트 절연막을 개재하여 형성된 제1 게이트 전극과, 상기 제1 게이트 전극에 인접하며, 상기 제1 블록부 위에, 전하 축적 영역을 포함하는 제2 게이트 절연막을 개재하여 형성된 제2 게이트 전극과, 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 사이에 두도록, 상기 제1 블록부에 형성된 제1 소스 영역 및 제1 드레인 영역을 포함하는 메모리 셀을 형성하고, 주변 회로 영역에서, 상기 제2 블록부 위에, 제3 게이트 절연막을 개재하여 형성된 제3 게이트 전극과, 상기 제3 게이트 전극을 사이에 두도록, 상기 제2 블록부에 형성된 제2 소스 영역 및 제2 드레인 영역을 포함하는 MISFET를 형성하는 공정,

(c) 상기 메모리 셀 및 상기 MISFET를 덮도록, 상기 반도체 기판 위에, 제1 온도에서 성막한 O_3 -TEOS막을 포함하는 제1 절연막을 형성하는 공정,

(d) 상기 제1 절연막을, 산화 분위기 및 제2 온도에서 열처리하는 공정,

(e) 상기 (d) 공정 후에, 상기 제1 절연막에 제1 연마 처리를 실시하여, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및, 상기 제3 게이트 전극의 상면을 노출하는 공정,

(f) 상기 주변 회로 영역에서, 상기 제3 게이트 전극을 제거하여, 상기 제1 절연막에 홈을 형성하는 공정,

(g) 상기 홈 내를 매립하도록, 상기 제1 절연막 위에, 금속막을 형성하는 공정,

(h) 상기 금속막에 제2 연마 처리를 실시하여, 상기 홈 내에 선택적으로 상기 금속막을 남김으로써, 상기 홈 내에, 상기 MISFET의 제4 게이트 전극을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 14

제13항에 있어서,

상기 제2 온도는 상기 제1 온도보다도 낮은 반도체 장치의 제조 방법.

청구항 15

제13항에 있어서,

상기 산화 분위기는 O_2 , O_3 , H_2O , 또는, H_2O_2 를 포함하는 반도체 장치의 제조 방법.

청구항 16

제13항에 있어서,

상기 (c) 공정의 O_3 -TEOS막은, 막 중의 실록산(Si-O-Si)기에 대한 실라놀(Si-O-H)기의 비율이 10% 이상인 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이며, 예를 들어 불휘발성 메모리를 갖는 반도체 장치의 제조 방법에 적합하게 이용할 수 있는 것이다.

배경 기술

[0002] 전기적으로 기입·소거가 가능한 불휘발성 메모리의 메모리 셀을 갖는 반도체 장치로서, MISFET의 게이트 전극 아래에, 산화막 사이에 끼워진 전하 트랩성 절연막을 갖는 메모리 셀이 널리 사용되고 있다. 이 메모리 셀은, MONOS(Metal Oxide Nitride Oxide Semiconductor)형이라 불리며, 단일 게이트형 셀과 스플릿 게이트형 셀이 있고, 마이크로컴퓨터의 불휘발성 메모리로서 사용되고 있다.

[0003] 마이크로컴퓨터의 저소비 전력화, 고속화에 수반하여, 로직 회로부에는, 메탈 게이트 전극 및 고유전율막(high-k막)을 포함하는 트랜지스터가 사용된다. 이 트랜지스터의 형성 방법에는, 기판 위에 형성한 다결정 실리콘막을 포함하는 더미 게이트 전극을 사용하여 소스 영역 및 드레인 영역을 형성한 후, 당해 더미 게이트 전극을 메

탈 게이트 전극으로 치환하는, 소위 게이트 라스트 프로세스가 알려져 있다.

[0004] 즉, 더미 게이트 전극을 갖는 트랜지스터를 층간 절연막으로 덮고, 그 후, 층간 절연막의 상면을 연마하여 더미 게이트 전극의 상면을 노출시킨다. 그리고, 더미 게이트 전극을 제거하고, 거기에 메탈 게이트 전극을 매립함으로써, 메탈 게이트 전극을 갖는 MISFET를 형성한다. 이때, 인접하는 더미 게이트 전극간을 매립하는 층간 절연막으로서, 갭 매립 특성이 양호한 O_3 -TEOS막이 사용되고 있다.

[0005] 특허문헌 1(일본 특허 공개 제2001-244264호 공보)에는, 배선 패턴간의 갭 매립 특성을 향상시킨 TEOS막이 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2001-244264호 공보

발명의 내용

해결하려는 과제

[0007] 본원 발명자가 검토 중인 불휘발성 메모리를 갖는 반도체 장치는, 복수의 메모리 셀을 포함하는 메모리 셀 영역과, 복수의 MISFET를 포함하는 주변 회로 영역(로직 회로부, 로직 회로 영역)을 갖고 있다.

[0008] 메모리 셀 영역에는, 서로 직교하는 제1 방향과 제2 방향을 따라서, 복수의 메모리 셀이 행렬 형상으로 배치되어 있다. 각 메모리 셀은, 반도체 기판 위에 제1 게이트 절연막을 개재하여 형성되며, 제1 방향으로 연장되는 제어 게이트 전극과, 반도체 기판 위에 전하 축적 영역을 포함하는 제2 게이트 절연막을 개재하여 형성되며, 제1 방향으로 연장되는 메모리 게이트 전극과, 제어 게이트 전극 및 메모리 게이트 전극을 사이에 두도록 반도체 기판의 표면에 형성된 한 쌍의 반도체 영역(소스 영역 및 드레인 영역)을 갖고 있다. 그리고, 인접하는 메모리 셀의 인접하는 제어 게이트 전극간 및 인접하는 메모리 게이트 전극간은, O_3 -TEOS막을 포함하는 층간 절연막으로 매립되어 있다.

[0009] 그러나, 불휘발성 메모리를 갖는 반도체 장치의 미세화, 고집적화에 수반하여, 예를 들어 인접하는 제어 게이트 전극의 간격이 좁아지면, 인접하는 제어 게이트 전극간에 존재하는 스페이스(공간)의 애스펙트비가 높아진다. 그 때문에, 인접하는 제어 게이트 전극간의 층간 절연막에, 제1 방향을 따라서, 「심(seam)」이라 불리는 간극(공간)이 발생하고, 후술하는 플러그 전극의 단락으로 이어지는 것이 본원 발명자에 의해 확인되었다.

[0010] 따라서, O_3 -TEOS막을 포함하는 층간 절연막의 갭 매립 특성을 한층 더 향상시켜, 전술한 「심」의 발생을 저감 또는 방지하여, 불휘발성 메모리를 갖는 반도체 장치의 신뢰성을 향상시키는 것이 요망된다.

[0011] 그 밖의 과제와 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

과제의 해결 수단

[0012] 일 실시 형태에 따르면, 반도체 장치의 제조 방법은, 제어 게이트 전극, 메모리 게이트 전극 및 게이트 전극을 매립하도록 절연막(층간 절연막)을 형성한 후, 제1 연마 처리로 절연막을 연마하여, 제어 게이트 전극, 메모리 게이트 전극 및 게이트 전극의 상면을 노출한다. 다음에, 게이트 전극을 제거하여 형성된 홈 내에 금속막을 매립하고, 제2 연마 처리에 의해, 홈 내에서 선택적으로 금속막을 포함하는 게이트 전극을 형성한다. 절연막은, 갭 매립 특성이 높은 O_3 -TEOS막으로서, 절연막 내의 심의 발생을 저감한다.

발명의 효과

[0013] 일 실시 형태에 따르면, 반도체 장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0014] 도 1은 실시 형태 1의 반도체 장치의 제조 공정을 도시하는 프로세스 플로우도.

- 도 2는 실시 형태 1의 반도체 장치의 제조 공정을 도시하는 프로세스 플로우도.
- 도 3은 실시 형태 1의 반도체 장치의 제조 공정을 도시하는 프로세스 플로우도.
- 도 4는 실시 형태 1의 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 5는 도 4에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 6은 도 5에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 7은 도 6에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 8은 도 7에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 9는 도 8에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 10은 도 9에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 11은 도 10에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 12는 도 11에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 13은 도 12에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 14는 도 13에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 15는 도 14에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 16은 도 15에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 17은 도 16에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 18은 도 17에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 19는 도 18에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 20은 도 19에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 21은 도 20에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- 도 22는 실시 형태 1의 반도체 장치의 주요부 평면도.
- 도 23은 실시 형태 1의 반도체 장치의 O_3 -TEOS막의 상대 에칭 레이트를 나타내는 그래프.
- 도 24는 실시 형태 1의 반도체 장치의 O_3 -TEOS막의 비유전율을 나타내는 그래프.
- 도 25는 실시 형태 2의 반도체 장치의 주요부 평면도.
- 도 26은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 4에 대응하고 있는 도면.
- 도 27은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 14에 대응하고 있는 도면.
- 도 28은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 15에 대응하고 있는 도면.
- 도 29는 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 16에 대응하고 있는 도면.
- 도 30은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 19에 대응하고 있는 도면.
- 도 31은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이며, 실시 형태 1의 도 20에 대응하고 있는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하의 실시 형태에서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관계한 것은 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수에 한정되는 경우 등을 제외하고, 그 언급한 수에 한정되는 것은 아니고, 언급한 수 이상이어도 이하여도 된다. 또한, 이하의 실시 형태에서, 그 구성 요소(요소 스텝 등도 포함함)는 특별히 명시한 경우 및 원리적으로 명백하게 필수라고 생각되는 경우 등을 제외하고, 반드시 필수인 것이 아닌 것은 물론이다. 마찬가지로, 이하의 실시 형태에서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.
- [0016] 이하, 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 이하의 실시 형태에서는, 특별히 필요한 때 이외는 동일 또는 마찬가지로의 부분의 설명을 원칙적으로 반복하지 않는다.
- [0017] 또한, 실시 형태에서 사용하는 도면에서는, 단면도여도 도면을 보기 쉽게 하기 위해 해칭을 생략하는 경우도 있다. 또한, 평면도여도 도면을 보기 쉽게 하기 위해 해칭을 행하는 경우도 있다.
- [0018] (실시 형태 1)
- [0019] <반도체 장치의 제조 공정에 대하여>
- [0020] 본 실시 형태 및 이하의 실시 형태의 반도체 장치는, 불휘발성 메모리(불휘발성 기억 소자, 플래시 메모리, 불휘발성 반도체 기억 장치)를 구비한 반도체 장치이다. 본 실시 형태 및 이하의 실시 형태에서는, 불휘발성 메모리는, n채널형 MISFET(MISFET : Metal Insulator Semiconductor Field Effect Transistor)를 기본으로 한 메모리 셀을 기초로 설명을 행한다.
- [0021] 본 실시 형태의 반도체 장치의 제조 방법을, 도면을 참조하여 설명한다.
- [0022] 도 1~도 3은 본 실시 형태의 반도체 장치의 제조 공정을 도시하는 프로세스 플로우도이다. 도 4~도 21은 본 실시 형태의 반도체 장치의 제조 공정 중의 주요부 단면도이다. 또한, 도 4~도 21의 단면도에는, 메모리 셀 영역(1A) 및 주변 회로 영역(1B)의 주요부 단면도가 도시되어 있고, 반도체 기판 SB에 있어서, 메모리 셀 영역(1A)에 불휘발성 메모리의 메모리 셀이, 주변 회로 영역(1B)에 MISFET가, 각각 형성되는 모습이 도시되어 있다. 도 22는 본 실시 형태의 반도체 장치의 메모리 셀 영역의 주요부 평면도이다.
- [0023] 메모리 셀 영역(1A)에는, 복수의 스플릿 게이트형의 메모리 셀이 행렬 형상(매트릭스 형상)으로 배치되어 있고, 메모리 셀은, n채널형의 MISFET(제어 트랜지스터 및 메모리 트랜지스터)를 포함하고 있다. 메모리 셀은, 반도체 기판 위에 게이트 절연막을 개재하여 형성된 제어 게이트 전극과, 반도체 기판 위에 전하 축적 영역을 포함하는 게이트 절연막을 개재하여 형성된 메모리 게이트 전극과, 제어 게이트 전극 및 메모리 게이트 전극을 사이에 두도록 반도체 기판의 표면에 형성된 한 쌍의 반도체 영역(소스 영역 및 드레인 영역)을 갖고 있다.
- [0024] 또한, 본 실시 형태에 있어서는, 메모리 셀 영역(1A)에 n채널형의 MISFET(제어 트랜지스터 및 메모리 트랜지스터)를 형성하는 경우에 대하여 설명하지만, 도전형을 반대로 하여 p채널형의 MISFET(제어 트랜지스터 및 메모리 트랜지스터)를 메모리 셀 영역(1A)에 형성할 수도 있다. 후술하지만, 제어 트랜지스터는, 예를 들어 실리콘막(다결정 실리콘막)을 포함하는 제어 게이트 전극, 그리고, 메모리 트랜지스터는, 예를 들어 실리콘막(다결정 실리콘막)을 포함하는 메모리 게이트 전극을 갖고 있다.
- [0025] 주변 회로 영역(1B)이란, 불휘발성 메모리 이외의 로직 회로 등의 형성 영역이며, 예를 들어 CPU 등의 프로세서, 제어 회로, 센스 앰프, 칼럼 디코더, 로우 디코더 등이 형성된다. 주변 회로 영역(1B)에 형성되는 MISFET는, 주변 회로용의 MISFET이다. 본 실시 형태에 있어서는, 주변 회로 영역(1B)에 n채널형의 MISFET를 형성하는 경우에 대하여 설명하지만, 도전형을 반대로 하여 p채널형의 MISFET를 주변 회로 영역(1B)에 형성할 수도 있고, 또한 주변 회로 영역(1B)에 CMISFET(Complementary MISFET) 등을 형성할 수도 있다.
- [0026] 도 4에 도시한 바와 같이, 먼저, 예를 들어 $1\sim 10\Omega\text{cm}$ 정도의 비저항을 갖는 p형의 단결정 실리콘 등을 포함하는 반도체 기판(반도체 웨이퍼) SB를 용의(준비)한다(도 1의 스텝 S1). 그 다음에, 반도체 기판 SB의 주변에, 활성 영역을 규정(획정)하는 소자 분리막(소자 분리 영역) ST를 형성한다(도 1의 스텝 S2).
- [0027] 소자 분리막 ST는, 산화실리콘 등의 절연체를 포함하고, 예를 들어 STI(Shallow Trench Isolation)법 또는

LOCOS(Local Oxidization of Silicon)법 등에 의해 형성할 수 있다. 예를 들어, 반도체 기판 SB의 주면에 소자 분리용의 홈 STR을 형성한 후, 이 소자 분리용의 홈 STR 내에, 예를 들어 산화실리콘을 포함하는 절연막을 매립함으로써, 소자 분리막 ST를 형성할 수 있다. 보다 구체적으로는, 반도체 기판 SB의 주면에 소자 분리용의 홈 STR을 형성한 후, 반도체 기판 SB 위에, 이 소자 분리용의 홈 STR을 매립하도록, 소자 분리 영역 형성용의 절연막(예를 들어 산화실리콘막)을 형성한다. 그 다음에, 소자 분리용의 홈 STR의 외부의 절연막(소자 분리 영역 형성용의 절연막)을 제거함으로써, 소자 분리용의 홈 STR에 매립된 절연막을 포함하는 소자 분리막 ST를 형성할 수 있다. 소자 분리막 ST는, 반도체 기판 SB의 주면에 있어서, 소자가 형성되는 활성 영역을 둘러싸도록 배치되어 있다. 즉, 소자간은, 소자 분리막 ST에 의해 분리되어 있다. 소자 분리막 ST는, 메모리 셀 영역(1A)과 주변 회로 영역(1B)간을 전기적으로 분리함과 함께, 메모리 셀 영역(1A)에 있어서, 메모리 셀간을, 주변 회로 영역(1B)에 있어서, 복수의 MISFET간을 전기적으로 분리하고 있다.

[0028] 다음에, 도 5에 도시한 바와 같이, 반도체 기판 SB의 메모리 셀 영역(1A)에 p형 웰 PW1을, 주변 회로 영역(1B)에 p형 웰 PW2를 형성한다(도 1의 스텝 S3). p형 웰 PW1, PW2는, 예를 들어 붕소(B) 등의 p형의 불순물을 반도체 기판 SB에 이온 주입하는 것 등에 의해 형성할 수 있다. p형 웰 PW1, PW2는, 반도체 기판 SB의 주면으로부터 소정의 깊이에 걸쳐 형성된다. p형 웰 PW1과 p형 웰 PW2는, 동일한 도전형이기 때문에, 동일한 이온 주입 공정에서 형성해도, 혹은 상이한 이온 주입 공정에서 형성해도 된다. 도시하지 않지만, 메모리 셀 영역(1A)의 p형 웰 PW1은, 평면 및 단면에서 보아, n형 웰로 덮여 있고, 주변 회로 영역(1B)의 p형 웰 PW2와는 전기적으로 분리되어 있다.

[0029] 다음에, 회석 불산 세정 등에 의해 반도체 기판 SB(p형 웰 PW1, PW2)의 표면을 청정화한 후, 반도체 기판 SB의 주면(p형 웰 PW1, PW2의 표면)에, 게이트 절연막용의 절연막 GI를 형성한다(도 1의 스텝 S4).

[0030] 절연막 GI는, 예를 들어 얇은 산화실리콘막 또는 산질화실리콘막 등에 의해 형성하고, 절연막 GI의 형성 막 두께는, 예를 들어 2~3nm 정도로 할 수 있다. 절연막 GI는, 열산화법, CVD(Chemical Vapor Deposition : 화학적 기상 성장)법, 혹은, 플라즈마 질화법에 의해 형성할 수 있다. 절연막 GI를, 열산화법에 의해 형성한 경우에는, 소자 분리막 ST 위에는 절연막 GI는 형성되지 않는다.

[0031] 다른 형태로서, 스텝 S4에 있어서, 주변 회로 영역(1B)의 절연막 GI를, 메모리 셀 영역(1A)의 절연막 GI와는 다른 공정에서, 상이한 막 두께로 형성할 수도 있다.

[0032] 다음에, 도 6에 도시한 바와 같이, 반도체 기판 SB의 주면(주면 전체면) 위에, 즉 메모리 셀 영역(1A) 및 주변 회로 영역(1B)의 절연막 GI 위에, 실리콘막 PS1을 형성(퇴적)한다(도 1의 스텝 S5).

[0033] 실리콘막 PS1은, 후술하는 제어 게이트 전극 CG를 형성하기 위한 도전막이다. 또한, 실리콘막 PS1은, 후술하는 게이트 전극 DG를 형성하기 위한 도전막을 겸하고 있다. 즉, 실리콘막 PS1에 의해, 후술하는 제어 게이트 전극 CG 및 게이트 전극 DG가 형성된다.

[0034] 실리콘막 PS1은, 다결정 실리콘막(폴리실리콘막)을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 실리콘막 PS1의 퇴적 막 두께는, 예를 들어 50~100nm 정도로 할 수 있다. 실리콘막 PS1은, 성막 시에 불순물을 도입하거나, 혹은 성막 후에 불순물을 이온 주입하는 것 등에 의해, 저저항의 반도체막(도프트 폴리실리콘막)으로 할 수 있다. 메모리 셀 영역(1A) 및 섀트 영역 SH의 실리콘막 PS1은, 바람직하게는 인(P) 또는 비소(As) 등의 n형 불순물이 도입된 n형의 실리콘막이다.

[0035] 다음에, 반도체 기판 SB의 주면(주면 전체면) 위에, 즉 실리콘막 PS1 위에 절연막 IL1을 형성(퇴적)한다(도 1의 스텝 S6).

[0036] 절연막 IL1은, 후술하는 캡 절연막 CP1, CP2를 형성하기 위한 절연막이다. 절연막 IL1은, 예를 들어 질화실리콘막 등을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 절연막 IL1의 퇴적 막 두께는, 예를 들어 20~50nm 정도로 할 수 있다. 스텝 S5, S6을 행함으로써, 실리콘막 PS1과 실리콘막 PS1 위의 절연막 IL1의 적층막 LF가 형성된 상태로 된다. 여기서, 적층막 LF는, 실리콘막 PS1과 실리콘막 PS1 위의 절연막 IL1을 포함한다.

[0037] 다음에, 적층막 LF를, 즉 절연막 IL1 및 실리콘막 PS1을, 포토리소그래피 기술 및 에칭 기술에 의해 패터닝하여, 제어 게이트 전극 CG와 제어 게이트 전극 CG 위의 캡 절연막 CP1을 갖는 적층체(적층 구조체) LM1을 메모리 셀 영역(1A)에 형성한다(도 1의 스텝 S7).

[0038] 스텝 S7은 다음과 같이 하여 행할 수 있다. 즉, 먼저, 도 6에 도시한 바와 같이, 절연막 IL1 위에 포토리소그래피법을 사용하여 레지스트 패턴으로서 포토레지스트 패턴 PR1을 형성한다. 이 포토레지스트 패턴 PR1은, 메

메모리 셀 영역(1A)에 있어서의 제어 게이트 전극 CG 형성 예정 영역과, 주변 회로 영역(1B) 전체에 형성된다. 그 다음에, 이 포토레지스트 패턴 PR1을 에칭 마스크로서 사용하여, 메모리 셀 영역(1A)에 있어서의 실리콘막 PS1과 절연막 IL1의 적층막 LF를 에칭(바람직하게는 드라이 에칭)하여 패터닝하고, 그 후, 이 포토레지스트 패턴 PR1을 제거한다. 이에 의해, 도 7에 도시한 바와 같이, 메모리 셀 영역(1A)에, 패터닝된 실리콘막 PS1을 포함하는 제어 게이트 전극 CG와, 패터닝된 절연막 IL1을 포함하는 캡 절연막 CP1의 적층체 LM1이 형성된다.

[0039] 적층체 LM1은, 제어 게이트 전극 CG와 제어 게이트 전극 CG 위의 캡 절연막 CP1을 포함하고, 메모리 셀 영역(1A)의 반도체 기판 SB(p형 웰 PW1) 위에 절연막 GI를 개재하여 형성된다. 제어 게이트 전극 CG와 캡 절연막 CP1은, 평면에서 볼 때는, 거의 동일한 평면 형상을 갖고 있으며, 평면에서 보아 겹쳐 있다.

[0040] 스텝 S7을 행하면, 메모리 셀 영역(1A)에 있어서는, 적층체 LM1로 되는 부분 이외의 실리콘막 PS1 및 절연막 IL1은 제거된다. 한편, 포토레지스트 패턴 PR1은, 주변 회로 영역(1B)에 있어서는, 주변 회로 영역(1B) 전체에 형성된다. 이 때문에, 스텝 S7을 행해도, 주변 회로 영역(1B)에 있어서는, 실리콘막 PS1과 실리콘막 PS1 위의 절연막 IL1의 적층막 LF1은, 제거되지 않고, 따라서 패터닝되지 않고, 그대로 잔존한다. 주변 회로 영역(1B)에 잔존하는 적층막 LF를, 부호 LF1을 붙여 적층막 LF1이라 칭하기로 한다.

[0041] 메모리 셀 영역(1A)에 있어서, 패터닝된 실리콘막 PS1을 포함하는 제어 게이트 전극 CG가 형성되고, 제어 게이트 전극 CG는 제어 트랜지스터용의 게이트 전극이다. 제어 게이트 전극 CG의 아래에 잔존하는 절연막 GI가, 제어 트랜지스터의 게이트 절연막으로 된다. 따라서, 메모리 셀 영역(1A)에 있어서, 실리콘막 PS1을 포함하는 제어 게이트 전극 CG는, 반도체 기판 SB(p형 웰 PW1) 위에 게이트 절연막으로서의 절연막 GI를 개재하여 형성된 상태로 된다.

[0042] 메모리 셀 영역(1A)에 있어서, 적층체 LM1로 덮인 부분 이외의 절연막 GI, 즉 게이트 절연막으로 되는 부분 이외의 절연막 GI는, 스텝 S7의 패터닝 공정에서 행하는 드라이 에칭이나, 혹은 그 드라이 에칭 후에 웨트 에칭을 행함으로써 제거될 수 있다.

[0043] 다음에, 도 8에 도시한 바와 같이, 반도체 기판 SB의 주변 전체면에, 즉, 반도체 기판 SB의 주변(표면) 위와 적층체 LM1의 표면(상면 및 측면) 위에, 메모리 트랜지스터의 게이트 절연막용의 절연막 MZ를 형성한다(도 1의 스텝 S8).

[0044] 주변 회로 영역(1B)에서는, 적층막 LF1이 잔존하고 있으므로, 이 적층막 LF1의 표면(상면 및 측면) 위에도 절연막 MZ가 형성될 수 있다. 이 때문에, 스텝 S8에 있어서, 절연막 MZ는, 반도체 기판 SB 위에 있어서, 메모리 셀 영역(1A)의 적층체 LM1 및 주변 회로 영역(1B)의 적층막 LF1을 덮도록 형성된다.

[0045] 절연막 MZ는, 메모리 트랜지스터의 게이트 절연막용의 절연막이며, 내부에 전하 축적부를 갖는 절연막이다. 이 절연막 MZ는, 산화실리콘막(산화막) MZ1과, 산화실리콘막 MZ1 위에 형성된 질화실리콘막(질화막) MZ2와, 질화실리콘막 MZ2 위에 형성된 산화실리콘막(산화막) MZ3의 적층막을 포함한다. 산화실리콘막 MZ1, 질화실리콘막 MZ2 및 산화실리콘막 MZ3의 적층막은, ONO(oxide-nitride-oxide)막으로 간주할 수도 있다.

[0046] 또한, 도면을 보기 쉽게 하기 위해, 도 8에서는, 산화실리콘막 MZ1, 질화실리콘막 MZ2 및 산화실리콘막 MZ3을 포함하는 절연막 MZ를, 간단히 절연막 MZ로서 나타내고 있다. 본 실시 형태에 있어서는, 트랩 준위를 갖는 절연막(전하 축적층)으로서, 질화실리콘막 MZ2를 예시하고 있지만, 질화실리콘막에 한정되는 것은 아니고, 예를 들어 산화알루미늄막(알루미나), 산화하프늄막 또는 산화탄탈륨막 등, 질화실리콘막보다도 높은 유전율을 갖는 고유전율막을 전하 축적층 또는 전하 축적부로서 사용할 수도 있다. 또한, 실리콘 나노도트로 전하 축적층 또는 전하 축적부를 형성할 수도 있다.

[0047] 절연막 MZ를 형성하기 위해서는, 예를 들어 먼저 산화실리콘막 MZ1을 열산화법(바람직하게는 ISSG 산화)에 의해 형성하고 나서, 산화실리콘막 MZ1 위에 질화실리콘막 MZ2를 CVD법에 의해 퇴적하고, 또한 질화실리콘막 MZ2 위에 산화실리콘막 MZ3을 CVD법 또는 열산화법 혹은 그 양쪽에 의해 형성한다. 이에 의해, 산화실리콘막 MZ1, 질화실리콘막 MZ2 및 산화실리콘막 MZ3의 적층막을 포함하는 절연막 MZ를 형성할 수 있다.

[0048] 산화실리콘막 MZ1의 두께는, 예를 들어 2~10nm 정도로 할 수 있고, 질화실리콘막 MZ2의 두께는, 예를 들어 5~15nm 정도로 할 수 있고, 산화실리콘막 MZ3의 두께는, 예를 들어 2~10nm 정도로 할 수 있다. 최후의 산화막, 즉 절연막 MZ 중 최상층인 산화실리콘막 MZ3은, 예를 들어 질화막(절연막 MZ 중 중간층인 질화실리콘막 MZ2)의 상층 부분을 산화하여 형성함으로써, 고내압막을 형성할 수도 있다. 절연막 MZ는, 후에 형성되는 메모리 게이트 전극 MG의 게이트 절연막으로서 기능한다.

- [0049] 다음에, 반도체 기판 SB의 주변(주면 전체면) 위에, 즉 절연막 MZ 위에, 메모리 셀 영역(1A)에서는 적층체 LM1을 덮도록, 주변 회로 영역(1B)에 있어서는 적층막 LF1을 덮도록, 메모리 게이트 전극 MG 형성용의 도전막으로서 실리콘막 PS2를 형성(퇴적)한다(도 1의 스텝 S9).
- [0050] 실리콘막 PS2는, 메모리 트랜지스터의 게이트 전극용의 도전막이다. 실리콘막 PS2는, 다결정 실리콘막을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 실리콘막 PS2의 퇴적 막 두께는, 예를 들어 30~150nm 정도로 할 수 있다.
- [0051] 또한, 실리콘막 PS2는, 성막 시에 불순물을 도입하거나, 혹은 성막 후에 불순물을 이온 주입하는 것 등에 의해, 불순물이 도입되어 저저항의 반도체막(도프트 폴리실리콘막)으로 되어 있다. 실리콘막 PS2는, 바람직하게는 인(P) 또는 비소(As) 등의 n형 불순물이 도입된 n형의 실리콘막이다.
- [0052] 다음에, 이방성 에칭 기술에 의해, 실리콘막 PS2를 에치 백(에칭, 이방성 드라이 드라이 에칭, 이방성 에칭)한다(도 1의 스텝 S10).
- [0053] 스텝 S10의 에치 백 공정에 의해, 실리콘막 PS2가 에치 백됨으로써, 적층체 LM1의 양쪽의 측벽 위에 절연막 MZ를 개재하여 실리콘막 PS2가 사이드 월 스페이스 형상으로 남겨지고, 메모리 셀 영역(1A)의 다른 영역의 실리콘막 PS2가 제거된다. 이에 의해, 도 9에 도시한 바와 같이, 메모리 셀 영역(1A)에 있어서, 적층체 LM1의 양쪽 측벽 중, 한쪽의 측벽 위에 절연막 MZ를 개재하여 사이드 월 스페이스 형상으로 잔존한 실리콘막 PS2에 의해, 메모리 게이트 전극 MG가 형성되고, 또한, 다른 쪽의 측벽 위에 절연막 MZ를 개재하여 사이드 월 스페이스 형상으로 잔존한 실리콘막 PS2에 의해, 실리콘 스페이스 SP가 형성된다. 메모리 게이트 전극 MG는, 절연막 MZ 위에, 절연막 MZ를 개재하여 적층체 LM1과 인접하도록 형성된다. 적층체 LM1은, 제어 게이트 전극 CG와 제어 게이트 전극 CG 위의 캡 절연막 CP1을 포함하기 때문에, 메모리 게이트 전극 MG는, 절연막 MZ를 개재하여 제어 게이트 전극 CG 및 캡 절연막 CP1과 인접하도록 형성된다.
- [0054] 또한, 주변 회로 영역(1B)에 잔존시키고 있는 적층막 LF1의 측벽 위에도, 절연막 MZ를 개재하여 실리콘 스페이스 SP가 형성된다.
- [0055] 실리콘 스페이스 SP는, 도전체를 포함하는 사이드 월 스페이스, 즉 도전체 스페이스로 간주할 수도 있다. 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG와 실리콘 스페이스 SP는, 적층체 LM1의 서로 반대측으로 되는 측벽 위에 형성되어 있고, 적층체 LM1을 사이에 두고 거의 대칭인 구조를 갖고 있다.
- [0056] 스텝 S10의 에치 백 공정을 종료한 단계에서, 메모리 게이트 전극 MG 및 실리콘 스페이스 SP의 높이는, 제어 게이트 전극 CG의 높이보다도 높은 것이 바람직하다. 메모리 게이트 전극 MG의 높이를, 제어 게이트 전극 CG의 높이보다도 높게 해 둬으로써, 후술하는 스텝 S20의 연마 공정에 있어서, 메모리 게이트 전극 MG의 상부를 정확하게 노출시킬 수 있어, 메모리 게이트 전극 MG의 노출 불량을 방지할 수 있다.
- [0057] 다음에, 포토리소그래피 기술을 사용하여, 메모리 게이트 전극 MG가 덮이고 또한 실리콘 스페이스 SP가 노출되도록 하는 포토레지스트 패턴(도시하지 않음)을 반도체 기판 SB 위에 형성하고 나서, 그 포토레지스트 패턴을 에칭 마스크로 한 드라이 에칭에 의해, 실리콘 스페이스 SP를 제거한다(도 2의 스텝 S11). 그 후, 그 포토레지스트 패턴을 제거한다. 스텝 S11의 에칭 공정에 의해, 도 10에 도시한 바와 같이, 실리콘 스페이스 SP가 제거되지만, 메모리 게이트 전극 MG는, 포토레지스트 패턴으로 덮여 있었으므로, 에칭되지 않고 잔존한다. 또한, 적층체 LF1의 측벽의 실리콘 스페이스 SP는 제거된다.
- [0058] 다음에, 도 10에 도시한 바와 같이, 절연막 MZ 중, 메모리 게이트 전극 MG로 덮여 있지 않고 노출되는 부분을 에칭(예를 들어 웨트 에칭)에 의해 제거한다(도 2의 스텝 S12). 이때, 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG 아래와 메모리 게이트 전극 MG 및 적층체 LM1 사이에 위치하는 절연막 MZ는, 제거되지 않고 잔존하고, 다른 영역의 절연막 MZ는 제거된다. 도 10으로부터도 알 수 있는 바와 같이, 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG와 반도체 기판 SB(p형 웰 PW1) 사이의 영역과, 메모리 게이트 전극 MG와 적층체 LM1 사이의 영역의 양쪽 영역에 걸쳐 절연막 MZ가 연속적으로 연장되어 있다.
- [0059] 메모리 게이트 전극 MG와 반도체 기판 SB(p형 웰 PW1) 사이의 영역의 절연막 MZ가, 메모리 트랜지스터의 게이트 절연막으로서 기능한다.
- [0060] 다음에, 주변 회로 영역(1B)의 적층막 LF1을 포토리소그래피 기술 및 에칭 기술을 사용하여 패터닝함으로써, 도 11에 도시한 바와 같이, 게이트 전극 DG와 게이트 전극 DG 위의 캡 절연막 CP2를 갖는 적층체(적층 구조체) LM2를 주변 회로 영역(1B)에 형성한다(도 2의 스텝 S13).

- [0061] 스텝 S13의 패터닝 공정은, 예를 들어 다음과 같이 하여 행할 수 있다. 즉, 먼저, 반도체 기판 SB의 주면 위에, 포토리소그래피법을 사용하여 포토레지스트 패턴(도시하지 않음)을 형성한다. 이 포토레지스트 패턴은, 메모리 셀 영역(1A) 전체와, 주변 회로 영역(1B)에 있어서의 게이트 전극 DG 형성 예정 영역에 형성된다. 이 때문에, 메모리 게이트 전극 MG 및 적층체 LM1은, 이 포토레지스트 패턴으로 덮이게 된다. 그 다음에, 이 포토레지스트 패턴을 에칭 마스크로서 사용하여, 주변 회로 영역(1B)에 있어서의 실리콘막 PS1과 절연막 IL1의 적층막 LF1을 에칭(바람직하게는 드라이 에칭)하여 패터닝하고, 그 후, 이 포토레지스트 패턴을 제거한다. 이에 의해, 도 11에 도시한 바와 같이, 패터닝된 실리콘막 PS1을 포함하는 게이트 전극 DG와, 패터닝된 절연막 IL1을 포함하는 캡 절연막 CP2의 적층체 LM2가, 주변 회로 영역(1B)에 형성된다.
- [0062] 적층체 LM2는, 게이트 전극 DG와 게이트 전극 DG 위의 캡 절연막 CP2를 포함하고, 주변 회로 영역(1B)의 반도체 기판 SB(p형 웰 PW2) 위에 절연막 GI를 개재하여 형성된다. 게이트 전극 DG와 캡 절연막 CP2는, 평면에서 볼 때는 거의 동일한 평면 형상을 갖고 있고, 평면에서 보아 겹쳐 있다. 또한, 게이트 전극 DG는, 더미의 게이트 전극(의사적인 게이트 전극)이며, 후에 제거된다. 이 때문에, 게이트 전극 DG는, 더미 게이트 전극이라 칭할 수 있다. 또한, 게이트 전극 DG는, 후에 제거되어 후술하는 게이트 전극 GE로 치환되기 때문에, 리플레이스먼트 게이트 전극(Replacement Gate Electrode) 또는 치환용 게이트 전극으로 간주할 수도 있다.
- [0063] 주변 회로 영역(1B)에 있어서, 적층체 LM2로 덮인 부분 이외의 절연막 GI는, 스텝 S13의 패터닝 공정에서 행하는 드라이 에칭이나, 혹은 그 드라이 에칭 후에 웨트 에칭을 행함으로써 제거될 수 있다.
- [0064] 이와 같이 하여, 주변 회로 영역(1B)에 있어서, 반도체 기판 SB(p형 웰 PW2) 위에 절연막 GI를 개재하여, 게이트 전극 DG와 게이트 전극 DG 위의 캡 절연막 CP2를 갖는 적층체 LM2가 형성된다.
- [0065] 이와 같이 하여, 도 11에 도시한 바와 같이, 메모리 셀 영역(1A)에 있어서, 반도체 기판 SB 위에 절연막 GI를 개재하여 제어 게이트 전극 CG가 형성되고, 반도체 기판 SB 위에 절연막 MZ를 개재하여 메모리 게이트 전극 MG가 형성된다. 또한, 주변 회로 영역(1B)에 있어서, 반도체 기판 SB 위에 절연막 GI를 개재하여 게이트 전극 DG가 형성된다. 그리고, 제어 게이트 전극 CG 위에는 캡 절연막 CP1이 형성되고, 게이트 전극 DG 위에는 캡 절연막 CP2가 형성된 상태로 되어 있다.
- [0066] 다음에, 도 12에 도시한 바와 같이, n^- 형 반도체 영역(불순물 확산층) EX1, EX2, EX3을, 이온 주입법 등을 사용하여 형성한다(도 2의 스텝 S14).
- [0067] 스텝 S14에 있어서, 예를 들어 비소(As) 또는 인(P) 등의 n 형의 불순물을, 적층체 LM1, 메모리 게이트 전극 MG 및 적층체 LM2를 마스크(이온 주입 저지 마스크)로서 사용하여 반도체 기판 SB(p형 웰 PW1, PW2)에 이온 주입법에 의해 도입함으로써, n^- 형 반도체 영역 EX1, EX2, EX3을 형성할 수 있다. 이때, n^- 형 반도체 영역 EX1은, 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG가 마스크(이온 주입 저지 마스크)로서 기능함으로써, 메모리 게이트 전극 MG의 측벽(절연막 MZ를 개재하여 제어 게이트 전극 CG에 인접하고 있는 측벽은 반대측의 측벽)에 자기 정합하여 형성된다. 또한, n^- 형 반도체 영역 EX2는, 메모리 셀 영역(1A)에 있어서, 적층체 LM1이 마스크(이온 주입 저지 마스크)로서 기능함으로써, 제어 게이트 전극 CG의 측벽(절연막 MZ를 개재하여 메모리 게이트 전극 MG에 인접하고 있는 측벽은 반대측의 측벽)에 자기 정합하여 형성된다. 또한, n^- 형 반도체 영역 EX3은, 주변 회로 영역(1B)에 있어서, 적층체 LM2가 마스크(이온 주입 저지 마스크)로서 기능함으로써, 게이트 전극 DG의 양쪽 측벽에 자기 정합하여 형성된다. n^- 형 반도체 영역 EX1 및 n^- 형 반도체 영역 EX2는, 메모리 셀 영역(1A)에 형성되는 메모리 셀의 소스·드레인 영역(소스 또는 드레인 영역)의 일부로서 기능하고, n^- 형 반도체 영역 EX3은 주변 회로 영역(1B)에 형성되는 MISFET의 소스·드레인 영역(소스 또는 드레인 영역)의 일부로서 기능할 수 있다. n^- 형 반도체 영역 EX1과 n^- 형 반도체 영역 EX2와 n^- 형 반도체 영역 EX3은, 동일한 이온 주입 공정에서 형성할 수 있지만, 상이한 이온 주입 공정에서 형성하는 것도 가능하다.
- [0068] 다음에, 적층체 LM1 및 메모리 게이트 전극 MG의 측벽 위와, 적층체 LM2의 측벽 위에, 측벽 절연막으로서, 절연막을 포함하는 사이드 월 스페이서(사이드 월, 측벽 절연막) SW를 형성한다(도 2의 스텝 S15). 사이드 월 스페이서 SW는, 측벽 절연막으로 간주할 수 있다.
- [0069] 스텝 S15의 사이드 월 스페이서 SW 형성 공정은, 예를 들어 다음과 같이 하여 행할 수 있다. 즉, 반도체 기판 SB의 주면 전체면 위에 절연막 IL2를 형성(퇴적)한다. 절연막 IL2는, 예를 들어 산화실리콘막 또는 질화실리콘막 혹은 그들의 적층막 등을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 절연막 IL2는, 반도체 기판 SB

위에 메모리 게이트 전극 MG, 적층체 LM1, LM2를 덮도록 형성된다. 그 다음에, 도 13에 도시한 바와 같이, 이 절연막 IL2를, 이방성 에칭 기술에 의해 에치 백(에칭, 드라이 에칭, 이방성 드라이 에칭)한다. 이에 의해, 적층체 LM1 및 메모리 게이트 전극 MG의 측벽 위와, 적층체 LM2의 측벽 위에, 선택적으로 이 절연막 IL2가 잔존하여, 사이드 월 스페이스 SW가 형성된다. 사이드 월 스페이스 SW는, 메모리 셀 영역(1A)에 있어서, 적층체 LM1의 측벽 중, 절연막 MZ를 개재하여 메모리 게이트 전극 MG에 인접하고 있는 측과는 반대측의 측벽 위와, 메모리 게이트 전극 MG의 측벽 중, 절연막 MZ를 개재하여 적층체 LM1에 인접하고 있는 측과는 반대측의 측벽 위에 형성된다. 그리고, 사이드 월 스페이스 SW는, 주변 회로 영역(1B)에 있어서, 적층체 LM2의 양쪽 측벽 위에 형성된다.

[0070] 다음에, 도 13에 도시한 바와 같이, n^+ 형 반도체 영역(불순물 확산층) SD1, SD2, SD3을, 이온 주입법 등을 사용하여 형성한다(도 2의 스텝 S16).

[0071] 스텝 S16에 있어서, 예를 들어 비소(As) 또는 인(P) 등의 n 형 불순물을, 적층체 LM1, 메모리 게이트 전극 MG, 적층체 LM2 및 사이드 월 스페이스 SW를 마스크(이온 주입 저지 마스크)로서 사용하여 반도체 기판 SB(p 형 웰 PW1, PW2)에 이온 주입법에 의해 도입함으로써, n^+ 형 반도체 영역 SD1, SD2, SD3을 형성할 수 있다. 이때, n^+ 형 반도체 영역 SD1은, 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG와, 메모리 게이트 전극 MG 위의 사이드 월 스페이스 SW와, 메모리 게이트 전극 MG의 측벽 위의 사이드 월 스페이스 SW가 마스크(이온 주입 저지 마스크)로서 기능함으로써, 메모리 게이트 전극 MG의 측벽 위의 사이드 월 스페이스 SW에 자기 정합하여 형성된다. 또한, n^+ 형 반도체 영역 SD2는, 메모리 셀 영역(1A)에 있어서, 적층체 LM1과 그 측벽 위의 사이드 월 스페이스 SW가 마스크(이온 주입 저지 마스크)로서 기능함으로써, 적층체 LM1의 측벽 위의 사이드 월 스페이스 SW에 자기 정합하여 형성된다. 또한, n^+ 형 반도체 영역 SD3은, 주변 회로 영역(1B)에 있어서, 적층체 LM2와 그 측벽 위의 사이드 월 스페이스 SW가 마스크(이온 주입 저지 마스크)로서 기능함으로써, 적층체 LM2의 양쪽 측벽 위의 사이드 월 스페이스 SW에 자기 정합하여 형성된다. 이에 의해, LDD(Lightly doped Drain) 구조가 형성된다. n^+ 형 반도체 영역 SD1과 n^+ 형 반도체 영역 SD2와 n^+ 형 반도체 영역 SD3은, 동일한 이온 주입 공정에 의해 형성할 수 있지만, 상이한 이온 주입 공정에 의해 형성하는 것도 가능하다. 또한, n^+ 형 반도체 영역 SD1과 n^+ 형 반도체 영역 SD2를 동일한 이온 주입에 의해 형성하고, n^+ 형 반도체 영역 SD3을 다른 이온 주입에 의해 형성할 수도 있다.

[0072] 이와 같이 하여, n^- 형 반도체 영역 EX1과 그것보다도 고불순물 농도의 n^+ 형 반도체 영역 SD1에 의해, 메모리 트랜지스터의 소스 영역으로서 기능하는 n 형의 반도체 영역이 형성되고, n^- 형 반도체 영역 EX2와 그것보다도 고불순물 농도의 n^+ 형 반도체 영역 SD2에 의해, 제어 트랜지스터의 드레인 영역으로서 기능하는 n 형의 반도체 영역이 형성된다. 또한, n^- 형 반도체 영역 EX3과 그것보다도 고불순물 농도의 n^+ 형 반도체 영역 SD3에 의해, 주변 회로 영역(1B)의 MISFET의 소스·드레인 영역으로서 기능하는 n 형의 반도체 영역이 형성된다. n^+ 형 반도체 영역 SD1은, n^- 형 반도체 영역 EX1보다도 불순물 농도가 높고 또한 접합 깊이가 깊고, n^+ 형 반도체 영역 SD2는, n^- 형 반도체 영역 EX2보다도 불순물 농도가 높고 또한 접합 깊이가 깊고, n^+ 형 반도체 영역 SD3은, n^- 형 반도체 영역 EX3보다도 불순물 농도가 높고 또한 접합 깊이가 깊다.

[0073] 다음에, 소스 및 드레인용의 반도체 영역(n^- 형 반도체 영역 EX1, EX2, EX3 및 n^+ 형 반도체 영역 SD1, SD2, SD3) 등에 도입된 불순물을 활성화하기 위한 열처리인 활성화 어닐을 행한다(도 2의 스텝 S17).

[0074] 이와 같이 하여, 메모리 셀 영역(1A)에 불휘발성 메모리의 메모리 셀이 형성된다. 한편, 게이트 전극 DG는 더미의 게이트 전극이기 때문에, 주변 회로 영역(1B)의 MISFET는, 소스·드레인 영역은 형성되었지만, 최종적으로 사용하는 게이트 전극(후술하는 게이트 전극 GE)은 아직 형성되어 있지 않다.

[0075] 다음에, 실리사이드층 SL1을 형성한다(도 2의 스텝 S18). 실리사이드층 SL1은, 다음과 같이 하여 형성할 수 있다.

[0076] 먼저, n^+ 형 반도체 영역 SD1, SD2, SD3의 상면(표면) 위를 포함하는 반도체 기판 SB의 주면 전체면 위에, 적층체 LM1, 메모리 게이트 전극 MG, 적층체 LM2, 및 사이드 월 스페이스 SW를 덮도록, 금속막을 형성(퇴적)한다.

금속막은, 단체의 금속막(순금속막) 또는 합금막으로 할 수 있고, 바람직하게는 코발트(Co)막, 니켈(Ni)막 또는 니켈 백금 합금막을 포함하지만, 니켈 백금 합금막(백금 첨가 니켈막)이면, 특히 바람직하다. 금속막은, 스퍼터링법 등을 사용하여 형성할 수 있다.

[0077] 다음에, 반도체 기판 SB에 대하여 열처리를 실시함으로써, n^+ 형 반도체 영역 SD1, SD2, SD3 및 메모리 게이트 전극 MG의 각 상층 부분(표층 부분)을 금속막과 반응시킨다. 이에 의해, 도 14에 도시한 바와 같이, n^+ 형 반도체 영역 SD1, SD2, SD3 및 메모리 게이트 전극 MG의 각 상부(상면, 표면, 상층부)에, 각각 실리사이드층 SL1이 형성된다. 실리사이드층 SL1은, 예를 들어 코발트 실리사이드층(금속막이 코발트막인 경우), 니켈 실리사이드층(금속막이 니켈막인 경우), 또는, 백금 첨가 니켈 실리사이드층(금속막이 니켈 백금 합금막인 경우)으로 할 수 있다. 또한, 백금 첨가 니켈 실리사이드층이란, 백금이 첨가된 니켈 실리사이드층, 즉 백금을 함유하는 니켈 실리사이드층이며, 니켈 백금 실리사이드층이라 말할 수도 있다. 그 후, 미반응의 금속막을 웨트 에칭 등에 의해 제거한 후에, 다시 열처리를 행하여, 실리사이드층 SL1을 저저항화할 수도 있다.

[0078] 이와 같이, 소위 살리사이드(Salicide : Self Aligned Silicide) 프로세스를 행함으로써, n^+ 형 반도체 영역 SD1, SD2, SD3 및 메모리 게이트 전극 MG의 상부에 실리사이드층 SL1을 형성하고, 그것에 의해, 소스, 드레인의 저저항화 및 메모리 게이트 전극 MG의 저저항화를 실현할 수 있다.

[0079] 다음에, 도 15에 도시한 바와 같이, 반도체 기판 SB의 주면 전체면 위에, 적층체 LM1, 메모리 게이트 전극 MG, 적층체 LM2 및 사이드 월 스페이스 SW를 덮도록, 층간 절연막으로서 절연막 IL3을 형성(퇴적)한다(도 2의 스텝 S19).

[0080] 절연막 IL3은, 산화실리콘막을 포함하고, 예를 들어 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화실리콘막은, 인접하는 제어 게이트 전극간, 인접하는 메모리 게이트 전극간 또는 게이트 전극 DG간을, 전술한 「심」이라 불리는 간극을 발생시키지 않고 매립하기 위해, O_3 -TEOS막으로 하는 것이 필요하다.

[0081] 또한, O_3 -TEOS막의 막 두께는, n^+ 형 반도체 영역 SD1, SD2, SD3의 상부에 있어서, O_3 -TEOS막의 상면이, 적층 구조체 LM1 및 LM2의 캡 절연막 CP1 및 CP2의 상면보다도 높아지도록, 충분히 두껍게 퇴적하는 것이 필요하다. 물론, O_3 -TEOS막의 상면은, 적층 구조체 LM1 및 LM2의 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 게이트 전극 DG의 상면보다도 높게 되어 있다.

[0082] O_3 -TEOS막은, 상압 화학 기상 성장법(APCVD : Atmospheric Pressure Chemical Vapor Deposition) 또는 준대기압 화학 기상 성장법(SACVD : Sub Atmospheric Chemical Vapor Deposition)에 의해 형성한다. 원료 가스로서, 테트라에틸오르토실리케이트(TEOS)와 오존(O_3)을 사용하고, 압력 : 300~500Torr, 온도 : 450℃~550℃의 조건에서 실시한다. 또한, TEOS의 캐리어 가스로서는, 예를 들어 질소(N_2)를 사용한다.

[0083] 또한, 본원 발명자는, O_3 -TEOS막 중에 O-H기가 다량으로 함유될수록, 갭 매립 특성이 양호하다는 지견을 갖고 있다. 따라서, 본 실시 형태에서는, 실록산(Si-O-Si)기에 대한 실라놀(Si-O-H)기의 비율인 실라놀 비율이 10% 이상인 O_3 -TEOS막으로 하고 있다. 덧붙여서 말하면, 종래의 O_3 -TEOS막에서는, 실라놀기 비율은 10% 미만, 예를 들어 5~8%로 되어 있다. 또한, 막 중에 O-H기를 많이 함유하는 막은, 성막 장치의 챔버 내의 원료 가스 주입으로부터 막 성장이 개시될 때까지의 시간(인큐베이션)을 제어함(예를 들어, 5초 이하로 함)으로써 실현할 수 있는 것을 확인하였다.

[0084] 그러나, 전술한 막 중에 O-H기를 많이 함유하는 막은, 갭 매립 특성이 양호하지만, 웨트 에칭 레이트가 높고(빠르고), 비유전율이 높다는 물성을 갖는다. 본원 발명자의 검토에 의해, 전술한 O_3 -TEOS막을 산화 분위기(O_2 , H_2O , H_2O_2 또는 O_3), 또한, 300~400℃에서 열처리함으로써, 웨트 에칭 레이트를 낮게(느리게) 할 수 있고, 또한, 비유전율을 낮게 할 수 있는 것이 판명되었다.

[0085] 도 23은 O_3 -TEOS막의 상대 에칭 레이트를 나타내는 그래프이다. (a)는 열처리 전의 샘플, (b)는 산소(O_2) 분위기, 400℃, 3hr의 열처리를 한 샘플, (c)는 과산화수소(H_2O_2) 분위기, 400℃, 3hr의 열처리를 한 샘플이다. 또한, 에칭액은, 암모니아과수 및 암모니아수이다. 산화 분위기에서 열처리 후의 샘플 (b) 및 (c)는 열처리 전의 샘플 (a)에 비해, 웨트 에칭 레이트가 낮아져(느려져) 있는 것을 알 수 있다. 특히, (c)의 웨트 에칭 레이트는

(a)의 약 1/2로 되어 있다.

- [0086] 또한, 도 24는 O_3 -TEOS막의 비유전율을 나타내는 그래프이다. 열처리 전의 샘플 (a)의 비유전율은 7이었지만, 산소(O_2) 분위기, 400℃, 3hr의 열처리를 실시한 경우의 샘플 (b)에서는, 비유전율이 5.5로 저감되어 있다. 또한, 과산화수소(H_2O_2) 분위기, 400℃, 3hr의 열처리를 실시한 샘플 (c)에서는, 비유전율이 5 이하로 저감되어 있다.
- [0087] 상기 샘플의 막 중의 평균 반경을 양전자 소멸법에 의해 측정하여, 샘플 (a)는 0.301nm, 샘플 (b)는 0.287nm, 샘플 (c)는 0.279nm로 되어 있는 것을 확인하였다. 본원 발명자는, O_3 -TEOS막에 산화 분위기에서 열처리를 실시함으로써, 탈수 축합 반응이 발생하여, 막 중의 실라놀기의 비율이 감소하고, 실록산기의 비율이 증가한다. 탈수 축합 반응에 의해, O_3 -TEOS막 자체는 수축하여 경화되기 때문에, 웨트 에칭 레이트가 낮아진다(느려진다). 한편, O_3 -TEOS막의 수축에 의해 개개의 마이크로포어의 반경(체적)이 증가함으로써 비유전율이 감소하는 것으로 생각되고 있다.
- [0088] 즉, O_3 -TEOS막의 형성 후이며, 다음 공정(도 2의 스텝 S20의 연마(CMP 처리)) 전에, O_3 -TEOS막을 산화 분위기에서 열처리하는 것이 필요하다.
- [0089] 다음에, 절연막 IL3의 상면을, CMP법 등을 사용하여 연마(연마 처리)한다(도 2의 스텝 S20). 스텝 S20의 연마 공정에 의해, 도 16에 도시한 바와 같이, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 및, 게이트 전극 DG의 각 상면을 노출시킨다. 즉, 스텝 S20의 연마 공정에서는, 제어 게이트 전극 CG 및 게이트 전극 DG 위에 형성되어 있던 캡 절연막 CP1, CP2는 완전히 제거된다. 물론, 캡 절연막 CP1, CP2의 측벽 위에 위치하고 있는 사이드 월 SW도 일부 제거된다. 또한, 메모리 게이트 전극 MG의 상부에 형성되어 있던 실리사이드층 SL1도 제거된다.
- [0090] 또한, 전술한 바와 같이, 산화 분위기에서 열처리가 실시된 O_3 -TEOS막을 포함하는 절연막 IL3은, 퇴적 직후에 비해, 경화되어 웨트 에칭 레이트가 낮아져 있기 때문에, 연마 공정(도 2의 스텝 S20)에 있어서, 절연막 IL3의 상면이 제어 게이트 전극 CG, 메모리 게이트 전극 MG 및 게이트 전극 DG의 상면에 비해, 낮게 움푹 패는 것을 저감 또는 방지할 수 있다. 즉, 절연막 IL3의 디싱을 저감할 수 있다.
- [0091] 다음에, 도 17에 도시한 바와 같이, 반도체 기판 SB 위에 소정의 패턴을 갖는 절연막 IL4를 형성한다(도 3의 스텝 S21).
- [0092] 절연막 IL4는, 예를 들어 질화실리콘막 등을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 절연막 IL4는, 평면에서 보아, 메모리 셀 영역(1A) 전체를 덮고, 주변 회로 영역(1B)에 있어서, 게이트 전극 DG를 노출하는 패턴을 갖는다. 즉, 절연막 IL4는, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 덮고, 게이트 전극 DG를 노출하는 패턴을 갖는다.
- [0093] 다음에, 게이트 전극 DG를 에칭하여 제거한다(도 3의 스텝 S22). 스텝 S22의 에칭은, 실리콘을 선택적으로 에칭하는, 예를 들어 암모니아수를 사용한 웨트 에칭을 실시한다. 여기서, 전술한 바와 같이, O_3 -TEOS막을 포함하는 절연막 IL3의 웨트 에칭 레이트를 낮게 하고 있으므로, 게이트 전극 DG를 제거하는 웨트 에칭 공정에 있어서, 절연막 IL3의 상면이 움푹 패는 것을 저감 또는 방지할 수 있다.
- [0094] 스텝 S22에서 게이트 전극 DG가 제거됨으로써, 연마 처리된 절연막 IL3(사이드 월 스페이스 SW를 포함함)에는, 홈(오목부, 움푹 패임부) TR1이 형성된다. 홈 TR1은, 게이트 전극 DG가 제거된 영역이며, 게이트 전극 DG를 제거할 때까지 게이트 전극 DG가 존재하고 있었던 영역에 대응하고 있다. 홈 TR1의 저부(저면)는 절연막 GI의 상면에 의해 형성되고, 홈 TR1의 측벽(측면)은 사이드 월 스페이스 SW의 측면(게이트 전극 DG의 제거 전까지 게이트 전극 DG에 접하고 있었던 측면)에 의해 형성되어 있다.
- [0095] 스텝 S22의 게이트 전극 DG 제거 공정은, 게이트 전극 DG에 비해 절연막 IL4, 절연막 IL3, 절연막 GI 및 사이드 월 스페이스 SW가 에칭되기 어려운 조건에서, 에칭을 행하는 것이 바람직하다. 즉, 게이트 전극 DG의 에칭 속도에 비해 절연막 IL4, 절연막 IL3, 절연막 GI 및 사이드 월 스페이스 SW의 에칭 속도가 작아지는 조건에서, 에칭을 행하는 것이 바람직하다. 이에 의해, 게이트 전극 DG를 선택적으로 에칭할 수 있다. 절연막 IL4는, 메모리 셀 영역(1A) 전체를 덮고 있기 때문에, 스텝 S22에서 메모리 게이트 전극 MG 및 제어 게이트 전극 CG는 에칭되지 않는다.
- [0096] 다음에, 도 18에 도시한 바와 같이, 반도체 기판 SB 위에, 즉 홈 TR1의 내부(저부 및 측벽 위)를 포함하는 절연

막 IL3 위에 절연막 HK를 형성한다(도 3의 스텝 S23). 그 다음에, 반도체 기판 SB 위에, 즉 절연막 HK 위에 홈 TR1 내를 매립하도록, 도전막으로서 금속막 ME를 형성한다(도 3의 스텝 S24).

[0097] 홈 TR1에 있어서, 스텝 S23에서는 홈 TR1의 저부(저면) 및 측벽(측면) 위에 절연막 HK가 형성되지만, 홈 TR1은 절연막 HK로는 완전히 매립되지 않고, 스텝 S24에서 금속막 ME를 형성함으로써, 홈 TR1은 절연막 HK와 금속막 ME에 의해 완전히 매립된 상태로 된다.

[0098] 절연막 HK는, 게이트 절연막용의 절연막이며, 금속막 ME는, 게이트 전극용의 도전막이다. 구체적으로는, 절연막 HK는, 주변 회로 영역(1B)에 형성하는 MISFET의 게이트 절연막용의 절연막이며, 금속막 ME는, 주변 회로 영역(1B)에 형성하는 MISFET의 게이트 전극용의 도전막이다.

[0099] 절연막 HK는, 질화실리콘보다도 유전율(비유전율)이 높은 절연 재료막, 소위 High-k막(고유전율막)이다. 또한, 본원에 있어서, High-k막, 고유전율막 혹은 고유전율 게이트 절연막이라 할 때는, 질화실리콘보다도 유전율(비유전율)이 높은 막을 의미한다.

[0100] 절연막 HK로서는, 산화하프늄막, 산화지르코늄막, 산화알루미늄막, 산화탄탈륨막 또는 산화란탄막 등의 금속 산화물막을 사용할 수 있고, 또한, 이들 금속 산화물막은, 질소(N) 및 규소(Si) 중 한쪽 또는 양쪽을 더 함유할 수도 있다. 절연막 HK는, 예를 들어 ALD(Atomic Layer Deposition : 원자층 퇴적)법 또는 CVD법에 의해 형성할 수 있다. 게이트 절연막에 고유전율막(여기서는 절연막 HK)을 사용한 경우에는, 산화실리콘막을 사용한 경우에 비해, 게이트 절연막의 물리적 막 두께를 증가시킬 수 있기 때문에, 누설 전류를 저감할 수 있다는 이점이 얻어진다.

[0101] 금속막 ME로서는, 예를 들어 질화티타늄(TiN)막, 질화탄탈륨(TaN)막, 질화텅스텐(WN)막, 탄화티타늄(TiC)막, 탄화탄탈륨(TaC)막, 탄화텅스텐(WC)막, 질화탄화탄탈륨(TaCN)막, 티타늄(Ti)막, 탄탈륨(Ta)막, 티타늄 알루미늄(TiAl)막 또는 알루미늄(Al)막 등의 금속막을 사용할 수 있다. 또한, 여기에서 말하는 금속막이란, 금속 전도를 나타내는 도전막을 말하고, 단체의 금속막(순금속막)이나 합금막뿐만 아니라, 금속 전도를 나타내는 금속 화합물막(질화 금속막이나 탄화 금속막 등)도 포함하는 것으로 한다. 이 때문에, 금속막 ME는, 금속 전도를 나타내는 도전막이며, 단체의 금속막(순금속막)이나 합금막에 한정되지 않고, 금속 전도를 나타내는 금속 화합물막(질화 금속막이나 탄화 금속막 등)이어도 된다. 또한, 금속막 ME를 적층막(복수의 막이 적층된 적층막)으로 할 수도 있지만, 그 경우, 그 적층막의 최하층은 금속막(금속 전도를 나타내는 도전막)으로 한다. 또한, 그 적층막을, 복수의 금속막(금속 전도를 나타내는 도전막)의 적층막으로 할 수도 있다. 금속막 ME는, 예를 들어 스퍼터링법 등을 사용하여 형성할 수 있다.

[0102] 도 18에서는, 금속막 ME의 적합한 일례로서, 금속막 ME를, 티타늄 알루미늄(TiAl)막 ME1과 티타늄 알루미늄막 ME1 위의 알루미늄(Al)막 ME2의 적층막으로 한 경우가 도시되어 있다. 이 경우, 스텝 S24에 있어서, 먼저 절연막 HK 위에 티타늄 알루미늄막 ME1을 형성하고 나서, 티타늄 알루미늄막 ME1 위에, 홈 TR1 내를 매립하도록, 알루미늄막 ME2를 형성하게 된다. 이때, 티타늄 알루미늄막 ME1보다도 알루미늄막 ME2를 두껍게 하는 것이 바람직하다. 알루미늄막 ME2는 저저항이기 때문에, 후에 형성하는 게이트 전극 GE의 저저항화를 도모할 수 있다. 또한, 후에 형성되는 게이트 전극 GE에 있어서의 게이트 절연막에 접하는 부분(여기서는 티타늄 알루미늄막 ME1)의 재료의 일함수로, 그 게이트 전극 GE를 구비하는 MISFET의 역치 전압을 제어할 수 있다. 또한, 밀착성 향상의 관점에서, 티타늄 알루미늄막 ME1과 알루미늄막 ME2 사이에, 티타늄(Ti)막 또는 질화티타늄(TiN)막 혹은 그들의 적층막을 개재시킬 수도 있다. 그 경우, 티타늄 알루미늄막 ME1을 형성한 후에, 티타늄 알루미늄막 ME1 위에 티타늄막 또는 질화티타늄막 혹은 그들의 적층막을 형성하고 나서, 그 위에 알루미늄막 ME2를 형성하게 된다.

[0103] 다음에, 도 19에 도시한 바와 같이, 홈 TR1의 외부의 불필요한 금속막 ME 및 절연막 HK를 CMP법 등의 연마 처리에 의해 제거함으로써, 홈 TR1 내에 절연막 HK 및 금속막 ME를 남겨 게이트 전극 GE를 형성한다(도 3의 스텝 S25).

[0104] 즉, 스텝 S25에서는, 홈 TR1의 외부의 금속막 ME 및 절연막 HK를 제거하고, 홈 TR1 내에 절연막 HK 및 금속막 ME를 남긴다. 이에 의해, 홈 TR1 내에 절연막 HK와 금속막 ME가 잔존하여 매립된 상태로 된다.

[0105] 홈 TR1에 매립된 금속막 ME가, MISFET의 게이트 전극 GE로 되고, 홈 TR1에 매립된 절연막 HK가, 그 MISFET의 게이트 절연막으로서 기능하고, 게이트 전극 GE는 MISFET의 게이트 전극으로서 기능한다.

[0106] 또한, 금속막 ME를 사용하여 게이트 전극 GE를 형성하고 있기 때문에, 게이트 전극 GE를 메탈 게이트 전극으로 할 수 있다. 게이트 전극 GE를 메탈 게이트 전극으로 함으로써, 게이트 전극 GE의 공핍화 현상을 억제하고, 기

생 용량을 저감하여 MISFET를 고속화할 수 있다는 이점이 얻어진다.

- [0107] 절연막 HK는, 홈 TR1의 저부(저면) 및 측벽 위에 형성되고, 게이트 전극 GE는, 저부(저면) 및 측벽(측면)이 절연막 HK에 인접한다. 게이트 전극 GE와 반도체 기판 SB(p형 웰 PW2) 사이에는, 절연막 GI와 절연막 HK가 개재되어 있고, 게이트 전극 GE와 사이드 월 스페이서 SW 사이에는, 절연막 HK가 개재되어 있다. 게이트 전극 GE의 바로 아래의 절연막 GI, HK가 MISFET의 게이트 절연막으로서 기능하지만, 절연막 HK는 고유전율막이기 때문에, 고유전율 게이트 절연막으로서 기능한다.
- [0108] 또한, 스텝 S25에 있어서, 절연막 IL4도 CMP법 등에 의해 연마하여 제거할 수 있다. 이 때문에, 스텝 S25를 행하면, 메모리 게이트 전극 MG 위, 제어 게이트 전극 CG 위로부터도 금속막 ME 및 절연막 HK가 제거되고, 또한 절연막 IL4도 제거되기 때문에, 메모리 게이트 전극 MG의 상면, 제어 게이트 전극 CG의 상면이 노출된다.
- [0109] 다른 형태로서, 스텝 S22에서 게이트 전극 DG를 에칭한 후, 스텝 S23에서 절연막 HK를 형성하기 전에, 홈 TR1의 저부 절연막 GI를 제거하는 것도 가능하다. 이 경우, 홈 TR1의 저부 절연막 GI를 제거한 후에, 홈 TR1의 저부에서 노출되는 반도체 기판 SB(p형 웰 PW2)의 표면에 산화실리콘막 또는 산질화실리콘막을 포함하는 계면층을 형성하고 나서, 스텝 S23에서 절연막 HK를 형성하면, 보다 바람직하다. 그렇게 하면, 절연막 HK와 주변 회로 영역(1B)의 반도체 기판 SB(p형 웰 PW2) 사이(계면)에, 산화실리콘막 또는 산질화실리콘막을 포함하는 계면층이 개재되게 된다.
- [0110] 도 3의 스텝 S25가 완료된 단계에서, 제어 게이트 전극 CG의 상면, 메모리 게이트 전극 MG의 상면, 게이트 전극 GE의 상면, 및 절연막 IL3의 상면은, 반도체 기판 SB의 상면 또는 소자 분리막 ST의 상면으로부터 동일한 높이로 되어 있다. 또한, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 게이트 전극 GE의 측벽 위에 형성된 사이드 월 스페이서 SW의 상면(상단)도, 전술한 제어 게이트 전극 CG와의 높이와 동일하다.
- [0111] 다음에, 도 20에 도시한 바와 같이, 반도체 기판 SB 위에 소정의 패턴을 갖는 절연막 IL5를 형성한다(도 3의 스텝 S26).
- [0112] 절연막 IL5는, 예를 들어 산화실리콘막 등을 포함하고, CVD법 등을 사용하여 형성할 수 있다. 절연막 IL5는, 평면에서 보아, 주변 회로 영역(1B) 전체를 덮고, 메모리 셀 영역(1A)을 노출하는 패턴(평면 형상)을 갖고 있다. 즉, 절연막 IL5는, MISFET의 게이트 전극 GE를 덮고, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 상면을 노출하는 패턴을 갖고 있다.
- [0113] 다음에, 도 20에 도시한 바와 같이, 메모리 게이트 전극 MG 위와 제어 게이트 전극 CG 위에 실리사이드층 SL2를 형성한다(도 3의 스텝 S27). 실리사이드층 SL2는, 다음과 같이 하여 형성할 수 있다.
- [0114] 먼저, 반도체 기판 SB 위에 금속막을 형성(퇴적)한다. 금속막은, 단체의 금속막(순금속막) 또는 합금막으로 할 수 있고, 바람직하게는 코발트(Co)막, 니켈(Ni)막, 또는 니켈 백금 합금막(백금 첨가 니켈막)을 포함하지만, 니켈(Ni)막이면, 특히 바람직하다. 금속막은 스퍼터링법 등을 사용하여 형성할 수 있다.
- [0115] 금속막은, 반도체 기판 SB의 주변 전체면 위에 형성되기 때문에, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 상면(표면) 위에도 금속막이 형성된다. 이 때문에, 금속막을 형성하면, 메모리 게이트 전극 MG의 상면(표면) 및 제어 게이트 전극 CG의 상면(표면)이 금속막에 접한 상태로 된다. 한편, 주변 회로 영역(1B)에서는, 금속막은 절연막 IL5 위에 형성되기 때문에, 금속막을 형성해도, 게이트 전극 GE는 금속막에 접촉하지 않고, 게이트 전극 GE와 금속막 사이에는 절연막 IL5가 개재된 상태로 된다.
- [0116] 다음에, 반도체 기판 SB에 대하여 열처리를 실시함으로써, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 각 상층 부분(표층 부분)을 금속막과 반응시킨다. 이에 의해, 도 20에 도시한 바와 같이, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 각 상부(상면, 표면, 상층부)에, 각각 실리사이드층 SL2가 형성된다. 실리사이드층 SL2는, 바람직하게는 코발트 실리사이드층(금속막이 코발트막인 경우), 니켈 실리사이드층(금속막이 니켈막인 경우), 또는, 백금 첨가 니켈 실리사이드층(금속막이 니켈 백금 합금막인 경우)으로 할 수 있다. 그 후, 미반응의 금속막을 웨트 에칭 등에 의해 제거한다. 도 20에는 이 단계의 단면도가 도시되어 있다. 또한, 미반응의 금속막을 제거한 후에, 다시 열처리를 행할 수도 있다. 또한, 게이트 전극 GE 위에는 실리사이드층 SL2는 형성되지 않는다.
- [0117] 이와 같이, 소위 살리사이드 프로세스를 행함으로써, 메모리 셀 영역(1A)에 있어서, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 상부에 실리사이드층 SL2를 형성하고, 그것에 의해, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 저항을 저감할 수 있다. 살리사이드 프로세스를 사용함으로써, 메모리 게이트 전극 MG 및 제어

게이트 전극 CG 위에, 각각 실리사이드층 SL2를 자기 정합적으로 형성할 수 있다. 또한, 메모리 게이트 전극 MG 및 제어 게이트 전극 CG의 각 상면의 거의 전체에, 실리사이드층 SL2를 형성할 수 있다.

- [0118] 도 20에 도시한 바와 같이 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 표면에 실리사이드층 SL2를 형성하는 예를 나타냈다. 즉, 제어 게이트 전극 CG는, 실리콘막 PS1과 실리사이드층 SL2의 적층 구조, 메모리 게이트 전극 MG는, 실리콘막 PS2와 실리사이드층 SL2의 적층 구조로 되어 있다.
- [0119] 다음에, 도 21에 도시한 바와 같이, 반도체 기판 SB의 주면 전체면 위에, 절연막(층간 절연막) IL6을 형성한다(도 3의 스텝 S28).
- [0120] 절연막 IL6은, 절연막 IL5가 형성되어 있는 영역(예를 들어 주변 회로 영역(1B))에서는 절연막 IL5 위에 형성되고, 절연막 IL5가 형성되어 있지 않은 영역에서는, 주로 절연막 IL3 위에 형성되고, 또한, 메모리 셀 영역(1A)에서는, 메모리 게이트 전극 MG 위의 실리사이드층 SL2와 제어 게이트 전극 CG 위의 실리사이드층 SL2를 덮도록 형성된다. 절연막 IL6으로서는, 예를 들어 산화실리콘을 주체로 한, 산화실리콘계의 절연막을 사용할 수 있다.
- [0121] 절연막 IL6의 형성 후, 절연막 IL6의 상면을 CMP법에 의해 연마하여, 절연막 IL6의 상면의 평탄성을 높인다.
- [0122] 또한, 본 실시 형태에서는, 절연막 IL5를 제거하지 않고 절연막 IL6을 형성하고 있다. 이에 의해, 반도체 장치의 제조 공정을 저감할 수 있다. 다른 형태로서, 스텝 S27에서 실리사이드층 SL2를 형성한 후, 절연막 IL5를 제거하고 나서, 스텝 S28에서 절연막 IL6을 형성할 수도 있다.
- [0123] 다음에, 포토리소그래피법을 사용하여 절연막 IL6 위에 형성한 포토레지스트 패턴(도시하지 않음)을 에칭 마스크로 하여, 절연막 IL6, IL5, IL3을 드라이 에칭함으로써, 절연막 IL6, IL5, IL3에 콘택트 홀(개구부, 관통 구멍) CT를 형성한다(도 3의 스텝 S29).
- [0124] 절연막 IL5가 형성되어 있는 영역(예를 들어 주변 회로 영역(1B))에서는, 절연막 IL6과 절연막 IL5와 절연막 IL3의 적층막을 관통하도록 콘택트 홀 CT가 형성되고, 절연막 IL5가 형성되어 있지 않은 메모리 셀 영역(1A)에서는, 절연막 IL6과 절연막 IL3의 적층막을 관통하도록 콘택트 홀 CT가 형성된다.
- [0125] 다음에, 도 21에 도시한 바와 같이, 콘택트 홀 CT 내에, 접속용의 도전체부로서, 텅스텐(W) 등을 포함하는 도전성의 플러그 전극 PG를 형성한다(도 3의 스텝 S30).
- [0126] 플러그 전극 PG를 형성하기 위해서는, 예를 들어 콘택트 홀 CT의 내부(저부 및 측벽 위)를 포함하는 절연막 IL6 위에, 배리어 도체막(예를 들어 티타늄막, 질화티타늄막, 혹은 그들의 적층막)을 형성한다. 그 다음에, 이 배리어 도체막 위에 텅스텐막 등을 포함하는 주도체막으로 콘택트 홀 CT를 매립하도록 형성하고 나서, 콘택트 홀 CT의 외부의 불필요한 주도체막 및 배리어 도체막을 CMP법 또는 에치 백법 등에 의해 제거함으로써, 플러그 전극 PG를 형성할 수 있다. 또한, 도면의 간략화를 위해, 도 21에서는, 플러그 전극 PG를 구성하는 배리어 도체막 및 주도체막(텅스텐막)을 일체화하여 도시하고 있다.
- [0127] 콘택트 홀 CT 및 그것에 매립된 플러그 전극 PG는, n^+ 형 반도체 영역 SD1, SD2, SD3, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 및, 게이트 전극 GE의 상부 등에 형성된다. 콘택트 홀 CT의 저부에서는, 반도체 기판 SB의 주면의 일부, 예를 들어 n^+ 형 반도체 영역 SD1, SD2, SD3(의 표면 위의 실리사이드층 SL1)의 일부, 제어 게이트 전극 CG(의 표면 위의 실리사이드층 SL2)의 일부, 메모리 게이트 전극 MG(의 표면 위의 실리사이드층 SL2)의 일부, 혹은 게이트 전극 GE의 일부 등이 노출된다.
- [0128] 또한, 도 21의 단면도에 있어서는, n^+ 형 반도체 영역 SD2, SD3에 대한 콘택트 홀 CT와, 그 콘택트 홀 CT를 매립하는 플러그 전극 PG를 도시하고 있다.
- [0129] 다음에, 플러그 전극 PG가 매립된 절연막 IL6 위에 제1층재의 배선인 배선(배선층) M1을 형성한다(도 3의 스텝 S31). 이 배선 M1을, 다마신 기술(여기서는 싱글 다마신 기술)을 사용하여 형성하는 경우에 대하여 설명한다.
- [0130] 먼저, 도 21에 도시한 바와 같이, 플러그 전극 PG가 매립된 절연막 IL6 위에 절연막 IL7을 형성한다. 절연막 IL7은, 복수의 절연막의 적층막으로 형성할 수도 있다. 그 다음에, 포토레지스트 패턴(도시하지 않음)을 에칭 마스크로 한 드라이 에칭에 의해 절연막 IL7의 소정의 영역에 배선 홈(배선용의 홈)을 형성한 후, 배선 홈의 저부 및 측벽 위를 포함하는 절연막 IL7 위에 배리어 도체막(예를 들어 질화티타늄막, 탄탈륨막 또는 질화탄탈륨막 등)을 형성한다. 그 다음에, CVD법 또는 스퍼터링법 등에 의해 배리어 도체막 위에 구리의 시드층을 형성하고, 또한 전해 도금법 등을 사용하여 시드층 위에 구리 도금막을 형성하고, 구리 도금막에 의해 배선 홈의 내부

를 매립한다. 그 다음에, 배선 홈 이외의 영역의 주도체막(구리 도금막 및 시드층)과 배리어 도체막을 CMP법에 의해 제거하여, 배선 홈에 매립된 구리를 주도전 재료로 하는 제1층째의 배선 M1을 형성한다. 도 21에서는, 도면의 간략화를 위해, 배선(금속 배선) M1은, 배리어 도체막, 시드층 및 구리 도금막을 일체화하여 도시하고 있다.

[0131] 도 21에 도시한 바와 같이, 배선 M1은 플러그 전극 PG를 통해, 제어 트랜지스터의 드레인 영역(n^+ 형 반도체 영역 SD2), 주변 회로 영역(1B)의 MISFET의 소스·드레인 영역(n^+ 형 반도체 영역 SD3) 등과 전기적으로 접속된다. 그 후, 듀얼 다마신법 등에 의해 2층째 이후의 배선(금속 배선)을 형성하지만, 여기에서는 도시 및 그 설명은 생략한다. 또한, 배선 M1 및 그것보다도 상층의 배선은, 다마신 배선에 한정되지 않고, 배선용의 도전체막을 패터닝하여 형성할 수도 있고, 예를 들어 텅스텐 배선 또는 알루미늄 배선 등으로 할 수도 있다.

[0132] 이상과 같이 하여, 본 실시 형태의 반도체 장치가 제조된다.

[0133] <반도체 장치의 구조에 대하여>

[0134] 다음에, 본 실시 형태의 반도체 장치에 있어서의 불휘발성 메모리의 메모리 셀 구성에 대하여, 도 21 및 도 22를 참조하여 설명한다.

[0135] 도 22는 본 실시 형태의 반도체 장치의 메모리 셀 영역의 주요부 평면도이다. 도 21의 메모리 셀 영역(1A)에는, 도 22의 X-X선을 따르는 주요부 단면도를 도시하고 있다.

[0136] 도 21 및 도 22를 참조하면서 메모리 셀 영역(1A)의 구조를 설명한다.

[0137] 도 21에 도시한 바와 같이, 반도체 기판 SB에는, 메모리 트랜지스터 및 제어 트랜지스터를 포함하는 불휘발성 메모리의 메모리 셀 MC가 형성되어 있다. 각 메모리 셀 MC에 있어서, 전하 축적부(전하 축적층)를 포함하는 게이트 절연막 및 메모리 게이트 전극 MG를 구비하는 MISFET을 메모리 트랜지스터라 하고, 또한, 게이트 절연막 및 제어 게이트 전극 CG를 구비하는 MISFET을 제어 트랜지스터라 한다.

[0138] 도 21에 도시한 바와 같이, 불휘발성 메모리의 메모리 셀 MC는, 반도체 기판 SB의 p형 웰 PW1 중에 형성된 소스 및 드레인용의 n형의 반도체 영역 MS, MD와, 반도체 기판 SB(p형 웰 PW1)의 상부에 형성된 제어 게이트 전극 CG와, 반도체 기판 SB(p형 웰 PW1)의 상부에 형성되어 제어 게이트 전극 CG와 인접하는 메모리 게이트 전극 MG를 갖고 있다. 그리고, 불휘발성 메모리의 메모리 셀 MC는, 제어 게이트 전극 CG 및 반도체 기판 SB(p형 웰 PW1) 사이에 형성된 절연막(게이트 절연막) GI와, 메모리 게이트 전극 MG 및 반도체 기판 SB(p형 웰 PW1) 사이에 형성된 절연막 MZ를 더 갖고 있다.

[0139] 제어 게이트 전극 CG 및 메모리 게이트 전극 MG는, 그들의 대향 측면의 사이에 절연막 MZ를 개재한 상태에서, 나란히 배치되고, 반도체 기판 SB의 주면을 따라서 연장되어 있다. 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 연장 방향은, 도 21의 지면의 수직 방향(도 22의 Y 방향)이다. 제어 게이트 전극 CG 및 메모리 게이트 전극 MG는, 반도체 영역 MS 및 반도체 영역 MD 사이의 반도체 기판 SB(p형 웰 PW1)의 상부에 절연막 GI 및 절연막 MZ를 개재하여 형성되어 있고, 반도체 영역 MS측에 메모리 게이트 전극 MG가 위치하고, 반도체 영역 MD측에 제어 게이트 전극 CG가 위치하고 있다. 단, 제어 게이트 전극 CG는 절연막 GI를 개재하여, 메모리 게이트 전극 MG는 절연막 MZ를 개재하여, 반도체 기판 SB 위에 형성되어 있다.

[0140] 제어 게이트 전극 CG와 메모리 게이트 전극 MG는, 사이에 절연막 MZ를 개재하여 서로 인접하고 있다. 절연막 MZ는, 메모리 게이트 전극 MG와 반도체 기판 SB(p형 웰 PW1) 사이의 영역과, 메모리 게이트 전극 MG와 제어 게이트 전극 CG 사이의 영역의 양쪽의 영역에 걸쳐 연장되어 있다.

[0141] 반도체 영역 MS 및 반도체 영역 MD는 소스 또는 드레인용의 반도체 영역이다. 즉, 소스용의 반도체 영역 MS는, n^- 형 반도체 영역 EX1(익스텐션 영역)과, n^- 형 반도체 영역 EX1보다도 높은 불순물 농도를 갖는 n^+ 형 반도체 영역 SD1(소스 영역)을 갖고 있다. 또한, 드레인용의 반도체 영역 MD는, n^- 형 반도체 영역 EX2(익스텐션 영역)과, n^- 형 반도체 영역 EX2보다도 높은 불순물 농도를 갖는 n^+ 형 반도체 영역 SD2(드레인 영역)를 갖고 있다.

[0142] n^+ 형 반도체 영역 SD1, SD2의 상부에는, 살리사이드 기술 등에 의해, 살리사이드층 SL1이 형성되어 있다. 메모리 게이트 전극 MG의 상부와 제어 게이트 전극 CG의 상부에는, 살리사이드 기술 등에 의해, 살리사이드층 SL2가

형성되어 있다.

- [0143] 도 22에 도시한 바와 같이, 메모리 셀 영역(1A)에는, 복수의 메모리 셀 MC가 X 방향 및 Y 방향으로 행렬 형상으로 배치되어 있고, Y 방향에 있어서, 각 메모리 셀 MC는, 인접하는 소자 분리막 ST에 의해 전기적으로 분리되어 있다. X 방향에 있어서, 인접하는 2개의 메모리 셀 MC는, 공통의 드레인용의 반도체 영역 MD를 갖고 있고, 공통의 드레인용의 반도체 영역 MD는, 플러그 전극 PG를 통해, X 방향으로 연장되는 비트선 BL에 접속되어 있다. 비트선 BL은, 예를 들어 제1층재의 배선 M1을 포함하고 있다. 제어 게이트 전극 CG와 메모리 게이트 전극 MG에 대하여, 공통의 드레인용의 반도체 영역 MD의 반대측에 배치된 소스용의 반도체 영역 MS는, Y 방향으로 연속적으로 형성되어 있고, 메모리 셀(1A)의 단부에서, 플러그 전극 PG를 통해 소스선 SL에 접속되어 있다. 소스선 SL은, 예를 들어 제1층재의 배선 M1을 포함하고, X 방향으로 연장되어 있다.
- [0144] 또한, Y 방향으로 배열된 복수의 메모리 셀 MC에 대해, 제어 게이트 전극 CG는, 공통(일체)으로 형성되어 있고, Y 방향으로 연장되어 있다. Y 방향으로 배열된 복수의 메모리 셀 MC에 대해, 메모리 게이트 전극 MG는 공통(일체)으로 형성되어 있고, Y 방향으로 연장되어 있다.
- [0145] X 방향으로 인접하는 2개의 메모리 셀 MC는, 반도체 영역 MS 또는 반도체 영역 MD를 통과하는 Y 방향으로 연장되는 가상선에 대하여 선 대칭으로 배치되어 있다. 따라서, 인접하는 2개의 메모리 셀 MC의 2개의 메모리 게이트 전극 MG 또는 2개의 제어 게이트 전극 CG는, 반도체 영역 MS 또는 반도체 영역 MD를 사이에 두고, 서로 인접하고 있다.
- [0146] 메모리 셀 영역(1A)의 소형화, 바꾸어 말하면, 반도체 장치의 소형화를 위해서는, 인접하는 2개의 메모리 게이트 전극 MG의 간격 또는 2개의 제어 게이트 전극 CG의 간격을 좁게 할 필요가 있다. 도 21에 도시한 바와 같이, 인접하는 2개의 메모리 게이트 전극 MG간 및 2개의 제어 게이트 전극 CG간의 스페이스는, 절연막 IL3으로 매립되어 있지만, 메모리 셀 영역(1A)의 소형화에 의해, 상기 스페이스의 애스펙트비가 증대되기 때문에, 절연막 IL3으로서, 갭 매립 특성이 양호한 O₃-TEOS막이 사용된다. 또한, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG의 측벽 위에 형성되어 있는 사이드 월 스페이스 SW가, 상기 스페이스의 애스펙트비를 크게 하고 있다.
- [0147] <주요한 특징과 효과에 대하여>
- [0148] 본 실시 형태의 주요한 특징과 효과에 대하여 설명한다.
- [0149] 본 실시 형태의 반도체 장치의 제조 방법은 이하의 공정을 갖는다.
- [0150] 반도체 기판 SB의 메모리 셀 영역(1A)에는, 반도체 기판 SB의 주변 위에, 절연막 GI를 개재하여 형성된 제어 게이트 전극 CG와, 전하 축적 영역을 포함하는 절연막 MZ를 개재하여 형성된 메모리 게이트 전극 MG와, 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록, 반도체 기판 SB의 주변에 형성된 반도체 영역 EX1 및 SD1 그리고 반도체 영역 EX2 및 SD2를 포함하는 메모리 셀을 준비한다. 그리고, 반도체 기판 SB의 주변 회로 영역(1B)에는, 반도체 기판 SB의 주변 위에, 절연막 GI를 개재하여 형성된 게이트 전극 DG와, 게이트 전극 DG를 사이에 두도록, 반도체 기판 SB의 주변에 형성된 반도체 영역 EX3 및 SD3 그리고 반도체 영역 EX3 및 SD3을 포함하는 MISFET를 준비한다.
- [0151] 다음에, 메모리 셀 및 MISFET를 덮도록, 반도체 기판 SB의 주변 위에, 제1 온도에서 성막한 O₃-TEOS막을 포함하는 절연막 IL3을 형성한다.
- [0152] 다음에, 절연막 IL3을, 산화 분위기 및 제2 온도에서 열처리한다.
- [0153] 다음에, 절연막 IL3에 제1 연마 처리를 실시하여, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 및, 게이트 전극 DG의 상면을 노출한다.
- [0154] 다음에, 주변 회로 영역(1B)에 있어서, 게이트 전극 DG를 제거하여, 절연막 IL3에 홈 TR1을 형성한다.
- [0155] 다음에, 홈 TR1 내를 매립하도록, 절연막 IL3 위에 금속막 ME를 형성한다.
- [0156] 다음에, 금속막 ME에 제2 연마 처리를 실시하여, 홈 TR1 내에 선택적으로 금속막 ME를 남김으로써, 홈 TR1 내에, MISFET의 게이트 전극 GE를 형성한다.
- [0157] 상기의 제조 방법에 의하면, 메모리 셀 영역(1A)의 인접하는 제어 게이트 전극 CG간 및 인접하는 메모리 게이트 전극 MG간, 그리고 주변 회로 영역(1B)의 인접하는 게이트 전극 DG간의 매립에, 갭 매립 특성이 높은 O₃-TEOS막을 사용함으로써, 인접하는 제어 게이트 전극 CG간, 인접하는 메모리 게이트 전극 MG간, 및, 인접하는 게이트

전극 DG간의 절연막 IL3 내의 「심(seam)」 발생을 저감 또는 방지할 수 있다.

- [0158] 또한, 도 22에 도시한 바와 같이, 인접하는 제어 게이트 전극 CG간에 있어서, 비트선 BL에 접속되는 복수의 플러그 전극 PG가 Y 방향으로 소정의 간격으로 배치되어 있다. 절연막 IL3 내의 「심(seam)」 발생에 의해, Y 방향으로 인접하는 플러그 전극 PG간의 단락이 발생할 위험성이 있다. 그러나, 본 실시 형태에서는, 인접하는 제어 게이트 전극 CG간을 갭 매립 특성이 높은 O_3 -TEOS막을 사용함으로써, 상기의 플러그 전극 PG간의 단락을 방지할 수 있다.
- [0159] 산화 분위기에서 절연막 IL3의 열처리를 함으로써, 절연막 IL3의 열처리 온도(제2 온도)를 절연막 IL3의 성막 온도(제1 온도)보다도 저온으로 할 수 있기 때문에, 메모리 셀 또는 MISFET의 특성 열화를 저감 또는 방지할 수 있다. 또한, 열처리 온도(제2 온도)가, 예를 들어 성막 온도(제1 온도)보다 높으면, 반도체 영역 SD1, SD2 및 SD3의 상면에 형성된 실리사이드층 SL1이, 열처리 공정에서 성장하여, 반도체 영역 SD1, SD2 및 SD3과 P형 웰 영역 PW1 및 PW2 사이의 누설 전류가 증가된다. 그러나, 본 실시 형태에서는, 열처리 온도(제2 온도)를 저온으로 할 수 있기 때문에, 상기 누설 전류를 저감할 수 있다. 또한, 열처리 온도(제2 온도)를 저온으로 할 수 있기 때문에, 실리사이드층 SL1로서, 니켈 실리사이드층 또는 백금 함유 니켈 실리사이드층을 사용할 수 있다.
- [0160] 메모리 셀 및 MISFET를 덮는 O_3 -TEOS막으로서, 막 중의 실록산(Si-O-Si)기에 대한 실라놀(Si-O-H)기의 비율이 10% 이상인 O_3 -TEOS막을 사용함으로써, 갭 매립 특성을 향상시킬 수 있다.
- [0161] O_3 -TEOS막의 성막 후에, 열처리를 실시함으로써, 절연막 IL3(O_3 -TEOS막)의 비유전율을 저하시킬 수 있고, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 또는, 비트선 BL의 기생 용량을 저감할 수 있어, 메모리 셀 MC의 고속 동작을 달성할 수 있다.
- [0162] 제1 연마 처리 공정 및 게이트 전극 DG의 제거 공정에 앞서서, 절연막 IL3에 열처리를 실시함으로써, 절연막 IL3의 웨트 에칭 레이트를 저감할 수 있다. 그 때문에, 제1 연마 처리 공정에서의, 절연막 IL3의 다싱(옴폭 패임부의 발생) 및 게이트 전극 DG의 제거 공정에서의 절연막 IL3의 표면의 깎임을 저감할 수 있다. 그 때문에, 금속막 ME에 대한 제2 연마 처리 공정에 있어서, 절연막 IL3의 옴폭 패임부 또는 깎임부에 금속막 ME가 잔존하는 것에 기인하는, 주변 회로 영역(1B)의 인접하는 게이트 전극 GE간의 단락을 저감 또는 방지할 수 있다.
- [0163] (실시 형태 2)
- [0164] 본 실시 형태는, 상기 실시 형태 1의 변형예이다. 본 실시 형태에서는, 핀형의 소자 형성 영역(활성 영역)을 갖는 반도체 기판에, 메모리 셀 및 MISFET를 형성하는 점에, 상기 실시 형태 1과 상이하다. 따라서, 상기 실시 형태 1과 공통되는 부분에는 마찬가지의 부호를 붙이고 있다.
- [0165] 도 25는 실시 형태 2의 반도체 장치의 주요부 평면도이다. 도 26~도 31은 실시 형태 2의 반도체 장치의 제조 공정 중의 주요부 단면도이고, 도 26은 실시 형태 1의 도 4에, 도 27은 실시 형태 1의 도 14에, 도 28은 실시 형태 1의 도 15에, 도 29는 실시 형태 1의 도 16에, 도 30은 실시 형태 1의 도 19에, 도 31은 실시 형태 1의 도 20에, 각각 대응하고 있다.
- [0166] 도 25에 도시한 바와 같이, 메모리 셀 영역(1A)에는, 복수의 메모리 셀 MC가 행렬 형상으로 배치되어 있고, 주변 회로 영역(1B)에는, 주변 회로(로직 회로)를 구성하는 트랜지스터 Tr이 복수 배치되어 있다. 도 25에서는, 1개의 트랜지스터 Tr만을 도시하고 있다. 트랜지스터 Tr은, n형의 MISFET 및 p형 MISFET를 포함하지만, 여기에서는, n형의 MISFET를 예시하고 있다. 또한, 도 26 및 도 27에 있어서는, 도 25의 A1-A1'를 따르는 단면도, A2-A2'를 따르는 단면도, A3-A3'를 따르는 단면도, B1-B1'를 따르는 단면도, 및, B2-B2'를 따르는 단면도를 도시하고 있다. 도 28~도 31에 있어서는, 도 25의 A1-A1'를 따르는 단면도 및 B1-B1'를 따르는 단면도를 도시하고 있다.
- [0167] 도 25에 도시한 바와 같이, 메모리 셀 영역(1A)에는, X 방향으로 연장되는 복수의 핀 FA가, Y 방향으로 등간격으로 배치되어 있다. 핀 FA는, 예를 들어 반도체 기판 SB의 주면으로부터 선택적으로 돌출된 직육면체의 돌출부(볼록부)이며, 핀 FA의 하단 부분은, 반도체 기판 SB의 주면을 덮는 소자 분리막 ST로 둘러싸여 있다. 핀 FA는, 반도체 기판 SB의 일부이며, 반도체 기판 SB의 활성 영역이다. 따라서, 평면에서 보아, 인접하는 핀 FA의 사이는, 소자 분리막 ST로 매립되어 있고, 핀 FA의 주위는, 소자 분리막 ST로 둘러싸여 있다. 핀 FA는 메모리 셀 MC를 형성하기 위한 활성 영역이다.
- [0168] 복수의 핀 FA 위에는, Y 방향(X 방향과 직교하는 방향)으로 연장되는 복수의 제어 게이트 전극 CG 및 복수의 메

모리 게이트 전극 MG가 배치되어 있다. 제어 게이트 전극 CG 및 메모리 게이트 전극 MG를 사이에 두도록, 제어 게이트 전극 CG의 측에는, 예를 들어 드레인으로 되는 반도체 영역 MD가, 그리고, 메모리 게이트 전극 MG측에는, 예를 들어 소스로 되는 반도체 영역 MS가 형성되어 있다. 반도체 영역 MD 및 반도체 영역 MS는, 핀 FA에 n형 불순물이 도입된 반도체 영역이며, 핀 FA의 주위를 따라서 에피택셜층 EP2 및 EP1이 형성되어 있다. 즉, 반도체 영역 MD는, 핀 FA 및 에피택셜층 EP2에 n형 불순물이 도입된 n형의 반도체 영역이다. 반도체 영역 MS는, 핀 FA 및 에피택셜층 EP1에 n형 불순물이 도입된 n형의 반도체 영역이다. 반도체 영역 MD는, 인접하는 2개의 제어 게이트 전극 CG간에 형성되어 있고, 반도체 영역 MS는, 인접하는 2개의 메모리 게이트 전극 MG간에 형성되어 있다. 메모리 셀 MC는, 제어 게이트 전극 CG, 메모리 게이트 전극 MG, 반도체 영역 MD, 및, 반도체 영역 MS를 갖는다.

[0169] X 방향으로 인접하는 2개의 메모리 셀 MC에 있어서, 반도체 영역 MD 또는 반도체 영역 MS는 공유되고 있다. 반도체 영역 MD를 공유하는 2개의 메모리 셀 MC는, 반도체 영역 MD에 대하여, X 방향으로 경면 대칭으로 되어 있고, 반도체 영역 MS를 공유하는 2개의 메모리 셀 MC는, 반도체 영역 MS에 대하여 X 방향으로 경면 대칭으로 되어 있다.

[0170] 각 핀 FA에는, X 방향으로, 3개 이상의 다수의 메모리 셀 MC가 형성되어 있고, X 방향으로 배열된 복수의 메모리 셀 MC의 반도체 영역 MD는, 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 통해, X 방향으로 연장되는 금속 배선 MW를 포함하는 소스선 SL에 접속되어 있다. 또한, Y 방향으로 배열된 복수의 메모리 셀 MC의 반도체 영역 MS는, Y 방향으로 연장되는 금속 배선 MW를 포함하는 비트선 BL에 접속되어 있다. 적합하게는, 소스선 SL에는, 비트선 BL과는 상이한 층의 금속 배선을 사용한다. 예를 들어, 소스선 SL은, 비트선 BL보다도 상층의 금속 배선을 포함하는 것이 바람직하다.

[0171] 또한, 주변 회로 영역(1B)에는, 예를 들어 X 방향으로 연장되는 핀 FB가 형성되어 있다. 핀 FB는, 핀 FA와 마찬가지로 반도체 기판 SB의 활성 영역이며, 핀 FB의 하단 부분은, 반도체 기판 SB의 주면을 덮는 소자 분리막 ST로 둘러싸여 있다. 핀 FB 위에는, Y 방향으로 연장되는 게이트 전극 GE가 배치되고, 게이트 전극 GE를 사이에 두도록, 핀 FB에는, 예를 들어 드레인으로 되는 반도체 영역 LD, 및, 예를 들어 소스로 되는 반도체 영역 LS가 형성되어 있다. 반도체 영역 LD 및 반도체 영역 LS는, 핀 FB에 n형 불순물이 도입된 반도체 영역이며, 핀 FB의 주위를 따라서 에피택셜층 EP3이 형성되어 있다. 즉, 반도체 영역 LD 및 반도체 영역 LS는, 핀 FB 및 에피택셜층 EP3에 n형 불순물이 도입된 n형의 반도체 영역이다. 트랜지스터 Tr은, 게이트 전극 GE, 반도체 영역 LD, 및, 반도체 영역 LS를 갖는다. 게이트 전극 GE, 반도체 영역 LD, 및, 반도체 영역 LS는, 각각, 콘택트 홀 CT 내에 형성된 플러그 전극 PG를 통해, 금속 배선 MW에 접속되어 있다. 핀 FB는, 트랜지스터 Tr을 형성하기 위한 활성 영역이다.

[0172] 핀 FA 및 FB는, 반도체 기판 SB의 주면으로부터, 주면에 수직인 방향으로 돌출되는, 예를 들어 직육면체의 돌출부이다. 핀 FA 및 FB는, 긴 변 방향으로 임의인 길이, 짧은 변 방향으로 임의의 폭, 높이 방향으로 임의의 높이를 갖는다. 핀 FA 및 FB는, 반드시 직육면체일 필요는 없고, 짧은 변 방향에 있어서의 단면에서 보아, 직사각형의 각부가 라운드된 형상도 포함된다. 또한, 평면에서 보아 핀 FA 및 FB가 연장되는 방향이 긴 변 방향이고, 긴 변 방향에 직교하는 방향이 짧은 변 방향이다. 즉, 길이는 폭보다도 크다. 핀 FA 및 FB는, 길이, 폭, 및, 높이를 갖는 돌출부이면, 그 형상은 불문한다. 예를 들어, 평면에서 보아, 사형 패턴도 포함된다.

[0173] 실시 형태 2의 반도체 장치도, 도 1~도 3에 도시한 프로세스 플로우도의 제조 공정에 따라서 제조된다.

[0174] 도 26은 상기 실시 형태 1의 도 4에 대응하는 단면도이며, 도 1에 도시한 프로세스 플로우도의 스텝 S1 및 S2를 실시한 상태를 도시하고 있다.

[0175] 도 26에 도시한 바와 같이, 메모리 셀 영역(1A) 및 주변 회로 영역(1B)에는, 핀 FA 및 FB가 형성되어 있다. 핀 FA 및 FB는, 반도체 기판 SB의 주면으로부터 소자 분리막 ST를 관통하여, 선택적으로 돌출되어 있다.

[0176] 다음에, 도 1의 스텝 S3으로부터 도 2의 스텝 S18까지를 실시하여, 도 27에 도시한 구조가 얻어진다. 상기 실시 형태 1과는 다음의 점이 상이하다. 메모리 셀 영역(1A)에 있어서는, 절연막 GI, 제어 게이트 전극 CG, 절연막 MZ, 메모리 게이트 전극 MG가, 핀 FA의 상면 및 측면을 따라서 형성되어 있다. 또한, 주변 회로 영역(1B)에 있어서는, 절연막 GI 및 게이트 전극 DG가, 핀 FB의 상면 및 측면을 따라서 형성되어 있다. 또한, 반도체 영역 MS 및 MD는, n⁻형 반도체 영역 EX1 및 EX2와 n⁺형 반도체 영역인 에피택셜층 EP1 및 EP2를 포함하고 있다. 또한, 반도체 영역 LS 및 LD는, n⁻형 반도체 영역 EX3과 n⁺형 반도체 영역인 에피택셜층 EP3을 포함하고 있다.

- [0177] 다음에, 도 28에 도시한 바와 같이, 도 2의 스텝 S19를 실시한다. 도 28은 상기 실시 형태 1의 도 15에 대응하고 있고, 상기 실시 형태 1과 마찬가지로 스텝 S19를 실시한다. 즉, 절연막 IL3은 O_3 -TEOS막으로 하고, 도 2의 연마 공정(스텝 S20) 전에 산화 분위기에서 열처리를 실시한다.
- [0178] 다음에, 도 29에 도시한 바와 같이, 도 2의 스텝 S20을 실시한다. 도 29는 상기 실시 형태 1의 도 15에 대응하고 있고, 상기 실시 형태 1과 마찬가지로 스텝 S20을 실시한다.
- [0179] 다음에, 도 30에 도시한 바와 같이, 도 3의 스텝 S21~스텝 S25를 실시한다. 도 30은 상기 실시 형태 1의 도 19에 대응하고 있고, 상기 실시 형태 1과 마찬가지로 스텝 S21~스텝 S25를 실시한다.
- [0180] 다음에, 도 31에 도시한 바와 같이, 도 3의 스텝 S26~스텝 S27을 실시한다. 도 31은 상기 실시 형태 1의 도 20에 대응하고 있고, 상기 실시 형태 1과 마찬가지로 스텝 S26~스텝 S27을 실시한다.
- [0181] 도시하지 않지만, 또한, 도 3의 스텝 S28~스텝 S31을 실시하여, 실시 형태 2의 반도체 장치를 형성한다.
- [0182] 실시 형태 2에 있어서도, 상기 실시 형태 1과 마찬가지로의 효과를 얻을 수 있다.
- [0183] 이상, 본 발명자에 의해 이루어진 발명을 그 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

부호의 설명

- [0184] 1A : 메모리 셀 영역
 1B : 주변 회로 영역
 BL : 비트선
 CG : 제어 게이트 전극
 CP1, CP2 : 캡 절연막
 CT : 콘택트 홀
 DG : 게이트 전극
 EP1, EP2, EP3 : 에피택셜층
 EX1, EX2, EX3 : n^- 형 반도체 영역
 GE : 게이트 전극
 GI, HK : 절연막
 IL1, IL2, IL3, IL4, IL5, IL6, IL7 : 절연막
 LF, LF1 : 적층막
 LD, LS : 반도체 영역
 LM1, LM2 : 적층체
 M1, M2 : 배선
 MC : 메모리 셀
 MD, MS : 반도체 영역
 ME : 금속막
 ME1 : 티타늄 알루미늄막
 ME2 : 알루미늄막
 MG : 메모리 게이트 전극
 MZ : 절연막

MZ1, MZ3 : 산화실리콘막

MZ2 : 질화실리콘막

MW : 금속 배선

PG : 플러그 전극

PR1 : 포토레지스트 패턴

PS1, PS2 : 실리콘막

PW1, PW2 : p형 웰

SB : 반도체 기판

SD1, SD2, SD3 : n⁺형 반도체 영역

SL : 소스선

SL1, SL2 : 실리콘사이드층

SP : 실리콘 스페이서

ST : 소자 분리막(소자 분리 영역)

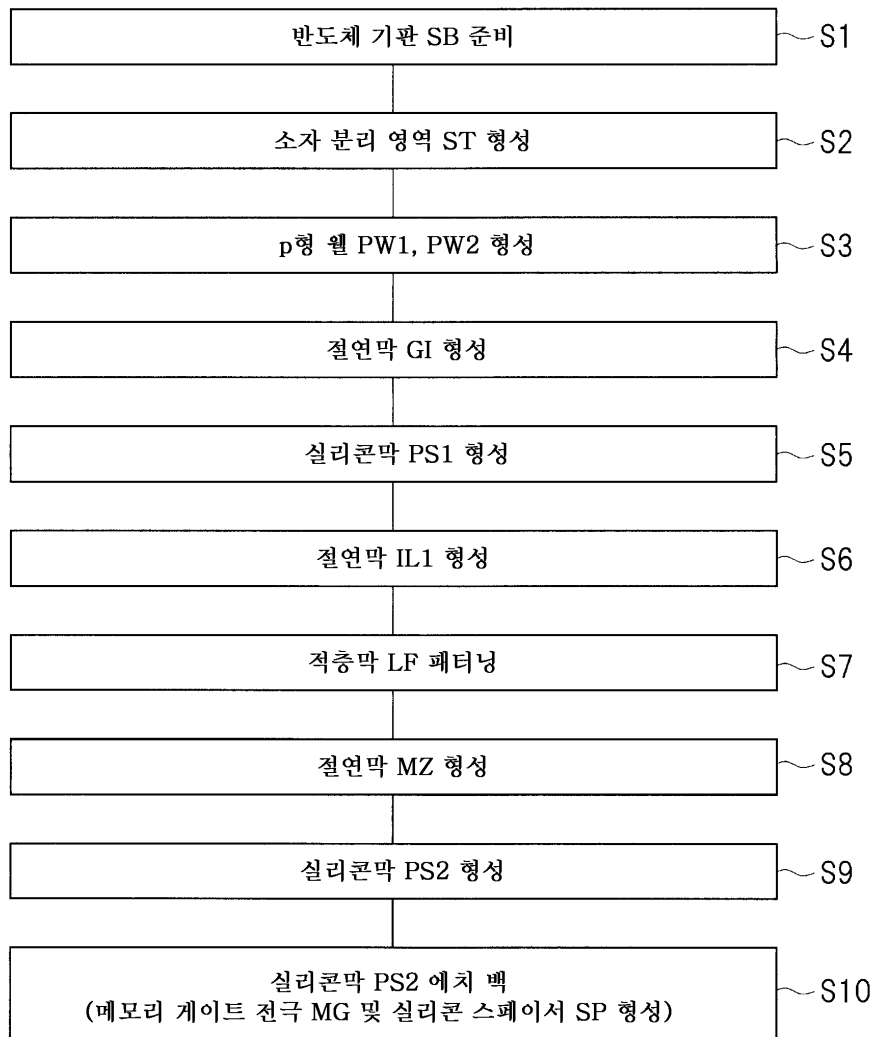
STR : 홈

SW : 사이드 웰 스페이서

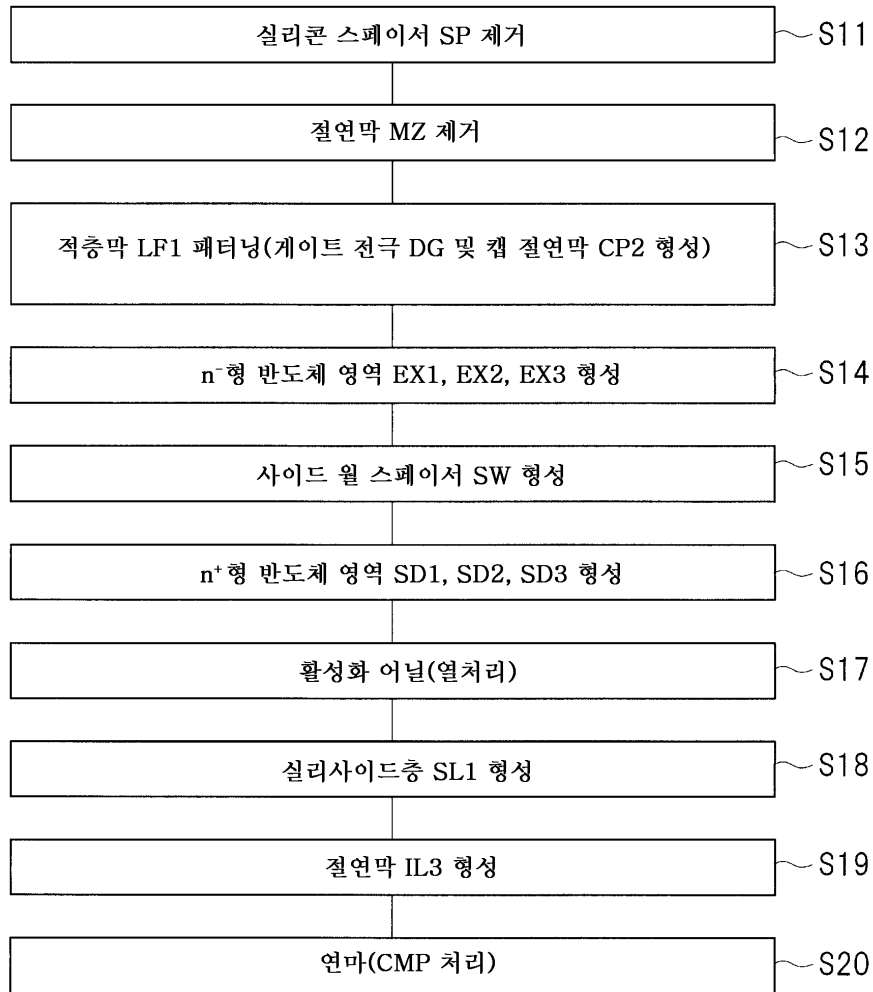
TR1 : 홈

도면

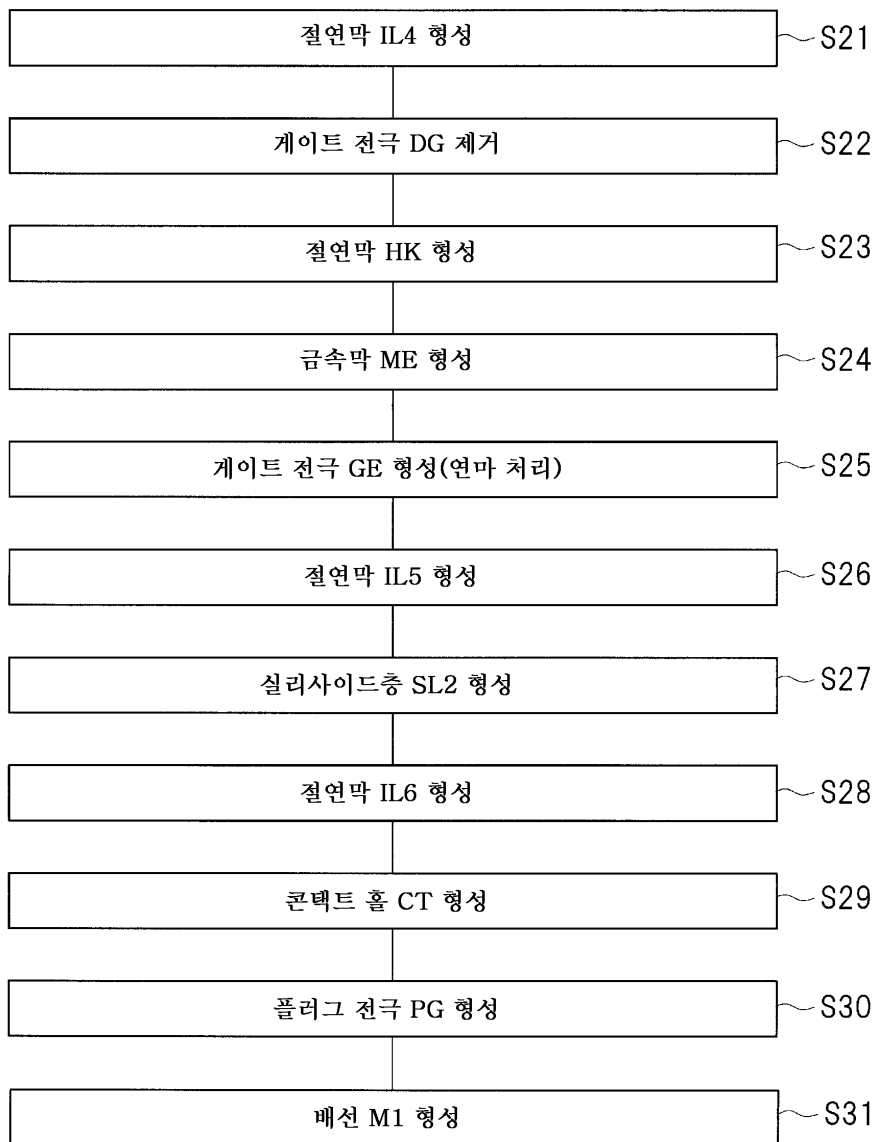
도면1



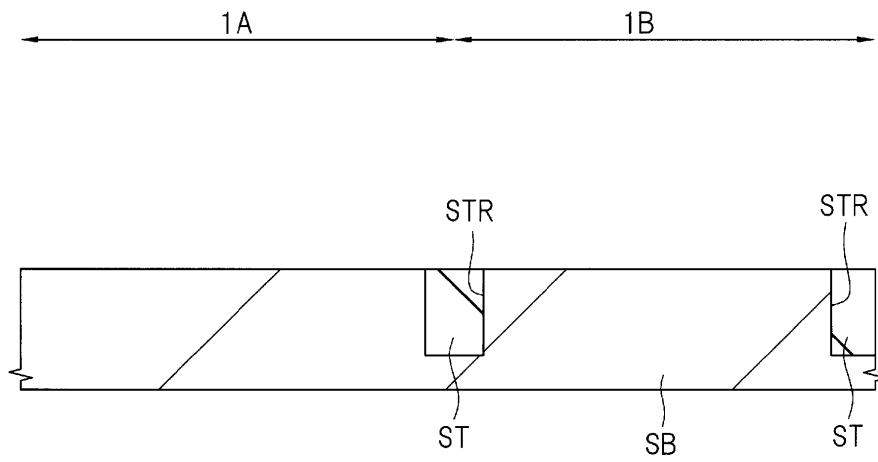
도면2



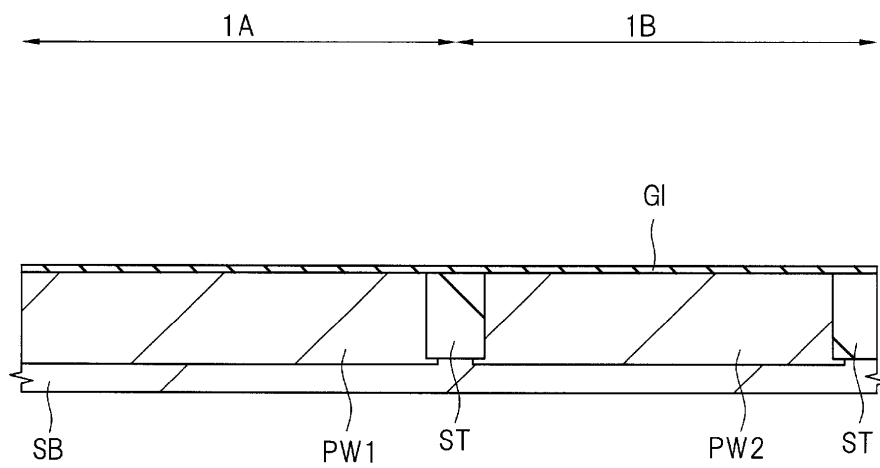
도면3



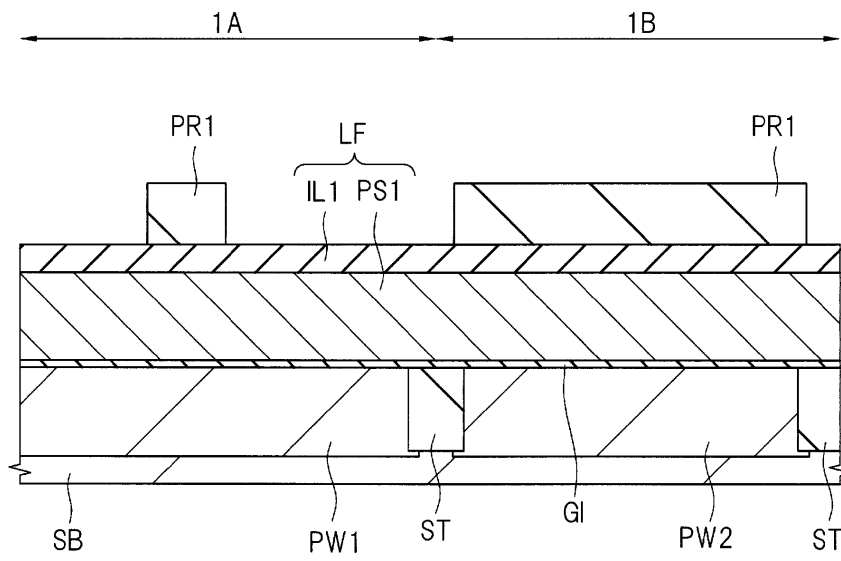
도면4



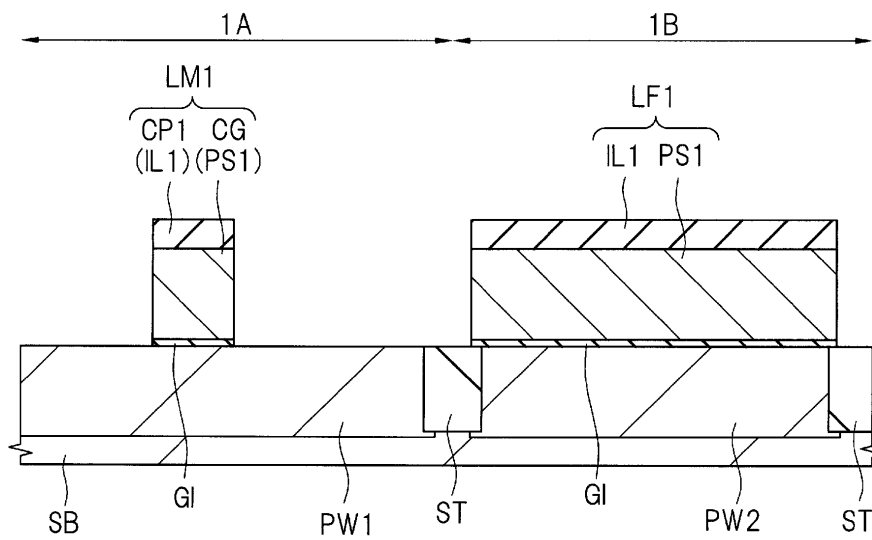
도면5



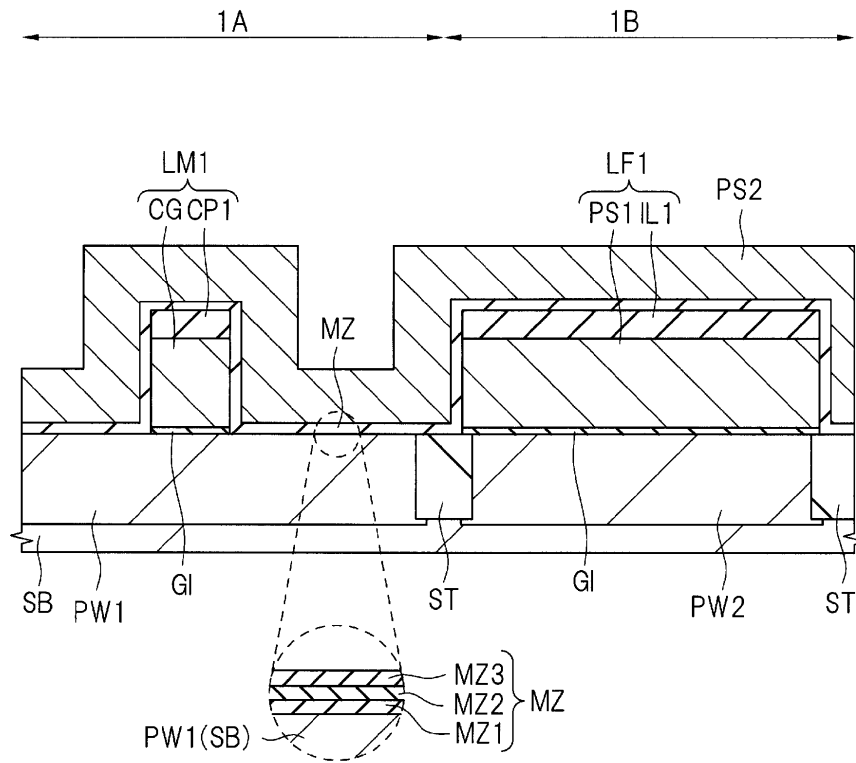
도면6



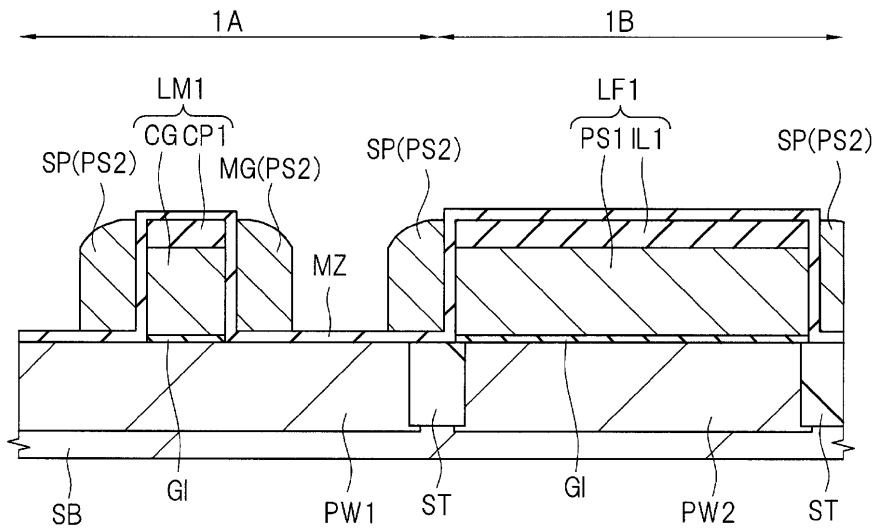
도면7



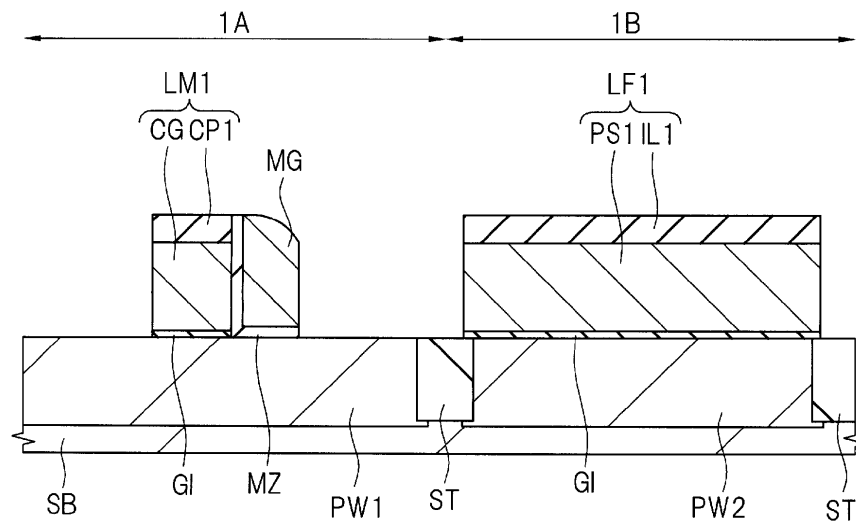
도면8



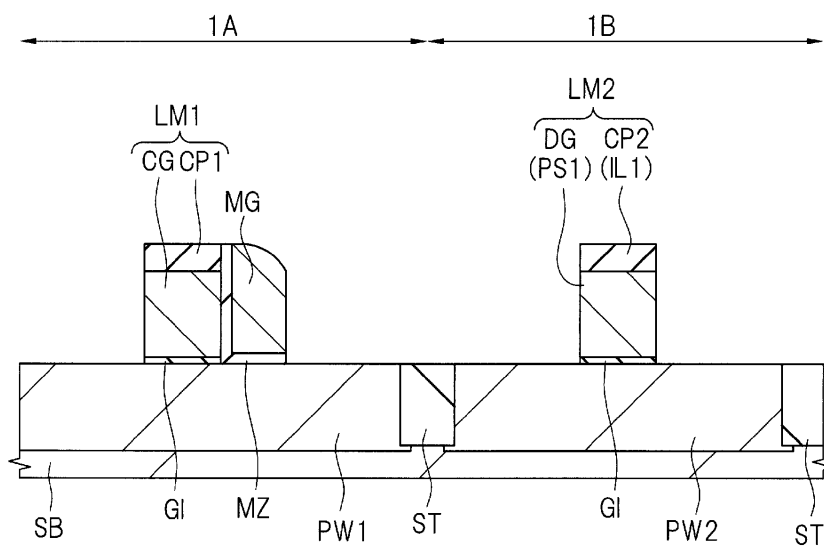
도면9



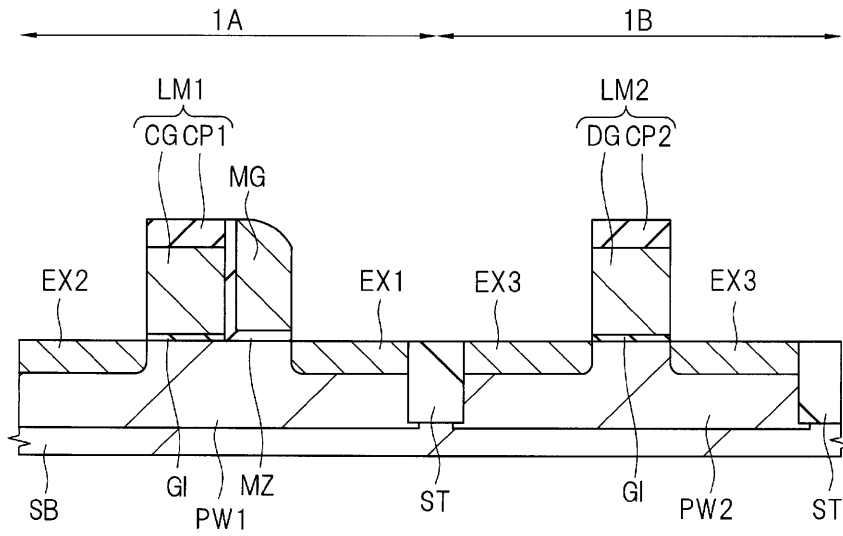
도면10



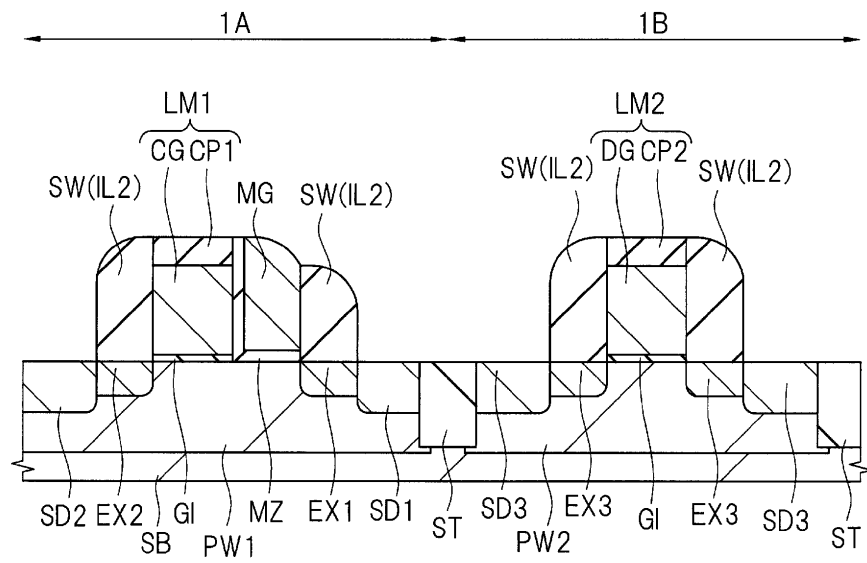
도면11



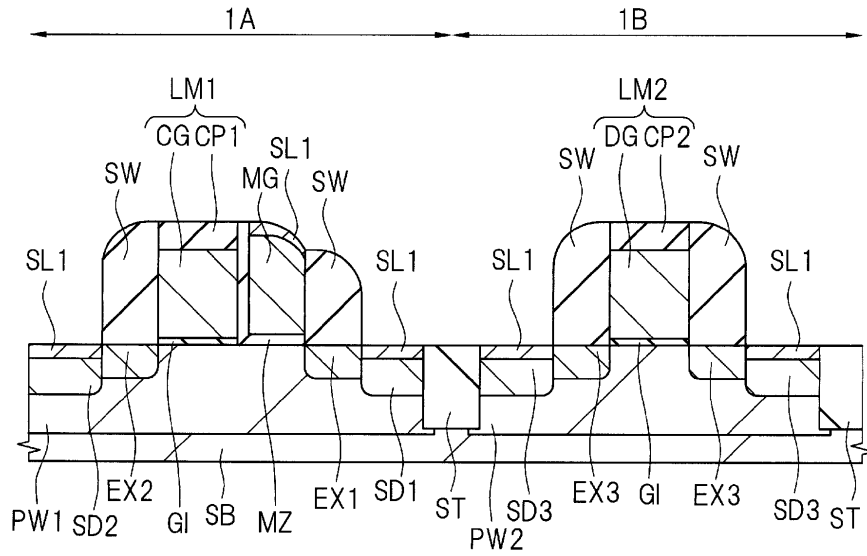
도면12



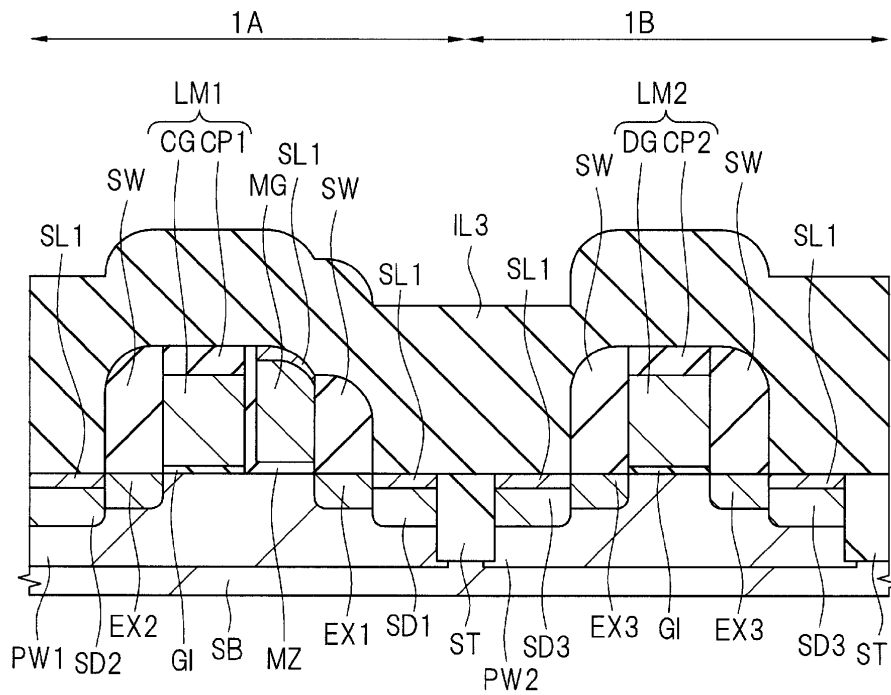
도면13



도면14

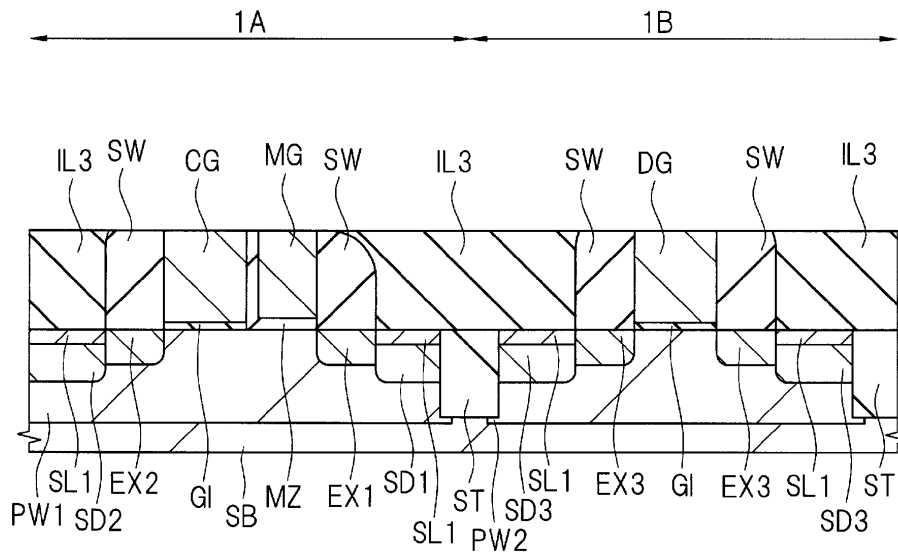


도면15

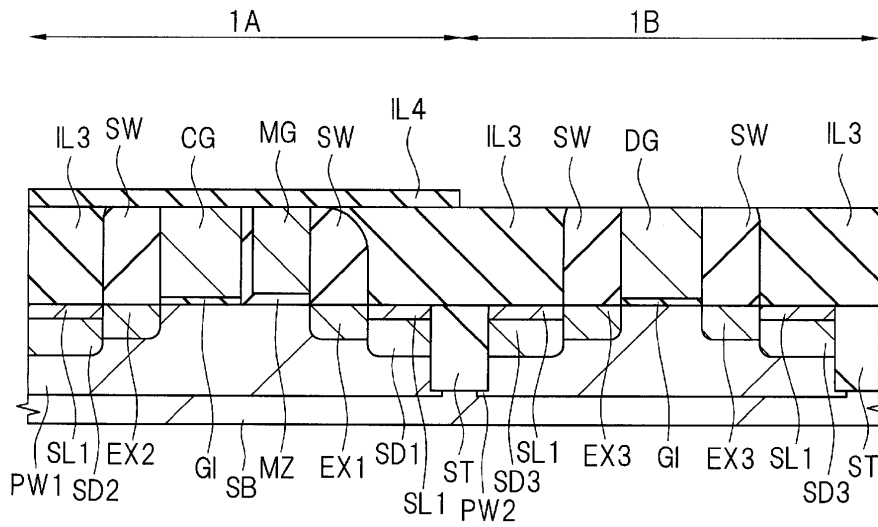


CG : 제어 게이트 전극
 DG : 게이트 전극
 IL3 : 절연막
 MG : 메모리 게이트 전극

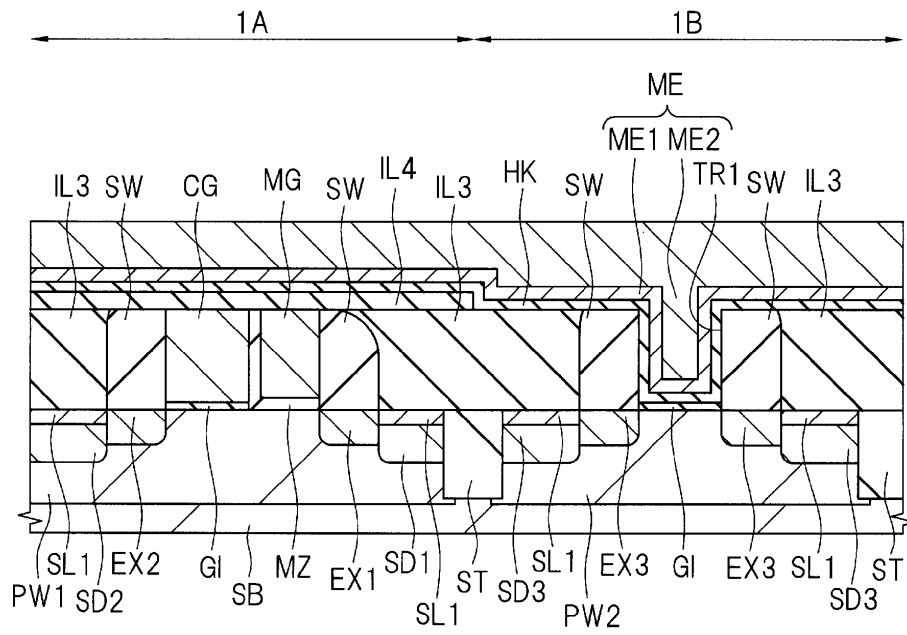
도면16



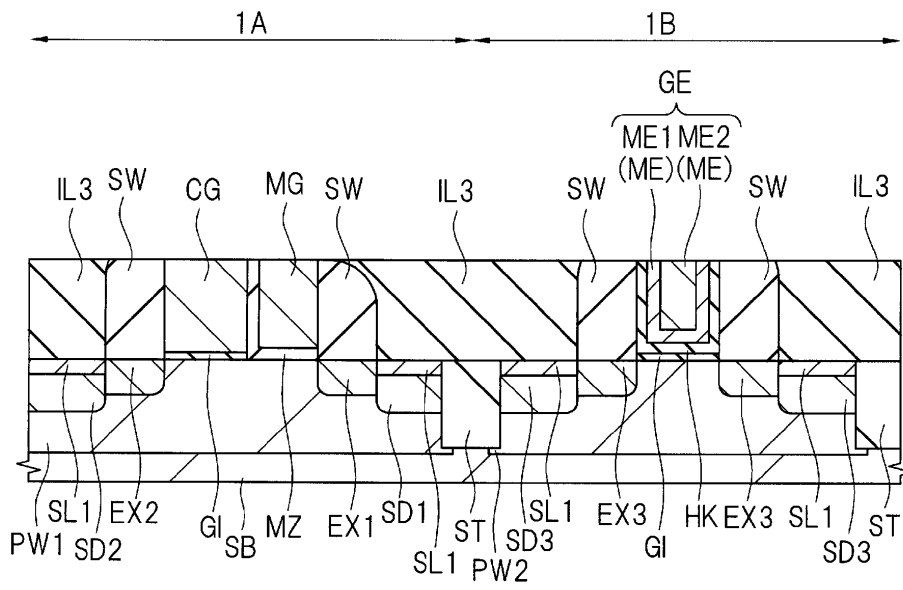
도면17



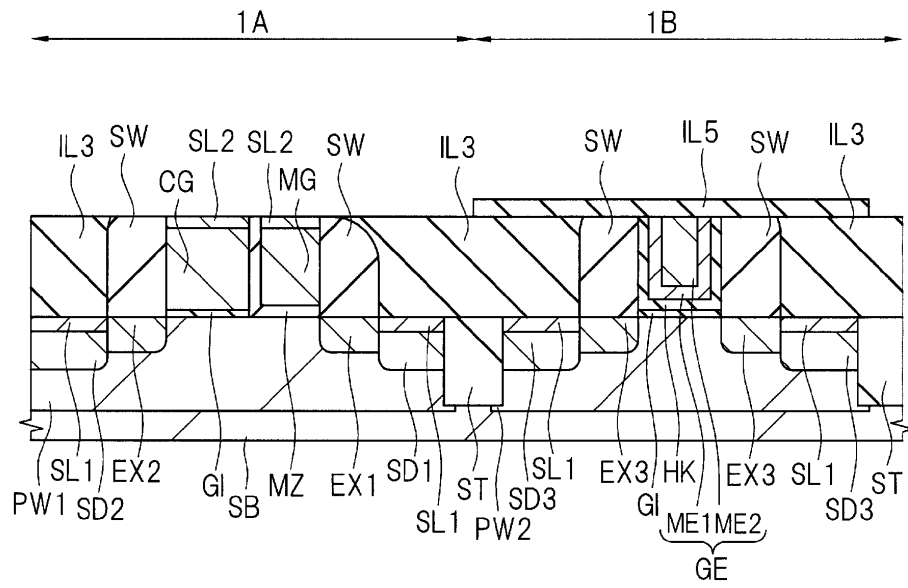
도면18



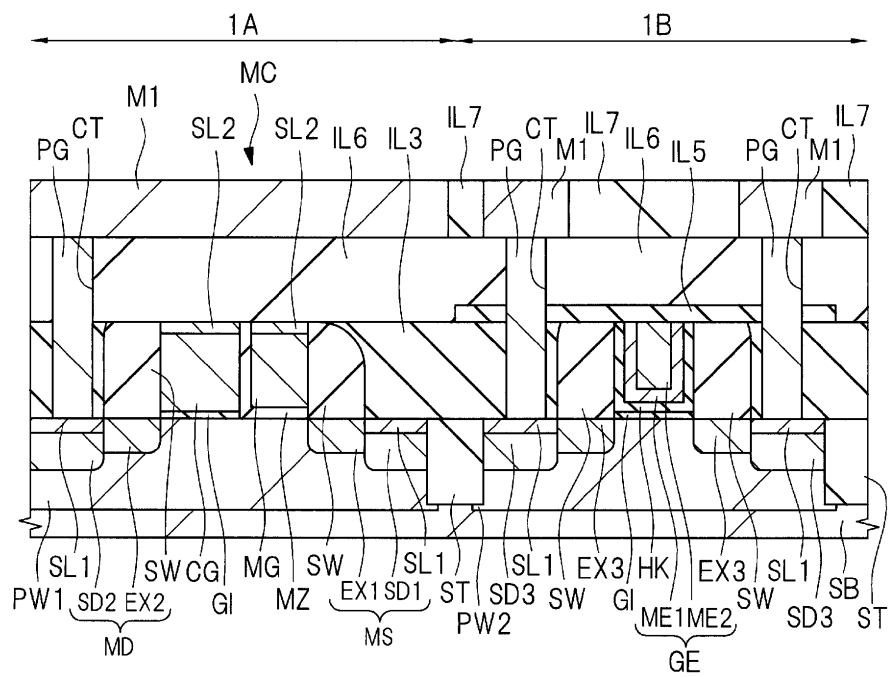
도면19



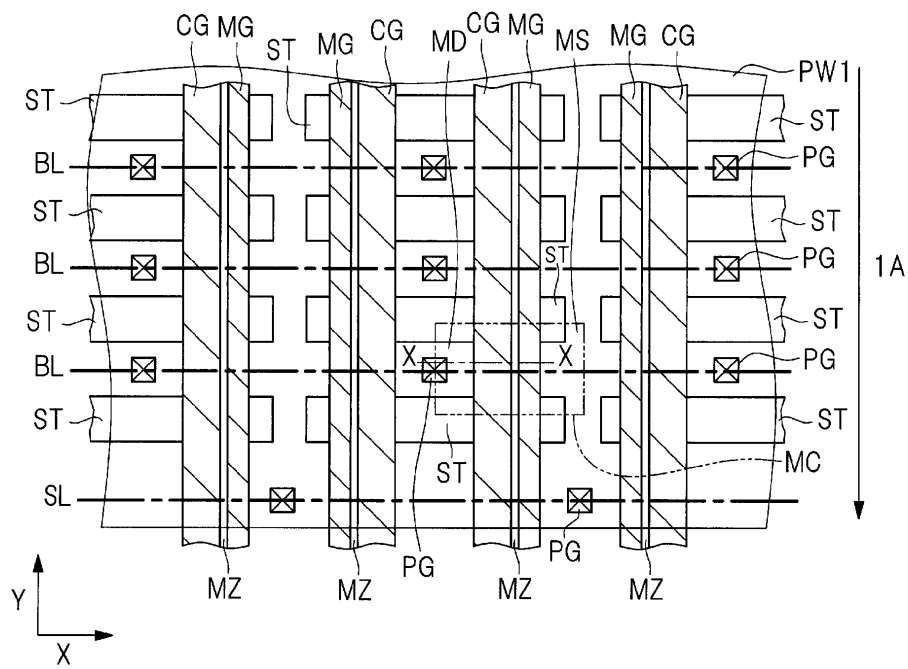
도면20



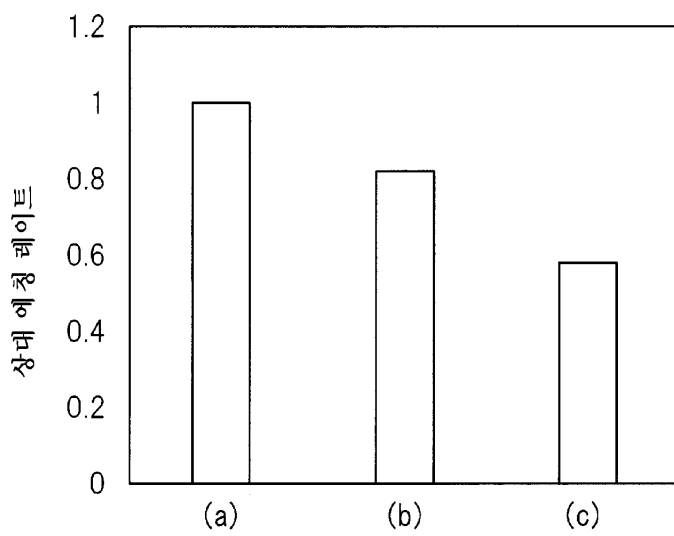
도면21



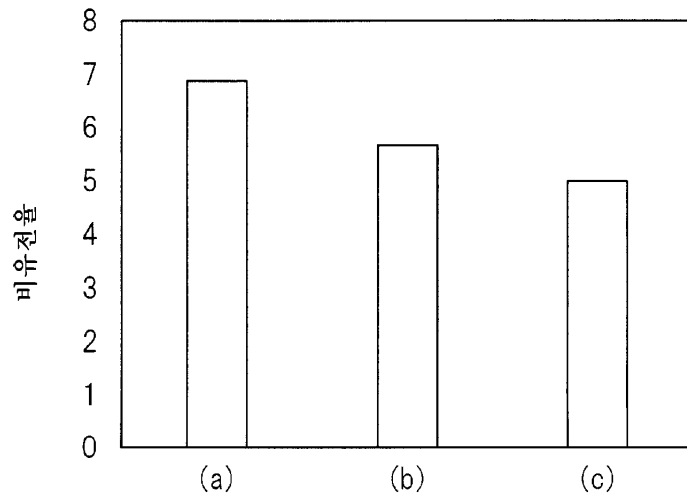
도면22



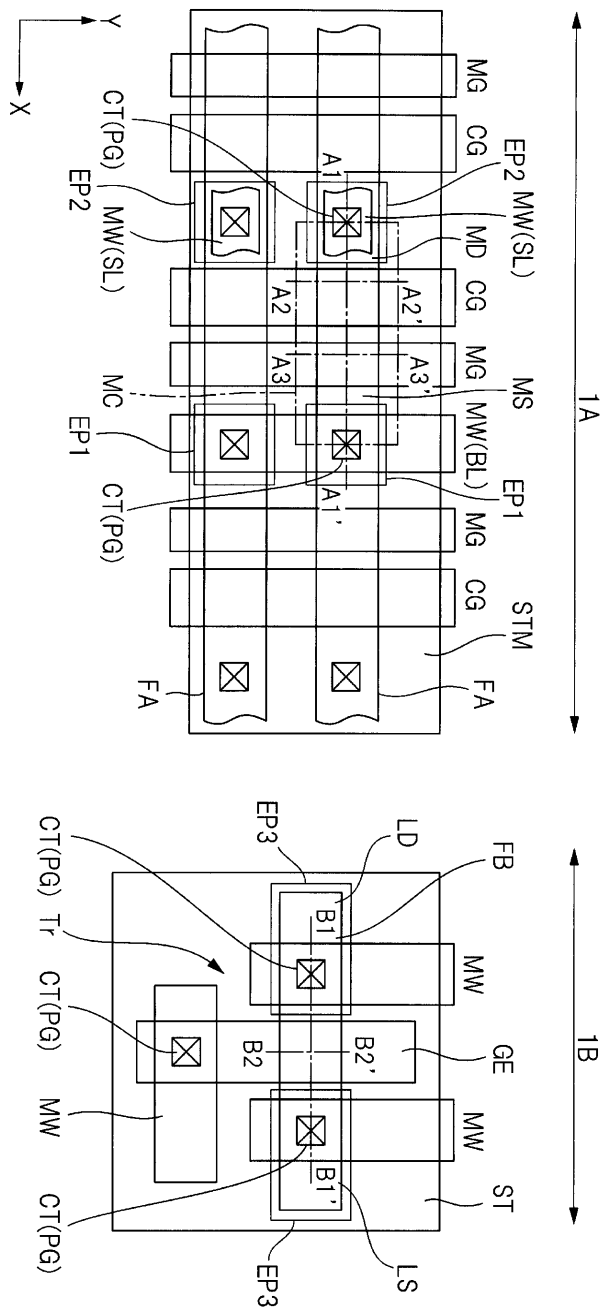
도면23



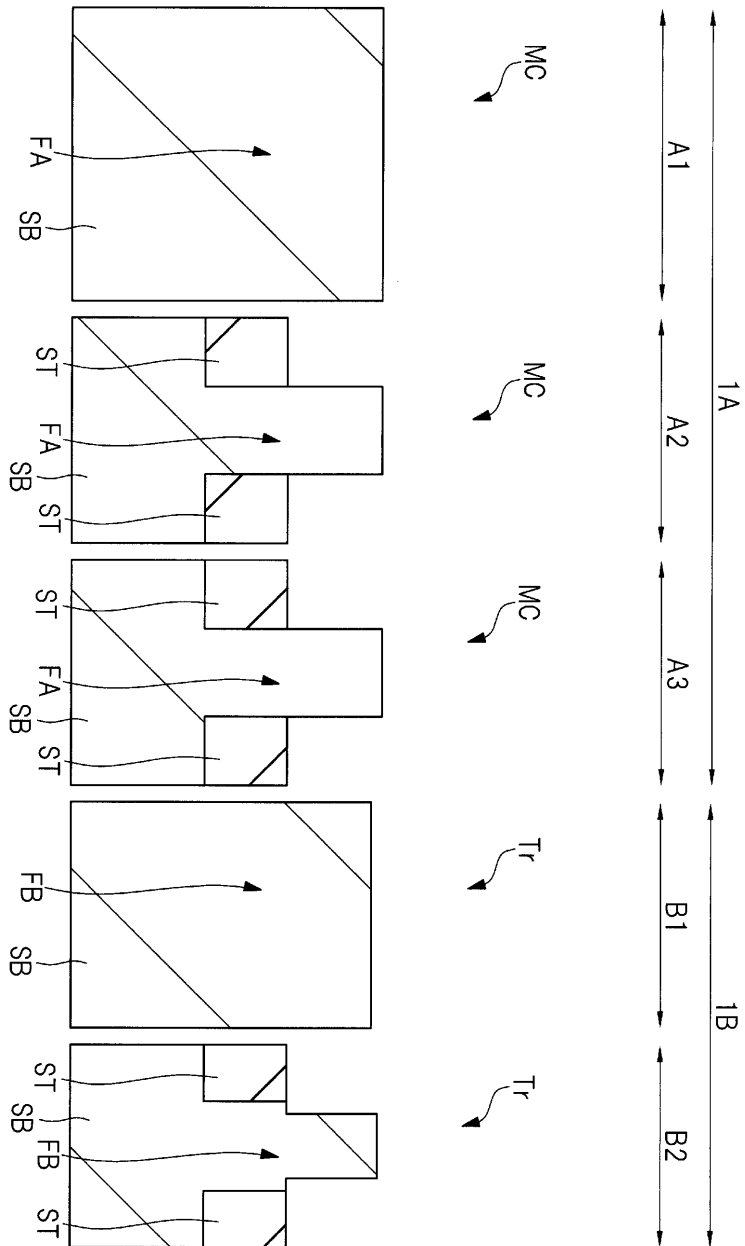
도면24



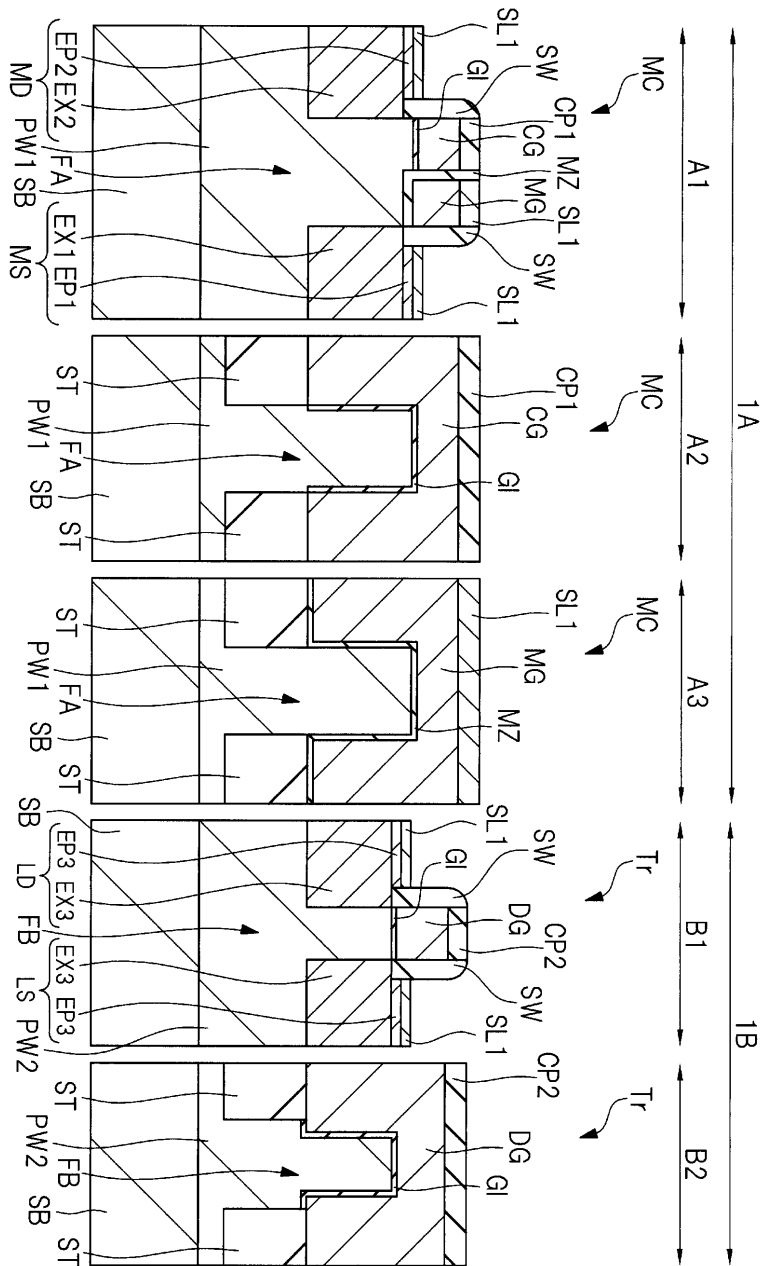
도면25



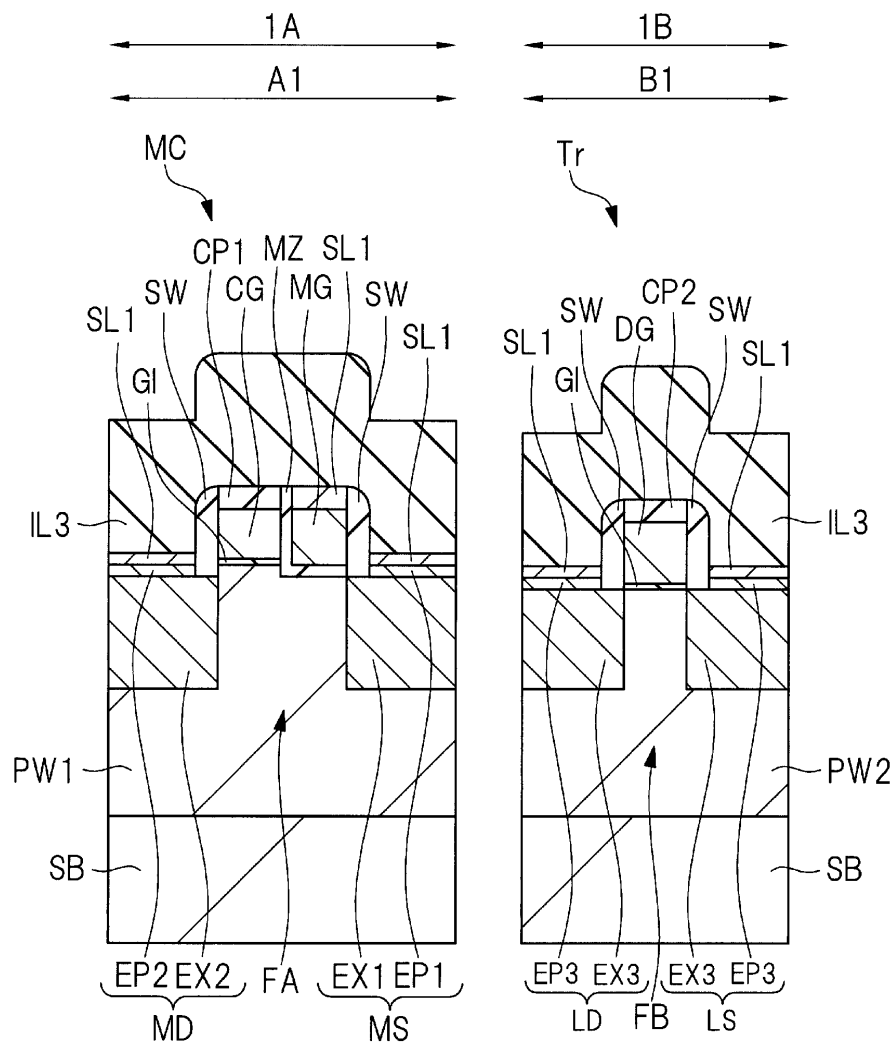
도면26



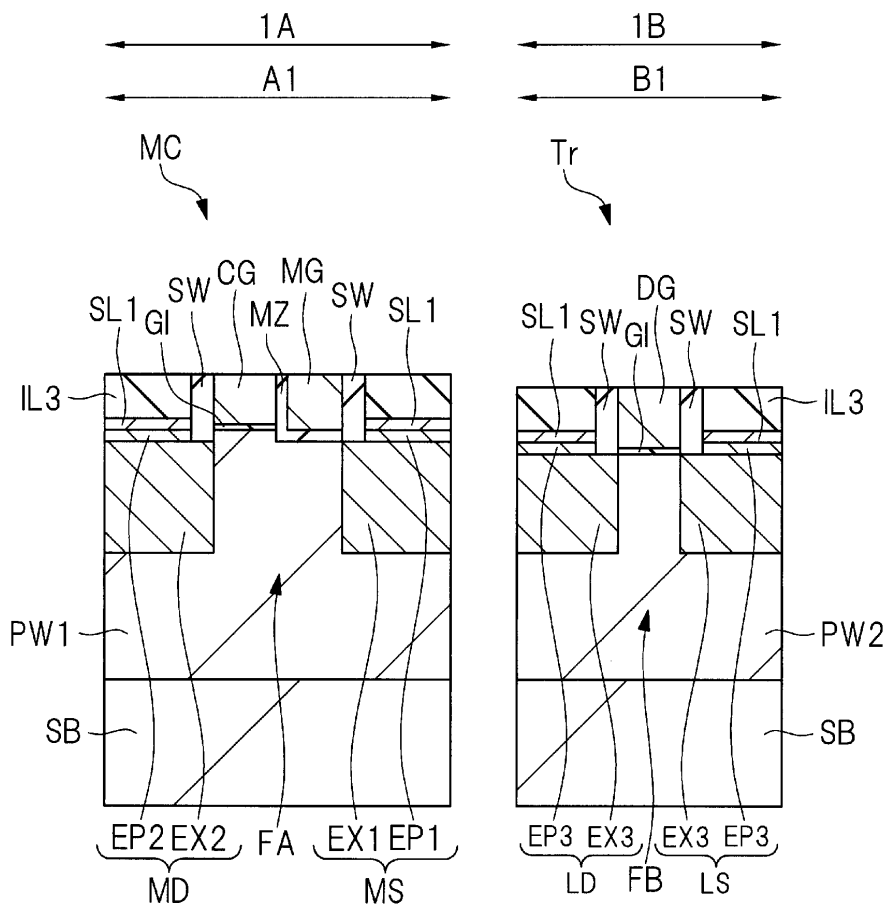
도면27



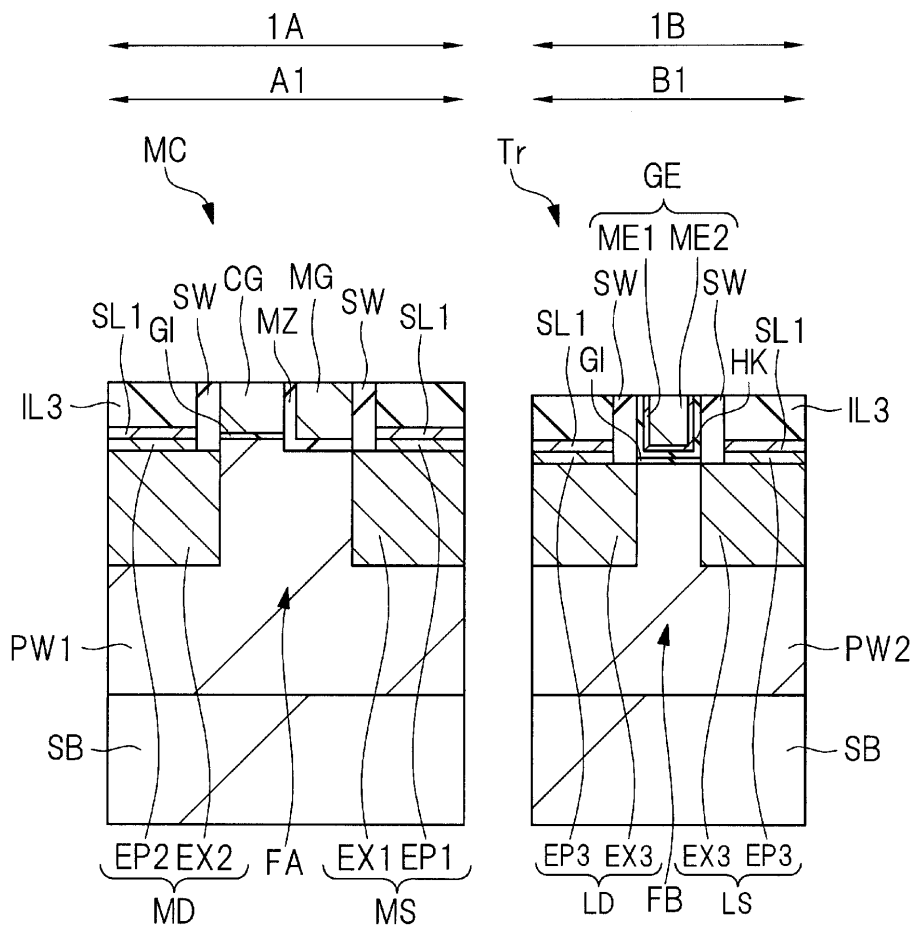
도면28



도면29



도면30



도면31

