

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 9 月 20 日 (2007.9.20)

【公表番号】特表 2007-504649 (P2007-504649A)

【公表日】平成 19 年 3 月 1 日 (2007.3.1)

【年通号数】公開・登録公報 2007-008

【出願番号】特願 2006-524679 (P2006-524679)

【国際特許分類】

H 0 1 L 21/8222 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8232 (2006.01)

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/737 (2006.01)

H 0 1 L 27/095 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 21/337 (2006.01)

【F I】

H 0 1 L 27/06 1 0 1 U

H 0 1 L 27/06 F

H 0 1 L 29/72 H

H 0 1 L 29/80 E

H 0 1 L 29/80 C

【手続補正書】

【提出日】平成 19 年 8 月 3 日 (2007.8.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の上方のエピタキシャル半導体層と、

前記エピタキシャル半導体層内のバイポーラトランジスタと、

前記エピタキシャル半導体層内の電界効果トランジスタとを備える半導体部品であって

、

前記電界効果トランジスタのターンオン電圧は前記バイポーラトランジスタのエミッタ・ベースのターンオン電圧よりも低く、前記電界効果トランジスタのピンチオフ電圧はゼロよりも大きく、

前記半導体基板は表面を有し、

前記半導体基板の前記表面に実質的に平行な方向は水平方向であり、

前記エピタキシャル半導体層の第 1 の部分は前記バイポーラトランジスタのベースと前記電界効果トランジスタの非金属ゲートとを形成し、前記非金属ゲートは前記電界効果トランジスタの唯一のゲートであり、

前記エピタキシャル半導体層の前記第 1 の部分は前記水平方向において実質的に均一なドーピング濃度を有する半導体部品。

【請求項 2】

前記エピタキシャル半導体層の第2の部分は前記バイポーラトランジスタのエミッタと前記電界効果トランジスタのチャンネルとを形成し、

前記エピタキシャル半導体層の前記第2の部分は前記水平方向において実質的に均一なドーピング濃度を有する請求項1に記載の半導体部品。

【請求項3】

前記エピタキシャル半導体層は第1の半導体層、前記第1の半導体層上の第2の半導体層、前記第2の半導体層上の第3の半導体層、前記第3の半導体層上の第4の半導体層、および前記第4の半導体層上の第5の半導体層を備え、

前記第3の半導体層は前記エピタキシャル半導体層の前記第1の部分を形成し、

前記第1の半導体層は前記バイポーラトランジスタのサブコレクタ層を形成し、

前記第2の半導体層は前記バイポーラトランジスタのコレクタ層を形成し、

前記第5の半導体層の一部は前記バイポーラトランジスタのオーミックコンタクト層および前記電界効果トランジスタのオーミックコンタクト層を形成し、

前記第4の半導体層は、

前記第3の半導体層に隣接する下側半導体層と、

前記第5の半導体層に隣接する上側半導体層と、

前記下側半導体層と前記上側半導体層との間の中間半導体層とを備え、

前記下側半導体層、前記中間半導体層および前記上側半導体層の一部は前記バイポーラトランジスタの活性領域を形成し、

前記下側半導体層、前記中間半導体層および前記上側半導体層の前記一部は前記電界効果トランジスタのチャンネルを形成する請求項1に記載の半導体部品。

【請求項4】

半導体基板と、

前記半導体基板の上方のエピタキシャル半導体層と、

前記エピタキシャル半導体層内で少なくとも部分的に形成されるヘテロ接合バイポーラトランジスタと、

前記エピタキシャル半導体層内で少なくとも部分的に形成される接合型電界効果トランジスタとを備える半導体部品であって、

前記電界効果トランジスタのターンオン電圧は前記バイポーラトランジスタのエミッタ・ベースのターンオン電圧よりも低く、前記電界効果トランジスタのピンチオフ電圧はゼロよりも大きく、

前記エピタキシャル半導体層は、

前記半導体基板の上方の第1の半導体層と、

前記第1の半導体層の上方の第2の半導体層とを備え、

前記半導体基板は表面を有し、

前記半導体基板の前記表面に実質的に平行な方向は水平方向であり、

前記第1の半導体層の一部はヘテロ接合バイポーラトランジスタのベースと前記接合型電界効果トランジスタの非金属ゲートとを形成し、前記非金属ゲートは前記電界効果トランジスタの唯一のゲートであり、

前記第2の半導体層の一部は前記ヘテロ接合バイポーラトランジスタのエミッタと前記接合型電界効果トランジスタのチャンネルとを形成し、

前記第1の半導体層の前記一部は前記水平方向において実質的に均一なドーピング濃度を有し、

前記第2の半導体層の前記一部は前記水平方向において実質的に均一なドーピング濃度を有する半導体部品。

【請求項5】

半導体部品の製造方法であって、

半導体基板を用意する工程と、

前記半導体基板の上方にエピタキシャル半導体層を設ける工程と、

前記エピタキシャル半導体層の第1の部分を用いてバイポーラトランジスタのベースを

形成する工程と、

前記エピタキシャル半導体層の前記第 1 の部分を用いて電界効果トランジスタのゲートを形成する工程とを備え、

前記エピタキシャル半導体層の前記第 1 の部分は水平方向において実質的に均一なドーピング濃度を有し、

前記電界効果トランジスタのターンオン電圧は前記バイポーラトランジスタのエミッタ・ベースのターンオン電圧よりも低く、前記電界効果トランジスタのピンチオフ電圧はゼロよりも大きく、

前記エピタキシャル半導体層の第 1 の部分は前記バイポーラトランジスタのベースと前記電界効果トランジスタの非金属ゲートとを形成し、前記非金属ゲートは前記電界効果トランジスタの唯一のゲートである、半導体部品の製造方法。