



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0127276
(43) 공개일자 2010년12월03일

- | | |
|---|--|
| <p>(51) Int. Cl.
G11C 7/22 (2006.01) G11C 7/12 (2006.01)
G11C 8/08 (2006.01)</p> <p>(21) 출원번호 10-2010-7022984</p> <p>(22) 출원일자(국제출원일자) 2009년02월27일
심사청구일자 2010년10월14일</p> <p>(85) 번역문제출일자 2010년10월14일</p> <p>(86) 국제출원번호 PCT/US2009/035369</p> <p>(87) 국제공개번호 WO 2009/114286
국제공개일자 2009년09월17일</p> <p>(30) 우선권주장
12/048,676 2008년03월14일 미국(US)</p> | <p>(71) 출원인
칼컴 인코포레이티드
미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)</p> <p>(72) 발명자
정, 창호
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775</p> <p>첸, 난
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775</p> <p>첸, 즈권
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775</p> <p>(74) 대리인
남상선</p> |
|---|--|

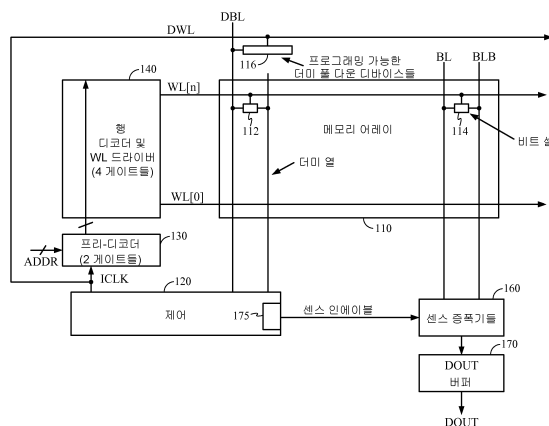
전체 청구항 수 : 총 18 항

(54) 고성능 메모리 컴파일러들에서의 향상된 비트 라인 트래킹

(57) 요약

컴파일러 메모리에 대한 비트 라인 성숙(maturing) 시간을 정확하게 트래킹하기 위한 방법이 제시된다. 상기 방법은 내부 클럭 신호에 응답하여 더미(dummy) 워드 라인을 인에이블(enable)시키는 단계를 포함한다. 더미 워드 라인은 실제 워드 라인을 인에이블시키기 전에 인에이블된다. 더미 비트 라인은 더미 워드 라인의 인에이블에 응답하여 성숙된다. 더미 비트 라인은 실제 비트 라인의 성숙과 동일한 레이트로 성숙된다. 상기 방법은 또한 더미 비트 라인의 성숙에 대한 모니터링에 기반한 임계 전압 차이의 결정에 응답하여 더미 워드 라인을 디스에이블시키는 단계를 포함한다. 실제 워드 라인은 더미 워드 라인의 인에이블보다 미리 정의된 지연 이후에 인에이블된다. 유사하게, 상기 워드 라인은 더미 워드 라인의 디스에이블보다 미리 정의된 지연 이후에 디스에이블된다. 더미 워드 라인의 디스에이블에 응답하여, 센스 인에이블 신호가 생성된다.

대표도 - 도5



특허청구의 범위

청구항 1

컴파일러 메모리 판독 동작을 제어하기 위한 방법으로서,

실제(real) 비트 라인 성숙(maturing) 레이트와 유사한 레이트에서 성숙하는 더미(dummy) 비트 라인에 기반하여 요구되는 펄스폭(pulse width)을 생성하는 단계; 및

상기 컴파일러 메모리의 상기 판독 동작을 인에이블(enable)시키기 위해 상기 요구되는 펄스폭을 사용하여 실제 워드 라인을 제어하는 단계를 포함하는, 컴파일러 메모리 판독 동작을 제어하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 요구되는 펄스폭을 생성하는 단계는 실제 워드 라인을 어서팅(asserting)하기 전에 더미 워드 라인을 어서팅하는 단계 및 센스 마진(sense margin)이 임계값에 도달하도록 상기 더미 비트 라인이 성숙할 때 상기 더미 워드 라인을 디스에이블시키는 단계를 포함하는, 컴파일러 메모리 판독 동작을 제어하기 위한 방법.

청구항 3

제 1 항에 있어서,

상기 더미 비트 라인은 내부 클록 신호의 생성에 응답하여 직접 성숙을 개시하는, 컴파일러 메모리 판독 동작을 제어하기 위한 방법.

청구항 4

컴파일러 메모리를 위한 센스 인에이블(sense enable) 시간을 결정하기 위한 방법으로서,

실제 워드 라인을 인에이블시키기 전에 더미 워드 라인을 인에이블시키는 단계;

상기 더미 워드 라인의 인에이블에 응답하여 더미 비트 라인을 성숙시키는 단계 - 상기 더미 비트 라인은 실제 비트 라인이 성숙하는 레이트와 유사한 레이트에서 성숙함 -;

상기 더미 비트 라인의 모니터링에 의해 임계 전압 차이(threshold voltage differential)가 달성되었는지를 결정하는 것에 응답하여 상기 더미 워드 라인을 디스에이블시키는 단계;

상기 더미 워드 라인의 인에이블보다 미리 정의된 지연 이후에 워드 라인을 인에이블시키는 단계; 및

상기 더미 워드 라인의 디스에이블에 응답하여 센스 인에이블(sense enable) 신호를 생성하는 단계를 포함하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 5

제 4 항에 있어서,

상기 더미 워드 라인의 디스에이블보다 상기 미리 정의된 지연 이후에 상기 워드 라인을 디스에이블시키는 단계를 더 포함하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 6

제 5 항에 있어서,

상기 센스 인에이블 신호의 생성은 상기 더미 워드 라인의 디스에이블 이후의 상기 미리 정의된 지연보다 적은 지연에서 발생하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 7

제 4 항에 있어서,

상기 미리 정의된 지연은 프리-디코더(pre-decoder) 게이트 지연에 기반하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 8

제 7 항에 있어서,

상기 미리 정의된 지연은 행(row) 디코더 및 워드 라인 드라이버 게이트 지연에 기반하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 9

제 8 항에 있어서,

상기 워드 라인의 인에이블은 프리-디코더, 행 디코더 및 워드 라인 드라이버로부터 내부 클록 신호를 수신한 후에 발생하는, 센스 인에이블 시간을 결정하기 위한 방법.

청구항 10

컴파일러 메모리 회로로서,

내부 클록 신호를 생성하는 제어 회로;

상기 내부 클록 신호를 직접 수신하는 더미 워드 라인;

상기 내부 클록 신호를 직접 수신하는 어드레스 디코딩 회로; 및

상기 더미 워드 라인이 상기 내부 클록 신호를 수신하는 시점에서 일정 시간 기간 이후에 상기 어드레스 디코딩 회로로부터 상기 내부 클록 신호를 수신하는 워드 라인을 포함하는, 컴파일러 메모리 회로.

청구항 11

제 10 항에 있어서,

상기 어드레스 디코딩 회로는 프리-디코더, 행 디코더 및 워드 라인 드라이버를 포함하는, 컴파일러 메모리 회로.

청구항 12

제 10 항에 있어서,

다수의 비트 셀들 및 다수의 비트 라인들을 가지는 메모리 어레이를 더 포함하는, 컴파일러 메모리 회로.

청구항 13

제 12 항에 있어서,

다수의 센스 증폭기들을 더 포함하는, 컴파일러 메모리 회로.

청구항 14

제 12 항에 있어서,

적어도 하나의 프로그래밍 가능한 더미 풀 다운(pull down) 디바이스를 더 포함하는, 컴파일러 메모리 회로.

청구항 15

제 12 항에 있어서,

상기 더미 워드 라인은 상기 메모리 어레이 내에 제공되는, 컴파일러 메모리 회로.

청구항 16

제 10 항에 있어서,

상기 더미 워드 라인은 상기 제어 회로 내에 제공되는, 컴파일러 메모리 회로.

청구항 17

제 10 항에 있어서,

상기 어드레스 디코딩 회로와 동일한 수의 게이트들, 동일한 타입의 게이트들 및 동일한 팬-아웃(fan-out) 로딩을 가지는 더미 게이트 시스템을 더 포함하며, 상기 더미 게이트 시스템은 센스 인에이블 경로에 존재하며, 상기 더미 게이트 시스템은 상기 내부 클록 신호가 상기 워드 라인에서 수신되기 전에 지연되는 것보다 더 짧은 시간 기간만큼 센스 인에이블 신호가 지연되도록 보장하는, 컴파일러 메모리 회로.

청구항 18

메모리 판독 동작을 수행하기 위한 방법으로서,

실제 비트 라인의 개시보다 알려진 시간 기간 전에 더미 비트 라인을 개시하는 단계 - 상기 더미 비트 라인은 상기 실제 비트 라인과 관련하여 예측가능한 성숙 시간을 가짐 -; 및

상기 더미 비트 라인의 성숙에 기반하여 워드 라인의 디스에이블을 트리거(trigger)하는 단계를 포함하는, 메모리 판독 동작을 수행하기 위한 방법.

명세서

기술분야

[0001] 본 발명은 메모리 회로들에 관한 것이다. 더욱 상세하게는, 본 발명은 컴파일러 메모리에서의 타이밍 제어에 관한 것이다.

배경기술

[0002] 일반적으로 말하면, 메모리 판독 동작에서, 액티브(active) 클록 에지(edge)에서, 내부 클록 신호들이 생성되고, 셀프 타임 트래킹(self time tracking)이 활성화되고, 비트 라인 프리-차지(pre-charge) 신호가 디스에이블(disable)되고, 입력 어드레스들이 래치(latch)된다. 디코딩시에, 워드 라인은 턴 온(turn on)되고 워드 라인이 선택되는 동안 비트 라인들이 성숙(matured)된다. 셀프 타이밍된 비트 라인의 방전(discharge)은 내부 클록을 리셋시키는데 사용되는 RESET 신호를 생성할 것이며, 결과적으로 센스 증폭기(sense amplifier)를 인에이블(enable)시키고, 워드 라인을 디스에이블시키고, 비트-라인 프리차지를 활성화시킬 것이다. 인에이블된 비트 라인 센스 증폭기는 성숙된 비트 라인으로부터 차이(differential) 전압을 감지하고 판독 데이터를 데이터 래치 및 출력 버퍼로 전달한다.

[0003] 적절한 센스 마진(margin)(즉, 차이 전압)을 획득하는 것이 중요하다. 센스 마진이 너무 작으면, 즉, 셀프 타이밍된 간격이 충분히 길지 않기 때문에 비트 라인 성숙 시간(bit line maturing time)이 너무 짧으면, 센스 증폭기는 액세스된 메모리 셀에 저장된 데이터 값을 정확하게 확인하지 못할 수 있다. 그리하여, 비트 라인들은 최소 비트 라인 전압 차이를 달성하기 위해 충분히 긴 기간 동안 성숙되어야 한다. 반면에, 성숙 시간이 필요한 것보다 길면, 원하는 비트 라인 전압 차이가 획득된 후에도 비트 라인들이 계속해서 충전되기 때문에 전력이 낭비된다.

[0004] 센스 타이밍은 적절한 셋업(setup) 시간을 획득하기 위해 최적화되어야 한다. 센싱이 너무 많이 지연된다면, 셋업 시간을 지연될 것이다. 그래서 빠른 메모리를 위해, 가능하면 사이클의 이른 시점에서 센스 인에이블 시간을 개시하는 것이 바람직하다. 그러나, 위에서 논의된 바와 같이, 이른 센싱이 가지는 문제점은 센스 마진이 더 작아진다는 것이며, 이는 프로세스 변동들에서의 문제점들을 야기할 가능성이 있다.

[0005] 이러한 상황은 상이한 크기의 메모리들이 상이한 최적 비트 라인 성숙 시간들을 가질 것이기 때문에 컴파일러 메모리에서 보다 복잡해진다. 작은 크기의 메모리에서, 신호 전파 지연은 매우 짧다. 그에 따라, 워드 라인이 상승(rise)되자마자 비트 라인은 빠르게 성숙할 것이며 센싱은 더 이른 시점에서 시작될 수 있다. 큰 메모리에서, 비트 라인 용량은 더 클 것이며, 비트 라인은 보다 느리게 성숙할 것이다. 그리하여, 더 긴 전파 지연 이후까지 센싱은 대기해야 한다.

[0006] 상이한 크기의 메모리들에서의 상이한 최적 센스 시간들로 인하여, 비트 라인 및 워드 라인을 적절하게 트래킹

하는 것이 중요하다. 또한, 기술이 스케일 다운(scale down)되고 디바이스들이 보다 소형화되면서, 메모리 비트 셀들에서의 상당한 프로세스 변동들이 존재한다. 고성능 및 높은 수율(yield) 모두를 보장하기 위한 메모리 내부 타이밍의 트래킹이 해결해야 할 과제가 되고 있다.

- [0007] 종종, 몬테 카를로(Monte Carlo) 시뮬레이션과 같은 상황이 특정한 프로세스에서 얼마나 많은 센스 마진이 발생하는지를 결정하기 위해 수행된다. 이러한 시뮬레이션 결과들에 기반하여, 센스 인에이블 시간은 다양한 메모리 크기들에 대하여 추정될 수 있다. 그러나, 시뮬레이션들은 실제 조건들을 고려하지 않는다는 점에서 단점들을 가진다. 그리하여, 센스 마진들을 결정하기 위해 실제적으로 지연을 트래킹하는 것이 바람직하다.
- [0008] 기존의 비트 라인 트래킹 방식은 도 1 및 2에 도시된다. 도 1은 메모리 어레이(110), 제어 블록(120), 프리-디코더(130), 행(row) 디코더 및 워드 라인 드라이버(140) 및 더미(dummy) 워드 라인 드라이버(150)를 포함하는 종래 기술의 메모리의 블록 다이어그램이다. 또한, 센스 증폭기들(160) 및 데이터 출력 버퍼(170)가 제공된다. 메모리 어레이(110)는 더미 비트 셀(112)뿐만 아니라 더미 워드 라인 DWL, 및 더미 비트 라인 DBL 및 더미 비트 라인 바(bar) DBLB를 가지는 더미 열(column)을 포함한다. 워드 라인들 WL[n]-WL[0]이 제공된다. 메모리 어레이(110)는 또한 다수의 비트 셀들(114), 비트 라인들 BL 및 비트 라인 바들 BLB을 포함하며, 이들 각각의 하나만이 도면에 도시되어 있다. 프로그래밍 가능한 더미 풀 다운(pull down) 디바이스들(116)이 또한 제공된다. 프로그래밍 가능한 더미 풀 다운 디바이스들(116)은 실제 비트 셀들(114)과 동일한 특성들을 가진다.
- [0009] 워드 라인들 WL[n]-WL[0]은 6 게이트 지연 이후에 제어 블록으로부터 내부 클록 신호 ICLK를 수신한다. 6 게이트 지연은 프리-디코더(130)(2 게이트 지연) 및 행 디코더 및 워드 라인 드라이버(140)(4 게이트 지연)를 통과하는 내부 클록 신호 ICLK로부터 야기된다. 워드 라인들 WL[n]-WL[0]을 트래킹하기 위해, 더미 워드 라인 드라이버(150)가 또한 4 게이트 지연을 가지고 제공된다. 이러한 지연은 더미 워드 라인 DWL이 워드 라인들 WL[n]-WL[0]과 동시에 내부 클록 신호 ICLK를 수신하도록 보장한다.
- [0010] 도 2는 종래 기술의 비트 라인 트래킹 방식에 대한 타이밍 다이어그램을 도시한다. 내부 클록 신호는 ICLK로 표현된다. WL은 워드 라인 신호를 나타낸다. 비트 라인 및 더미 비트 라인은 각각 BL 및 DBL로 표현된다. 더미 워드 라인 신호는 DWL로 표현된다. 센스 인에이블은 센스 인에이블 신호에 대응한다.
- [0011] 더미 비트 라인이 원하는 비트 라인 전압 차이 ΔV_{bl} 을 달성하는데 요구되는 비트 라인 성숙 시간 t_{bl} 을 트래킹하기 위해서, 더미 비트 라인 및 더미 워드 라인 모두는 실제 워드 라인 상승 시간에서 어서트(assert)된다. 그리하여, 내부 클록 신호 ICLK 상승에 응답하여 실제 워드 라인 및 더미 워드 라인은 동시(t_1)에 하이(high) 상태로 진입한다.
- [0012] 더미 비트 라인 DBL이 성숙되었다고 결정되는 시점과 센싱의 개시 시점 사이에 지연 g_1 이 필요하기 때문에, 더미 비트 라인 DBL은 실제 비트 라인 BL보다 빠르게, 통상적으로 3-5배 빠르게 성숙할 것이다. 이러한 지연 g_1 은 센스 인에이블 신호를 구동(drive)시키고 또한 열 다중화기에 의한 센스 인에이블 신호의 디코딩을 위해 충분한 시간을 허용하기 위해 필요하다. 더미 비트 라인 DBL의 더 빠른 성숙 시간의 단점은 더미 비트 라인 DBL이 실제 비트 라인 BL의 실제 성숙 시간을 실제적으로 근사화하지 않아 트래킹 정확도를 감소시킨다는 점이다. 또한, 비트 라인 성숙 시간 t_{bl} 은 프로세스-전압-온도(PVT) 코너들에 걸쳐 셀프 타이밍 루프에 의해 양호하게 트래킹될 수 없다.
- [0013] 더미 비트 라인의 원하는 전압 차이 ΔV_{db1} 에 기반하여, 시간 t_1 이후에 게이트 지연 g_1 을 더한 시간 t_{db1} 에서, 센스 인에이블 신호가 어서트된다. 이러한 타이밍은 비트 라인 성숙 시간 t_{bl} 과 일치해야 한다. 그러나, 게이트 지연 g_1 은 센스 인에이블 시간이 너무 이르지 않도록 보장하기 위해, 즉, 비트 라인 BL이 성숙하기 전에, 적절하게 설정되어야 한다. 게이트 지연 g_1 타이밍의 설정은 쉽지 않으며, 특히 더미 비트 라인 DBL이 실제 비트 라인 BL과 동일한 레이트로 성숙되지 않을 때 어려워진다. 그리하여, 비트 라인 BL이 실제적으로 성숙되도록 보장하기 위해 통상적으로 추가적인 시간이 게이트 지연 g_1 에 삽입된다. 물론, 추가적인 지연은 센스 인에이블 시간이 비트 라인 BL이 성숙된 바로 직후가 아니라 그 이후의 안전 기간(safe period)임을 의미한다.
- [0014] 다른 문제는 워드 라인 게이팅 시간이 센스 인에이블 시간에 의해 제어된다는 것이다. 센스 인에이블 신호가 로우(low) 상태로 진입한 후에, 워드 라인 WL은 게이팅된다. 센스 인에이블 시간은 t_{db1} 이후의 디폴트(default) 시간(게이트 지연 g_1)으로 지연된다. 센스 인에이블 시간으로부터 워드 라인 WL의 디-어서트(de-assertion)에 대한 추가적인 게이트 지연들이 존재하며, 이는 비트 라인 BL이 계속해서 충전되도록 한다. 다시 말하면, 실제 비트 라인 센싱 이후라도, 워드 라인이 어서트된 상태도 남아있다. 결과적으로, 전력이 낭비

된다.

발명의 내용

- [0015] 메모리 동작 효율성은 메모리의 판독/기록 동작을 제어하기 위해 더미 비트 라인을 사용함으로써 달성될 수 있다. 일 실시예에서, 실제 비트 라인과 관련하여 예측가능한 성숙 시간들을 가지도록 알려져 있는 더미 비트 라인이 실제 비트 라인에 선행하여 알려진 시간 기간에 개시된다. 더미 비트 라인의 성숙에 기반하여 판독/기록 동작이 트리거(trigger)된다.
- [0016] 더미 비트 라인은 실제 비트 라인이 성숙을 시작하기 전에 성숙을 개시한다. 그 결과, 더미 비트 라인은 실제 비트 라인이 성숙하는 레이트와 동일한(또는 유사한) 레이트로 성숙함으로써 실제 비트 라인을 정확하게 트래킹 할 수 있다. 더미 비트 라인은 실제 비트 라인이 성숙된 후에 센싱이 바로 시작될 수 있도록 허용하면서, 센스 인에이블 시간 이전에 요구되는 게이트 지연을 개시하도록 충분히 이르게 성숙을 완료할 수 있다. 또한, 워드 라인은 더미 비트 라인에 의해 게이팅될 수 있으며, 그리하여 전력을 절약한다.
- [0017] 하나의 방법은 컴파일러 메모리 판독 동작을 제어한다. 상기 방법은 실제 비트 라인 성숙 레이트와 유사한 레이트에서 성숙하는 더미 비트 라인에 기반하여 요구되는 펄스폭(pulse width)을 생성하는 단계를 포함한다. 또한, 상기 방법은 상기 컴파일러 메모리의 상기 판독 동작을 인에이블시키기 위해 상기 요구되는 펄스폭을 사용하여 실제 워드 라인을 제어하는 단계를 포함한다.
- [0018] 다른 방법은 컴파일러 메모리를 위한 센스 인에이블 시간을 결정한다. 상기 방법은 실제 워드 라인을 인에이블 시키기 전에 더미 워드 라인을 인에이블시키는 단계, 및 상기 더미 워드 라인의 인에이블에 응답하여 더미 비트 라인을 성숙시키는 단계를 포함한다. 상기 더미 비트 라인은 실제 비트 라인이 성숙하는 레이트와 동일한 레이트에서 성숙한다. 상기 방법은 또한 상기 더미 비트 라인의 모니터링에 의해 임계 전압 차이(threshold voltage differential)가 달성되었는지를 결정하는 것에 응답하여 상기 더미 워드 라인을 디스에이블시키는 단계, 및 상기 더미 워드 라인의 인에이블보다 미리 정의된 지연 이후에 워드 라인을 인에이블시키는 단계를 포함한다. 상기 방법은 또한 상기 더미 워드 라인의 디스에이블에 응답하여 센스 인에이블 신호를 생성하는 단계를 포함한다.
- [0019] 추가적인 방법은 메모리 판독 동작을 수행한다. 상기 방법은 실제 비트 라인의 개시보다 알려진 시간 기간 전에 더미 비트 라인을 개시하는 단계를 포함한다. 상기 더미 비트 라인은 상기 실제 비트 라인과 관련하여 예측 가능한 성숙 시간을 가진다. 상기 방법은 또한 상기 더미 비트 라인의 성숙에 기반하여 워드 라인의 디스에이블을 트리거하는 단계를 포함한다.
- [0020] 컴파일러 메모리 회로는 내부 클록 신호를 생성하는 제어 회로, 및 상기 내부 클록 신호를 직접 수신하는 더미 워드 라인을 포함한다. 상기 컴파일러 메모리 회로는 또한 상기 내부 클록 신호를 직접 수신하는 어드레스 디코딩 회로, 및 상기 더미 워드 라인이 상기 내부 클록 신호를 수신하는 시점에서 일정 시간 기간 이후에 상기 어드레스 디코딩 회로로부터 상기 내부 클록 신호를 수신하는 워드 라인을 포함한다.
- [0021] 전술한 내용은 후속하는 본 발명의 상세한 설명이 보다 양호하게 이해될 수 있도록 본 발명의 특징들 및 기술적 장점들을 넓은 범위에서 개괄하였다. 본 발명의 청구항들의 내용들을 형성하는 본 발명의 추가적인 특징들 및 장점들은 아래에서 설명될 것이다. 여기에서 제시되는 개념 및 특정한 실시예가 본 발명의 동일한 목적들을 실행하기 위한 변형 또는 다른 구조들의 설계를 위한 기초로서 이용될 수 있다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 이해되어야 할 것이다. 또한, 이러한 동등한(equivalent) 구성들이 첨부된 청구항들에서 설명되는 바와 같은 본 발명의 범위를 벗어나지 않는다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 이해되어야 할 것이다. 추가적인 목적들 및 장점들과 함께, 본 발명의 구성 및 동작 방법 모두와 관련하여 본 발명의 특성으로 여겨지는 신규한 특징들은 첨부되는 도면들과 관련하여 고려될 때 다음의 설명으로부터 보다 양호하게 이해될 것이다. 그러나, 도면들 각각은 설명하기 위한 목적으로 제공되는 것이며 본 발명의 한계들에 대한 한정으로서 의도된 것이 아니라는 것을 이해해야 할 것이다.

도면의 간단한 설명

- [0022] 본 발명의 보다 완전한 이해를 위해, 이제 첨부되는 도면들과 관련하여 상세한 설명에 대한 참조가 이루어진다. 도 1은 종래 기술의 비트 라인 트래킹 시스템을 도시하는 블록 다이어그램이다. 도 2는 종래 기술의 비트 라인 트래킹 타이밍을 도시하는 타이밍 다이어그램이다.

도 3은 본 발명의 일 양상에 따른 향상된 비트 라인 트래킹 타이밍을 도시하는 타이밍 다이어그램이다.

도 4는 본 발명의 일 양상에 따른 향상된 비트 라인 트래킹 타이밍을 도시하는 보다 상세한 타이밍 다이어그램이다.

도 5는 본 발명의 일 양상에 따른 향상된 비트 라인 트래킹 시스템을 도시하는 블록 다이어그램이다.

도 6은 본 발명의 일 실시예가 바람직하게 적용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 명세서는 컴파일러 메모리 설계에서 향상된 비트 라인 트래킹을 제시한다. 일 실시예에서, 상기 메모리는 정적 랜덤 액세스 메모리(SRAM)이다. 도 3에 도시된 바와 같이, 실제 워드 라인 WL보다 이르게 더미 워드 라인 DWL을 인에이블시킴으로써, 로직(logic) 게이트 지연 g_2 + 비트 라인 성숙 시간 t_{b1} = 더미 비트 라인 방전 시간 t_{db1} + 로직 게이트 지연 g_3 이 된다.
- [0024] g_2 및 g_3 가 동일한 게이트 카운트 및 팬-아웃(fan-out) 로딩(loading)들을 가진다면 상기 로직 지연은 타이밍 트래킹 루프에서 소거(cancel)될 수 있다. 더미 풀 다운 디바이스들(116)(도 5)은 비트 셀들(114)(도 5)과 동일한 특성들을 가지도록 설계되며, 그리하여 실제 비트 라인 BL 타이밍은 모든 PVT 코너들에 대하여 더미 비트 라인 DBL에 의해 완전하게(fully) 트래킹될 수 있다. 워드 라인 인에이블 경로 및 센스 인에이블 경로는 상기 경로들이 동일한 게이트 카운트 및 동일한 로직 게이트 타입 및 팬-아웃 로딩들을 가짐을 보장하도록 설계된다.
- [0025] 셀프 타이밍 루프는 정규적인 어레이 열 및 행과 동일한 구조 및 크기를 가지는 더미 비트 라인 DBL 및 더미 워드 라인 DWL을 포함한다. 그러므로, 모든 글로벌 와이어(global wire) 로딩들(워드 라인 및 비트 라인)은 비트 라인 BL 트래킹 루프에 포함된다.
- [0026] 또한, 모든 PVT 코너들 및 모든 메모리 구성들에 대하여 최적의 판독 마진들을 보장하기 위해, 더미 풀 다운 디바이스들(116)은 금속 마스크(metal masking)에 의해 조절가능하게 프로그래밍되도록 설계된다.
- [0027] 도 4를 참조하면, 이제 센스 인에이블 시간의 결정이 논의된다. 센스 인에이블 시간을 획득하기 위해, 본 명세서는 내부 클럭(ICLK) 또는 더미 워드 라인 DWL 상승(rising) 및 하강(falling) 시간들을 제어한다. 도 4에서, 더미 워드 라인은 단지 내부 클럭 신호 ICLK의 버퍼링된 버전이며 그리하여 개별적인 도시를 필요로 하지 않기 때문에, 더미 워드 라인 신호는 ICLK로서 도시된다. 내부 클럭 신호(또는 더미 워드 라인 DWL 신호) ICLK 상승 시간은 t_1 에서 더미 비트 라인 DBL을 턴 온시킨다. 다시 말하면, ICLK 신호가 직접 더미 워드 라인 DWL로 향한다. 더미 워드 라인 DWL은 실제 워드 라인 WL을 모방하며, 즉, 더미 워드 라인 DWL은 워드 라인 WL 전파 지연을 모니터링한다. 또한, 더미 비트 라인 DBL은 실제 비트 라인 BL이 성숙을 시작하기 전에 성숙을 시작하기 때문에, 더미 비트 라인 DBL은 실제 비트 라인 BL을 완전하게 트래킹할 수 있으며, 즉, 더미 비트 라인 DBL은 실제 비트 라인 BL과 동일한(또는 유사한) 레이트로 성숙한다. 이러한 더미 비트 라인 DBL이 턴 온되고 성숙된 후에, 적절한 ΔT_{db1} 에 기반하여, 시간 t_2 에서 준비(ready) 신호가 생성된다. 준비 신호에 응답하여, 내부 클럭 신호 ICLK는 디스에이블된다. 그리하여, 실제 비트 라인 BL 성숙 시간을 완전하게 트래킹하는, 더미 비트 라인 DBL의 성숙에 기반하여 내부 클럭 신호 ICLK 펄스폭이 생성된다.
- [0028] 그리고 나서 내부 클럭 ICLK 펄스폭은 실제 워드 라인 신호 WL 펄스폭을 생성하기 위해 사용된다. 이제 실제 워드 라인 신호 WL 펄스폭의 생성에 대한 설명이 제시된다.
- [0029] 더미 워드 라인 DWL이 구동된 후인, 시간 t_4 에서 실제 워드 라인 WL이 구동된다. 보다 구체적으로, 프리-디코더 드라이버 지연 및 행 디코더 및 워드 라인 드라이버 지연(집합적으로 게이트 지연 g_4) 후에, (t_4 에서) 실제 워드 라인 WL이 구동될 것이다. 다시 말하면, 시간 t_1 및 게이트 지연 g_4 후에, (t_4 에서) 워드 라인 WL이 구동된다.
- [0030] 시간 t_4 보다 조금 이전인, 시간 t_3 에서 프리차지 디스에이블(프리차지 신호 상승)이 발생한다. 일 실시예에서, 시간 t_3 은 시간 t_4 이전의 하나 또는 3개의 게이트 지연들이다. 시간 t_5 에서 센스 인에이블 신호는 ICLK 하강 에지로부터 지연된 로직에 의해 생성된다. 지연된 로직(175)(도 5)은 프리-디코더(130) 및 행 디코더 및 워드 라인 드라이버(140)와 유사한 지연을 가진다. 워드 라인 WL이 턴 오프되기 전에 비트 라인 BL이 준비될 때 센싱이 발생하도록 보장하기 위해 센스 인에이블 이전의 지연 기간 g_5 는 지연 g_4 보다 짧은 약 하나의 게이트 지연

이다.

- [0031] 시간 t2에서 내부 클럭 신호 ICLK가 디스에이블된 후에, 특정한 게이트 지연 g4 이후인 시간 t6에서 워드 라인 WL이 디스에이블된다. 특정한 게이트 지연 g4는 워드 라인 WL이 인에이블되기 전의 게이트 지연 g4와 동일한 지연이다. 그리하여, 워드 라인 WL은 내부 클럭 신호 ICLK와 병렬로 트래킹한다. 프리차지 인에이블은 워드 라인 WL이 디스에이블된 후인 시간 t7에서 발생한다.
- [0032] 본 발명에 따르면, 더미 워드 라인 드라이버(150)(도 1)에 의해 구동되는 더미 워드 라인 DWL 대신에, 도 5에 도시된 바와 같이, 내부 클럭 신호 ICLK가 직접 더미 비트 라인 DBL을 구동시킨다. 내부 클럭 신호 ICLK는 더미 워드 라인 DWL로 직접 제공되며, 그 결과 더미 비트 라인 DBL은 실제 비트 라인 BL보다 이른 시점에서 트래킹된다.
- [0033] 더미 비트 라인 DBL의 속성에 대한 모니터링이, 시간 t1에서, 이르게 시작하기 때문에, 작은 크기의 메모리를 가지더라도 비트 라인 BL은 빠르게 모니터링될 수 있다. 모니터링은 게이트 지연 이후까지 기다리지 않고 시작될 수 있다. 이른 더미 비트 라인 DBL 모니터링의 결과로서, 더미 비트 라인 DBL은 실제 비트 라인 BL을 완전하게 트래킹할 수 있으며, 비트 라인 BL이 성숙된 바로 직후에 센스 증폭기들이 인에이블되도록 센스 인에이블을 트리거하기 위해 충분히 이르게 성숙을 완료할 수 있다.
- [0034] 본 발명의 설명들은 종래 기술보다 더 양호한 성능을 제공한다. 예를 들어, 워드 라인 WL 게이팅 시간은 센스 인에이블 시간에 의해 제어되지 않는다. 오히려, 도 4에 도시된 바와 같이, 내부 클럭 신호 ICLK는 각 신호의 어서트 사이의 병렬 지연 및 각 신호의 디-아서트 사이의 병렬 지연을 통해 워드 라인 WL을 제어한다. 그리하여, 실제 워드 라인 WL은 센스 인에이블 신호의 상승 바로 직후에 시간 t6에서 게이팅될 것이다. 센싱 동작이 시작된 이후의 임의의 지연 동안 워드 라인 WL은 어서트된 상태로 남아있지 않기 때문에, 전력이 절약된다.
- [0035] 다시 말하면, 더미 비트 라인 DBL 및 비트 라인 BL이 성숙을 시작하는 시점 간의 알려진 지연의 결과로서, 비트 라인 BL이 최적으로 성숙될 시점이 결정될 수 있다: 더미 워드 라인 DBL이 성숙된 이후의 동일한 알려진 지연. 그리하여, 최적 비트 라인 성숙 시간 바로 직후에 비트 라인 BL이 디스에이블될 수 있으며, 그에 의해 전력이 절약된다.
- [0036] 일 실시예에서, 더미 비트 라인들 DBL은 각각의 상이한 크기의 메모리에 대한 실제 비트 라인들 BL과 동일하다. 더미 비트 라인 방전은, 제어 블록(120)에서 제공될 수 있는, 가속기(accelerator) 프로그래밍 가능한 회로(미도시)에 의해 프로그래밍 가능할 수 있다. 가속기 프로그래밍 가능한 회로는 출원번호가 11/614,828이고, 출원일이 2006년 12월 21일이고, 발명자들이 Z. CHEN 등이며 여기에 참조로서 통합되는 미국 특허 출원에서 설명된 바와 같이, 더미 비트 라인 DBL 성숙 시간을 설정하도록 프로그래밍될 수 있다.
- [0037] 도 5에서, 더미 워드 라인 DWL, 더미 비트 라인 DBL, 더미 비트 셀(112) 및 더미 풀 다운 디바이스들(116)은 주로 메모리 어레이(110) 내에서, 제어 블록(120) 외부에 도시되어 있다. 대안적인 실시예에서, 더미 워드 라인 DWL, 더미 비트 라인 DBL, 더미 비트 셀(112) 및 더미 풀 다운 디바이스들(116)은 센스 증폭기들(160) 및/또는 데이터 출력 버퍼(170)의 근처와 같은, 데이터 경로 영역으로 제공될 수 있다. 다른 실시예에서, 더미 워드 라인 DWL, 더미 비트 라인 DBL, 더미 비트 셀(112) 및 더미 풀 다운 디바이스들(116)은 제어 블록(120)으로 제공된다.
- [0038] 본 발명에 따르면, PVT 및 구성에 관대하고(tolerant), 고성능이며 저전력인 비트 라인 트래킹 방식이 설명된다. 최적 비트 라인 성숙 바로 직후에 센스 증폭기들이 인에이블되기 때문에 상기 비트 라인 트래킹은 고성능이다. 액티브 전력을 절약하기 위해 최적 비트 라인 성숙 이후에 비트 라인이 디스에이블되기 때문에 비트 라인 트래킹 방식은 저전력이다.
- [0039] 요약하면, 본 발명은 고성능 및 저전력 메모리 컴파일러 설계를 위한 향상된 비트 라인 트래킹을 제공한다. 실제 워드 라인보다 더 이르게 더미 워드 라인을 인에이블시킴으로써, 트래킹된 타이밍 루프로부터 로직 게이트 지연이 소거된다. 실제 비트 셀 타이밍은 동일한 특성들을 가지는 더미 풀 다운 디바이스들에 의해 완전하게 트래킹될 수 있다. 최적 비트 라인 성숙 시간 바로 직후에 센스 증폭기들이 인에이블되고 워드 라인이 디스에이블된다. 프로그래밍 가능한 더미 풀 다운 디바이스들은 PVT 및 메모리 구성 변경들에 관대하다.
- [0040] 도 6은 본 발명이 일 실시예가 바람직하게 적용될 수 있는 예시적인 무선 통신 시스템(600)을 도시한다. 설명의 목적으로, 도 6은 3개의 원격 유닛들(620, 630 및 650) 및 2개의 기지국들(640)을 도시한다. 전형적인 무선 통신 시스템들은 더 많은 원격 유닛들 및 기지국들을 포함할 수 있다는 것을 이해하도록 한다. 원격 유닛들(620, 630 및 650)은, 아래에서 추가적으로 논의될 본 발명의 실시예들인, 향상된 풀-스윙(full-swing) 메모리

어레이들(625A, 625B 및 625C)을 각각 포함한다. 도 6은 기지국들(640)로부터 원격 유닛들(620, 630 및 650)로의 순방향 링크 신호들(680) 및 원격 유닛들(620, 630 및 650)로부터 기지국들(640)로의 역방향 링크 신호들(690)을 도시한다.

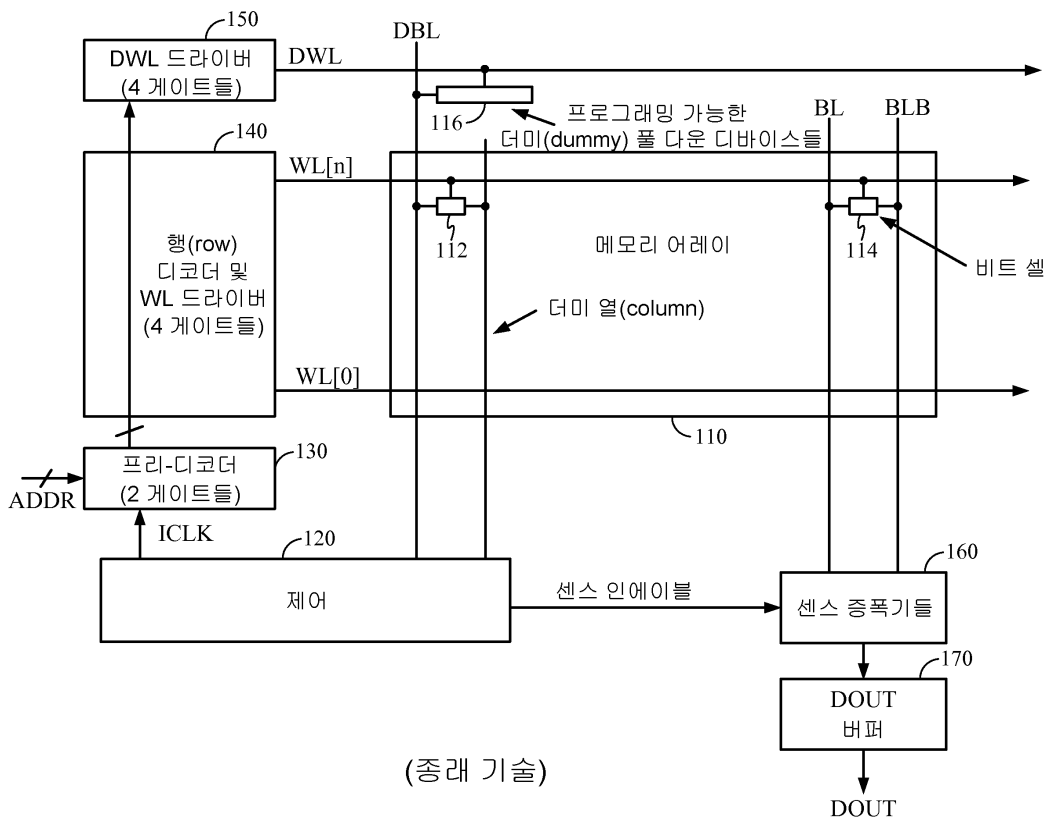
[0041] 도 6에서, 원격 유닛(620)은 모바일 전화기로서 도시되고, 원격 유닛(630)은 휴대용 컴퓨터로서 도시되고, 원격 유닛(650)은 무선 로컬 루프 시스템의 고정된 위치의 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 셀 폰들, 핸드-헬드 개인 통신 시스템(PCS) 유닛들, 개인 정보 단말기(PDA)들과 같은 휴대용 데이터 유닛들, 또는 미터 관독 장비와 같은 고정된 위치의 데이터 유닛들일 수 있다. 도 6이 본 발명의 내용들에 따라 원격 유닛들을 설명하더라도, 본 발명은 이러한 예시적인 설명된 유닛들로 한정되지 않는다. 본 발명은 풀-스윙 메모리 어레이를 포함하는 임의의 디바이스에서 적절하게 적용될 수 있다.

[0042] 특정한 회로가 설명되더라도, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 제시된 회로 모두가 본 발명을 실시하는데 요구되는 것은 이해할 것이다. 또한, 본 발명에 대한 초점을 유지하기 위해 특정한 잘 알려진 회로들은 설명되지 않았다. 유사하게, 설명이 특정 위치들에서의 논리적 "0" 및 논리적 "1"을 언급하더라도, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 동작에 영향을 주지 않고, 그에 따라 조정되는 회로의 나머지 부분들을 통해, 논리적 값들이 스위칭될 수 있다는 것을 이해할 것이다.

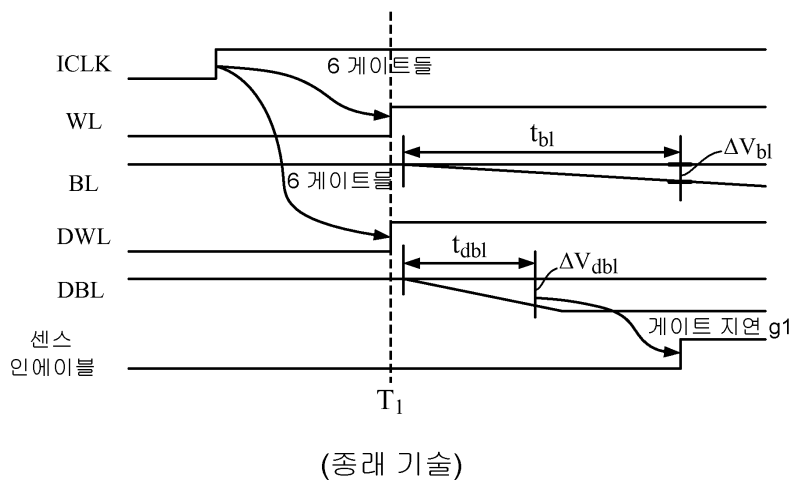
[0043] 본 발명 및 본 발명의 장점들이 상세하게 설명되었더라도, 첨부된 청구항들에 의해 정의되는 바와 같은 본 발명의 범위를 벗어남이 없이 다양한 변경들, 치환들 및 변형들이 이루어질 수 있다는 것을 이해해야 할 것이다. 예를 들어, 본 발명에 대한 논의에서 관독 동작이 사용되었더라도, 본 발명은 동등하게 기록 동작들에 적용될 수 있다는 점이 예상될 수 있다. 또한, 본 출원의 범위는 본 명세서에서 설명되는 프로세스, 머신, 제조(manufacture), 물질의 구성(composition of matter), 수단, 방법들 및 단계들의 특정한 실시예들로 한정되도록 의도되지 않는다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 제시된 내용으로부터, 여기에서 설명되는 대응하는 실시예들이 본 발명에 따라 이용될 수 있는 것과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는 현재 존재하거나 또는 나중에 개발될, 프로세스들, 머신들, 제조, 물질의 구성들, 수단들, 방법들 또는 단계들을 이해할 것이다. 그에 따라, 첨부된 청구항들은 이들의 범위 내에 이러한 프로세스들, 머신들, 제조, 물질의 구성들, 수단들, 방법들 또는 단계들을 포함하도록 의도된다.

도면

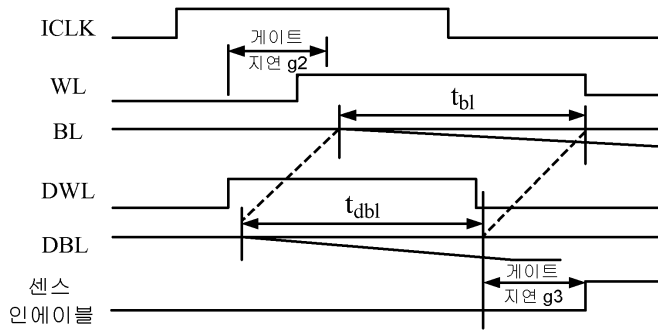
도면1



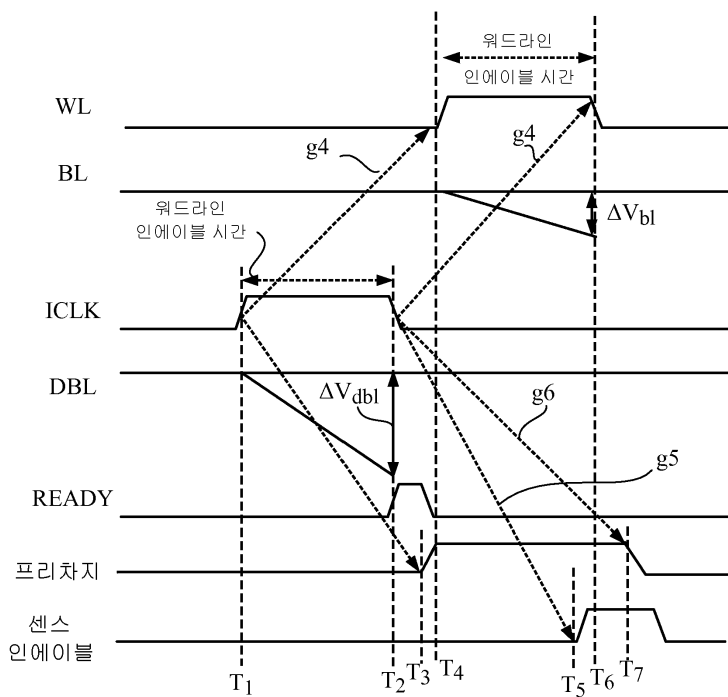
도면2



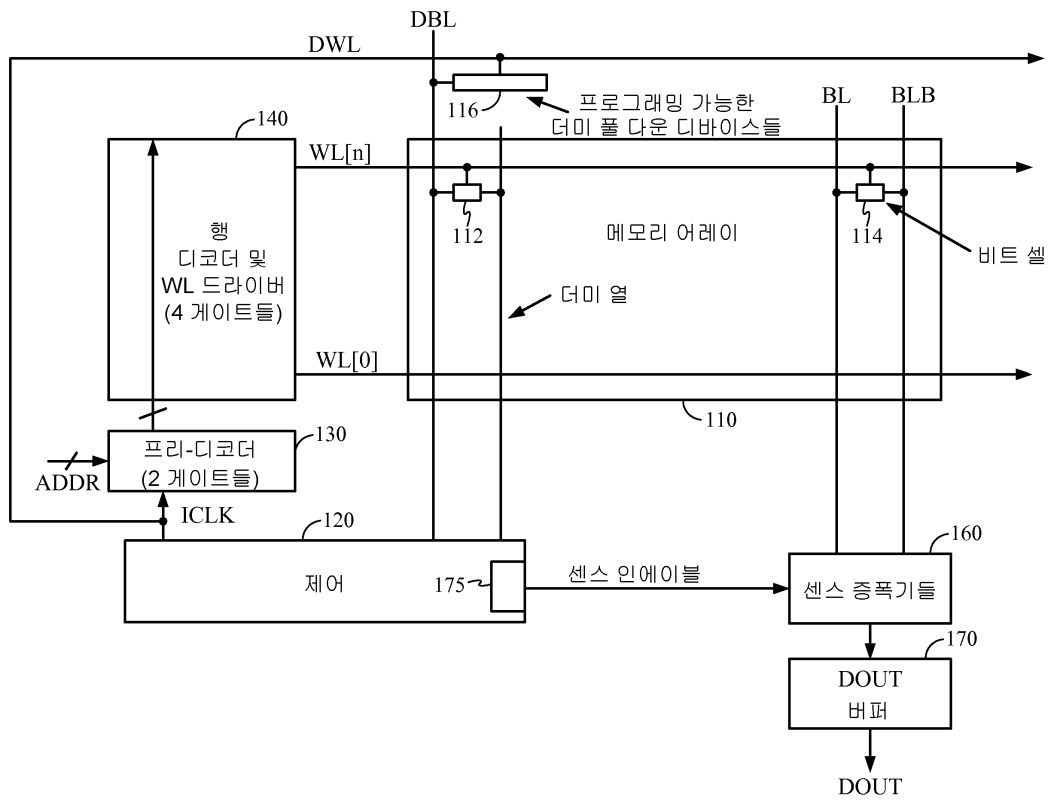
도면3



도면4



도면5



도면6

