

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年5月24日(24.05.2018)



(10) 国際公開番号

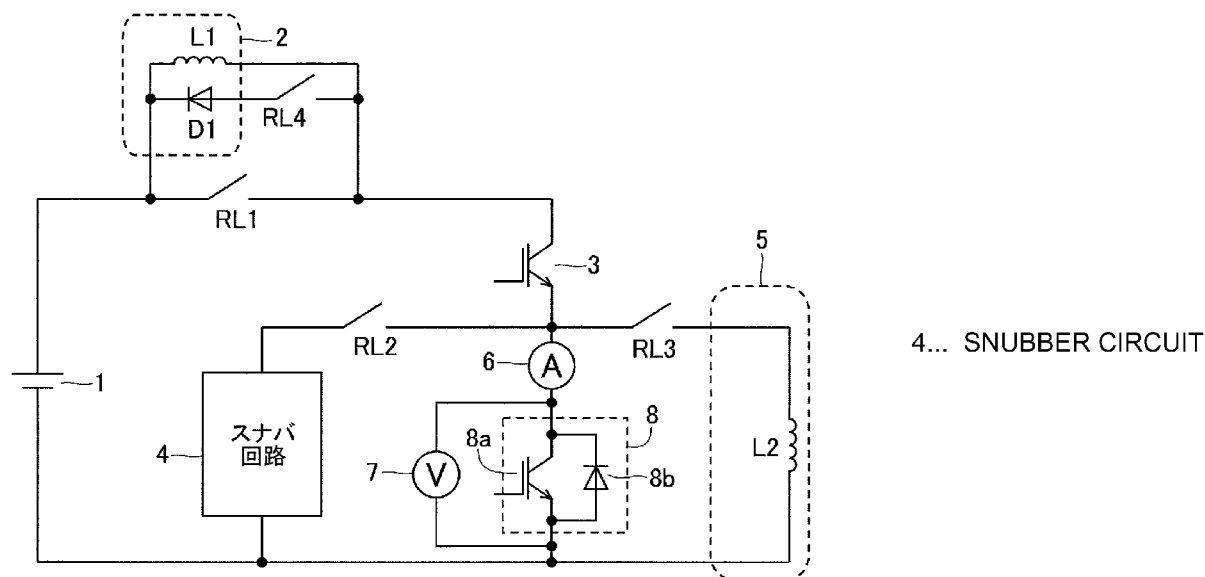
WO 2018/092457 A1

- (51) 国際特許分類:  
*G01R 31/26* (2014.01)
- (21) 国際出願番号: PCT/JP2017/036335
- (22) 国際出願日: 2017年10月5日(05.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-222878 2016年11月16日(16.11.2016) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 吉田 満(YOSHIDA, Mitsuru); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅 巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR TESTING CIRCUIT, SEMICONDUCTOR TESTING DEVICE, AND SEMICONDUCTOR TESTING METHOD

(54) 発明の名称: 半導体試験回路、半導体試験装置および半導体試験方法

[図1]



(57) Abstract: Provided is a semiconductor testing circuit for an RC-IGBT chip, wherein a plurality of tests are performed successively with minimum probe contacts. A relay (RL1) is disposed between a power source (1) and a switching element (3). A relay (RL2) is disposed between a junction between the switching element (3) and an RC-IGBT chip (8) and a snubber circuit (4). A relay (RL3) is disposed between the junction between the switching element (3) and the RC-IGBT chip (8) and a coil (L2). A relay (RL4) is disposed between a diode (D1) and the switching element (3). A turn-ON/turn-OFF

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第21条(3))

test for an IGBT unit (8a) involves turning the relays (RL2, RL4) ON. An avalanche test for the IGBT unit (8a) involves turning the relay (RL2) ON. A short-circuit test for the IGBT unit (8a) involves turning the relay (RL1) ON. A recovery test for an FWD unit (8b) involves turning the relays (RL1, RL3) ON. Here, the number of instances of probe contact is one.

(57) 要約：RC-IGBTチップの半導体試験回路において、プローブの接触回数を最小限にして複数の試験を連続的に行う。リレー (RL1) を電源 (1) とスイッチング素子 (3) との間に配置し、リレー (RL2) をスイッチング素子 (3) およびRC-IGBTチップ (8) の接続点とスナバ回路 (4) との間に配置し、リレー (RL3) をスイッチング素子 (3) およびRC-IGBTチップ (8) の接続点とコイル (L2) との間に配置し、リレー (RL4) をダイオード (D1) とスイッチング素子 (3) との間に配置する。IGBT部 (8a) のターンオン・ターンオフ試験は、リレー (RL2, RL4) をオン、IGBT部 (8a) のアバランシェ試験は、リレー (RL2) をオン、IGBT部 (8a) の短絡試験は、リレー (RL1) をオン、FWD部 (8b) のリカバリ試験は、リレー (RL1, RL3) をオンにする。このとき、プローブの接触回数は1回である。

## 明 細 書

発明の名称：

半導体試験回路、半導体試験装置および半導体試験方法

### 技術分野

[0001] 本発明は、半導体チップの複数の動特性試験を半導体チップに対するプローブによる接触ダメージを最小限に抑えつつ連続的に実施することができる半導体試験回路、半導体試験装置および半導体試験方法に関する。

### 背景技術

[0002] パワー半導体チップでは、ウェハをダイシングにて個片化した後、その動特性試験をそれぞれ行うことにより全チップ選別が行われている。パワー半導体チップとしては、パワーMOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor)、IGBT (Insulated Gate Bipolar Transistor)、FWD (Free Wheeling Diode) などが知られている。パワーMOSFETおよびIGBTは、コイル、ダイオード、抵抗またはコンデンサからなる負荷を直列に接続し、ゲートにターンオン・ターンオフ信号を印加することで動特性試験が行われている（たとえば、特許文献1参照）。FWDについても、同様に、負荷コイルおよびスイッチング素子を直列に接続し、スイッチング素子をスイッチングさせることで動特性試験が行われている（たとえば、特許文献1，2参照）。

[0003] ところで、パワー半導体チップとしてIGBT部とFWD部とを1チップ化した逆導通IGBT（以下、RC-IGBT (Reverse Conducting-IGBT) という）が開発されている。このRC-IGBTにおいても、IGBT部の動特性試験およびFWD部の動特性試験が行われる。ただし、IGBT部の動特性試験およびFWD部の動特性試験は、それぞれIGBT用試験装置とFWD用試験装置とを用いて行われる。すなわち、まず、IGBT用試験装置において、その試験電極にコレクタ電極を下にしたRC-IGBTチップを載置し、RC-IGBTチップのエミッタ電極およびゲート電極にプロー

ブを接触させて IGBT 部の動特性試験が行われる。次に、RC-IGBT チップを FWD 用試験装置に移し、その試験電極にカソード（コレクタ）電極を下にした RC-IGBT チップを載置し、RC-IGBT チップのアノード（エミッタ）電極にプローブを接触させて FWD 部の動特性試験が行われる。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開 2010-107432 号公報

特許文献2：特開 2015-232501 号公報

## 発明の概要

## 発明が解決しようとする課題

[0005] しかしながら、従来の RC-IGBT チップの試験では、2 回の試験工程を経るため、エミッタ電極にプローブを接触させる回数も 2 回となり、プローブによる接触痕が増加してしまうことになる。また、RC-IGBT チップは、2 つの試験装置で設置のし直しや移送が必要となるため、試験時間が長くなってしまいう問題点があった。

[0006] 本発明はこのような点に鑑みてなされたものであり、RC-IGBT チップにプローブを接触させたまま、RC-IGBT チップの IGBT 部と FWD 部との特性試験を行うことができる半導体試験回路、半導体試験装置および半導体試験方法を提供することを目的とする。

## 課題を解決するための手段

[0007] 本発明では、上記の課題を解決するために、IGBT 部および FWD 部を 1 チップ化した RC-IGBT チップの特性試験を行う半導体試験回路が提供される。この半導体試験回路は、電源と、RC-IGBT チップのコレクタに接続される半導体の第 1 のスイッチング素子と、電源の正極端子と第 1 のスイッチング素子との間に接続された第 1 のコイルと、電源の正極端子の側をカソードにして第 1 のコイルに並列に接続される第 1 のダイオードと、

RC-IGBTチップのコレクタとエミッタとの間に接続されるスナバ回路と、RC-IGBTチップのコレクタとエミッタとの間に接続される第2のコイルと、第1のコイルに並列に接続された第1のリレーと、RC-IGBTチップのコレクタとスナバ回路との間に接続された第2のリレーと、RC-IGBTチップのコレクタと第2のコイルとの間に接続された第3のリレーと、第1のダイオードと直列に接続された第4のリレーと、を備えている。

[0008] 本発明は、また、IGBT部およびFWD部を1チップ化したRC-IGBTチップの動特性試験を行う半導体試験装置が提供される。この半導体試験装置は、電源と、RC-IGBTチップのコレクタに接続される第1のスイッチング素子と、電源の正極端子と第1のスイッチング素子との間に接続された第1のコイルと、第2のコイルと、第1のダイオードと、第2のダイオードと、スナバ回路と、コンデンサと、RC-IGBTチップのエミッタと第2のコイルとの間に接続される第2のスイッチング素子と、第2のダイオードと直列に接続されて第2のダイオードとともに第2のコイルに並列に接続された第3のスイッチング素子と、第1のコイルに並列に接続された第1のリレーと、RC-IGBTチップのコレクタとエミッタとの間に、スナバ回路と直列接続された第2のリレーと、RC-IGBTチップのコレクタおよび第1のスイッチング素子の接続点と第2のコイルとの間に接続された第3のリレーと、第1のダイオードと直列に接続されて第1のダイオードとともに第1のコイルに並列に接続された第4のリレーと、第1のコイルおよび第1のスイッチング素子の接続点とRC-IGBTチップのエミッタとの間にコンデンサを接続するようコンデンサと直列に接続された第5のリレーと、第1ないし第5のリレーを試験項目に応じて切り替え制御するリレー制御駆動部と、RC-IGBTチップのIGBT部のコレクタ電流およびFWD部の順方向電流を計測する電流計と、RC-IGBTチップのコレクタとエミッタとの間の電圧を計測する電圧計と、リレー制御駆動部に対して試験項目のあらかじめ設定された試験順序を通知するとともに電流計および電圧

計の計測結果を基にRC-IGBTチップの良品または不良品の判断をする制御装置と、制御装置からの指令に応じてRC-IGBTチップをロードまたはアンロードする機構を駆動し、RC-IGBTチップへのコンタクト部の昇降機構を駆動する駆動装置とを備えている。

[0009] 本発明は、さらに、IGBT部およびFWD部を1チップ化したRC-IGBTチップの動特性試験を行う半導体試験方法が提供される。この半導体試験方法は、コンピュータが、RC-IGBTチップの特性試験の計測結果を試験項目ごとに蓄積し、所定の期間または所定のサンプル数に達した時点以降で不良品の発生確率の多い順に試験項目の試験順序の並び替えを行い、RC-IGBTチップを半導体試験装置にロードする指令を駆動装置に出し、RC-IGBTチップにコンタクト部のコンタクトプローブをセットする指令を駆動装置に出し、IGBT部のターンオン・ターンオフ試験のときに第1のコイルおよび第1のダイオードの並列回路を含むIGBT特性試験用負荷とスナバ回路とをRC-IGBTチップに接続し、IGBT部のアバランシェ試験のときに第1のコイルを含むIGBT特性試験用負荷とスナバ回路とをRC-IGBTチップに接続し、FWD部のリカバリ試験のときに第2のコイルおよび第2のダイオードの並列回路を含むFWD特性試験用負荷と電源の変動を抑えるコンデンサとをRC-IGBTチップに接続し、IGBT部の短絡試験のときに電源をRC-IGBTチップに接続するリレーを並び替えられた試験順序に従って順次切り替える指令をリレー制御駆動回路に出し、試験順序に従って試験項目の試験を行った結果、当該試験項目ではRC-IGBTチップが不良品と判断されたときに以降の試験項目の試験を中止する指令を駆動装置に出すようにしている。

## 発明の効果

[0010] 上記構成の半導体試験回路、半導体試験装置および半導体試験方法は、プローブをチップに接触させたまま、RC-IGBTチップのIGBT部およびFWD部の試験回路をリレーで切り換えるため、プローブの接触による電極のダメージを軽減でき、試験時間を短縮できるという利点がある。

[0011] 本発明の上記および他の目的、特徴および利点は、本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

### 図面の簡単な説明

[0012] [図1]第1の実施の形態に係る半導体試験回路の例を示す回路図である。

[図2]第2の実施の形態に係る半導体試験回路の例を示す回路図である。

[図3]リレーの動作状態を示す図である。

[図4]半導体試験回路の動作状態を示す波形図である。

[図5]半導体試験装置の要部構成を示す構成図である。

[図6]制御装置のハードウェアの一構成例を示すブロック図である。

[図7]制御装置による試験処理の流れを示すフローチャートである。

[図8]試験順序設定処理の流れを示すフローチャートである。

[図9]データの例を示す図であって、(A)は試験結果データテーブルを示し、(B)は順序設定テーブルを示している。

[図10]第3の実施の形態に係る半導体試験回路の例を示す回路図である。

[図11]RC-IGBTチップを示す平面図である。

[図12]図11中のA-A線に沿った断面図である。

[図13]図11中のB-B線に沿った断面図である。

### 発明を実施するための形態

[0013] 以下、本発明の実施の形態について、RC-IGBTチップの試験に適用した場合を例に図面を参照して詳細に説明する。なお、各実施の形態は、矛盾のない範囲で複数の実施の形態を部分的に組み合わせて実施することができる。

[0014] 図1は第1の実施の形態に係る半導体試験回路の例を示す回路図である。

第1の実施の形態によれば、半導体試験回路は、電源1、IGBT特性試験用負荷2、半導体のスイッチング素子3、スナバ回路4、FWD特性試験用負荷5、電流計6、電圧計7およびリレーRL1, RL2, RL3, RL4を備えている。この半導体試験回路が試験する被試験デバイスは、RC-

ＩＧＢＴチップ８であり、そのＩＧＢＴ部８aおよびＦＷＤ部８bの動特性試験が行われる。ＩＧＢＴ特性試験用負荷２は、コイルＬ１とダイオードＤ１とを有している。スイッチング素子３は、この実施の形態では、ＩＧＢＴを使用している。ＦＷＤ特性試験用負荷５は、コイルＬ２を有している。

[0015] この半導体試験回路において、電源１の正極端子は、リレーＲＬ１の一方の端子に接続され、リレーＲＬ１の他方の端子は、スイッチング素子３のコレクタに接続されている。リレーＲＬ１の一方の端子は、また、ＩＧＢＴ特性試験用負荷２のコイルＬ１の一方の端子とダイオードＤ１のカソードとに接続され、ダイオードＤ１のアノードは、リレーＲＬ４の一方の端子に接続されている。リレーＲＬ４の他方の端子は、コイルＬ１の他方の端子とリレーＲＬ４の他方の端子とに接続されている。

[0016] スwitching素子３のエミッタは、リレーＲＬ２の一方の端子に接続され、リレーＲＬ２の他方の端子は、スナバ回路４の一方の端子に接続されている。スナバ回路４の他方の端子は、電源１の負極端子に接続されている。

[0017] スwitching素子３のエミッタは、また、リレーＲＬ３の一方の端子に接続され、リレーＲＬ３の他方の端子は、ＦＷＤ特性試験用負荷５のコイルＬ２の一方の端子に接続され、コイルＬ２の他方の端子は、電源１の負極端子に接続されている。

[0018] スwitching素子３のエミッタは、さらに、電流計６の一方の端子に接続され、電流計６の他方の端子は、ＲＣ－ＩＧＢＴチップ８におけるＩＧＢＴ部８aのコレクタおよびＦＷＤ部８bのカソード（以下、ＲＣ－ＩＧＢＴチップ８のコレクタということがある）に接続されている。ＲＣ－ＩＧＢＴチップ８におけるＩＧＢＴ部８aのエミッタおよびＦＷＤ部８bのアノード（以下、ＲＣ－ＩＧＢＴチップ８のエミッタということがある）は、電源１の負極端子に接続されている。電流計６の他方の端子は、また、電圧計７の一方の端子に接続され、電圧計７の他方の端子は、電源１の負極端子に接続されている。

[0019] この半導体試験回路では、ＲＣ－ＩＧＢＴチップ８のＩＧＢＴ部８aにつ

いては、ターンオン・ターンオフ試験、アバランシェ試験および短絡試験を行うことができ、FWD部8bについては、リカバリ試験を行うことができる。それぞれの試験は、リレーRL1, RL2, RL3, RL4を切り換えることによって各試験の回路が切り換えられる。

[0020] まず、IGBT部8aのターンオン・ターンオフ試験では、リレーRL1, RL3がオフにされ、リレーRL2, RL4がオンにされる。これにより、電源1の正極端子は、IGBT特性試験用負荷2のコイルL1とダイオードD1との並列回路、スイッチング素子3および電流計6を介してRC-IGBTチップ8のコレクタに接続される。RC-IGBTチップ8のコレクタは、また、スナバ回路4の一方の端子に接続される。電源1の負極端子は、RC-IGBTチップ8のエミッタおよびスナバ回路4の他方の端子に接続される。このスナバ回路4は、IGBT部8aのターンオン・ターンオフ試験時に生じるターンオフサージ電圧を抑制するためのものである。

[0021] ターンオン・ターンオフ試験は、スイッチング素子3をオンにしており、IGBT部8aのゲートにオンまたはオフ信号を印加したときの、電流の変化を電流計6で観測し、電圧の変化を電圧計7で観測する。

[0022] IGBT部8aのアバランシェ試験では、リレーRL1, RL3, RL4がオフにされ、リレーRL2がオンにされる。すなわち、アバランシェ試験は、ターンオン・ターンオフ試験の接続条件からIGBT特性試験用負荷2のコイルL1に並列に接続されたダイオードD1が外された接続条件になる。

[0023] アバランシェ試験は、スイッチング素子3をオンにしており、IGBT部8aのゲートにオンまたはオフ信号を印加する。特に、アバランシェ試験は、IGBT部8aがオフした瞬間にコイルL1に蓄えられたエネルギーがコレクターエミッタに流れ込む現象を観測する。

[0024] IGBT部8aの短絡試験では、リレーRL2, RL3, RL4がオフにされ、リレーRL1がオンにされる。短絡試験は、スイッチング素子3をオンにしており、IGBT部8aのゲートに短時間だけオン信号を印加したと

きの IGBT 部 8 a の短絡耐量を観測する。

[0025] FWD 部 8 b のリカバリ試験では、リレー RL 2, RL 4 がオフにされ、リレー RL 1, RL 3 がオンにされる。これにより、電源 1 の正極端子は、スイッチング素子 3 および電流計 6 を介して RC-IGBT チップ 8 の FWD 部 8 b のカソードと FWD 特性試験用負荷 5 のコイル L 2 の一方の端子とに接続される。電源 1 の負極端子は、FWD 部 8 b のアノードおよびコイル L 2 の他方の端子に接続される。

[0026] リカバリ試験は、スイッチング素子 3 のオン・オフを繰り返したときに、FWD 部 8 b が逆バイアスされているにも拘わらず通電状態となる現象を観測する。すなわち、リカバリ試験は、FWD 部 8 b が順バイアスされている状態からバイアス方向が変化したときに、逆バイアスが与えられたとしても、コイル L 2 に蓄えられたエネルギーによって逆流が生じてしまう時間を計測する。

[0027] 図 2 は第 2 の実施の形態に係る半導体試験回路の例を示す回路図である。なお、この図 2 において、図 1 に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は適宜省略する。

[0028] 第 2 の実施の形態に係る半導体試験回路は、第 1 の実施の形態に係る半導体試験回路と比較して、FWD 部 8 b の試験の機能が追加されている。すなわち、第 2 の実施の形態に係る半導体試験回路では、コンデンサ 9、半導体のスイッチング素子 10, 11、リレー RL 5, RL 6 およびダイオード D 2 が新たに追加されている。

[0029] この半導体試験回路において、リレー RL 1 とスイッチング素子 3 との接続点は、リレー RL 5 の一方の端子が接続され、リレー RL 5 の他方の端子は、コンデンサ 9 の一方の端子に接続されている。コンデンサ 9 の他方の端子は、RC-IGBT チップ 8 のエミッタに接続されている。RC-IGBT チップ 8 のエミッタと FWD 特性試験用負荷 5 のコイル L 2 の他方の端子との間には、リレー RL 6 とスイッチング素子 10 との直列接続回路が接続されている。スイッチング素子 10 は、電流が流れる方向を、コイル L 2 か

らRC-IGBTチップ8のエミッタに向かう方向にしてある。また、FWD特性試験用負荷5において、コイルL2と並列に、スイッチング素子3とダイオードD2との直列接続回路が接続されている。スイッチング素子11およびダイオードD2は、電流が流れる方向を、FWD部8bと同様に、電源1の負極端子からスイッチング素子3に向かう方向にしてある。なお、スイッチング素子10、11は、この実施の形態では、IGBTを使用している。また、電源1の電圧は、電圧VCCとする。

[0030] ここで、コンデンサ9は、RC-IGBTチップ8の直近に配置されて、電源1の電圧変動を抑えるためのものである。スイッチング素子10は、還流電流を停止するためのものであり、スイッチング素子11およびダイオードD2は、還流電流を転流させる転流回路5aである。なお、この図2には図示していないが、リレーRL1-RL6を制御駆動するリレー制御駆動回路およびスイッチング素子3、10、11をオン・オフ制御するためのスイッチング制御回路を備えている。

[0031] 次に、この半導体試験回路の動作について説明する。

図3はリレーの動作状態を示す図であり、図4は半導体試験回路の動作状態を示す波形図である。図4において、上から、スイッチング素子3のゲート・エミッタ間電圧VGE(3)、RC-IGBTチップ8のゲート・エミッタ間電圧VGE(8)、スイッチング素子11のゲート・エミッタ間電圧VGE(11)、スイッチング素子10のゲート・エミッタ間電圧VGE(10)、RC-IGBTチップ8のコレクタ電流IC(8)およびRC-IGBTチップ8のコレクタ・エミッタ間電圧VCE(8)を示している。

[0032] RC-IGBTチップ8におけるIGBT部8aのターンオン・ターンオフ試験においては、リレーRL1、RL3、RL5、RL6がオフにされ、リレーRL2、RL4がオンにされる。これにより、RC-IGBTチップ8の負荷としてコイルL1とダイオードD1との並列回路が直列に接続され、RC-IGBTチップ8と並列にスナバ回路4が接続される。

[0033] ターンオン・ターンオフ試験の間、スイッチング素子3は、オンのままで

ある。ここで、RC-I GBTチップ8のゲート信号がロー（L）レベルのとき、I GBT部8aがオフし、コレクタ電流I C（8）は0、コレクタ・エミッタ間電圧V C E（8）は、電源1の電圧V C Cになっている。

[0034] RC-I GBTチップ8のゲート信号がハイ（H）レベルになると、I GBT部8aがオンし、コイルL1を介してコレクタ電流I C（8）が流れ始め、コレクタ・エミッタ間電圧V C E（8）は、0になる。

[0035] 次に、RC-I GBTチップ8のゲート信号がロー（L）レベルになると、I GBT部8aがオフし、ここでコレクタ電流I C（8）の増加は止まって0になる。コレクタ・エミッタ間電圧V C E（8）は、コイルL1の逆起電力によって電源1の電圧V C Cより高く跳ね上がり、その逆起電力は、やがてダイオードD1によって吸収されることにより、電源1の電圧V C Cになる。

[0036] ターンオン・ターンオフ試験では、電流計6にてI GBT部8aのコレクタ電流I C（8）の変化を観測し、電圧計7にてI GBT部8aのコレクタ・エミッタ間電圧V C E（8）の変化を観測する。

[0037] アバランシェ試験では、ターンオン・ターンオフ試験でオンであったリレーRL4がオフするだけであり、それ以外は、ターンオン・ターンオフ試験でのオン・オフ条件と同じである。アバランシェ試験では、コイルL1の逆起電力を吸収するダイオードD1がないので、I GBT部8aがオフになった後の逆起電力は、RC-I GBTチップ8にて消費されることになる。このため、I GBT部8aがオフになった後は、I GBT部8aのコレクタ・エミッタ間電圧V C E（8）の高い状態が暫く継続することになる。

[0038] リカバリ試験では、リレーRL2，RL4がオフにされ、リレーRL1，RL3，RL5，RL6がオンにされる。これにより、RC-I GBTチップ8とスイッチング素子3との直列回路にコンデンサ9が並列に接続され、RC-I GBTチップ8と並列にFWD特性試験用負荷5が接続される。

[0039] リカバリ試験では、I GBT部8aは、オフの状態にしておき、スイッチング素子3をオン・オフさせることでFWD部8bのリカバリ特性を試験す

る。

まず、スイッチング素子 3, 10 をオンにすると、FWD 部 8 b には逆バイアスがかかるので、RC-IGBT チップ 8 のコレクタ電流  $I_C(8)$ 、すなわち、FWD 部 8 b の電流は、0 になる。また、RC-IGBT チップ 8 のコレクタ・エミッタ間電圧  $V_{CE}(8)$ 、すなわち、FWD 部 8 b の端子間電圧は、電源 1 の電圧  $V_{CC}$  になる。このとき、電源 1 からの電流は、スイッチング素子 3、リレー RL 3、コイル L 2、スイッチング素子 10 およびリレー RL 6 を通り、電源 1 に戻る経路を流れる。

[0040] 次に、スイッチング素子 3 をオフにすると、コイル L 2 に蓄えられたエネルギーを逃すためのループがコイル L 2 と、スイッチング素子 10 と、リレー RL 6 と、FWD 部 8 b と、電流計 6 と、リレー RL 3 とによって形成される。このとき、コイル L 2 からの電流は、FWD 部 8 b を還流する。したがって、FWD 部 8 b の電流は、規定の順方向電流  $I_F$  になり、FWD 部 8 b の端子間電圧は、順方向電圧  $V_F$  になる。

[0041] 次に、スイッチング素子 3 を再度オンにすると、電源 1 により充電されていた直近のコンデンサ 9 からスイッチング素子 3 を経由して、FWD 部 8 b へ規定の  $-di/dt$  の短絡電流が流れる。この短絡電流により、FWD 部 8 b を流れていた還流電流が打ち消され、FWD 部 8 b は、逆回復期間に入る。このとき、FWD 部 8 b には、規定の  $-di/dt$  の逆回復電流が流れ、逆回復電圧が印加される。ここで、観測された逆回復電流および逆回復電圧から、FWD 部 8 b のリカバリ特性が判断される。その後、スイッチング素子 3 を経由してきた電流は、リレー RL 3、コイル L 2、スイッチング素子 10、リレー RL 6 を介して電源 1 に戻る経路を流れる。このため、FWD 部 8 b の電流は、0 になり、FWD 部 8 b の端子間電圧は、電源 1 の電圧  $V_{CC}$  になる。

[0042] 次に、スイッチング素子 3 を再度オフにすると、再度、FWD 部 8 b には、コイル L 2 からの還流電流が流れる。したがって、FWD 部 8 b には、規定の順方向電流  $I_F$  になり、FWD 部 8 b の端子間電圧は、順方向電圧  $V_F$

になる。

[0043] 次に、スイッチング素子 10 をオフにするとともにスイッチング素子 11 をオンにすると、FWD 部 8 b に流れていた還流電流は、転流回路 5 a に転流される。このため、FWD 部 8 b には、電流が即時に流れなくなり、FWD 部 8 b の端子間電圧も 0 になる。したがって、FWD 部 8 b に流れていた還流電流が 0 になるまで長時間待つことなく、次の試験に移ることができる。

[0044] IGBT 部 8 a の短絡試験では、リレー RL 1 だけオンにされ、他のリレー RL 2, RL 3, RL 4, RL 5, RL 6 がオフにされる。これにより、スイッチング素子 3 と RC-IGBT チップ 8 との直列回路が電源 1 に直接接続されることになる。

[0045] 短絡試験では、スイッチング素子 3 をオンにしておいて、RC-IGBT チップ 8 の IGBT 部 8 a を短時間だけオンする。これにより、RC-IGBT チップ 8 のコレクタ電流  $I_C(8)$  は、短絡電流となり、コレクタ・エミッタ間電圧  $V_{CE}(8)$  は、ほぼ  $V_{CC}$  となる。これらの電流および電圧を観測することで、RC-IGBT チップ 8 の短絡試験が行われる。

[0046] 以上の半導体試験回路における各試験においては、RC-IGBT チップ 8 の良否判定がそれぞれ行われ、いずれかの試験で不良品が発見されると、その段階で残りの試験を行うことなく破棄される。

[0047] 図 5 は半導体試験装置の要部構成を示す構成図である。

半導体試験装置は、上述の半導体試験回路以外に、被試験デバイスである RC-IGBT チップ 8 を搭載する試験電極 12 と、コンタクト部 13 と、平行平板基板 14 とを備えている。

[0048] 試験電極 12 は、RC-IGBT チップ 8 が載置され、これにより、RC-IGBT チップ 8 の IGBT 部 8 a のコレクタ電極および FWD 部 8 b のカソード電極が電氣的に接触される。

[0049] コンタクト部 13 は、コンタクトプローブ 13 a、コンタクトブロック 13 b、導電部材 13 c、支持部材 13 d およびコンタクト材 13 e を備えて

いる。コンタクトプローブ13aは、RC-IGBTチップ8のIGBT部8aのエミッタ電極およびFWD部8bのアノード電極とIGBT部8aのゲート電極とに電氣的に接触される。IGBT部8aのエミッタ電極およびFWD部8bのアノード電極に接触されるコンタクトプローブ13aは、通電容量に応じた本数が設置されている。コンタクトブロック13bは、複数本のコンタクトプローブ13aを支持する。コンタクト材13eは、複数の針状の導電性部材を有し、支持部材13dによって支持されている。コンタクトブロック13bと支持部材13dとは、導電部材13cにより支持され、電氣的に接続されている。このコンタクト部13は、昇降機構を備え、RC-IGBTチップ8の交換時および試験時に昇降される。試験時には、IGBT部8aのエミッタ電極およびゲート電極と、平行平板基板14とを電氣的に接続する。RC-IGBTチップ8は、IGBT部8aのエミッタ電極およびFWD部8bのアノード電極が一体であっても分離されていてもよい。

[0050] 平行平板基板14は、絶縁板14aの両面に配線用の導電性平板14b, 14cが貼り付けられている。この平行平板基板14は、電流が互いに逆方向に流れる導電性平板14b, 14cを平行に配置してあることで、配線の自己インダクタンスおよび相互インダクタンスを低減している。

[0051] 平行平板基板14の上面側の導電性平板14cは、電源1の負極端子が接続され、コンデンサ9が搭載されている。導電性平板14cは、また、電圧計7を介して試験電極12に接続されている。平行平板基板14の下面側の導電性平板14bは、スイッチング素子3が搭載されており、電流計6を介して試験電極12に接続されている。

[0052] 半導体試験回路では、電源1の負極端子は、リレーRL1, RL5を介してコンデンサ9の正極端子に接続されている。リレーRL1とリレーRL5との接続点は、スイッチング素子3のコレクタに接続され、リレーRL4を介してIGBT特性試験用負荷2に接続されている。リレーRL2は、下面側の導電性平板14bとスナバ回路4との間に配置されている。リレーRL

3は、下面側の導電性平板14bとFWD特性試験用負荷5との間に配置され、リレーRL6は、FWD特性試験用負荷5と電源1の負極端子との間に配置されている。リレーRL1－RL6は、リレー制御駆動回路15によってオン・オフが制御駆動されている。

[0053] リレー制御駆動回路15がリレーRL1－RL6を試験項目に応じて切り換えることにより、コンタクトプローブ13aおよびコンタクト材13eをRC－IGBTチップ8および平行平板基板14に接続したまますべての試験を実施することができる。このため、コンタクトプローブ13aがRC－IGBTチップ8の電極に接触することによる電極のダメージを最小限にすることができる。

[0054] 電流計6および電圧計7は、制御装置20に接続され、電流計6および電圧計7による計測結果を制御装置20に入力する。制御装置20は、駆動装置30に接続され、駆動装置30は、RC－IGBTチップ8を半導体試験装置にロードまたはアンロードする機構を駆動し、コンタクト部13の昇降機構を駆動する。制御装置20は、また、半導体試験回路のリレー制御駆動回路15に接続され、試験項目のあらかじめ設定された試験順序を通知する。リレー制御駆動回路15は、リレーRL1－RL6を通知された試験順序の試験項目に対応するオン・オフ状態に制御駆動する。4つの試験の順序は、自由に設定することができる。以降、試験順序の設定例について説明する。

[0055] 図6は制御装置のハードウェアの一構成例を示すブロック図である。

制御装置20は、CPU (Central Processing Unit) 20aによって半導体試験装置の全体が制御されている。CPU 20aには、バス20gを介してRAM (Random Access Memory) 20bと複数の周辺機器が接続されている。すなわち、制御装置20は、CPU 20aおよびRAM 20bを有するコンピュータである。

[0056] RAM 20bは、制御装置20の主記憶装置として使用される。RAM 20bには、CPU 20aに実行させるOS (Operating System) のプログラ

ムやアプリケーションプログラムの少なくとも一部が一時的に格納される。

また、RAM 20 b には、CPU 20 a による処理に必要な各種データが格納される。

[0057] バス 20 g に接続されている周辺機器としては、ハードディスクドライブ (HDD : Hard Disk Drive) 20 c、グラフィック処理部 20 d、入力インタフェース 20 e および出力インタフェース 20 f がある。

[0058] HDD 20 c は、制御装置 20 の二次記憶装置として使用される。HDD 20 c には、OS のプログラム、良品・不良品の判断処理、半導体試験装置のシーケンス処理などのアプリケーションプログラムおよび良品・不良品の判断結果を蓄積する試験結果データテーブル、順序設定テーブルなどの各種データが格納される。なお、二次記憶装置としては、フラッシュメモリなどの半導体記憶装置を使用することもできる。

[0059] グラフィック処理部 20 d には、モニタ 21 が接続されている。グラフィック処理部 20 d は、CPU 20 a からの命令に従って画像をモニタ 21 の画面に表示させる。モニタ 21 としては、液晶表示装置などがある。

[0060] 入力インタフェース 20 e には、タッチパネル 22、電流計 6 および電圧計 7 が接続されている。入力インタフェース 20 e は、タッチパネル 22 から送られてくる指示入力信号を CPU 20 a に送信する。入力インタフェース 20 e は、また、電流計 6 および電圧計 7 による計測結果をデジタル信号に変換して CPU 20 a に送信する。

[0061] 出力インタフェース 20 f は、半導体試験回路のリレー制御駆動回路 15 および駆動装置 30 に接続されている。出力インタフェース 20 f は、CPU 20 a からの命令をリレー制御駆動回路 15 および駆動装置 30 に送信する。リレー制御駆動回路 15 は、CPU 20 a からの命令に従ってリレー RL 1 - RL 6 のオン・オフを制御する。駆動装置 30 は、CPU 20 a からの命令に従って RCT 1 GBT チップ 8 のロード・アンロードを制御し、さらに、CPU 20 a からの命令に従ってコンタクト部 13 の昇降動作を制御する。

[0062] 以上のようなハードウェア構成によって、第2の実施の形態の処理機能を実現することができる。

図7は制御装置による試験処理の流れを示すフローチャート、図8は試験順序設定処理の流れを示すフローチャート、図9はデータの例を示す図であって、(A)は試験結果データテーブルを示し、(B)は順序設定テーブルを示している。

[0063] 制御装置20が起動されると、図7に示したように、CPU20aは、まず、試験順序設定処理を実施する(ステップS1)。この試験順序設定処理では、図8に示したように、CPU20aは、制御装置20の起動日が電流計6および電圧計7によって計測されたデータを収集する期間の最終日か否かを判断する(ステップS21)。制御装置20の起動日があらかじめ設定された期間の最終日、たとえば、あらかじめ設定された期間が1週間では、週末日、1ヶ月では、月末日であった場合、CPU20aは、蓄積されたデータを基に試験順序を設定する。

[0064] すなわち、CPU20aは、図9(B)に示す順序設定テーブルをクリアし(ステップS22)、図9(A)に示す試験結果データテーブルに対して試験項目ごとに不良品発生数を集計する(ステップS23)。試験結果データテーブルには、試験項目ごとに試験結果が記録されており、図示の場合、パスした試験項目には合否判定の合格(PASS)を表す「P」が設定され、パスしなかった試験項目には合否判定の不合格(FAIL)を表す「F」が設定されている。不良品発生数の集計は、試験項目ごとに「F」の数を数えることになる。なお、「P」も「F」も設定されていない試験項目は、試験されなかったことを意味している。これは、パスしなかった試験項目があった場合に、その時点で、それ以降の試験はせずに、そのRC-IGBTチップ8を破棄してしまうためである。

[0065] 次に、CPU20aは、不良品発生数の多い順に試験順序の並び替えを行い(ステップS24)、最後に、並び替えられた試験順序を順序設定テーブルに設定する(ステップS25)。

- [0066] ステップS 2 1において、制御装置2 0の起動日があらかじめ設定された期間の最終日でない場合、試験結果データを収集している途中であるため、CPU 2 0 aは、何らかの処理をすることなく、この試験順序設定処理を抜ける。
- [0067] なお、図8に示した試験順序設定処理では、試験結果データの収集を日数で区切っていたが、1つの試験項目でも試験を行ったRC-IGBTチップ8のサンプル数で区切ってもよい。この場合、ステップS 2 1では、CPU 2 0 aは、蓄積されたデータ数があらかじめ設定された数以上であるかを判断することになる。また、ステップS 2 2の順序設定テーブルのクリア処理は、この時点ではなく、試験順序を順序設定テーブルに設定するステップS 2 5の直前であってもよい。
- [0068] 図7に戻って、試験順序設定処理が終了すると、CPU 2 0 aは、順序設定テーブルを読み込む（ステップS 2）。次に、CPU 2 0 aは、駆動装置3 0に対して、RC-IGBTチップ8を半導体試験装置にロードする指令を出し（ステップS 3）、RC-IGBTチップ8にコンタクト部1 3のコンタクトプローブ1 3 aをセットする指令を出す（ステップS 4）。
- [0069] 次に、CPU 2 0 aは、半導体試験回路のリレー制御駆動回路1 5にリレーRL 1 -RL 6を第1試験用に切り替える指令を出し、図示しないスイッチング制御回路にスイッチング素子3, 1 0, 1 1をオン・オフ制御する指令を出して第1試験を実施する（ステップS 5）。
- [0070] 次に、CPU 2 0 aは、第1試験がパスしたか否かを判断する（ステップS 6）。ここで、第1試験がパスした場合、CPU 2 0 aは、半導体試験回路のリレー制御駆動回路1 5にリレーRL 1 -RL 6を第2試験用に切り替える指令を出し、図示しないスイッチング制御回路にスイッチング素子3, 1 0, 1 1をオン・オフ制御する指令を出して第2試験を実施する（ステップS 7）。
- [0071] 次に、CPU 2 0 aは、第2試験がパスしたか否かを判断する（ステップS 8）。ここで、第2試験がパスした場合、CPU 2 0 aは、半導体試験回

路のリレー制御駆動回路 15 にリレー R L 1 - R L 6 を第 3 試験用に切り替える指令を出し、図示しないスイッチング制御回路にスイッチング素子 3, 10, 11 をオン・オフ制御する指令を出して第 3 試験を実施する（ステップ S 9）。

[0072] 次に、CPU 20 a は、第 3 試験がパスしたか否かを判断する（ステップ S 10）。ここで、第 3 試験がパスした場合、CPU 20 a は、半導体試験回路のリレー制御駆動回路 15 にリレー R L 1 - R L 6 を第 4 試験用に切り替える指令を出し、図示しないスイッチング制御回路にスイッチング素子 3, 10, 11 をオン・オフ制御する指令を出して第 4 試験を実施する（ステップ S 11）。

[0073] 次に、CPU 20 a は、第 4 試験がパスしたか否かを判断する（ステップ S 12）。ここで、第 4 試験がパスした場合、CPU 20 a は、試験を行った R C - I G B T チップ 8 が良品と判断して当該チップの試験を終了する（ステップ S 13）。

[0074] なお、ステップ S 6, S 8, S 10, S 12 において、それぞれの試験がパスしなかった場合、CPU 20 a は、試験を行った R C - I G B T チップ 8 が不良品と判断して当該チップの試験を終了する（ステップ S 14）。

[0075] 次に、CPU 20 a は、ステップ S 13, S 14 の試験結果を試験結果データテーブルに格納する（ステップ S 15）。その後、CPU 20 a は、駆動装置 30 に対して、R C - I G B T チップ 8 からコンタクトプローブ 13 a を開放する指令を出し（ステップ S 16）、R C - I G B T チップ 8 を半導体試験装置にアンロードする指令を出し（ステップ S 17）、ステップ S 3 に戻る。

[0076] 以上のように、試験を順序設定テーブルに設定された順番に行っていく、途中で試験がパスされなかった試験項目があると、その時点で試験を打ち切るようにした。これにより、不要な試験をしなくて済むので、試験時間を短縮でき、または、同じ試験時間でも試験できる R C - I G B T チップ 8 の個数を増やすことができるようになる。また、試験結果を試験項目ごとに記憶

させておき、不良品となる確率の高い試験項目の順に試験を実施させることで、不良品を試験順序の早期に見つける確率を高くした。これにより、不要な試験をする確率を低くすることができ、試験時間をさらに短縮することができる。

[0077] なお、この第2の実施の形態では、RC-IGBTチップ8からFWD特性試験用負荷5を完全に切り離すためにリレーRL3, RL6を用いているが、リレーRL3, RL6の一方、たとえば、リレーRL6を省略することができる。

[0078] 図10は第3の実施の形態に係る半導体試験回路の例を示す回路図である。なお、この図10において、図2に示した構成要素と同じ構成要素については同じ符号を付してその詳細な説明は適宜省略する。

[0079] 第3の実施の形態に係る半導体試験回路は、第2の実施の形態で用いていたリレーRL1-RL6をそれぞれスイッチング素子に置き換えている。ただし、FWD特性試験用負荷5のスイッチング素子10と直列に接続していたリレーRL6は、スイッチング素子10と同じ機能を有しているので、第3の実施の形態では、省略している。ここで、スイッチング素子は、IGBT、MOSFET、半導体スイッチング素子のオン・オフ動作を利用したソリッドステートリレーまたは電磁接触器もしくは電磁開閉器とすることができる。

[0080] この第3の実施の形態では、リレーRL1-RL5とスイッチング素子との対応関係を明確にするため、リレーRL1-RL5に対応するスイッチング素子を表す符号として符号RL1-RL5にサフィックスaを付したRL1a-RL5aにしている。

[0081] ここで、特に限定されるわけではないが、電流が1方向に流れるスイッチング素子RL1a-RL4aには、IGBTを使用し、電流が双方向に流れるスイッチング素子RL5aには、ソリッドステートリレーを使用している。もちろん、スイッチング素子RL1a-RL4aは、その一部をソリッドステートリレーで構成してもよい。

[0082] 以上の構成において、スイッチング素子RL1aーRL5aを試験項目に応じてオン・オフさせる動作状態は、図3に示したリレーRL1ーRL5の動作状態に等しい。すなわち、RCーIGBTチップ8のIGBT部8aのターンオン・ターンオフ試験のとき、スイッチング素子RL2a, RL4aがオン、スイッチング素子RL1a, RL3a, RL5aがオフにされる。IGBT部8aのアバランシェ試験のときには、スイッチング素子RL2aがオン、スイッチング素子RL1a, RL3a, RL4a, RL5aがオフにされる。FWD部8bのリカバリ試験のときには、スイッチング素子RL1a, RL3a, RL5aがオン、スイッチング素子RL2a, RL4aがオフにされる。IGBT部8aの短絡試験のときには、スイッチング素子RL1aがオン、スイッチング素子RL2a, RL3a, RL4a, RL5aがオフにされる。

[0083] それぞれの試験のときには、スイッチング素子RL1aーRL5aを上述したオン・オフの状態にした上で、スイッチング素子3、RCーIGBTチップ8、スイッチング素子10, 11を図4に示したタイミングでオン・オフさせることになる。

[0084] 図11はRCーIGBTチップを示す平面図、図12は図11中のAーA線に沿った断面図、図13は図11中のBーB線に沿った断面図である。

RCーIGBTチップは、図11に示したように、表面電極31と、この表面電極31の外周を保護するように形成されたパッシベーション膜32と、複数のゲート電極33とを備えている。表面電極31は、IGBT部8aのエミッタおよびFWD部8bのアノードに相当する電極である。表面電極31およびゲート電極33は、試験時に、コンタクト部13のコンタクトプロープ13aが接触される部位である。

[0085] パッシベーション膜32の下部の断面は、図12に示したように、ドリフト層34の表層部に、IGBT部8aおよびFWD部8bの形成領域を囲うように複数のガードリング35が形成され、最外周部にはストッパ領域36が形成された構成を有している。ガードリング35およびストッパ領域36

は、その上に絶縁膜 37 が形成され、さらに、絶縁膜 37 の上であってガードリング 35 およびストッパ領域 36 に対応する位置に外周電極 38 が形成されている。ガードリング 35 およびストッパ領域 36 は、プラグ電極 39 により外周電極 38 に電氣的に接続されている。外周電極 38 は、パッシベーション膜 32 によって覆われ、保護されている。

[0086] ドリフト層 34 の下面には、フィールドストップ層 40 が形成され、このフィールドストップ層 40 の下面には、コレクタ 41 が形成されている。そして、コレクタ 41 は、裏面電極 42 によって覆われている。この裏面電極 42 は、アルミニウムを主成分とする材料によって形成されている。なお、裏面電極 42 は、図示の例では記載していないが、外表面をめっき層によって覆うことができる。また、裏面電極 42 は、試験時に、RC-IGBT チップを半導体試験装置にロードしたときに、試験電極 12 と接触される部位である。

[0087] 表面電極 31 の下部の断面は、図 13 に示したように、IGBT 部 8a と FWD 部 8b とが交互に密接して形成された構成を有している。すなわち、ドリフト層 34 の表層部にベース領域 43 が形成され、そのベース領域 43 を貫通してドリフト層 34 に達するように複数のトレンチ 44 が形成されている。

[0088] IGBT 部 8a では、トレンチ 44 によって囲まれたベース領域 43 の表層部には、エミッタ領域 45 が形成されている。一方、FWD 部 8b では、ベース領域 43 の表層部に何も形成されていない。

[0089] ベース領域 43、トレンチ 44 およびエミッタ領域 45 は、その上に絶縁膜 46 が形成され、その絶縁膜 46 の上部には、表面電極 31 が形成されている。この表面電極 31 は、絶縁膜 46 の上部にアルミニウムを主成分とする材料によって形成された電極 31a と、この電極 31a の上に覆われた 2 層のめっき電極 31b とを有している。なお、表面電極 31 のめっき電極 31b は、必須のものではなく、形成されない場合もある。

[0090] IGBT 部 8a において、トレンチ 44 内のゲート電極 47 は、RC-I

ＧＢＴチップの表面に形成されたゲート電極３３に電氣的に接続されている。また、エミッタ領域４５は、絶縁膜４６を貫通するように形成されたプラグ電極４８によって表面電極３１の電極３１ａに電氣的に接続されている。

[0091]    ＦＷＤ部８ｂにおいて、ベース領域４３は、アノードとして機能し、プラグ電極４８によって表面電極３１の電極３１ａに電氣的に接続されている。また、裏面電極４２に隣接するコレクタ４１は、ＦＷＤ部８ｂでは、カソード４１ａとして機能する。

[0092]    以上、本発明をその好適な実施の形態について説明したが、本発明は、この特定の実施の形態に限定されるものではない。たとえば、上記の実施の形態では、半導体のスイッチング素子としてＩＧＢＴまたはソリッドステートリレーを用いた例を示したが、これに限ることはなく、パワーＭＯＳＦＥＴ、サイリスタ、トライアック、バイポーラトランジスタなどを用いることができる。

[0093]    上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

## 符号の説明

- [0094]    １    電源  
          ２    ＩＧＢＴ特性試験用負荷  
          ３    スwitchング素子  
          ４    スナバ回路  
          ５    ＦＷＤ特性試験用負荷  
          ５ａ   転流回路  
          ６    電流計  
          ７    電圧計  
          ８    ＲＣ－ＩＧＢＴチップ

- 8 a I G B T 部
- 8 b F W D 部
- 9 コンデンサ
- 1 0, 1 1 スイッチング素子
- 1 2 試験電極
- 1 3 コンタクト部
  - 1 3 a コンタクトプローブ
  - 1 3 b コンタクトブロック
  - 1 3 c 導電部材
  - 1 3 d 支持部材
  - 1 3 e コンタクト材
- 1 4 平行平板基板
  - 1 4 a 絶縁板
  - 1 4 b, 1 4 c 導電性平板
- 1 5 リレー制御駆動回路
- 2 0 制御装置
  - 2 0 a C P U
  - 2 0 b R A M
  - 2 0 c H D D
  - 2 0 d グラフィック処理部
  - 2 0 e 入力インタフェース
  - 2 0 f 出力インタフェース
  - 2 0 g バス
- 2 1 モニタ
- 2 2 タッチパネル
- 3 0 駆動装置
  - 3 1 表面電極
    - 3 1 a 電極

- 3 1 b めっき電極
- 3 2 パッシベーション膜
- 3 3 ゲート電極
- 3 4 ドリフト層
- 3 5 ガードリング
- 3 6 ストップ領域
- 3 7 絶縁膜
- 3 8 外周電極
- 3 9 プラグ電極
- 4 0 フィールドストップ層
- 4 1 コレクタ
- 4 1 a カソード
- 4 2 裏面電極
- 4 3 ベース領域
- 4 4 トレンチ
- 4 5 エミッタ領域
- 4 6 絶縁膜
- 4 7 ゲート電極
- 4 8 プラグ電極
- D 1, D 2 ダイオード
- L 1, L 2 コイル
- R L 1ーR L 6 リレー
- R L 1 aーR L 5 a スイッチング素子

## 請求の範囲

- [請求項1]            IGBT部およびFWD部を1チップ化したRC-IGBTチップの特性試験を行う半導体試験回路であって、
- 電源と、
- 前記RC-IGBTチップのコレクタに接続される半導体の第1のスイッチング素子と、
- 前記電源の正極端子と前記第1のスイッチング素子との間に接続された第1のコイルと、
- 前記電源の正極端子の側をカソードにして前記第1のコイルに並列に接続される第1のダイオードと、
- 前記RC-IGBTチップのコレクタとエミッタとの間に接続されるスナバ回路と、
- 前記RC-IGBTチップのコレクタとエミッタとの間に接続される第2のコイルと、
- 前記第1のコイルに並列に接続された第1のリレーと、
- 前記RC-IGBTチップのコレクタと前記スナバ回路との間に接続された第2のリレーと、
- 前記RC-IGBTチップのコレクタと前記第2のコイルとの間に接続された第3のリレーと、
- 前記第1のダイオードと直列に接続された第4のリレーと、
- を備えた、半導体試験回路。
- [請求項2]            前記第1のコイルおよび前記第1のスイッチング素子の接続点と前記RC-IGBTチップのエミッタとに接続された第5のリレーおよびコンデンサの直列回路をさらに備えた、請求項1記載の半導体試験回路。
- [請求項3]            前記第1ないし第5のリレーは、半導体のスイッチング素子とした、請求項2記載の半導体試験回路。
- [請求項4]            前記RC-IGBTチップのエミッタおよび前記第2のコイルの間

に接続された第2のスイッチング素子と、前記第2のコイルに並列に接続された転流回路とをさらに備えた、請求項2記載の半導体試験回路。

[請求項5] 前記転流回路は、第3のスイッチング素子と前記RC-IGBTチップのコレクタの側をカソードにした第2のダイオードとの直列回路である、請求項4記載の半導体試験回路。

[請求項6] 前記RC-IGBTチップのエミッタと前記第2のスイッチング素子との間に第6のリレーをさらに備えた、請求項4記載の半導体試験回路。

[請求項7] 前記第1のリレーは前記IGBT部の短絡試験および前記FWD部のリカバリ試験のときにオンされ、前記第2のリレーは前記IGBT部のターンオン・ターンオフ試験およびアバランシェ試験のときにオンされ、前記第3のリレーは前記FWD部のリカバリ試験のときにオンされ、前記第4のリレーは前記IGBT部のターンオン・ターンオフ試験のときにオンされる、請求項1記載の半導体試験回路。

[請求項8] 前記第5のリレーおよび前記第6のリレーは前記FWD部のリカバリ試験のときにオンされる、請求項6記載の半導体試験回路。

[請求項9] 前記RC-IGBTチップの前記IGBT部のコレクタ電流および前記FWD部の順方向電流を検出する電流計と、前記RC-IGBTチップのコレクタとエミッタとの間の電圧を検出する電圧計とをさらに備えた、請求項1記載の半導体試験回路。

[請求項10] IGBT部およびFWD部を1チップ化したRC-IGBTチップの特性試験を行う半導体試験装置であって、

電源と、

前記RC-IGBTチップのコレクタに接続される第1のスイッチング素子と、

前記電源の正極端子と前記第1のスイッチング素子との間に接続された第1のコイルと、

第2のコイルと、

第1のダイオードと、

第2のダイオードと、

スナバ回路と、

コンデンサと、

前記RC-IGBTチップのエミッタと前記第2のコイルとの間に接続される第2のスイッチング素子と、

前記第2のダイオードと直列に接続されて前記第2のダイオードとともに前記第2のコイルに並列に接続された第3のスイッチング素子と、

前記第1のコイルに並列に接続された第1のリレーと、

前記RC-IGBTチップのコレクタとエミッタとの間に、前記スナバ回路と直列接続された第2のリレーと、

前記RC-IGBTチップのコレクタおよび前記第1のスイッチング素子の接続点と前記第2のコイルとの間に接続された第3のリレーと、

前記第1のダイオードと直列に接続されて前記第1のダイオードとともに前記第1のコイルに並列に接続された第4のリレーと、

前記第1のコイルおよび前記第1のスイッチング素子の接続点と前記RC-IGBTチップのエミッタとの間に前記コンデンサを接続するよう前記コンデンサと直列に接続された第5のリレーと、

前記第1ないし第5のリレーを試験項目に応じて切り替え制御するリレー制御駆動部と、

前記RC-IGBTチップの前記IGBT部のコレクタ電流および前記FWD部の順方向電流を計測する電流計と、

前記RC-IGBTチップのコレクタとエミッタとの間の電圧を計測する電圧計と、

前記リレー制御駆動部に対して試験項目のあらかじめ設定された試

験順序を通知するとともに前記電流計および前記電圧計の計測結果を基に前記RC-IGBTチップの良品または不良品の判断をする制御装置と、

前記制御装置からの指令に応じて前記RC-IGBTチップをロードまたはアンロードする機構を駆動し、前記RC-IGBTチップへのコンタクト部の昇降機構を駆動する駆動装置と、

を備えた、半導体試験装置。

[請求項11] 前記制御装置は、前記電流計および前記電圧計の計測結果を蓄積しておき、不良品の発生確率の多い順に試験項目の前記試験順序を並び替える、請求項10記載の半導体試験装置。

[請求項12] 前記制御装置は、試験中の前記RC-IGBTチップが不良品であると判断したとき、それ以降の試験項目の試験を中止し、当該RC-IGBTチップを破棄するよう前記駆動装置に指令する、請求項10記載の半導体試験装置。

[請求項13] IGBT部およびFWD部を1チップ化したRC-IGBTチップの特性試験を行う半導体試験方法において、

コンピュータが、

前記RC-IGBTチップの特性試験の計測結果を試験項目ごとに蓄積し、

所定の期間または所定のサンプル数に達した時点以降で不良品の発生確率の多い順に試験項目の試験順序の並び替えを行い、

前記RC-IGBTチップを半導体試験装置にロードする指令を駆動装置に出し、

前記RC-IGBTチップにコンタクト部のコンタクトプローブをセットする指令を前記駆動装置に出し、

前記IGBT部のターンオン・ターンオフ試験のときに第1のコイルおよび第1のダイオードの並列回路を含むIGBT特性試験用負荷とスナバ回路とを前記RC-IGBTチップに接続し、前記IGBT

部のアバランシェ試験のときに前記第1のコイルを含むIGBT特性試験用負荷と前記スナバ回路とを前記RC-IGBTチップに接続し、前記FWD部のリカバリ試験のときに第2のコイルおよび第2のダイオードの並列回路を含むFWD特性試験用負荷と電源の変動を抑えるコンデンサとを前記RC-IGBTチップに接続し、前記IGBT部の短絡試験のときに前記電源を前記RC-IGBTチップに接続するリレーを並び替えられた前記試験順序に従って順次切り替える指令をリレー制御駆動回路に出し、

前記試験順序に従って試験項目の試験を行った結果、当該試験項目では前記RC-IGBTチップが不良品と判断されたときに以降の試験項目の試験を中止する指令を前記駆動装置に出す、

半導体試験方法。

[請求項14] IGBT部およびFWD部を1チップ化したRC-IGBTチップの特性試験を行う半導体試験方法において、

前記RC-IGBTチップの電極にコンタクトプローブを接触させたまま、前記RC-IGBTに接続する試験回路を切換えて、前記IGBT部の試験と前記FWD部の試験とを連続して行う、半導体試験方法。

[請求項15] 前記IGBT部の試験は、ターンオン・ターンオフ試験、アバランシェ試験および短絡試験を備え、前記FWD部の試験は、リカバリ試験を備えた、請求項14記載の半導体試験方法。

[請求項16] 前記IGBT部のターンオン・ターンオフ試験のときに第1のコイルおよび第1のダイオードの並列回路を含むIGBT特性試験用負荷とスナバ回路とを前記RC-IGBTチップに接続し、前記IGBT部のアバランシェ試験のときに前記第1のコイルを含むIGBT特性試験用負荷と前記スナバ回路とを前記RC-IGBTチップに接続し、前記IGBT部の短絡試験のときに前記電源を前記RC-IGBTチップに接続し、前記FWD部のリカバリ試験のときに第2のコイル

および第2のダイオードの並列回路を含むFWD特性試験用負荷と電源の変動を抑えるコンデンサとを前記RC-IGBTチップに接続した、請求項14記載の半導体試験方法。

[請求項17] 前記IGBT部のターンオン・ターンオフ試験、前記IGBT部のアバランシェ試験、前記FWD部のリカバリ試験、前記IGBT部の短絡試験の順序で試験を行う、請求項16記載の半導体試験方法。

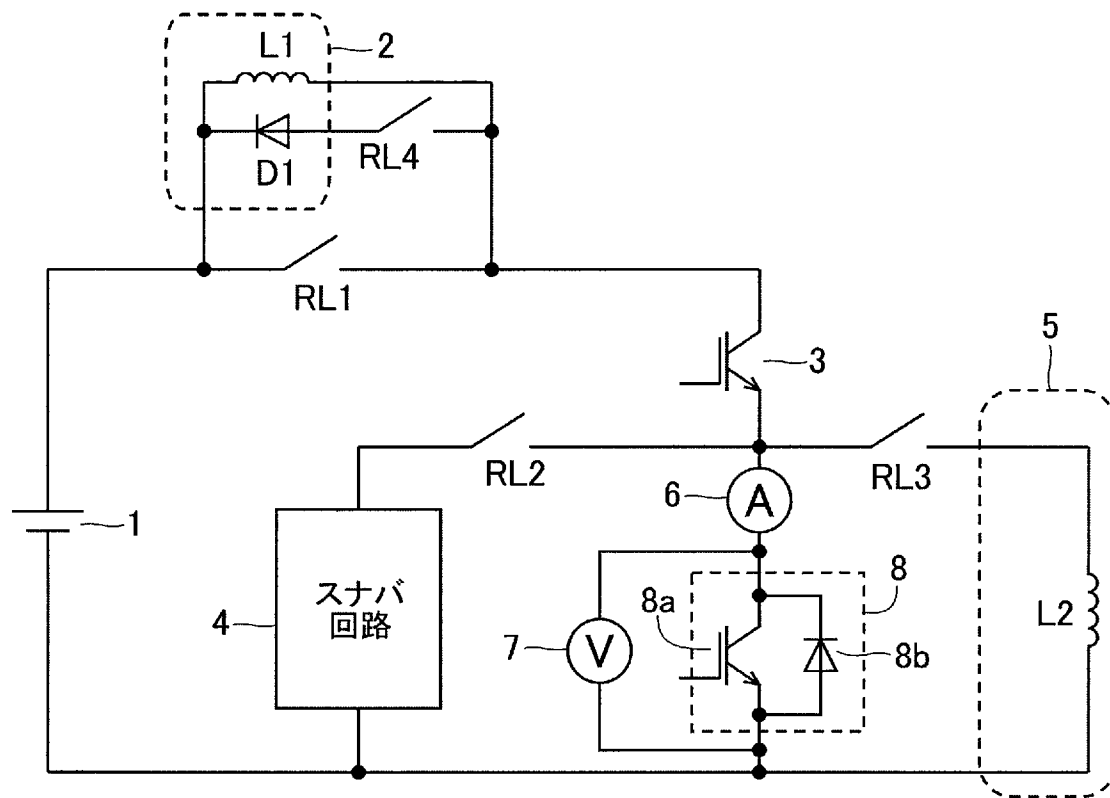
[請求項18] いずれかの試験で不良品が発見されると、その段階で残りの試験は行わず試験を中止する、請求項14記載の半導体試験方法。

[請求項19] 前記IGBT部のターンオン・ターンオフ試験、前記IGBT部のアバランシェ試験、前記FWD部のリカバリ試験および前記IGBT部の短絡試験のいずれかの試験で不良品が発見されると、その段階で残りの試験は行わず試験を中止する、請求項15記載の半導体試験方法。

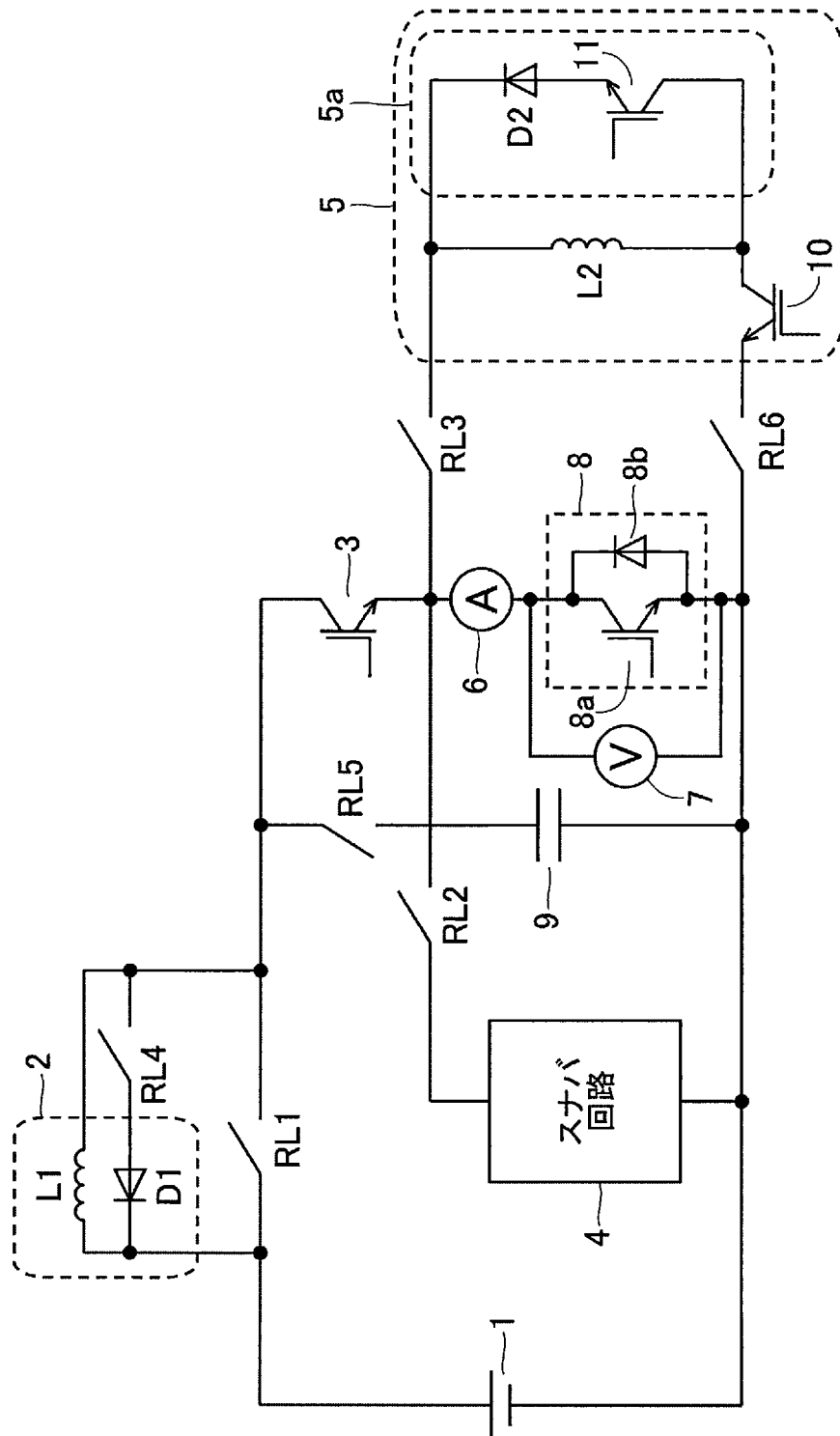
[請求項20] 前記コンタクトプローブが接触する前記RC-IGBTチップの電極は、前記IGBT部のエミッタ電極、前記FWD部のアノード電極および前記IGBT部のゲート電極である、請求項14記載の半導体試験方法。

[請求項21] 前記IGBT部のエミッタ電極および前記FWD部のアノード電極は、一体に形成されている、請求項20記載の半導体試験方法。

[図1]



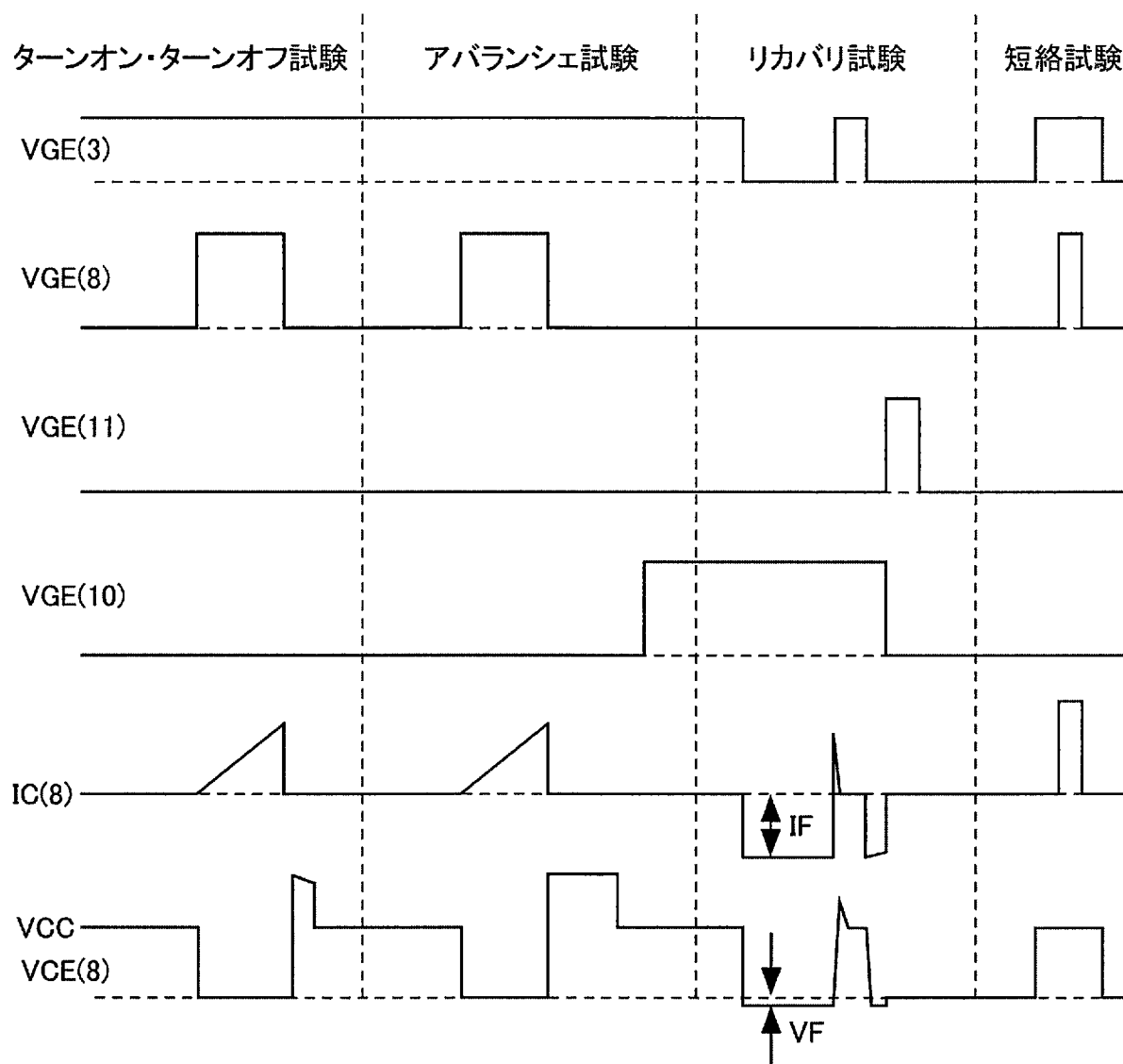
[図2]



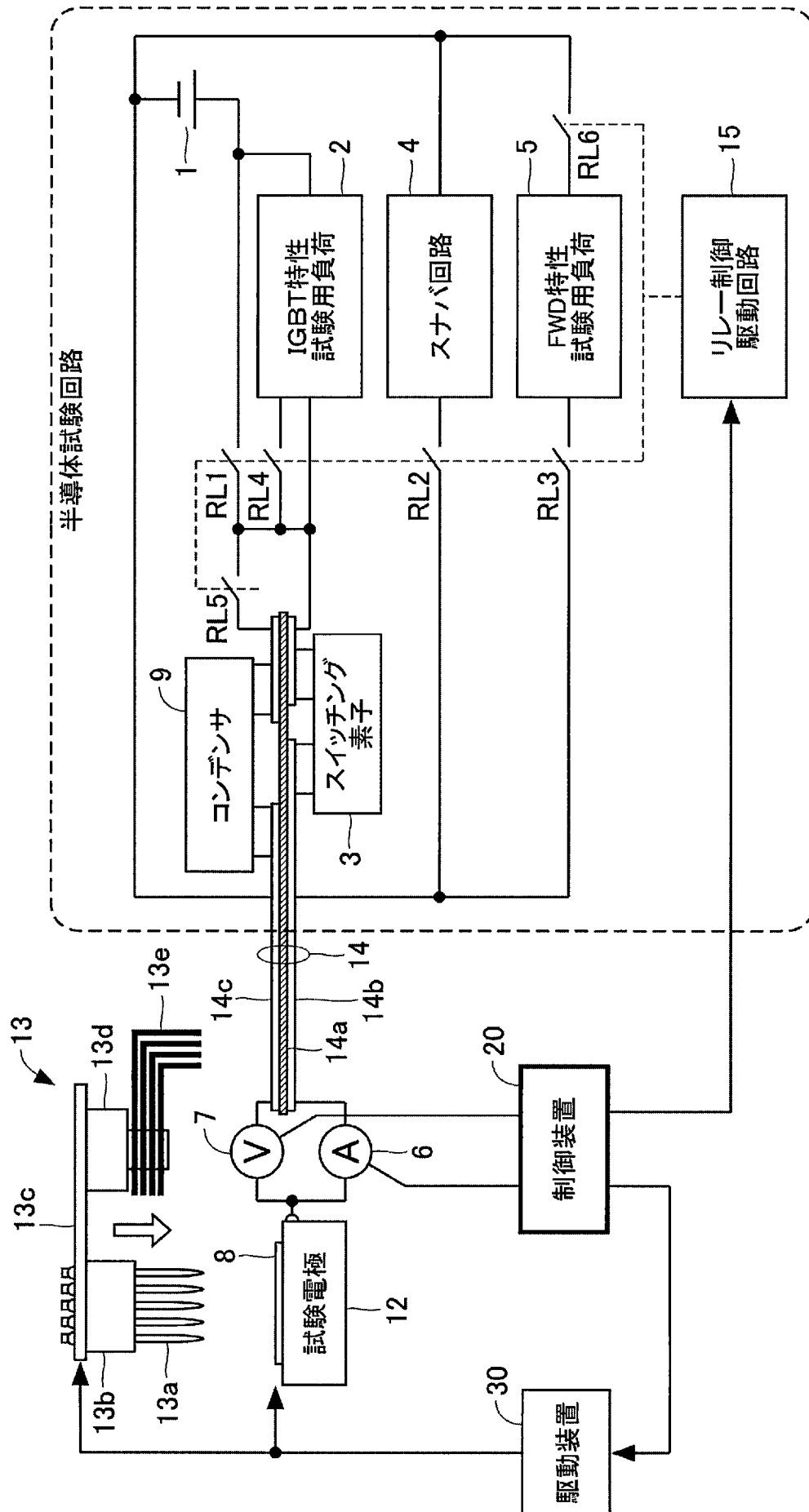
[図3]

| 試験項目        | RL1 | RL2 | RL3 | RL4 | RL5 | RL6 |
|-------------|-----|-----|-----|-----|-----|-----|
| ターンオン・ターンオフ | OFF | ON  | OFF | ON  | OFF | OFF |
| アバランシェ      | OFF | ON  | OFF | OFF | OFF | OFF |
| リカバリ        | ON  | OFF | ON  | OFF | ON  | ON  |
| 短絡          | ON  | OFF | OFF | OFF | OFF | OFF |

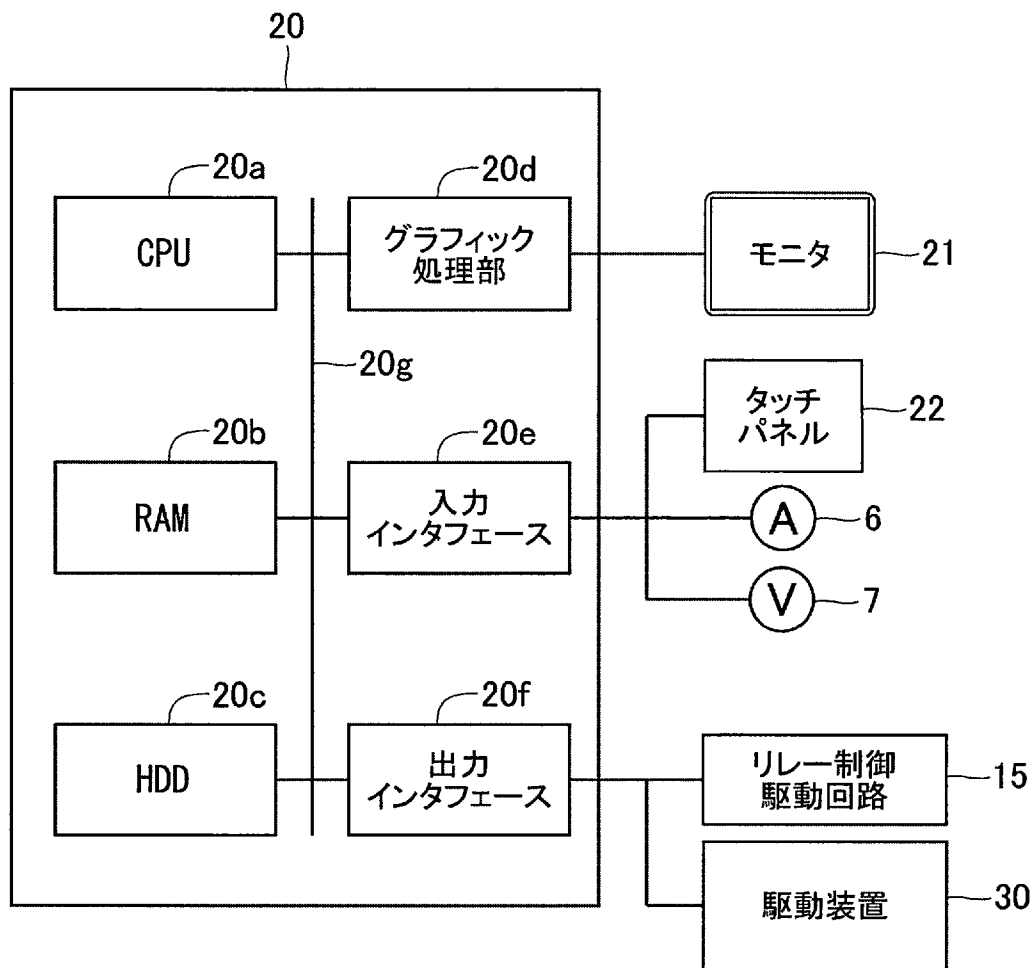
[図4]



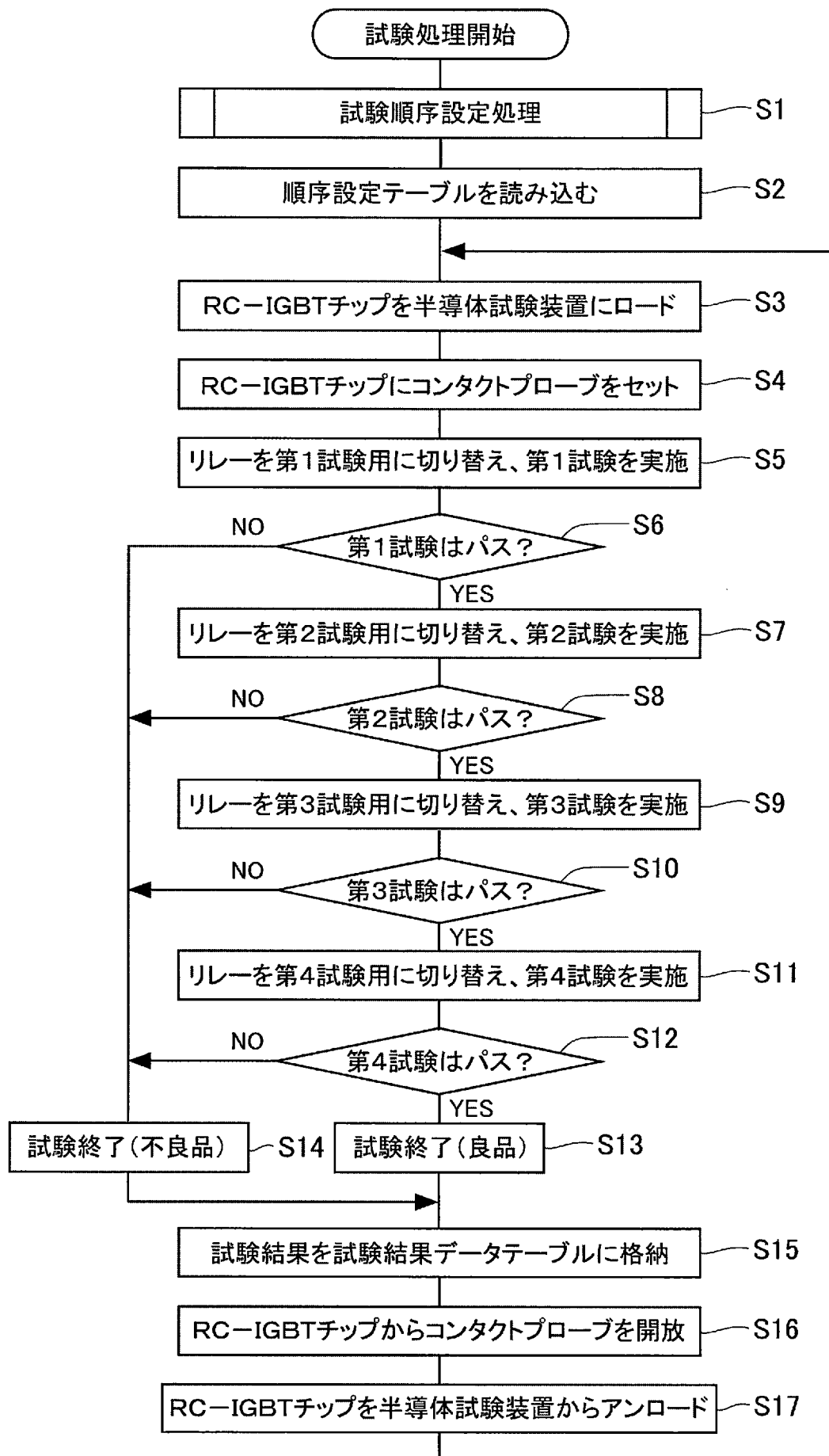
[図5]



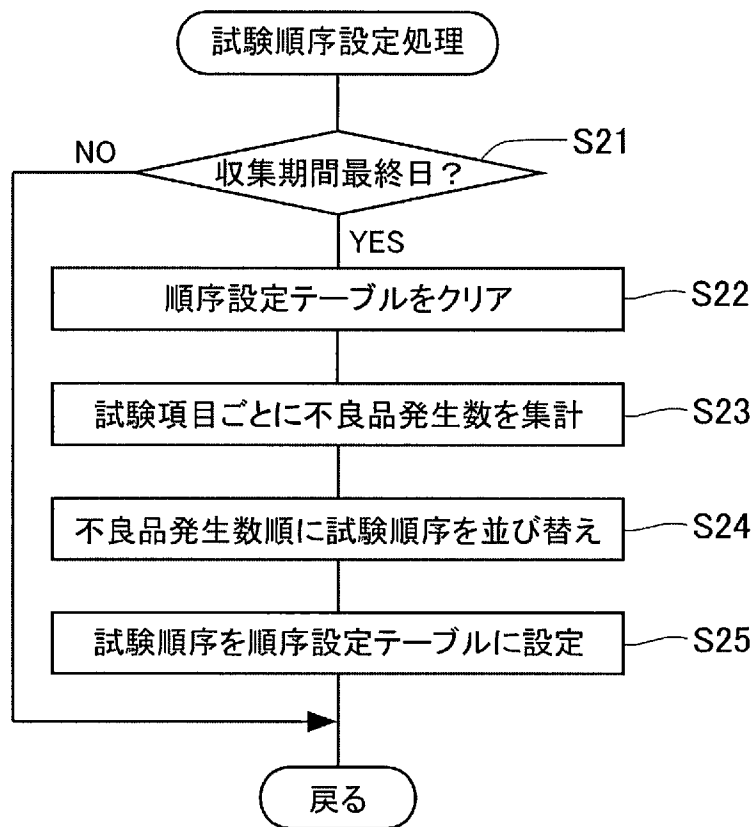
[図6]



[図7]



[図8]



[図9]

(A)

試験結果データテーブル

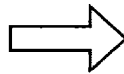
| 試験項目             | 1 | 2 | 3 | 4 | 5 | 6 | 993 | 994 | 995 | 996 | 997 | 998 | 999 | 計  | 順 |
|------------------|---|---|---|---|---|---|-----|-----|-----|-----|-----|-----|-----|----|---|
| ターンオン・ターンオフ試験(A) | P | P | F | P | P | P | P   | P   | P   | P   |     |     |     | 4  | 3 |
| アバランシェ試験(B)      | P | P |   | P | P | P | F   | P   | P   | P   |     |     |     | 2  | 4 |
| リカバリ試験(C)        | P | P |   | P | P | F |     | P   | P   | P   |     |     |     | 6  | 2 |
| 短絡試験(D)          | P | P |   | P | P |   |     | P   | F   | P   |     |     |     | 11 | 1 |

注 P:PASS / F:FAIL

(B)

順序設定テーブル

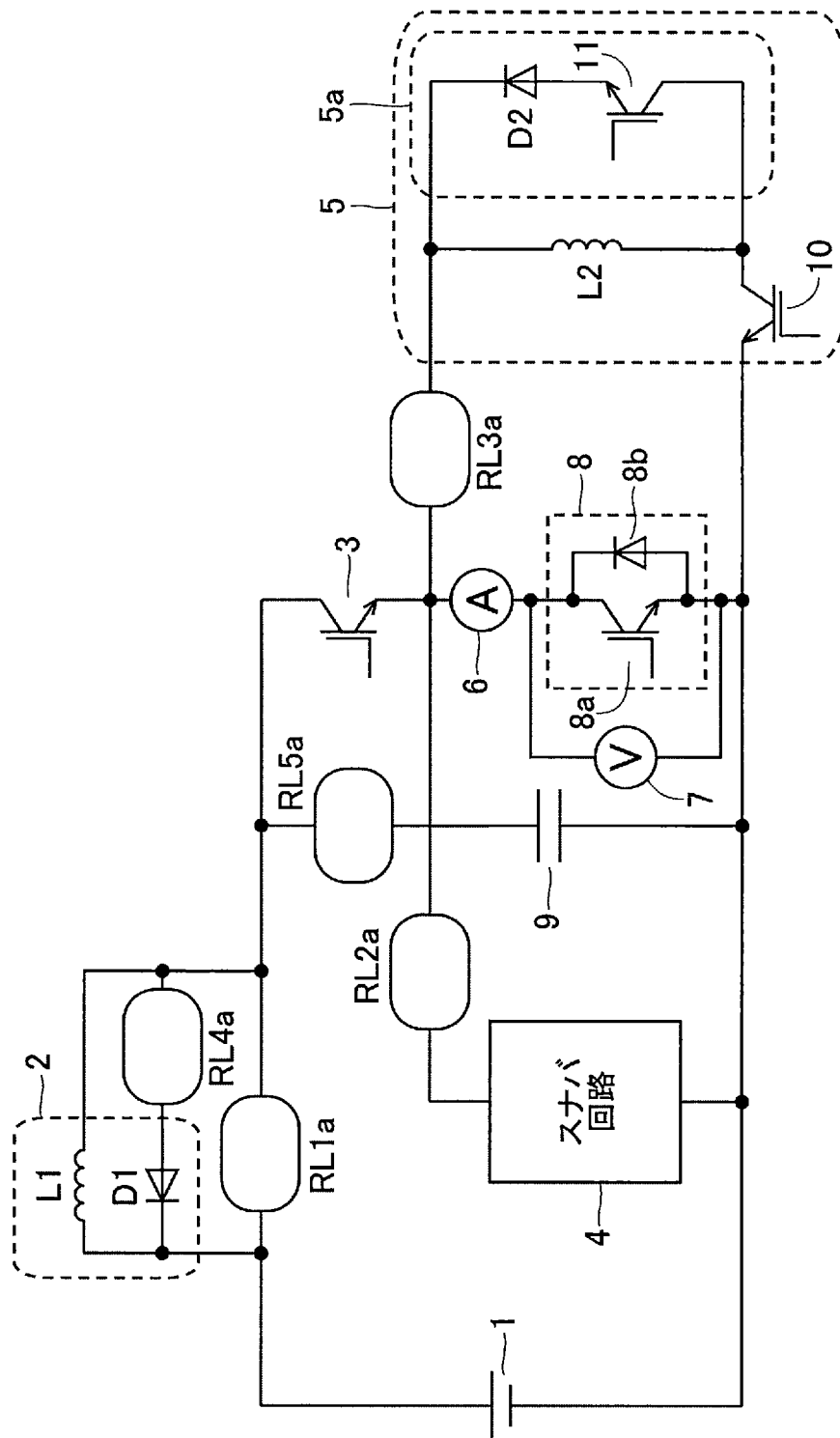
| 試験項目 | 順序 |
|------|----|
| 第1試験 | A  |
| 第2試験 | B  |
| 第3試験 | C  |
| 第4試験 | D  |



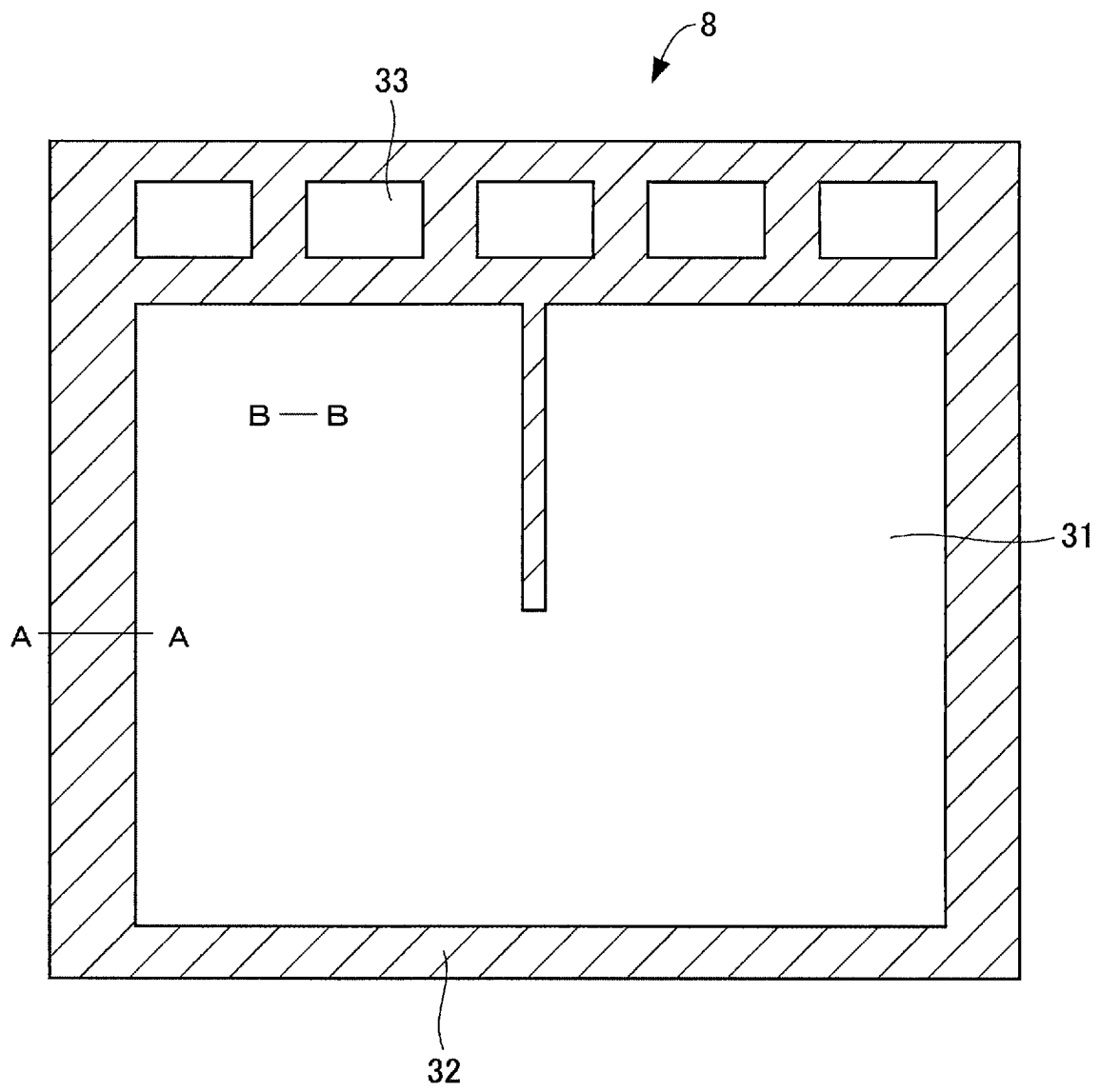
順序設定テーブル

| 試験項目 | 順序 |
|------|----|
| 第1試験 | D  |
| 第2試験 | C  |
| 第3試験 | A  |
| 第4試験 | B  |

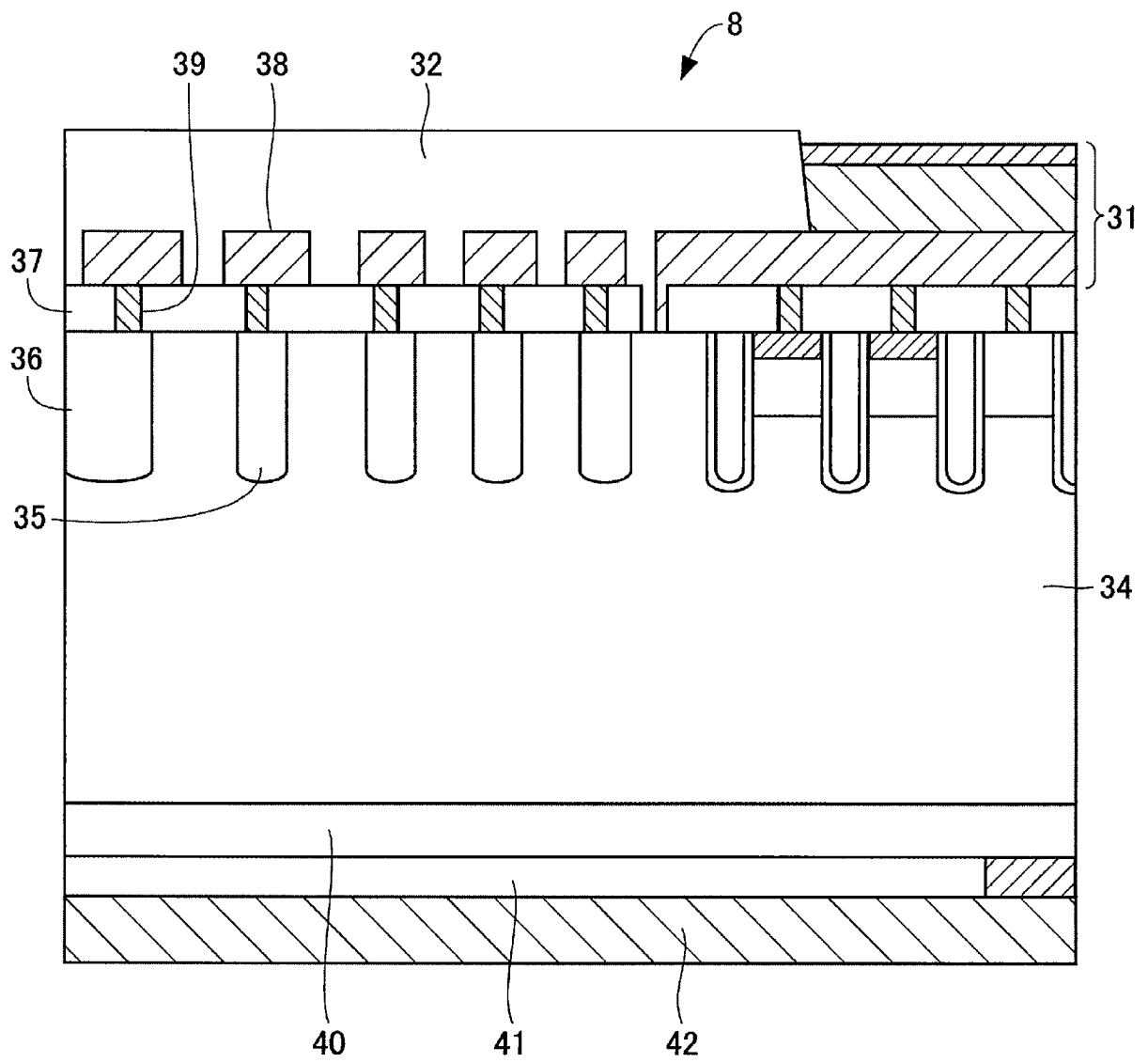
[図10]



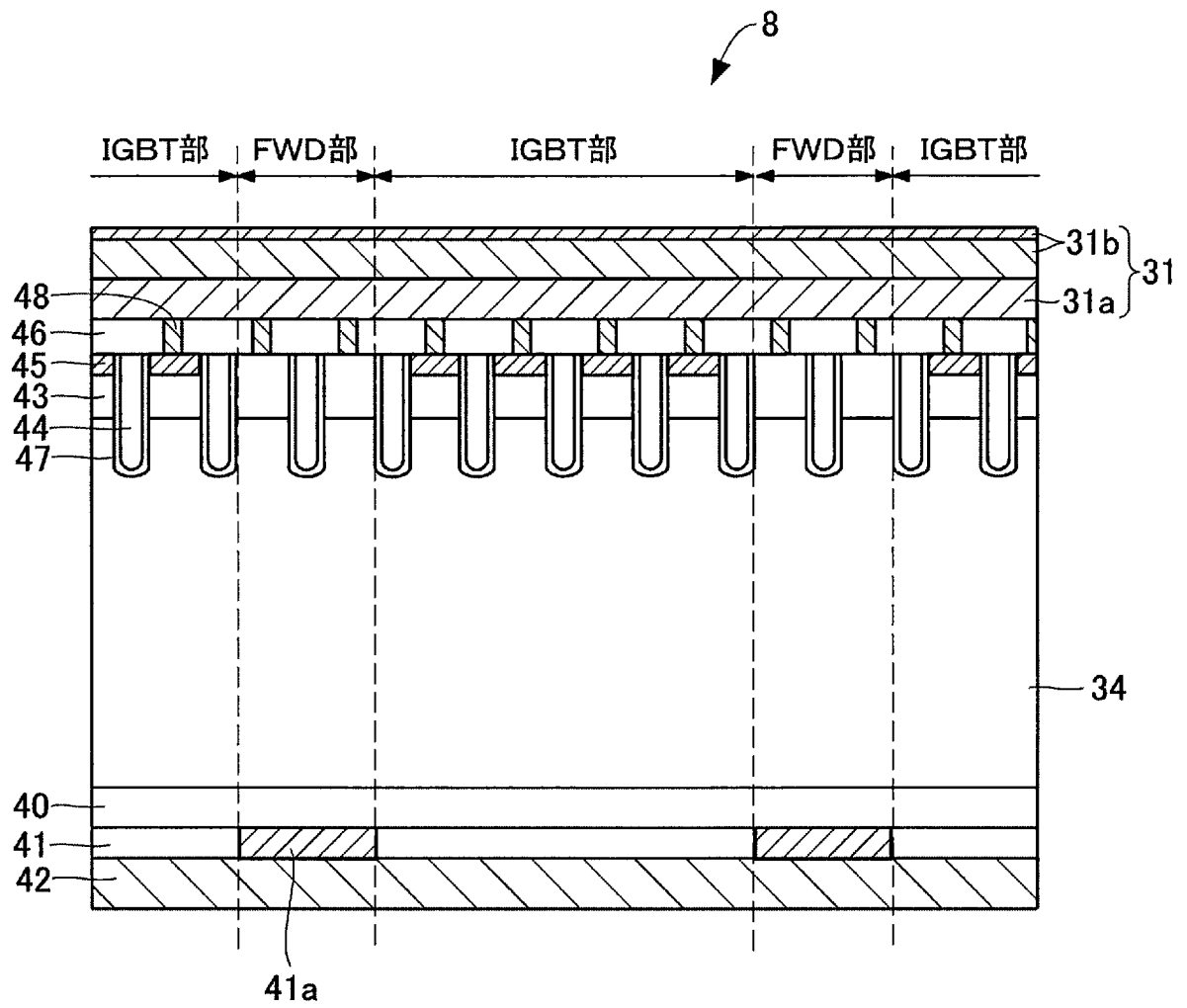
[図11]



[図12]



[図13]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/036335

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G01R31/26 (2014.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                              | Relevant to claim No.       |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------|
| Y<br>A    | JP 2016-4015 A (FUJI ELECTRIC CO., LTD.) 12 January 2016, paragraphs [0042], [0052], [0057], fig. 2 (b) & CN 105277865 A                                                        | 14-15, 18-21<br>1-13, 16-17 |
| Y         | JP 2007-214541 A (DENSO CORP.) 23 August 2007, paragraphs [0042], [0046], fig. 1, & US 2007/0170549 A1, paragraphs [0037], [0041], fig. 1 & DE 102007001031 A1 & CN 101000911 A | 14-15, 18-21                |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/036335

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                     | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2015-165541 A (TOYOTA MOTOR CORP.) 17 September 2015, paragraphs [0008], [0012], [0014], [0023], fig. 1 & US 2015/0249083 A1, paragraphs [0008], [0018], [0020], [0029], fig. 1 & DE 102015102756 A1 & CN 104900690 A                               | 14-15, 18-21          |
| Y         | JP 2010-107432 A (FUJI ELECTRIC SYSTEMS CO LTD) 13 May 2010, paragraph [0035] (Family: none)                                                                                                                                                           | 15, 19                |
| Y         | JP 2012-78174 A (FUJI ELECTRIC CO., LTD.) 19 April 2012, paragraphs [0004], [0010]-[0012], [0099]-[0106], fig. 14-16, 19-20 & EP 2437076 A2, paragraphs [0004], [0010]-[0012], [0102]-[0109], fig. 14-16, 19-20, & US 2012/0081139 A1 & CN 102539992 A | 15, 19                |
| A         | JP 2015-232501 A (FUJI ELECTRIC CO., LTD.) 24 December 2015, entire text & CN 105277864 A                                                                                                                                                              | 1-21                  |
| A         | CN 202815167 U (SHANGHAI YINGHENG ELECTRONICS CO., LTD.) 20 March 2013, fig. 4, 5 (Family: none)                                                                                                                                                       | 1-21                  |
| E, A      | JP 2017-223480 A (FUJI ELECTRIC CO., LTD.) 21 December 2017, entire text (Family: none)                                                                                                                                                                | 1-21                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R31/26 (2014.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2017年 |
| 日本国実用新案登録公報 | 1996-2017年 |
| 日本国登録実用新案公報 | 1994-2017年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                      | 関連する<br>請求項の番号              |
|-----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------|
| Y<br>A          | JP 2016-4015 A (富士電機株式会社) 2016.01.12,<br>[0042], [0052], [0057], 図2 (b)<br>& CN 105277865 A                                                            | 14-15, 18-21<br>1-13, 16-17 |
| Y               | JP 2007-214541 A (株式会社デンソー) 2007.08.23,<br>[0042], [0046], 図1<br>& US 2007/0170549 A1, [0037], [0041], FIG. 1<br>& DE 102007001031 A1 & CN 101000911 A | 14-15, 18-21                |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

22.12.2017

国際調査報告の発送日

09.01.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 浩史

2 S

9114

電話番号 03-3581-1101 内線 3216

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                              |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                            | 関連する<br>請求項の番号 |
| Y                     | JP 2015-165541 A (トヨタ自動車株式会社) 2015. 09. 17,<br>[0008], [0012], [0014], [0023], 図1<br>& US 2015/0249083 A1, [0008], [0018], [0020], [0029], FIG. 1<br>& DE 102015102756 A1 & CN 104900690 A                                   | 14-15, 18-21   |
| Y                     | JP 2010-107432 A (富士電機システムズ株式会社) 2010. 05. 13,<br>[0035] (ファミリーなし)                                                                                                                                                           | 15, 19         |
| Y                     | JP 2012-78174 A (富士電機株式会社) 2012. 04. 19,<br>[0004], [0010] ~ [0012], [0099] ~ [0106], 図14~16, 19~20<br>& EP 2437076 A2, [0004], [0010]-[0012], [0102]-[0109], Figs.<br>14-16, 19-20<br>& US 2012/0081139 A1 & CN 102539992 A | 15, 19         |
| A                     | JP 2015-232501 A (富士電機株式会社) 2015. 12. 24,<br>全文 & CN 105277864 A                                                                                                                                                             | 1-21           |
| A                     | CN 202815167 U (上海英恒電子有限公司) 2013. 03. 20,<br>図4, 5 (ファミリーなし)                                                                                                                                                                 | 1-21           |
| E, A                  | JP 2017-223480 A (富士電機株式会社) 2017. 12. 21,<br>全文 (ファミリーなし)                                                                                                                                                                    | 1-21           |