



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

223 797

(11)

(B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 17 05 82  
(21) PV 3549-82

(51) Int. Cl.<sup>3</sup> G 06 F 9/22

(40) Zveřejněno 25 02 83  
(45) Vydáno 01 07 84

(75)

Autor vynálezu JANDA PETR ing., PRAHA  
ZAPLETAL ZDENĚK ing., PRAHA

(54) Zapojení řadiče mikroprogramově řízeného procesoru

223 797

Vynález řeší zapojení řadiče mikroprogramově řízeného procesoru, které slouží ke stanovení adresy mikroinstrukce.

Dosavadní známá zapojení mají ve srovnání s navrhovaným řešením poměrně velké zpoždění mezi vznikem podmínek pro větvení mikroprogramu a provedením další požadované mikroinstrukce podle výsledku testu. Bývá tomu tak proto, že při výběru mikroinstrukce na základě testu podmínek se uplatňuje vyhovovací doba řídicí paměti a někdy též zpoždění v adresovém registru řídicí paměti.

Uvedené nevýhody známých zapojení odstraňuje řešení podle vynálezu, jehož podstatou je, že na vstup registru konstanty a první vstup přepínače výstupů paměti je připojen výstup lichých adres řídicí paměti a na druhý vstup přepínače výstupů paměti je připojen výstup sudých adres řídicí paměti, přičemž výstup přepínače výstupů paměti je přiveden na vstup registru z obvodů latch a na vstup prvního registru mikroinstrukce, zatímco výstup prvního registru mikroinstrukce je spojen se vstupem druhého registru mikroinstrukce a s prvním vstupem přepínače adres. Druhý vstup přepínače adres je propojen s výstupem vícebitových testů z testovacího obvodu, třetí vstup přepínače adres je spojen s výstupem zásobníkové paměti, přičemž výstup přepínače adres je připojen na adresový vstup řídicí paměti a na vstup vyšších řádů prvního adresového registru a vstup vyšších řádů obvodů ekvivalence mikrostopadresy. Na ovládací vstup přepínače výstupů paměti je přiveden buď výstup nejnižšího řádu prvního adresového registru nebo výstup jednobitových testů z testovacího obvodu, přičemž výstup jednobitových testů z testovacího obvodu je spojen ještě se vstupem nejnižšího řádu prvního adresového registru a se vstupem nejnižšího řádu obvodu ekvivalence mikrostopadresy, zatímco výstup prvního adresového

vého registru je spojen se vstupem druhého adresového registru, se vstupem zásobníkové paměti a se čtvrtým vstupem přepínače adres a konečně výstup registru mikrostopadresy je spojen se vstupem obvodu ekvivalence mikrostopadresy.

Zapojení podle vynálezu má proti známým zapojením řadu výhod. Výběr obsahu jedné ze dvou současně čtených adres řídicí paměti podle výsledku jednobitového testu umožňuje generovat následující adresu paměti s minimálním zpožděním, takže lze provádět rozskok na základě podmínky vzniklé v téže mikroinstrukci. Současně zapojení umožňuje rozskok v témže adresovém modulu podle až 6-ti různých podmínek. Pomocí zásobníkové paměti lze použít podprogramy s hloubkou 4. Postupným plněním registrů mikroinstrukce je umožněna činnost asynchronně pracujících částí operačního procesoru - rychlé vyrovnávací paměti - cache. Dva adresové registry lze využít ke sledování mikroprogramu a při opakování mikroinstrukce v případě poruchy. Registr konstanty rozšiřuje možnosti využití řídicí paměti pro záznam konstant.

Zapojení podle vynálezu je schematicky znázorněno na připojeném výkrese.

Sestává z řídicí paměti 1, přepínače 2 výstupů paměti, registru 3 z obvodů latch, prvního registru 4 mikroinstrukce, druhého registru 5 mikroinstrukce, registru 6 konstanty, přepínače 7 adres, prvního adresového registru 8, druhého adresového registru 9, zásobníkové paměti 10, registru 11 mikrostopadresy, obvodu 12 ekvivalence mikrostopadresy a testovacího obvodu 13.

Na první vstup přepínače 2 výstupů paměti a na vstup registru 6 konstanty je připojen výstup 110 liché adresy řídicí paměti 1 a na druhý vstup přepínače 2 výstupů paměti je připojen výstup 120 sudé adresy řídicí paměti 1. Výstup 21 přepínače 2 výstupů paměti je přiveden na vstup registru 3 z obvodů latch a na vstup prvního registru 4 mikroinstrukce. Výstup 41 prvního registru 4 mikroinstrukce je veden na vstup druhého registru 5 mikroinstrukce a na první vstup přepínače 7 adres. Výstup 71 přepínače 7 adres je veden na adresový vstup řídicí paměti 1, na vstup vyšších řádů obvodu 12 ekvivalence mikrostopadresy a na vstup vyšších řádů prvního adresového registru 8. Na ovládací vstup přepínače 2 výstupů paměti je přiveden buď výstup 82 nejnižšího řádu prvního adresového registru 8 nebo

223 797

výstup 132 jednobitových testů testovacího obvodu 13, přičemž výstup 132 jednobitových testů z testovacího obvodu 13 je spojen ještě se vstupem nejnižšího řádu prvního adresového registru 8 a se vstupem nejnižšího řádu obvodu 12 ekvivalence mikrostopadresy. Výstup 131 testovacího obvodu 13 je spojen s druhým vstupem přepínače 7. Výstup 81 prvního adresového registru 8 je spojen se vstupem druhého adresového registru 9, se vstupem zásobníkové paměti 10 a se čtvrtým vstupem přepínače 7 adres, přičemž třetí vstup přepínače 7 adres je spojen s výstupem 101 zásobníkové paměti 10 a výstup 111 registru 11 mikrostopadresy je spojen se vstupem obvodu 12 ekvivalence mikrostopadresy.

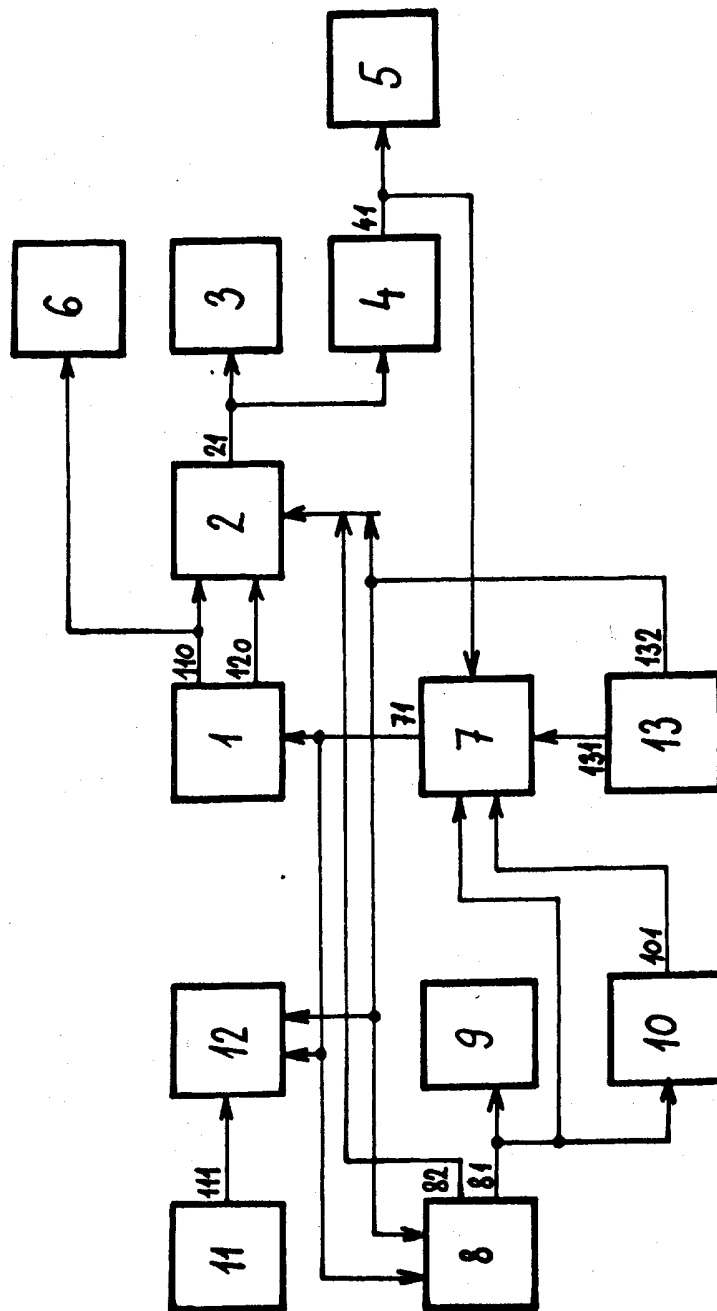
Z výstupu 71 přepínače 7 adres se přivádí na vstup řídicí paměti 1 adresa bez nejnižšího řádu a z řídicí paměti 1 se vybírají současně obsahy dvou sousedních adres a vedou se na výstupy 110 a 120 liché a sudé adresy, z nichž přepínač 2 výstupů paměti vybere žádanou mikroinstrukci podle nejnižšího řádu adresy generovaného buď na základě testovací podmínky z výstupu 132 testovacího obvodu 13 nebo z výstupu 82 prvního adresového registru 8. Výstup 110 liché adresy řídicí paměti 1 se zapisuje do registru 6 konstanty. Vybraná mikroinstrukce z výstupu 21 přepínače 2 výstupů paměti se zapisuje postupně do registru 3 z obvodů latch a do prvního registru 4 mikroinstrukce. Výstup 41 prvního registru 4 mikroinstrukce se zapisuje do druhého registru 5 mikroinstrukce, a současně ovládá přepínač 7 adres, který generuje adresu následující mikroinstrukce. Buď se nová adresa převezme celá z příslušného pole mikroinstrukce nebo se jeden či více bitů adresového pole nahradí výsledky testů na základě testovacích podmínek v testovacích obvodech 13, nebo se adresa přejímá z výstupu 101 zásobníkové paměti 10, případně z výstupu 81 prvního adresového registru 8. Obsah prvního adresového registru 8 se v každé mikroinstrukci přepisuje do druhého adresového registru 9. Mikrostopadresa uložená v registru 11 mikrostopadresy se porovnává s adresou řídicí paměti 1 v obvodu 12 ekvivalence mikrostopadresy.

Zapojení podle vynálezu lze s výhodou použít v procesorech číslicových počítačů.

## PŘEDMĚT VYNÁLEZU

223 797

Zapojení řadiče mikroprogramově řízeného procesoru, v y - z n a č u j í c í s e t í m , že na vstup registru (6) konstanty a první vstup přepínače (2) výstupů paměti je připojen výstup (110) lichých adres řídicí paměti (1) a na druhý vstup přepínače (2) výstupů paměti je připojen výstup (120) sudých adres řídicí paměti (1), přičemž výstup (21) přepínače (2) výstupů paměti je přiveden na vstup registru (3) z obvodů latch a na vstup prvního registru (4) mikroinstrukce, zatímco výstup (41) prvního registru (4) mikroinstrukce je spojen se vstupem druhého registru (5) mikroinstrukce a s prvním vstupem přepínače (7) adres a druhý vstup přepínače (7) adres je propojen s výstupem (131) vícebitových testů z testovacího obvodu (13), třetí vstup přepínače (7) adres je spojen s výstupem (101) zásobníkové paměti (10), přičemž výstup (71) přepínače (7) adres je připojen na adresový vstup řídicí paměti (1) a na vstup vyšších řádů prvního adresového registru (8) a vstup vyšších řádů obvodu (12) ekvivalence mikrostopadresy a dále na ovládací vstup přepínače (2) výstupů paměti je přiveden buď výstup (82) nejnižšího řádu prvního adresového registru (8) nebo výstup (132) jednobitových testů z testovacího obvodu (13), přičemž výstup (132) jednobitových testů z testovacího obvodu (13) je spojen ještě se vstupem nejnižšího řádu prvního adresového registru (8) a se vstupem nejnižšího řádu obvodu (12) ekvivalence mikrostopadresy, zatímco výstup (81) prvního adresového registru (8) je spojen se vstupem druhého adresového registru (9), se vstupem zásobníkové paměti (10) a se čtvrtým vstupem přepínače (7) adres a konečně výstup registru (11) mikrostopadresy je spojen se vstupem obvodu (12) ekvivalence mikrostopadresy.



O P R A V A

popisu vynálezu k autorskému osvědčení č. 223 797  
Int.Cl. G 06 F 9/22

V popisu vynálezu k autorskému osvědčení č. 223 797 je chyba  
v názvu.

Správně: Zapojení řadiče mikroprogramově řízeného procesoru

ÚŘAD PRO VYNÁLEZY A OBJEVY

---