

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-111425  
(P2016-111425A)

(43) 公開日 平成28年6月20日 (2016.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/374 (2011.01)	HO4N 5/335 740	4M118
HO4N 5/376 (2011.01)	HO4N 5/335 760	5C024
HO4N 5/355 (2011.01)	HO4N 5/335 550	
HO1L 27/146 (2006.01)	HO1L 27/14 A	

審査請求 未請求 請求項の数 15 O L (全 42 頁)

(21) 出願番号 特願2014-244925 (P2014-244925)  
(22) 出願日 平成26年12月3日 (2014.12.3)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
東京都江東区豊洲三丁目2番24号  
(74) 代理人 110001195  
特許業務法人深見特許事務所  
(72) 発明者 鈴木 淳史  
神奈川県川崎市中原区下沼部1753番地  
ルネサスエレクトロニクス株式会社内  
Fターム(参考) 4M118 AA02 AB01 BA14 CA03 CA24  
DD04 FA06 GC08 GC14 GD04  
5C024 AX01 CX43 CY16 GX03 GX16  
GX18 GY31 HX23

(54) 【発明の名称】 撮像装置

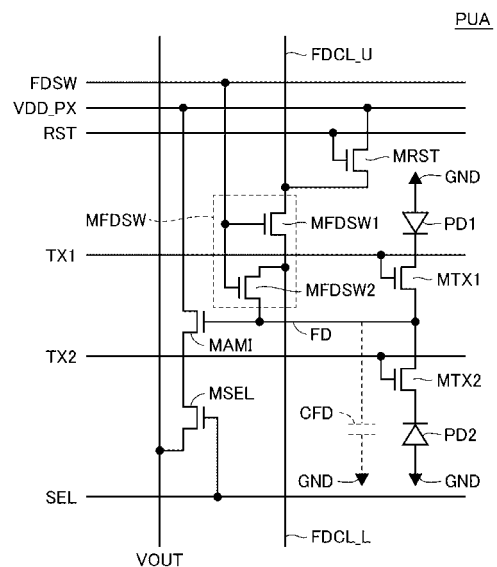
(57) 【要約】

【課題】各画素ユニットの電荷蓄積部（フローティングディフュージョン）の容量を削減する。

【解決手段】撮像装置において、列方向に延在する複数の連結配線FDCL\_U, FDCL\_L間を接続するための複数の第1の切替えトランジスタMFDSW1の他に、各連結配線と各画素ユニットPUAのフローティングディフュージョンFDとの間に第2の切替えトランジスタMFDSW2が設けられる。好ましくは、第1の切替えトランジスタMFDSW1と第2の切替え接続トランジスタMFDSW2とは、各々のゲートが互いに電気的に接続される。

【選択図】 図20

図20



## 【特許請求の範囲】

## 【請求項 1】

撮像装置であって、  
第 1 の方向に沿って配列された複数の画素ユニットを備え、  
各前記画素ユニットは、  
1 または複数の光電変換素子と、  
前記 1 または複数の光電変換素子の各々で生成された電荷が転送される電荷蓄積部とを含み、  
前記撮像装置は、さらに、  
前記複数の画素ユニットの少なくとも一部にそれぞれ対応して設けられ、第 1 ~ 第 3 のノードを有する複数の接続切替え部と、  
前記複数の接続切替え部の各々を介して連結され、前記第 1 の方向に延在する複数の連結線とを備え、  
前記第 1 のノードは、対応する前記画素ユニットの前記電荷蓄積部と接続され、  
前記第 2 および第 3 のノードは、それぞれ隣接する前記連結線と接続され、  
各前記接続切替え部は、制御信号に応答して前記第 1 ~ 第 3 のノード間を電氣的に接続または電氣的に遮断するように構成される、撮像装置。

10

## 【請求項 2】

前記撮像装置は、前記第 1 の方向に延在する出力信号線をさらに備え、  
各前記画素ユニットは、さらに、  
前記 1 または複数の光電変換素子にそれぞれ対応し、各々が対応の光電変換素子と前記電荷蓄積部との間に接続された 1 または複数の転送トランジスタと、  
前記電荷蓄積部の電圧を増幅するための増幅トランジスタと、  
前記増幅トランジスタと前記出力信号線との間に接続された選択トランジスタとを含む、請求項 1 に記載の撮像装置。

20

## 【請求項 3】

前記複数の接続切替え部は、前記複数の画素ユニットにそれぞれ設けられ、  
各前記画素ユニットは、さらに、  
前記第 2 のノードに接続された前記連結線と電源ノードとの間に接続される、リセットトランジスタを含む、請求項 2 に記載の撮像装置。

30

## 【請求項 4】

前記撮像装置は、さらに、  
前記第 1 の方向と交差する第 2 の方向に延在する複数の制御信号線によって、前記接続切替え部、前記 1 または複数の転送トランジスタ、前記選択トランジスタ、および前記リセットトランジスタを制御する垂直走査回路を備え、  
前記垂直走査回路は、読出し対象の前記光電変換素子に蓄積された電荷を対応の転送トランジスタを介して前記電荷蓄積部に転送する前に、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に接続した状態で、前記リセットトランジスタをオン状態にすることによって、前記電荷蓄積部に蓄積されている電荷を排出するリセット処理を行うように構成される、請求項 3 に記載の撮像装置。

40

## 【請求項 5】

前記撮像装置は、第 1 および第 2 の動作モードを有し、  
前記垂直走査回路は、  
前記第 1 の動作モードにおいて、前記リセット処理後に、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に遮断した状態で、読出し対象の前記光電変換素子に蓄積された電荷を対応の転送トランジスタを介して前記電荷蓄積部に転送し、転送後の前記電荷蓄積部の電圧レベルを前記選択トランジスタを介して前記出力信号線に出力し、  
前記第 2 の動作モードにおいて、前記リセット処理後に、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に接続した状態で、読出し対象の前記光電変換素子に蓄積された電荷を、対応の転送トランジスタを介して前記電荷蓄積部に転送し、転送後の前記電荷

50

蓄積部の電圧レベルを、前記選択トランジスタを介して前記出力信号線に出力するように構成される、請求項 4 に記載の撮像装置。

【請求項 6】

前記垂直走査回路は、

前記リセット処理後に、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に接続した状態で、前記電荷蓄積部の第 1 のノイズレベルを、前記選択トランジスタを介して前記出力信号線に出力し、

その後、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に遮断した状態で、前記電荷蓄積部の第 2 のノイズレベルを、前記選択トランジスタを介して前記出力信号線に出力し、

その後、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に遮断した状態で、読出し対象の前記光電変換素子に蓄積された電荷を、対応の転送トランジスタを介して前記電荷蓄積部に転送し、転送後の前記電荷蓄積部の第 1 の電圧レベルを、前記選択トランジスタを介して前記出力信号線に出力し、

その後、前記接続切替え部の前記第 1 ~ 第 3 のノード間を電氣的に接続した状態で、前記電荷蓄積部の第 2 の電圧レベルを、前記選択トランジスタを介して前記出力信号線に出力するように構成される、請求項 4 に記載の撮像装置。

【請求項 7】

前記撮像装置は、前記出力信号線と接続されたカラム回路を含み、

前記カラム回路は、

前記第 1 のノイズレベルおよび前記第 2 の電圧レベルを A / D (Analog to Digital) 変換する第 1 の A / D 変換回路と、

前記第 2 のノイズレベルおよび前記第 1 の電圧レベルを A / D 変換する第 2 の A / D 変換回路とを含む、請求項 6 に記載の撮像装置。

【請求項 8】

前記複数の連結線のうちの両端の連結線の端部と電源ノードとの間にそれぞれ接続された第 1 および第 2 の全リセットトランジスタをさらに備える、請求項 1 に記載の撮像装置。

【請求項 9】

前記複数の接続切替え部が設けられていない画素ユニットは、前記電荷蓄積部と前記複数の連結線のいずれか 1 つと接続するための切替えトランジスタを含む、請求項 1 に記載の撮像装置。

【請求項 10】

前記接続切替え部は、

前記第 1 および第 2 のノード間に接続された第 1 の切替えトランジスタと、

前記第 2 および第 3 のノード間に接続された第 2 の切替えトランジスタとを含み、

前記第 1 の切替えトランジスタの制御電極と前記第 2 の切替えトランジスタの制御電極とは相互に接続されている、請求項 1 に記載の撮像装置。

【請求項 11】

前記接続切替え部は、さらに、前記第 1 および第 3 のノード間に接続された第 3 の切替えトランジスタを含み、

前記第 3 の切替えトランジスタの制御電極は、前記第 1 および第 2 の切替えトランジスタの制御電極と相互に電氣的に接続されている、請求項 10 に記載の撮像装置。

【請求項 12】

前記接続切替え部は、

前記第 1 および第 2 のノード間に接続された第 1 の切替えトランジスタと、

前記第 1 および第 3 のノード間に接続された第 2 の切替えトランジスタとを含み、

前記第 1 の切替えトランジスタの制御電極と前記第 2 の切替えトランジスタの制御電極とは相互に接続されている、請求項 1 に記載の撮像装置。

【請求項 13】

10

20

30

40

50

前記撮像装置は、半導体基板上に形成され、

各前記画素ユニットは、前記 1 または複数の光電変換素子として、第 1 および第 2 のフォトダイオードを含み、前記第 1 および第 2 のフォトダイオードは、前記第 1 の方向に並んで配置され、

前記電荷蓄積部は、前記第 1 および第 2 のフォトダイオードの間に配置され、

前記接続切替え部は、前記電荷蓄積部に対して前記第 1 の方向と交差する第 2 の方向に隣接して配置され、

前記増幅トランジスタは、前記電荷蓄積部を挟んで前記接続切替え部と反対に配置され

、  
前記リセットトランジスタおよび前記選択トランジスタは、前記第 2 のフォトダイオードを挟んで前記電荷蓄積部と反対側に、互いに前記第 2 の方向に並んで配置される、請求項 3 に記載の撮像装置。

10

【請求項 14】

前記接続切替え部は、

前記電荷蓄積部と共通化され、前記第 1 のノードを構成する第 1 の不純物領域と、

前記第 2 のノードを構成する第 2 の不純物領域と、

前記第 3 のノードを構成する第 3 の不純物領域と、

前記第 1 ~ 第 3 の不純物領域間を覆うように形成されたゲート電極とを含む、請求項 13 に記載の撮像装置。

【請求項 15】

20

撮像装置であって、

第 1 の方向に沿って配列された複数の画素ユニットと、

前記複数の画素ユニットの少なくとも一部にそれぞれ対応して設けられた複数の第 1 の切替えトランジスタと、

前記複数の第 1 の切替えトランジスタの各々を介して連結され、前記第 1 の方向に延在する複数の連結線とを備え、

各前記画素ユニットは、

1 または複数の光電変換素子と、

前記 1 または複数の光電変換素子の各々で生成された電荷が転送される電荷蓄積部と、

前記電荷蓄積部と前記複数の連結線のいずれかとを接続する第 2 の切替えトランジスタ

30

とを含み、  
各前記第 1 の切替えトランジスタの制御電極は、対応する画素ユニットに設けられた前記第 2 の切替えトランジスタの制御電極と接続される、撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置に関し、たとえば、CMOS (Complementary Metal-Oxide Semiconductor) イメージセンサに好適に用いられるものである。

【背景技術】

【0002】

40

CMOS イメージセンサにおいて高画質を維持した上でダイナミックレンジを広げるための技術として、たとえば、特開 2010 - 212769 号 (特許文献 1) に記載された技術が知られている。

【0003】

この文献の技術では、隣接する画素ユニットのフローティングディフュージョン (電荷蓄積部) 間が接続トランジスタを介して接続される。露光量に応じて接続トランジスタをオン状態またはオフ状態に切り替えることによって、電荷蓄積部の容量が変更される。

【先行技術文献】

【特許文献】

【0004】

50

【特許文献1】特開2010-212769号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記の特開2010-212769号(特許文献1)に記載された技術では、隣接する画素ユニットと連結するための連結配線がフローティングディフュージョンに常時接続されている。したがって、この連結配線の容量がフローティングディフュージョンの容量に加算されるために、低照度撮像時にISO感度を十分に上げることができないという問題がある。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施形態による撮像装置は、列方向に延在する複数の連結配線間を接続するための複数の第1の切替えトランジスタの他に、各連結配線と各画素ユニットのフローティングディフュージョンとの間に第2の切替えトランジスタが設けられる。好ましくは、第1の切替えトランジスタと第2の切替えトランジスタとは、各々のゲートが互いに電気的に接続される。

【発明の効果】

【0008】

上記の実施形態によれば、各画素ユニットの電荷蓄積部(フローティングディフュージョン)の容量を削減することができる。

【図面の簡単な説明】

【0009】

【図1】第1の実施形態による撮像装置の構成を示すブロック図である。

【図2】図1の各画素ユニットの等価回路図である。

【図3】図2の画素ユニットの読出し動作を示すタイミング図である。

【図4】第1の実施形態において、基板から第1金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。

【図5】第1の実施形態において、基板から第2金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。

【図6】第1の実施形態において、列方向に隣接する3つの画素ユニットについて、基板から第1金属配線層までレイアウトを模式的に示す平面図である。

【図7】図5のV I I - V I I線に沿った断面図である。

【図8】第2の実施形態による撮像装置において画素アレイのx列目の構成を示す回路図である。

【図9】図8のカラム回路の構成を示す回路図である。

【図10】ローリングシャッター方式による読出し動作を説明するためのタイミング図である。

【図11】図10の各読出し期間における各画素ユニットの読出し動作を示すタイミング図である。

【図12】図11に示す各時刻におけるポテンシャル図である。

【図13】カラム回路の信号波形を説明するためのタイミング図である。

【図14】2回露光によるローリングシャッター方式で読出しを行う場合のタイミング図である。

【図15】第3の実施形態による撮像装置において用いられるカラム回路の回路図である。

【図16】図15に示すカラム回路の信号波形を説明するためのタイミング図である。

【図17】第4の実施形態による撮像装置において画素アレイの第x列目の構成を示す回

10

20

30

40

50

路図である。

【図 18】図 17 の各画素ユニットの読出し動作を説明するためのタイミング図である。

【図 19】第 5 の実施形態による撮像装置の構成を示すブロック図である。

【図 20】図 19 の各画素ユニットの等価回路図である。

【図 21】図 20 の画素ユニットの読出し動作を示すタイミング図である。

【図 22】第 5 の実施形態において、基板から第 1 金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。

【図 23】第 5 の実施形態において、基板から第 2 金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。

【図 24】第 5 の実施形態において、列方向に隣接する 3 つの画素ユニットについて、基板から第 1 金属配線層までレイアウトを模式的に示す平面図である。

【図 25】図 23 の X X V - X X V 線に沿った断面図である。

【図 26】図 22 ~ 図 24 で示した F D 切替え部の構成を説明するための図である。

【図 27】図 26 の F D 切替え部の第 1 の変形例を示す図である。

【図 28】図 26 の F D 切替え部の第 2 の変形例を示す図である。

【図 29】第 6 の実施形態による撮像装置において画素アレイの x 列目の構成を示す回路図である。

【図 30】図 29 の各画素ユニットの読出し動作を説明するためのタイミング図である。

【図 31】第 6 の実施形態に第 4 の実施形態のリセットトランジスタを組み合わせた撮像装置において、各画素ユニットの読出し動作を説明するためのタイミング図である。

【発明を実施するための形態】

【0010】

以下、各実施形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

【0011】

< 第 1 の実施形態 >

[ 撮像装置の全体構成 ]

図 1 は、第 1 の実施形態による撮像装置の構成を示すブロック図である。図 1 を参照して、撮像装置 100 は、画素アレイ 1 と、垂直走査回路 2 と、水平走査回路 3 と、複数の制御信号線 F D S W 1 , F D S W 2 , R S T , T X 1 , T X 2 , S E L と、複数の電源配線 V D D \_ P X と、複数の出力信号線 V O U T とを含む。

【0012】

画素アレイ 1 は、行列状に配列された複数の画素ユニット P U を含み、画素ユニット P U を単位として動作する。第 n 行 ( n = 0 ) かつ第 x 列 ( x = 0 ) の画素ユニットを P U ( n , x ) と記載する。各画素ユニット P U は、列方向に配列された少なくとも 1 個のフォトダイオード P D ( 光電変換素子 ) を含む。図 1 では、各画素ユニット P U が、列方向に並ぶ 2 個のフォトダイオードを含む場合を示している。

【0013】

制御信号線 F D S W 1 , F D S W 2 , R S T , T X 1 , T X 2 , S E L および電源配線 V D D \_ P X は、画素アレイ 1 の行方向に延在して画素アレイ 1 の行ごとに設けられ、行方向にならば複数の画素ユニットで共通に用いられる。この明細書では、たとえば、第 n 行の画素ユニット P U に接続される制御信号線は、参照符号の末尾に ( n ) を付して示される。垂直走査回路 2 は、各制御信号線 F D S W 1 , F D S W 2 , R S T , T X 1 , T X 2 , S E L に制御信号を出力することによって、各画素からの読出し動作を制御する。

【0014】

出力信号線 V O U T は、画素アレイ 1 の列方向に延在して画素アレイ 1 の列ごとに設けられ、列方向に並ぶ複数の画素ユニットで共通に設けられる。この明細書では、たとえば、第 x 列の画素ユニット P U に接続される出力信号線は V O U T ( x ) と記載される。出力信号線 V O U T は水平走査回路 3 と接続され、水平走査回路 3 によって各画素から読み出された信号の増幅および A / D ( Analog to Digital ) 変換が行われる。

10

20

30

40

50

## 【 0 0 1 5 】

撮像装置 1 0 0 をカラー画像用として用いる場合には、フォトダイオード P D の受光面上にカラーフィルタが設けられる。図 1 に示すように、一般的なベイヤー方式のカラーフィルタの配列では、輝度信号に寄与する割合の大きい緑色 ( G ) のカラーフィルタが市松状に配置される。残りの部分に赤色 ( R ) および青色 ( B ) のカラーフィルタが市松状に配置される。

## 【 0 0 1 6 】

## 〔画素ユニットの構成〕

図 2 は、図 1 の各画素ユニットの等価回路図である。図 2 には、図 1 の制御信号線 F D S W 1 , F D S W 2 , R S T , T X 1 , T X 2 , S E L および出力信号線 V O U T に接続された 1 個の画素ユニット P U が図示されている。

10

## 【 0 0 1 7 】

画素ユニット P U は、2 個のフォトダイオード P D 1 , P D 2 、2 個の転送トランジスタ M T X 1 , M T X 2 、リセットトランジスタ M R S T 、増幅トランジスタ M A M I 、および選択トランジスタ M S E L を含む。画素ユニット P U は、さらに、フローティングディフュージョン F D ( 電荷蓄積部とも称する ) 、フローティングディフュージョン連結線 F D C L \_ U , F D C L \_ L ( F D 連結線とも記載する ) 、およびフローティングディフュージョン切替えトランジスタ M F D S W 1 , M F D S W 2 ( F D 切替えトランジスタとも記載する ) を含む。F D 連結線 F D C L \_ U , F D C L \_ L は、それぞれ列方向の上下の画素ユニット P U と共有されている。

20

## 【 0 0 1 8 】

フォトダイオード P D 1 , P D 2 は、P N 接合ダイオードとして構成され、受光した光に応じて電荷 ( 電子 ) を発生する。発生した電荷は P N 接合ダイオードの N 型の不純物領域 ( 拡散領域 ) に蓄積される。フォトダイオード P D のアノードである P 型の不純物領域は接地される。

## 【 0 0 1 9 】

フローティングディフュージョン F D は、N 型不純物領域であり、その不純物密度はフォトダイオード P D 1 , P D 2 の N 型不純物領域 ( N 層とも称する ) よりも大きい。フローティングディフュージョン F D は、N M O S ( N-channel Metal-Oxide Semiconductor ) トランジスタとして構成される転送トランジスタ M T X 1 , M T X 2 をそれぞれ介してフォトダイオード P D 1 , P D 2 のカソード ( N 層 ) と接続される。転送トランジスタ M T X 1 , M T X 2 のゲートは、制御信号線 T X 1 , T X 2 とそれぞれ接続される。

30

## 【 0 0 2 0 】

フローティングディフュージョン F D は、さらに、F D 切替えトランジスタ M F D S W 2 を介して F D 連結線 F D C L \_ L または F D C L \_ U と接続される ( 図 2 の場合は、F D 連結線 F D C L \_ L と接続される ) 。F D 連結線 F D C L \_ L は、列方向の下側に隣接する画素ユニット P U のフローティングディフュージョン F D との間に設けられ、F D 連結線 F D C L \_ U は、列方向の上側に隣接する画素ユニット P U フローティングディフュージョン F D との間に設けられる。隣接する F D 連結線 F D C L \_ U , F D C L \_ L は、F D 切替えトランジスタ M F D S W 1 を介して相互に接続される。F D 切替えトランジスタ M F D S W 1 , M F D S W 2 は、制御信号線 F D S W 1 , F D S W 2 とそれぞれ接続される。

40

## 【 0 0 2 1 】

リセットトランジスタ M R S T は、F D 連結線 F D C L \_ L または F D C L \_ U と、電源配線 V D D \_ P X との間に接続される。図 2 の場合には、F D 切替えトランジスタ M F D S W 2 が接続されている F D 連結線 F D C L \_ L と、電源配線 V D D \_ P X との間に接続される。リセットトランジスタ M R S T のゲートは制御信号線 R S T と接続される。

## 【 0 0 2 2 】

増幅トランジスタ M A M I は、N M O S トランジスタとして構成され、ソースフォロア回路として機能する。増幅トランジスタ M A M I のゲートは、フローティングディフュー

50

ジョンFDに接続され、ドレインは電源配線VDD\_PXに接続される。増幅トランジスタMAMIのソースは、NMOSTランジスタとして構成される選択トランジスタMSELを介して出力信号線VOUTと接続される。選択トランジスタMSELのゲートは制御信号線SELと接続される。

#### 【0023】

上記の構成において、FD切替えトランジスタMFD SW2をフローティングディフュージョンFDとFD連結線FDCL\_Lとの間に設けた点に特徴がある。これによって、フローティングディフュージョンFDの容量CFDをFD連結線FDCL\_Lの容量と分離することができる。さらに、リセットトランジスタMRSTを、フローティングディフュージョンFDに代えてFD連結線FDCL\_Lに接続した点に特徴がある。これによ

10

#### 【0024】

[画素ユニットの動作]

図3は、図2の画素ユニットの読出し動作を示すタイミング図である。第1の実施形態の場合、読出し動作には2種類の動作モード、すなわち、FD SW2オンモードおよびFD SW2オフモードがある。

#### 【0025】

図3(A)に示されるFD SW2オンモードでは、FD切替えトランジスタMFD SW2をオン状態にすることによって、フローティングディフュージョンFDとFD連結線FDCL\_Lとが連結された状態で信号読出しが行われる。これによって、フローティングディフュージョンFDの容量CFDにFD連結線FDCL\_Lの容量が加算されるので、比較的高照度時において低ISO感度での撮像が可能になる。この意味で、FD SW2オンモードを高照度撮像モードとも称する。

20

#### 【0026】

FD切替えトランジスタMFD SW1もオン状態にするとFD連結線FDCL\_Uの容量もフローティングディフュージョンFDの容量CFDに加算されるので、さらに低ISO感度での撮像が可能になる。隣接する画素ユニットPUのFD切替えトランジスタMFD SW1もオン状態にすることによって、フローティングディフュージョンFDの容量に加算されるFD連結線FDCLの容量をさらに増やすことができる。

30

#### 【0027】

一方、図3(B)に示されるFD SW2オフモードでは、FD切替えトランジスタMFD SW2をオフ状態にすることによって、フローティングディフュージョンFDをFD連結線FDCL\_Lから切断する。これによって、低照度時に高ISO感度での撮像を実現できる。この場合、初段アンプの増幅率を大きくできるので、ノイズ低減効果も期待できる。FD SW2オフモードを低照度撮像モードとも称する。

#### 【0028】

以下、各動作モードにおける画素ユニットの動作について時間順に説明する。なお、図3(A)および図3(B)では、上からの順に制御信号線RST, TX1, TX2, FDSW1, FDSW2, SELの電圧波形が示されている。

40

#### 【0029】

(1. FDSW2オンモード、すなわち高照度撮像モードの場合)

図2および図3(A)を参照して、FDSW2オンモードにおける読出し動作を説明する。

#### 【0030】

時刻t1において、垂直走査回路2は、制御信号線FDSW1, FDSW2の電圧をHレベルにすることによって、フローティングディフュージョンFDの容量にFD連結線FDCL\_L, FDCL\_Uの容量を接続する。時刻t1において、垂直走査回路2は、さらに、制御信号線SELの電圧をHレベル(Hレベル)にすることによって、信号読出し対象となる行の画素ユニットPUを選択する。なお、制御信号線FDSW1, FDSW

50



2, SELの電圧は、読出し動作中には常時Hレベルである。

【0031】

次の時刻t2において、垂直走査回路2は、制御信号線RSTの電圧をHレベルにすることによって、フローティングディフュージョンFDおよびFD連結線FDCL\_L, FDCL\_Uの電圧をリセットする(電源電圧VDDに等しくする)。これによって、フローティングディフュージョンFDの電位のリセットレベル(暗時レベル)が決まる。暗時レベルの電位は、列ごとの出力信号線VOUTを介して水平走査回路3に出力される。

【0032】

垂直走査回路2は、制御信号線RSTの電圧をLレベルに戻した後に、次の時刻t3において、制御信号線TX1の電圧をHレベルにすることによって、フォトダイオードPD1に蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、フォトダイオードPD1に蓄積された電子数に比例して変化することにより、リセットレベルからフォトダイオードPD1の信号レベル(PD信号レベル)に変化する。転送後に制御信号線TX1の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して列ごとに水平走査回路3に出力される。

10

【0033】

次の時刻t4において、フォトダイオードPD2の信号を読み出すため、垂直走査回路2は、制御信号線RSTの電圧をHレベルにすることによって、フローティングディフュージョンFDおよびFD連結線FDCL\_L, FDCL\_Uの電圧をリセットする。これによって、フローティングディフュージョンFDの電位のリセットレベルが決まる。

20

【0034】

垂直走査回路2は、制御信号線RSTの電圧をLレベルに戻した後に、次の時刻t5において、制御信号線TX2の電圧をHレベルにすることによって、フォトダイオードPD2で蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、リセットレベルからフォトダイオードPD2の信号レベルに変化する。転送後に制御信号線TX2の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して行ごとに水平走査回路3に出力される。

30

【0035】

(2. FDSW2オフモード、すなわち低照度撮像モードの場合)

図2および図3(B)を参照して、FDSW2オフモードの動作を説明する。

【0036】

時刻t1において、垂直走査回路2は、制御信号線FDSW1, RSTの電圧をHレベルにすることによって、FD連結線FDCL\_L, FDCL\_Uの電圧を電源電圧VDDレベルにする。時刻t1において、垂直走査回路2は、さらに、制御信号線SELの電圧をHレベル(Hレベル)にすることによって、信号読出し対象の画素ユニットPU(すなわち、画素アレイ1の行)を選択する。なお、制御信号線FDSW1, RST, SELの電圧は、読出し動作中には常時Hレベルである。

【0037】

次の時刻t2において、垂直走査回路2は、制御信号線FDSW2の電圧をHレベルにすることによって、フローティングディフュージョンFDの電圧をリセットする(電源電圧VDDに等しくする)。これによって、フローティングディフュージョンFDの電位のリセットレベル(暗時レベル)が決まる。暗時レベルの電位は、出力信号線VOUTを介して行ごとに水平走査回路3に出力される。

40

【0038】

垂直走査回路2は、制御信号線FDSW2の電圧をLレベルに戻した後に、次の時刻t3において、制御信号線TX1の電圧をHレベルにすることによって、フォトダイオードPD1で蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、リセットレベルからフォトダイオ

50

ードPD1の信号レベル(PD信号レベル)に変化する。転送後に制御信号線TX1の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して行ごとに水平走査回路3に出力される。

【0039】

次の時刻t4において、フォトダイオードPD2の信号を読み出すため、垂直走査回路2は、制御信号線FD SW2の電圧をHレベルにすることによって、フローティングディフュージョンFDの電圧をリセットする。これによって、フローティングディフュージョンFDの電位のリセットレベルが決まる。

【0040】

垂直走査回路2は、制御信号線FD SW2の電圧をLレベルに戻した後に、次の時刻t5において、制御信号線TX2の電圧をHレベルにすることによって、フォトダイオードPD2で蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、リセットレベルからフォトダイオードPD2の信号レベルに変化する。転送後に制御信号線TX2の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して行ごとに水平走査回路3に出力される。

10

【0041】

FD SW2オンモードと比較したFD SW2オフモードの特徴は、以下のとおりである。FD SW2オンモードでは、フローティングディフュージョンFDをリセットするために、制御信号線RSTの電圧をローレベル(Lレベル)からHレベルに切替える。これに対して、FD SW2オフモードでは、制御信号線RSTの電圧を常時Hレベルとする。制御信号線RSTに代えて制御信号線FD SW2の電圧をLレベルからHレベルに切替えることによってフローティングディフュージョンFDがリセットされる。すなわち、FD SW2オフモードでは、フローティングディフュージョンFDをリセットする役割を、リセットトランジスタMRSTでなく、FD切替えトランジスタMFD SW2が担う。

20

【0042】

[画素ユニットのレイアウト]

図4は、第1の実施形態において、基板から第1金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。図4では、第1金属配線層の上層の第2金属配線層は概略的な配置のみが示されている。図5は、第1の実施形態において、基板から第2金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。図6は、第1の実施形態において、列方向に隣接する3つの画素ユニットについて、基板から第1金属配線層までレイアウトを模式的に示す平面図である。ただし、図6では図解を容易にするために一部の第1金属配線層を図示していない。

30

【0043】

図4～図6において、画素アレイの行方向をX軸方向とし、列方向をY軸方向とする。Y軸方向で紙面の上下方向を区別する場合は、+Y方向および-Y方向のように正負の符号を付して区別する。X軸方向についても同様である。図2で説明した各NMOSTランジスタを表す参照符号は、ゲート電極に付されている。図解を容易にするために、ゲート電極層と第1金属配線層とにハッチングが付されている。

40

【0044】

図4～図6を参照して、画素ユニットPU(n, x)を構成するフォトランジスタPD1, PD2はY軸方向に並んで配置される。フォトランジスタPD1, PD2の間にフローティングディフュージョンFDとしてN型不純物領域が形成される。フローティングディフュージョンFDとフォトランジスタPD1との間のチャンネル領域を覆うように転送トランジスタMTX1用のゲート電極が形成される。同様に、フローティングディフュージョンFDとフォトランジスタPD2との間のチャンネル領域を覆うように転送トランジスタMTX2用のゲート電極が形成される。

【0045】

フローティングディフュージョンFDに対して+X方向に隣接して、FD切替えトラン

50

ジスタMFD SW 2が配置される。FD切替えトランジスタMFD SW 2の第1の不純物領域は、フローティングディフュージョンFDと共通化されている。FD切替えトランジスタMFD SW 2の第2の不純物領域は、第1金属配線層で形成されるFD連結線FDCL(n)とコンタクトホールCHを介して接続される。

【0046】

フローティングディフュージョンFDに対して-X方向に隣接して、増幅トランジスタMAMIおよび選択トランジスタMSELが順に配置される。増幅トランジスタMAMIの第1の不純物領域と選択トランジスタMSELの第1の不純物領域は共通化されている。増幅トランジスタMAMIのゲート電極は、第1金属配線層の配線を介してフローティングディフュージョンFDと接続される。選択トランジスタMSELの第2の不純物領域は、第1金属配線層で形成される出力信号線VOUT(x)とコンタクトホールCHを介して接続される。

10

【0047】

フォトトランジスタPD2を挟んでフローティングディフュージョンFDと反対側に(すなわち、画素ユニットPU(n, x)のフォトトランジスタPD2と画素ユニットPU(n+1, x)のフォトトランジスタPD1との間に)、FD切替えトランジスタMFD SW1およびリセットトランジスタMRSTがX軸方向に並んで配置される。FD切替えトランジスタMFD SW1は、+X方向側に配置される。FD切替えトランジスタMFD SW1の第1の不純物領域とリセットトランジスタMRSTの第1の不純物領域とは共通化され、この共通の不純物領域にFD連結線FDCL(n)がコンタクトホールCHを介して接続される。FD切替えトランジスタMFD SW1の第2の不純物領域は、+Y方向に隣接する画素ユニットPU(n+1, x)に設けられたFD切替えトランジスタMFD SW2の第2の不純物領域およびFD切替えトランジスタMFD SW1の第1の不純物領域と、FD連結線FDCL(n+1)を介して接続される。リセットトランジスタMRSTの第2の不純物領域は、+Y方向に隣接する画素ユニットPU(n+1, x)に設けられた増幅トランジスタMAMIの第2の不純物領域と、第1金属配線層で形成された金属配線を介して接続される。

20

【0048】

制御信号線FD SW 1(n), FD SW 2(n), RST(n), TX1(n), TX2(n), SEL(n)と、電源配線VDD\_PX(n)と、接地配線GND(n)とは、第2金属配線層を用いて形成される。制御信号線FD SW 1(n), FD SW 2(n)は、それぞれ、FD切替えトランジスタMFD SW 1, MFD SW 2のゲート電極と、第1金属配線層で形成された金属配線を介して接続される。制御信号線RST(n)は、リセットトランジスタMRSTのゲート電極と、第1金属配線層で形成された金属配線を介して接続される。制御信号線TX1(n), TX2(n)は、それぞれ、転送トランジスタMTX1, MTX2のゲート電極と第1金属配線層で形成された金属配線を介して接続される。制御信号線SEL(n)は、選択トランジスタMSELのゲート電極と第1金属配線層で形成された金属配線を介して接続される。

30

【0049】

画素ユニットPU(n, x)に設けられたリセットトランジスタMRSTの第2の不純物領域は、画素ユニットPU(n+1, x)に設けられた増幅トランジスタMAMIの第2の不純物領域と、第1金属配線層で形成された電源配線を介して接続される。この電源配線と電源配線VDD\_PX(n)とがコンタクトホールCHを介して接続される。接地配線GND(n)は、基板に設けられたP型不純物領域と、第1金属配線層に形成された金属配線を介して接続される。

40

【0050】

図7は、図5のVII-VII線に沿った断面図である。

図7を参照して、半導体基板20には、フォトダイオードPD1, PD2、フローティングディフュージョンFD、および図示しないトランジスタの不純物領域(ソース領域およびドレイン領域)が形成される。

50

## 【 0 0 5 1 】

半導体基板 2 0 上には層間絶縁層 2 1 が形成され、層間絶縁層 2 1 の上に複数のカラーフィルタ 2 7 が形成される。さらに、複数のカラーフィルタ 2 7 の上には複数のマイクロレンズ 2 8 がそれぞれ形成される。カラーフィルタ 2 7 およびマイクロレンズ 2 8 は、対応するフォトダイオード P D 1 または P D 2 の上方に個別に形成されている。

## 【 0 0 5 2 】

層間絶縁層 2 1 中には、ゲート電極 2 9 , 3 0、第 1 の金属配線層 2 2、第 2 の金属配線層 2 4 が基板 2 0 側から順に形成される。ゲート電極 2 9 , 3 0 とチャンネル領域の間には図示しないゲート絶縁膜が形成される。第 1 の金属配線層 2 2 に形成された金属配線 ( 2 3 など ) は、図示しないコンタクトホール C H を介してフローティングディフュージョン F D またはトランジスタの不純物領域またはゲート電極と接続される。第 2 の金属配線層 2 4 に形成された金属配線 2 5 , 2 6 は、制御信号線 F D S W 1 ( n ) , F D S W 2 ( n ) , R S T ( n ) , T X 1 ( n ) , T X 2 ( n ) , S E L ( n )、電源配線 V D D \_ P X ( n )、および接地配線 G N D ( n ) に相当する。これらの金属配線 2 5 , 2 6 は、コンタクトホール C H を介して、第 1 金属配線層に形成された金属配線と接続される。

10

## 【 0 0 5 3 】

## [ 第 1 の実施形態の効果 ]

第 1 の実施形態の撮像装置によれば、フローティングディフュージョン F D と F D 連結線 F D C L との間に F D 切替えトランジスタ M F D S W 2 が形成される。さらに、リセットトランジスタ M R S T が電源ノード V D D とフローティングディフュージョン F D との間ではなく、電源ノード V D D と F D 連結線 F D C L との間に設けられる。この結果、フローティングディフュージョン F D の容量 C F D と F D 連結線 F D C L の容量とを切り離すことができるとともに、フローティングディフュージョン F D の容量 C F D からリセットトランジスタ M R S T のソース領域の容量を削減することができる。したがって、フォトダイオード P D からの電荷信号から電圧信号への変換ゲインが増大させることができるので、電圧信号に含まれるノイズを低減できる。

20

## 【 0 0 5 4 】

## [ 第 1 の実施形態の変形例 ]

F D 切替えトランジスタ M F D S W 1 は、必ずしも画素ユニット P U ごとに設ける必要はない。一般的には、複数の切替えトランジスタ M F D S W 1 は、各列に設けられた複数の画素ユニット P U の少なくとも一部にそれぞれ対応して設けられる。この場合、列方向に延在する複数の F D 連結線 F D C L が切替えトランジスタ M F D S W 1 によって連結される。各画素ユニット P U に設けられた F D 切替えトランジスタ M F D S W 2 は、同一列に設けられた複数の F D 連結線のいずれかとフローティングディフュージョン F D との間に接続される。

30

## 【 0 0 5 5 】

なお、上記の構成の場合、リセットトランジスタ M R S T は、必ずしも画素ユニット P U ごとに設ける必要はなく、複数の F D 連結線 F D C L にそれぞれ対応して設けてもよい。

## 【 0 0 5 6 】

## &lt; 第 2 の実施形態 &gt;

第 2 の実施形態では、1 回の露光による読出し期間中に、第 1 の実施形態の F D S W 2 オンモード ( 高照度撮像モード ) における読出し信号と、F D S W 2 オフモード ( 低照度撮像モード ) における読出し信号の両方を検出するものである。したがって、事前に被写体からの光の照度に応じて動作モードを設定する必要がないというメリットがある。

40

## 【 0 0 5 7 】

## [ 画素アレイの構成 ]

図 8 は、第 2 の実施形態による撮像装置において画素アレイの x 列目の構成を示す回路図である。図 8 では、列方向に隣接する 3 個の画素ユニット P U ( n - 1 , x ) , P U ( n , x ) , P U ( n + 1 , x ) の回路図が代表的に示されている。各画素ユニット P U の

50

回路構成は、第 1 の実施形態の場合と同じであるので説明を繰り返さない。なお、図 8 では、第  $n$  行の  $PU(n, x)$  に設けられたフローティングディフュージョン  $FD$  と  $FD$  切替えトランジスタ  $MFD SW 2$  を介して接続される  $FD$  連結線を、 $FDC L(n)$  と記載している。

【 0 0 5 8 】

図 8 の撮像装置では、水平走査回路 3 のさらに詳細な構成が示されている。具体的に、水平走査回路 3 は、画素アレイ 1 の列ごとに設けられ、出力信号線  $VO U T(x)$  に接続された定電流回路 4 とカラム回路 3 1 とを含む。各列の出力信号線  $VO U T(x)$  は、定電流回路 4 を介して接地ノード  $G N D$  に接続される。

【 0 0 5 9 】

[ カラム回路の構成 ]

図 9 は、図 8 のカラム回路の構成を示す回路図である。

【 0 0 6 0 】

カラム回路 3 1 は、画素ユニット  $PU(n, x)$  が出力信号線  $VO U T(x)$  を経由して出力するアナログ信号を、デジタル信号  $D x$  に変換して出力する。カラム回路 3 1 は、プログラマブルゲインアンプ (Programmable Gain Amplifier)  $P G A$  および  $A / D$  (Analog to Digital) 変換回路  $A D C$  を備える。 $A / D$  変換回路  $A D C$  は、シングルスロープ積分型  $A / D$  変換回路である。

【 0 0 6 1 】

( 1 . プログラマブルゲインアンプ  $P G A$  の構成・動作 )

プログラマブルゲインアンプ  $P G A$  は、入力容量  $C 1$ 、帰還容量  $C 2$ 、および差動アンプ  $A 1$  を含む。差動アンプ  $A 1$  には、電源電圧  $V D D 1$  および電源電圧  $G N D 1$  が印加され、差動アンプ  $A 1$  の正入力端子には、 $P G A$  参照電圧  $V R P$  が印加される。入力容量  $C 1$  の一端は、出力信号線  $VO U T$  と接続され、入力容量  $C 1$  の他端は、差動アンプ  $A 1$  の負入力端子と接続される。

【 0 0 6 2 】

差動アンプ  $A 1$  のゲインは、入力容量  $C 1$  の値と帰還容量  $C 2$  の値の比で決定される。入力容量  $C 1$  の一端に印加された画素ユニット  $PU$  の出力信号は、差動アンプ  $A 1$  で増幅され、 $P G A$  出力信号  $PO U T$  として、 $A / D$  変換回路  $A D C$  へ出力される。なお、差動アンプ  $A 1$  のゲイン調整は、入力容量  $C 1$  の値を  $P G A$  ゲイン設定信号  $G A I N$  で変更する代わりに、 $P G A$  ゲイン設定信号  $G A I N$  で帰還容量  $C 2$  の値を変更することで、行っても良い。差動アンプ  $A 1$  の設定ゲインは、一般的に、先に出力された 1 フレーム期間 (後述の図 5 参照) のデータに基づき、カラム回路 3 1 の後段に接続される図示しない  $D S P$  (デジタル・シグナル・プロセッサ : Digital Signal Processor) により設定される。

【 0 0 6 3 】

( 2 .  $A / D$  変換回路  $A D C$  の構成・動作 )

$A / D$  変換回路  $A D C$  は、容量  $C 3$ 、容量  $C 4$ 、コンパレータ  $A 2$ 、スイッチ  $S W 1$ 、およびスイッチ  $S W 2$  を含む。コンパレータ  $A 2$  には、電源電圧  $V D D 2$  および電源電圧  $G N D 2$  が印加される。

【 0 0 6 4 】

コンパレータ  $A 2$  の正入力端子  $A I N$  には、スイッチ  $S W 1$  を経由して、 $P G A$  出力信号  $PO U T$  が印加される。スイッチ  $S W 1$  の導通状態は、サンプリング信号  $S M P L$  により制御される。コンパレータ  $A 2$  の正入力端子  $A I N$  には、さらに、容量  $C 3$  の一端が接続され、容量  $C 3$  の他端には、ランプ信号  $R A M P$  が印加される。

【 0 0 6 5 】

コンパレータ  $A 2$  の負入力端子には、容量  $C 4$  の一端が接続され、容量  $C 4$  の他端には、電源電圧  $G N D 2$  が印加される。コンパレータ  $A 2$  の負入力端子には、さらに、スイッチ  $S W 2$  を経由して、コンパレータ  $A 2$  の出力が印加される。スイッチ  $S W 2$  の導通状態は、オートゼロ信号  $A T Z$  により制御される。コンパレータ  $A 2$  の正入力端子  $A I N$  へ  $P$

10

20

30

40

50

G A 出力信号 P O U T を印加する前に、オートゼロ信号 A T Z でスイッチ S W 2 を導通状態に設定して、コンパレータ A 2 の負入力端子に参照電圧を設定することで、A / D 変換回路 A D C のオフセットが除去される。

【 0 0 6 6 】

A / D 変換回路 A D C のオフセット除去後、スイッチ S W 1 を所定時間に亘り導通状態に設定し、コンパレータ A 2 の正入力端子 A I N に接続されている容量 C 3 の一端に、P G A 出力信号 P O U T の電圧に相当する電荷を保存する。この期間において、容量 C 3 の他端に印加するランプ信号 R A M P の電圧は、所定のレベルに維持しておく。その後、スイッチ S W 1 を非導通状態に設定し、ランプ信号 R A M P で P G A 出力 P O U T を高電位側へシフトし、さらに、一定の勾配にて掃引する。ランプ信号 R A M P で高電位側へシフトされた P G A 出力信号 P O U T の電圧と、コンパレータ A 2 の負入力端子に設定された参照電圧が一致すると、A / D 変換回路 A D C の出力信号 D x の論理レベルは反転する。

10

【 0 0 6 7 】

以上の処理により、A / D 変換回路 A D C は、P G A 出力信号 P O U T をパルス波形に変換する。そのパルス波形は、ランプ信号 R A M P で P G A 出力 P O U T を高電位側へシフトした時刻から、高電位側にシフトされた P G A 出力 P O U T が参照電圧と一致する時刻に亘り、生成される。このパルス波形が生成される時間を、図 9 に図示しないカウンタで計測し、そのカウント値を保持することで、画素ユニット P U が出力する信号はデジタル値に変換される。

【 0 0 6 8 】

20

[ ローリングシャッター方式について ]

図 1 0 は、ローリングシャッター方式による読出し動作を説明するためのタイミング図である。

【 0 0 6 9 】

図 1 0 のタイミング図は、1 回露光によるローリングシャッター方式で各画素ユニット P U のデータを読み出す場合を示す。説明を簡略化するため、図 1 に示す画素アレイ 1 は、1 行に ( N + 1 ) 個配置された画素ユニット P U が、第 0 行 ( R o w 0 ) から第 1 6 行 ( R o w 1 6 ) の計 1 7 行配置されていると仮定する。

【 0 0 7 0 】

図 1 0 に示すように、1 フレーム期間は、0 行に配置されている画素ユニット P U のデータ読出し開始時刻から、1 6 行に配置されている画素ユニット P U のデータ読出し完了時刻までの期間である。各行において、画素ユニット P U の読出し期間の前に、リセット期間と、各行に配置された光電変換素子 ( フォトダイオード ) P D 1 , P D 2 の露光時間に相当する光電子蓄積期間が設定される。

30

【 0 0 7 1 】

[ 読出し動作の詳細 ]

図 1 1 は、図 1 0 の各読出し期間における各画素ユニットの読出し動作を示すタイミング図である。

【 0 0 7 2 】

図 1 0 の光電子蓄積期間の終了後に開始される各読出し期間において、垂直走査回路 2 が制御信号線 T X 1 , T X 2 , R S T , S E L , F D S W 1 , F D S W 2 に出力する制御信号に応答して、各行の画素ユニット P U のフォトダイオード P D 1 , P D 2 の蓄積電荷が読み出される。

40

【 0 0 7 3 】

具体的に、図 1 1 の読出し期間 T R ( 0 ) において、垂直走査回路 2 は、制御信号線 T X 1 ( 0 ) , T X 2 ( 0 ) , R S T ( 0 ) , S E L ( 0 ) , F D S W 1 ( 0 ) , F D S W 2 ( 0 ) に出力する制御信号によって、第 0 行 ( R o w 0 ) に配置される N + 1 個の画素ユニット P U ( 0 , 0 ) ~ P U ( 0 , N ) から同時にデータを読み出す。画素アレイ 1 の第 0 行に配置された各画素ユニット P U の出力データは、各画素ユニット P U にそれぞれ接続された出力信号線 V O U T を経由して、対応する各カラム回路 3 1 へ入力される。同

50

様に、読出し期間 $TR(1) \sim TR(16)$ の各期間において、それぞれ、第1行から第16行に配置された各画素ユニット $PU$ のデータが読み出される。

【0074】

以下、図8および図11を参照して、画素アレイ1の第0行に配置された各画素ユニット $PU$ からデータを読み出す手順について説明する。なお、読出し期間 $TR(0)$ (時刻 $t100$ から時刻 $t101$ まで)は、前半( $t100 \sim t100A$ )と後半( $t100A \sim t101$ )に区分される。読出し期間 $TR(0)$ の前半において、第0行の各画素ユニット $PU$ のフォトダイオード $PD1$ に蓄積された電荷が読み出される。読出し期間 $TR(0)$ の後半において、第0行の各画素ユニット $PU$ のフォトダイオード $PD2$ に蓄積された電荷が読み出される。

10

【0075】

(1. フローティングディフュージョン $FD$ および $FD$ 連結線 $FDC L$ のリセット)

時刻 $t100$ と時刻 $tRST1$ との間で、垂直走査回路2は、制御信号線 $FDSW1(0)$ ,  $FDSW2(0)$ ,  $RST(0)$ の電圧を $L$ レベルから $H$ レベルに変化させることによって、第0行の各画素ユニット $PU$ の $FD$ 切替トランジスタ $MFD SW1$ ,  $MFD SW2$ およびリセットトランジスタ $M RST$ をオン状態にする。この結果、第0行の各画素ユニット $PU$ に設けられたフローティングディフュージョン $FD$ と、各列の $FD$ 連結線 $FDC L(0)$ ,  $FDC L(1)$ とがリセットされる。すなわち、これらの部位の電圧が電源電圧 $VDD$ に等しくなり、これらの部位に蓄積されていた電荷(電子)が放出される。このとき、制御信号線 $TX1(0)$ ,  $TX2(0)$ ,  $SEL(0)$ は $L$ レベルであるので、画素ユニット $PU(0, x)$ の転送トランジスタ $MTX1$ ,  $MTX2$ および選択トランジスタ $MSEL$ はオフ状態である。なお、図11に示す例では、第0行以外の制御信号線の電圧は全て $L$ レベルに設定されている。

20

【0076】

(2. 高照度用リセットレベルの読出し)

時刻 $tRST1$ と次の時刻 $tHR1$ との間で、垂直走査回路2は、制御信号線 $RST(0)$ の電圧を $H$ レベルから $L$ レベルに変化させることによって、第0行の各画素ユニット $PU$ に設けられたリセットトランジスタ $M RST$ をオフ状態にしてリセットを解除する。この結果、フローティングディフュージョン $FD$ の容量 $CFD$ および $FD$ 連結線 $FDC L(0)$ ,  $FDC L(1)$ の容量に、リセットノイズの原因となる電荷が蓄積される。以下、このリセットノイズを“高照度用リセットノイズ”と称する。

30

【0077】

時刻 $tRST1$ と次の時刻 $tHR1$ の間では、さらに、垂直走査回路2は、制御信号線 $SEL(0)$ の電圧を $L$ レベルから $H$ レベルに変化させることによって、第0行の各画素ユニット $PU$ に設けられた選択トランジスタ $MSEL$ をオン状態にする(すなわち、画素アレイ1の第0行が選択状態になる)。この結果、高照度用リセットノイズは、増幅トランジスタ $MAMI$ で増幅され、選択トランジスタ $MSEL$ および出力信号線 $VOU T$ を経由して、カラム回路31に出力される。

【0078】

次の時刻 $tHR1$ に、カラム回路31に含まれるプログラブルゲインアンプ $PGA$ は、増幅トランジスタ $MAMI$ が出力する高照度用リセットノイズを増幅し、増幅によって生成された高照度用リセットレベルを、 $PGA$ 出力信号 $POU T$ として出力する。

40

【0079】

(3. 低照度用リセットレベルの読出し)

時刻 $tHR1$ と次の時刻 $tLR1$ との間で、垂直走査回路2は、制御信号線 $FDSW2(0)$ の電圧を $H$ レベルから $L$ レベルに変化させることによって、第0行の各画素ユニット $PU$ に設けられた $FD$ 切替トランジスタ $MFD SW2$ をオフ状態にする。この結果、フローティングディフュージョン $FD$ の容量 $CFD$ から $FD$ 連結線 $FDC L(0)$ および $FDC L(1)$ の容量が分離される。このフローティングディフュージョンのみに起因するリセットノイズを“低照度用リセットノイズ”と称する。制御信号線 $SEL(0)$ の電

50

圧がHレベルで維持されているので、低照度用リセットノイズは増幅トランジスタMAMIによって増幅される。増幅後の低照度用リセットノイズは選択トランジスタMSELおよび出力信号線VOUTを経由して、カラム回路31に入力される。

【0080】

次の時刻 $t_{LR1}$ に、カラム回路31に含まれるプログラマブルゲインアンプPGAは、増幅トランジスタMAMIが出力する低照度用リセットノイズを増幅し、増幅によって生成された低照度用リセットレベルを、PGA出力信号POUTとして出力する。

【0081】

(4. 光電荷転送)

次の時刻 $t_{CT1}$ に、垂直走査回路2は、所定期間だけHレベルとなるワンショットパルスを制御信号線TX1(0)に出力する。このとき、第0行の各画素ユニットPUに接続される他の制御信号線の電圧は時刻 $t_{LR}$ における値を保持している。したがって、制御信号線TX1(0)の電圧がHレベルの期間、フォトダイオードPD1に蓄積されている光電荷(電子)は、フローティングディフュージョンFDに転送される。低照度撮像の場合には、転送された光電荷は全てフローティングディフュージョンFDに保持される。一方、高照度撮像の場合には、転送された光電荷が、フローティングディフュージョンFDに蓄積可能な電荷量の上限を超えることがあり得る。この場合、一部の光電荷がフローティングディフュージョンFDから溢れ出し、FD連結線FDCLの容量に保持される。

【0082】

(5. 低照度用信号レベルの読出し)

時刻 $t_{CT1}$ においてワンショットパルスが制御信号線TX1(0)に出力された後、フローティングディフュージョンFDは、低照度用リセットノイズの原因となる電荷と、フォトダイオードPD1から転送された電荷とを混合して保持している。このときのフローティングディフュージョンFDの電圧(以下、“低照度用混合信号”と称する)は、増幅トランジスタMAMIによって増幅される。増幅後の低照度用混合信号は、選択トランジスタMSELおよび出力信号線VOUTを経由して、カラム回路31に入力される。

【0083】

次の時刻 $t_{LS1}$ に、カラム回路31に含まれるプログラマブルゲインアンプPGAは、増幅トランジスタMAMIが出力する低照度用混合信号を増幅し、増幅によって生成された低照度用信号レベルを、PGA出力信号POUTとして出力する。高照度撮像時には、低照度用信号レベルは飽和電圧に達している場合がある。

【0084】

(6. 高照度用信号レベルの読出し)

時刻 $t_{LS1}$ と次の時刻 $t_{HS1}$ との間で、垂直走査回路2は、制御信号線FD SW2(0)の電圧をLレベルからHレベルに変化させることによって、第0行の各画素ユニットPUに設けられたFD切替えトランジスタMFD SW2をオン状態にする。この結果、フローティングディフュージョンFDとFD連結線FDCL(0)、FDCL(1)とが接続される。これにより、フローティングディフュージョンFDに保持されている電荷(リセットノイズの原因となる電荷とフォトダイオードPD1から転送された電荷とを含む)と、FD連結線FDCL(0)、FDCL(1)に保持されている電荷(リセットノイズの原因となる電荷とフローティングディフュージョンFDから溢れた電荷とを含む)とが混合される。混合された電荷は、フローティングディフュージョンFDおよびFD連結線FDCL(0)、FDCL(1)の全体で保持される。このときのフローティングディフュージョンFDおよびFD連結線FDCL(0)、FDCL(1)の電圧(以下、“高照度用混合信号”と称する)は、増幅トランジスタMAMIによって増幅される。増幅後の高照度用混合信号は、選択トランジスタMSELおよび出力信号線VOUTを経由して、カラム回路31に入力される。

【0085】

次の時刻 $t_{HS1}$ に、カラム回路31に含まれるプログラマブルゲインアンプPGAは、増幅トランジスタMAMIが出力する高照度用混合信号を増幅し、増幅によって生成さ

10

20

30

40

50



れた高照度用信号レベルを、PGA出力信号POUTとして出力する。

【0086】

(7. 読出し期間TR(0)の前半の終了)

高照度用信号レベルの読出し完了後、垂直走査回路2は、制御信号線SEL(0)の電圧をHレベルからLレベルに変化させることによって、第0行の各画素ユニットPUに設けられた選択トランジスタMSELをオフ状態にする(すなわち、画素アレイ1の第0行の選択が終了する)。時刻t100Aにおいて垂直走査回路2が制御信号線FDSW1(0)、FDSW2(0)の電圧をHレベルからLレベルに変化させることによって、読出し期間TR(0)の前半が終了する。

【0087】

(8. 読出し期間TR(0)の後半)

時刻t100Aから時刻t101までの読出し期間TR(0)の後半における制御信号線TX1(0)、TX2(0)、RST(0)、SEL(0)、FDSW1(0)、FDSW2(0)の電圧変化は、次の2点を除いて前半と同じである。図11では、前半の時刻tRST1、tHR1、tLR1、tCT1、tLS1、tHS1が、後半の時刻tRST2、tHR2、tLR2、tCT2、tLS2、tHS2にそれぞれ対応する。

【0088】

まず、時刻tCT2において、垂直走査回路2は、所定期間だけHレベルとなるワンショットパルスを制御信号線TX1(0)に代えて制御信号線TX2(0)に出力する。この結果、制御信号線TX2(0)の電圧がHレベルの期間、フォトダイオードPD2に蓄積されている光電荷(電子)は、フローティングディフュージョンFDに転送される。前述したように、高照度撮像の場合には、一部の光電荷がフローティングディフュージョンFDから溢れ出し、FD連結線FDCLの容量に保持されることがあり得る。

【0089】

さらに、時刻tHS2から時刻t101の間において、垂直走査回路2は、制御信号線SEL(0)の電圧をHレベルからLレベルに変化させた後、制御信号線RST(0)の電圧をLレベルからHレベルに変化させる。これによって、第0行の画素ユニットPUに設けられたフローティングディフュージョンFDの電圧と、各列のFD連結線FDCL(0)、FDCL(1)の電圧とがリセットされる(すなわち、電源電圧VDDに等しくなる)。垂直走査回路2は、時刻t101に制御信号線RST(0)の電圧をLレベルに戻す。

【0090】

(9. 読出し期間TR(0)の変形例)

読出し期間TR(0)において、制御信号線FDSW1(1)およびRST(1)の電圧を、第0行の制御信号線FDSW1(0)およびRST(0)の電圧と同様に变化させてもよい。そうすると、FD連結線FDCL(0)、FDCL(1)に加えて、FD連結線FDCL(2)もフローティングディフュージョンFDに接続されるようになる。この結果、リセットノイズの原因となる電荷およびフォトダイオードPD1、PD2の蓄積電荷は3個のFD連結線FDCL(0)~FDCL(2)に分配される。

【0091】

同様に、読出し期間TR(0)において、制御信号線FDSW1(1)~FDSW1(16)の各々の電圧を制御信号線FDSW1(0)と同様に变化させ、制御信号線RST(1)~RST(16)の各々の電圧を制御信号線RST(0)と同様に变化させてもよい。この場合、リセットノイズの原因となる電荷およびフォトダイオードPD1、PD2の蓄積電荷は、17個のFD連結線FDCL(0)~FDCL(16)に分配される。

【0092】

[読出し動作時のポテンシャル図]

図12は、図11に示す各時刻におけるポテンシャル図である。図12(A)は、実際に高照度の光を受光した場合のポテンシャル図であり、図12(B)は、実際に低照度の光を受光した場合のポテンシャル図である。図12において、低照度の光とは、フォトダ

10

20

30

40

50

イオードPD1に生成した光電荷の量が、フローティングディフュージョン容量CFDに納まる程度の照度の光を意味する。高照度の光とは、光電変換素子PD1が生成した光電荷の量が、フローティングディフュージョン容量CFDから溢れる程度の照度の光を意味する。なお、図12では、図11の読出し期間TR(0)の前半の場合について説明しているが、後半の場合も同じである。さらに、他の読出し期間についても同様である。

【0093】

光電子蓄積期間の終了後、時刻tRST1では、読出し対象の第0行に配置される各画素ユニットPUに設けられたリセットトランジスタMRSTおよびFD切替えトランジスタMFD SW1, MFD SW2がオン状態である。これにより、第0行の各画素ユニットPUに設けられたフローティングディフュージョンFDおよびFD連結線FDCL(0), FDCL(1)がリセットされる。すなわち、これらの部位の蓄積電荷(電子)が放出される。

10

【0094】

その後、リセットトランジスタMRSTがオフ状態になることにより、時刻tHR1において、高照度用リセットレベルの読出しが行われる。オン状態のFD切替えトランジスタMFD SW1, MFD SW2を介して、フローティングディフュージョンFDおよびFD連結線FDCL(0), FDCL(1)が接続されている。

【0095】

その後、FD切替えトランジスタMFD SW2がオフ状態になることによって、時刻tLR1に、低照度用リセットレベルの読出しが行われる。フローティングディフュージョンFDとFD連結線FDCL(0), FDCL(1)との間は非接続である。

20

【0096】

時刻tCT1に転送トランジスタMTX1がオン状態になることによって、フォトダイオードPD1に蓄積されている光電荷がフローティングディフュージョンFDに転送される。図12(A)に示すように高照度の光を受光した場合には、フローティングディフュージョンFDから溢れ出した電荷が、FD連結線FDCL(0), FDCL(1)に蓄積される。

【0097】

時刻tLS1に、低照度用信号レベルの読出しが行われる。フローティングディフュージョンFDの電圧は、増幅トランジスタMAMIによって増幅され、選択トランジスタMSELおよび出力信号線VOUTを経由して、カラム回路31へ出力される。図12(A)に示すように高照度の光を受光した場合には、低照度用信号レベルは飽和している。

30

【0098】

次に、FD切替えトランジスタMFD SW2がオン状態になった後、時刻tHSに高照度用信号レベルの読出しが行われる。FD切替えトランジスタMFD SW1がオン状態になることによって、フローティングディフュージョンFDの電荷とFD連結線FDCL(0), FDCL(1)の電荷が混合される。この結果、フローティングディフュージョンFDの容量CFLとFD連結線FDCL(0), FDCL(1)の容量とが並列接続され、これらの合成容量による電圧が、増幅トランジスタMAMIによって増幅され、選択トランジスタMSELおよび出力信号線VOUTを経由して、カラム回路31へ出力される。

40

【0099】

[カラム回路の信号波形]

図13は、カラム回路の信号波形を説明するためのタイミング図である。図13において、横軸は時間を表し、縦軸は上から順に、図9のプログラマブルゲインアンプPGAの出力信号POUT、A/D変換回路ADCに入力されるサンプリング信号SAMPL、コンパレータA2の正入力端子A INの電位、およびA/D変換回路ADCの出力信号Dxを模式的に示す。出力信号POUTは、高電位ほど撮像した光が暗いことを示している。

【0100】

図9および図13を参照して、A/D変換回路ADCは、プログラマブルゲインアンプPGAから出力される高照度用リセットレベル、低照度用リセットレベル、低照度用信号

50

レベル、および高照度用信号レベルを、それぞれサンプリングパルスTHR, TLR, TLS, THSがサンプリング信号SMP Lとして与えられることによって、コンパレータA2の正入力端子A INと接続された容量C3に保持する。

#### 【0101】

各サンプリング期間(THR, TLR, TLS, THS)の終了後のホールド期間において、コンパレータA2の正入力端子A INの電位は、所定の傾斜を有するランプ信号RAMPが重畳されることによって一旦高電位側へシフトされた後に一定の傾きで低下する。このときの正入力端子A INの電位が、参照電圧VREFと比較される。図6において、実線はランプ信号RAMPを、二点鎖線は参照電圧VREFを、破線はPGA出力信号POUTを示す。高照度リセットレベルおよび低照度リセットレベルは、参照電圧VREFの値を若干上回る程度の値であると想定しているため、波形図が煩雑にならないよう、両リセットレベルを示す破線は省略されている。

10

#### 【0102】

A/D変換回路ADCは、高照度用リセットレベルのホールド期間中に、ランプ信号RAMPが上昇を開始する時刻から、ランプ信号RAMPでシフトされた高照度用リセットレベルが参照電圧VREFを下回る時刻までの時間幅を有する高照度用デジタルリセット信号DHRxを出力する。信号名“DHRx”における最後の“x”は、画素アレイ1の第x列であることを示す。同様に、AD変換回路ADCは、低照度用リセットレベルのホールド期間中に低照度用デジタルリセット信号DLRxを出力し、低照度用信号レベルのホールド期間中に低照度用デジタル信号DLSxを出力し、高照度用信号レベルのホールド期間中に高照度用デジタル信号DHSxを出力する。なお、図8および図9では、これらのデジタル信号を総称してDxと記載している。

20

#### 【0103】

図8に示す各列のカラム回路31と接続された図示しないデジタル信号処理回路は、低照度用デジタル信号DLSxと低照度用デジタルリセット信号DLRxの差分を算出することによって、リセットノイズや低周波ノイズが除去された低照度用の信号成分を抽出する。同様に、デジタル信号処理回路は、高照度用デジタル信号DHSxと高照度用デジタルリセット信号DHRxの差分を算出することで、高照度用の信号成分を抽出する。

#### 【0104】

##### [第2の実施形態の効果]

30

第2の実施形態では、1回露光によるローリングシャッター方式における読出し期間中に、各FD切替えトランジスタMFD SW2をオン状態にすることによって得られる高照度リセットレベルおよび高照度信号レベルと、各FD切替えトランジスタMFD SW2をオフ状態にすることによって得られる低照度リセットレベルおよび低照度信号レベルとの両方を検出することができる。したがって、第1の実施形態のように事前に被写体からの照度に応じて動作モード(高照度撮像モードまたは低照度撮像モード)を設定する必要がないというメリットがある。

#### 【0105】

##### [第2の実施形態の変形例]

40

図14は、2回露光によるローリングシャッター方式で読出しを行う場合のタイミング図である。

#### 【0106】

図10に示される1回露光によるローリングシャッター方式と異なり、図14のタイミング図は、複数回露光を行うローリングシャッター方式の一例として、1フレーム期間に、長時間露光(低照度用)および短時間露光(高照度用)からなる2回露光を行うローリングシャッター方式を示す。図14に示すように、長時間露光における光電子蓄積期間は、短時間露光における光電子蓄積期間より、長く設定される。1フレーム期間における露光順序は、長時間露光と短時間露光の順番を入れ替えても良い。また、長時間露光および短時間露光における光電子蓄積時間の設定は、独立に可変制御しても良い。

#### 【0107】

50

時刻  $t_{100}$  から時刻  $t_{101}$  までの低照度用読出し期間では、垂直走査回路 2 は、第 0 行の各画素ユニット  $PU$  に接続された制御信号線  $RST(0)$  ,  $TX1(0)$  ,  $TX2(0)$  ,  $FDSW1(0)$  ,  $FDSW2(0)$  ,  $SEL(0)$  に対して、図 3 ( B ) に示されている電圧を供給する。これによって、第 0 行の各画素ユニット  $PU$  から低照度用リセットレベルおよび低照度用信号レベルが各列のカラム回路 3 1 にそれぞれ出力される。第 0 行以外の制御信号線の電圧は全て  $L$  レベルに設定されている。

#### 【 0 1 0 8 】

同様に、時刻  $t_{101}$  から時刻  $t_{102}$  までの低照度用読出し期間では、垂直走査回路 2 は、第 1 行の画素ユニット  $PU$  に接続された制御信号線  $RST(1)$  ,  $TX1(1)$  ,  $TX2(1)$  ,  $FDSW1(1)$  ,  $FDSW2(1)$  ,  $SEL(1)$  に対して、図 3 ( B ) に示される電圧を供給する。第 1 行以外の制御信号線の電圧は全て  $L$  レベルに設定されている。第 2 行から第 16 行についても同様である。

#### 【 0 1 0 9 】

時刻  $t_{200}$  から時刻  $t_{201}$  までの高照度用読出し期間では、垂直走査回路 2 は、第 0 列の各画素ユニット  $PU$  に接続された制御信号線  $RST(0)$  ,  $TX1(0)$  ,  $TX2(0)$  ,  $FDSW1(0)$  ,  $FDSW2(0)$  ,  $SEL(0)$  に対して、図 3 ( A ) に示される電圧を供給する。これによって、第 0 行の各画素ユニット  $PU$  から高照度用リセットレベルおよび高照度用信号レベルが各列のカラム回路 3 1 にそれぞれ出力される。第 0 行以外の制御信号線の電圧は全て  $L$  レベルに設定されている。

#### 【 0 1 1 0 】

同様に、時刻  $t_{201}$  から時刻  $t_{202}$  までの高照度用読出し期間では、垂直走査回路 2 は、第 1 行の画素ユニット  $PU$  に接続された制御信号線  $RST(1)$  ,  $TX1(1)$  ,  $TX2(1)$  ,  $FDSW1(1)$  ,  $FDSW2(1)$  ,  $SEL(1)$  に対して、図 3 ( A ) に示されている電圧を供給する。第 1 行以外の制御信号線の電圧は全て  $L$  レベルに設定されている。第 2 行から第 16 行についても同様である。

#### 【 0 1 1 1 】

カラム回路 3 1 に設けられた  $A/D$  変換回路  $ADC$  は、低照度用リセットレベルおよび低照度用信号レベルを、それぞれ、低照度用デジタルリセット信号  $DLR$  および低照度用デジタル信号  $DL S$  に変換して出力する。同様に、カラム回路 3 1 に設けられた  $A/D$  変換回路  $ADC$  は、高照度用リセットレベルおよび高照度用信号レベルを、それぞれ、高照度用デジタルリセット信号  $DHR$  および高照度用デジタル信号  $DHS$  に変換して出力する。

#### 【 0 1 1 2 】

カラム回路 3 1 の後段に設けられた図示しないデジタル信号処理回路は、低照度用デジタルリセット信号  $DLR$ 、低照度用デジタル信号  $DL S$ 、高照度用デジタルリセット信号  $DHR$ 、および高照度用デジタル信号  $DHS$  を  $HDR$  合成 ( High Dynamic Range Imaging 合成 ) することによって、ダイナミックレンジの広い画像を得ることができる。

#### 【 0 1 1 3 】

##### < 第 3 の実施形態 >

第 3 の実施形態による撮像装置では、図 8 および図 9 で説明したカラム回路 3 1 に代えて、図 15 に示すカラム回路 3 2 が用いられる。カラム回路 3 2 は、図 9 のカラム回路 3 1 を並列構成にしたものであり、高照度用リセットレベルおよび高照度用信号レベルと、低照度用リセットレベルおよび低照度用信号レベルとを並列的に  $A/D$  変換可能にしたものである。以下に、具体的に説明する。

#### 【 0 1 1 4 】

##### [ カラム回路の構成 ]

図 15 は、第 3 の実施形態による撮像装置において用いられるカラム回路の回路図である。図 15 を参照して、カラム回路 3 2 は、2 個のプロゲンプルゲインアンプ  $PGA1$  ,  $PGA2$  と、2 個の  $A/D$  変換回路  $ADC1$  ,  $ADC2$  とを含む。

#### 【 0 1 1 5 】

プログラマブルゲインアンプPGA1は、図9のプログラマブルゲインアンプPGAの構成に加えてスイッチSWCHを含む。同様に、プログラマブルゲインアンプPGA2は、図9のプログラマブルゲインアンプPGAの構成に加えてスイッチSWCLを含む。出力信号線VOUT(x)は、スイッチSWCHおよびスイッチSWCLの各一端と接続される。スイッチSWCHおよびスイッチSWCLの各他端は、それぞれ、プログラマブルゲインアンプPGA1の入力容量C1の一端およびプログラマブルゲインアンプPGA2の入力容量C1の一端と接続される。スイッチSWCHおよびスイッチSWCLは、それぞれ、高照度用カラム選択信号HSELおよび低照度用カラム選択信号LSELにより相補的にオンおよびオフする。

#### 【0116】

A/D変換回路ADC1, ADC2の各々の構成は、図9のA/D変換回路ADCの構成と同じである。具体的に、プログラマブルゲインアンプPGA1の出力信号POUT1は、図9のスイッチSW1に対応するスイッチSWSHを經由して、A/D変換回路ADC1の正入力端子AIN1に入力される。同様に、プログラマブルゲインアンプPGA2の出力信号POUT2は、図9のスイッチSW2に対応するスイッチSWSLを經由して、A/D変換回路ADC2の正入力端子AIN2に印加される。スイッチSWSHおよびスイッチSWSLは、それぞれ、サンプリング信号SMPHおよびサンプリング信号SMP Lにより開閉状態が制御される。A/D変換回路ADC1は、正入力端子AIN1に印加された信号をデジタル信号Dx1に変換して出力し、A/D変換回路ADC2は、正入力端子AIN2に印加された信号をデジタル信号Dx2に変換して出力する。

#### 【0117】

##### [カラム回路の信号波形]

図16は、図15に示すカラム回路の信号波形を説明するためのタイミング図である。図16では、1回露光によって画素ユニットPUを読み出す場合の波形が示されている。図16の横軸は時間を表す。図16の縦軸は上から順に、プログラマブルゲインアンプPGA1, PGA2の出力信号POUT1, POUT2、高照度用カラム選択信号HSEL、低照度用カラム選択信号LSEL、サンプリング信号SMPHおよびSMP L、正入力端子AIN1, AIN2の電位、A/D変換回路ADC1, ADC2の出力信号Dx1, Dx2を示す。出力信号POUT1, POUT2は、高電位ほど撮像した光が暗いことを示している。

#### 【0118】

図15および図16を参照して、時刻t1から時刻t2の間、高照度用カラム選択信号HSELがHレベルに設定され、低照度用カラム選択信号LSELがLレベルに設定される。この間に入力された高照度リセットレベルに合わせてサンプリングパルスTHRが入力されることによって、A/D変換回路ADC1は、高照度リセットレベルをコンパレータA2の正入力端子AIN1に接続された容量C3に保持する。

#### 【0119】

次の時刻t3から時刻t4の間、高照度用カラム選択信号HSELがLレベルに設定され、低照度用カラム選択信号LSELがHレベルに設定される。この間に入力された低照度リセットレベルに合わせてサンプリングパルスTLRが入力されることによって、A/D変換回路ADC2は、低照度リセットレベルをコンパレータA2の正入力端子AIN2に接続された容量C3に保持する。

#### 【0120】

高照度リセットレベルおよび低照度リセットレベルのホールド期間において、A/D変換回路ADC1の正入力端子AIN1の電位およびA/D変換回路ADC2の正入力端子AIN2の電位の各々は、所定の傾斜を有するランプ信号RAMPが重畳されることによって一旦高電位側へシフトされた後に一定の傾きで低下する。このときの正入力端子AIN1, AIN2の各電位が、参照電圧VREF比較される。図16において、実線はランプ信号RAMPを、二点鎖線は参照電圧VREFを示す。高照度リセットレベルおよび低照度リセットレベルは、参照電圧VREFの値を若干上回る程度の値であると想定される

10

20

30

40

50

ので、波形図が煩雑にならないように図示を省略している。

【 0 1 2 1 】

A / D 変換回路 A D C 1 は、ランプ信号 R A M P が上昇を開始する時刻から、ランプ信号 R A M P でシフトされた高照度用リセットレベルが参照電圧 V R E F を下回る時刻までの時間幅を有する高照度用デジタルリセット信号 D H R x を出力する。この出力と並行して、A / D 変換回路 A D C 2 は、ランプ信号 R A M P が上昇を開始する時刻から、ランプ信号 R A M P でシフトされた低照度用リセットレベルが参照電圧 V R E F を下回る時刻までの時間幅を有する低照度用デジタルリセット信号 D L R x を出力する。

【 0 1 2 2 】

続いて、高照度用カラム選択信号 H S E L が L レベルに設定され、低照度用カラム選択信号 L S E L が H レベルに設定された状態において、低照度信号レベルが入力される。この低照度信号レベルに合わせてサンプリングパルス T L S が入力されることによって、A / D 変換回路 A D C 2 は、低照度信号レベルをコンパレータ A 2 の正入力端子 A I N 2 に接続された容量 C 3 に保持する。

10

【 0 1 2 3 】

次の時刻 t 5 以降、高照度用カラム選択信号 H S E L が H レベルに設定され、低照度用カラム選択信号 L S E L が L レベルに設定されている。この間に入力された高照度信号レベルに合わせてサンプリングパルス T H S が入力されることによって、A / D 変換回路 A D C 1 は、高照度信号レベルをコンパレータ A 2 の正入力端子 A I N 1 に接続された容量 C 3 に保持する。

20

【 0 1 2 4 】

低照度信号レベルおよび高照度信号レベルのホールド期間において、A / D 変換回路 A D C 1 の正入力端子 A I N 1 の電位および A / D 変換回路 A D C 2 の正入力端子 A I N 2 の電位の各々は、所定の傾斜を有するランプ信号 R A M P が重畳されることによって一旦高電位側へシフトされた後に一定の傾きで低下する。このときの正入力端子 A I N 1 , A I N 2 の各電位が、参照電圧 V R E F 比較される。図 1 6 において、実線はランプ信号 R A M P を、二点鎖線は参照電圧 V R E F を示し、破線はランプ信号 R A M P でシフトされた高照度用信号レベルおよび低照度用信号レベルを示す。

【 0 1 2 5 】

A / D 変換回路 A D C 2 は、ランプ信号 R A M P が上昇を開始する時刻から、ランプ信号 R A M P でシフトされた低照度用信号レベルが参照電圧 V R E F を下回る時刻までの時間幅を有する低照度用デジタル信号 D L S x を出力する。この出力と並行して、A / D 変換回路 A D C 1 は、ランプ信号 R A M P が上昇を開始する時刻から、ランプ信号 R A M P でシフトされた高照度用信号レベルが参照電圧 V R E F を下回る時刻までの時間幅を有する高照度用デジタル信号 D H S x を出力する。

30

【 0 1 2 6 】

[ 第 3 の実施形態の効果 ]

図 1 5 および図 1 6 で説明したように第 3 の実施形態によれば、カラム回路 3 2 は、画素ユニット P U の列ごとに、高照度用カラム回路 ( プログラマブルゲインアンプ P G A 1 および A / D 変換回路 A D C 1 ) と低照度用カラム回路 ( プログラマブルゲインアンプ P G A 2 および A / D 変換回路 A D C 2 ) とを有する。出力信号線 V O U T が順次出力する信号は、スイッチ S W C H およびスイッチ S W C L で構成されるマルチプレクサで、順次、高照度用カラム回路および低照度用カラム回路に入力される。

40

【 0 1 2 7 】

カラム回路 3 2 の処理時間は、A / D 変換回路 A D C 1 および A / D 変換回路 A D C 2 が支配的である。特に、A / D 変換回路 A D C 1 および A / D 変換回路 A D C 2 に入力される信号の振幅が大きくなると、カラム回路 3 2 の処理時間の増加はより顕著になる。そのような大きな振幅の入力信号を処理する場合であっても、A / D 変換回路 A D C 1 および A / D 変換回路 A D C 2 を並行して動作させることにより、カラム回路 3 2 の処理時間を図 6 に示されるカラム回路 3 1 の処理時間と比較し、40 パーセント前後まで短縮する

50

ことができる。このようなカラム回路 3 2 の高速化により、撮像装置の画像処理能力を高速化することが可能となる。

【 0 1 2 8 】

< 第 4 の実施形態 >

[ 画素アレイの構成 ]

図 1 7 は、第 4 の実施形態による撮像装置において画素アレイの第  $x$  列目の構成を示す回路図である。

【 0 1 2 9 】

図 1 7 の画素アレイは、列ごとに、トプリセットトランジスタ  $M R S T \_ T ( x )$  およびボトムリセットトランジスタ  $M R S T \_ B ( x )$  ( 全リセットトランジスタと総称する場合がある ) をさらに含む点で、図 8 の画素アレイと異なる。各列のトプリセットトランジスタ  $M R S T \_ T ( x )$  は、最上端の  $F D$  連結線  $F D C L$  と電源ノード  $V D D$  との間に接続される  $N M O S$  トランジスタである。各列のボトムリセットトランジスタ  $M R S T \_ B ( x )$  は、各列の最下端の  $F D$  連結線  $F D C L$  と電源ノード  $V D D$  との間に接続される  $N M O S$  トランジスタである。トプリセットトランジスタ  $M R S T \_ T ( x )$  のゲートおよびボトムリセットトランジスタ  $M R S T \_ B ( x )$  のゲートには、垂直走査回路 2 から全リセット信号  $R S T \_ A L L$  が入力される。

10

【 0 1 3 0 】

図 1 7 のその他の点は図 8 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

20

【 0 1 3 1 】

[ 読出し動作の詳細 ]

図 1 8 は、図 1 7 の各画素ユニットの読出し動作を説明するためのタイミング図である。図 1 8 のタイミング図は基本的には図 1 1 のタイミング図と同じであるが以下の点異なる。なお、図 1 0 で説明したように画素アレイの行は第 0 行から第 1 6 行まで設けられているとする。

【 0 1 3 2 】

まず、読出し期間  $T R ( 0 )$  の前半が終了する時刻  $t 1 0 0 A$  の直前および後半が終了する時刻  $t 1 0 1$  の直前に、垂直走査回路 2 は、全リセット信号  $R S T \_ A L L$  としてワンショットパルスを出力するとともに、制御信号線  $R S T ( 0 ) \sim R S T ( 1 6 )$  および制御信号線  $F D S W 1 ( 1 ) \sim F D S W 1 ( 1 6 )$  にワンショットパルスを出力する。この間、制御信号線  $F D S W 1 ( 0 )$  および  $F D S W 2 ( 0 )$  は  $H$  レベルに維持されている。

30

【 0 1 3 3 】

他の読出し期間  $T R ( i )$  ( ただし、 $0 \leq i \leq 1 6$  ) についても同様に、読出し期間  $T R ( i )$  の前半が終了する直前および後半が終了する直前に、垂直走査回路 2 は、全リセット信号  $R S T \_ A L L$  としてワンショットパルスを出力するとともに、制御信号線  $R S T ( 0 ) \sim R S T ( 1 6 )$  にワンショットパルスを出力し、第  $i$  行を除く制御信号線  $F D S W 1$  にワンショットパルスを出力する。この間、制御信号線  $F D S W 1 ( i )$  および  $F D S W 2 ( i )$  は  $H$  レベルに維持されている。

40

【 0 1 3 4 】

以上の制御によって、各読出し期間の前半および後半が終了する直前に、トプリセットトランジスタ  $M R S T \_ T ( x )$  およびボトムリセットトランジスタ  $M R S T \_ B ( x )$  を介してすべての  $F D$  連結線  $F D C L ( 0 ) \sim F D C L ( 1 7 )$  の残留電荷を速やかに排出することができる。この結果、図 8 の構成の画素アレイを有する撮像装置よりも高速動作を実現できる。

【 0 1 3 5 】

< 第 5 の実施形態 >

[ 撮像装置の全体構成 ]

図 1 9 は、第 5 の実施形態による撮像装置の構成を示すブロック図である。図 1 9 の撮

50

像装置 101 は、画素アレイ 1 の各行に接続される制御信号線 FDSW1, FDSW2 が 1 本の制御信号線 FDSW に置換されている点で、図 1 の撮像装置 100 と異なる。さらに、図 20 で説明するように各画素ユニット PUA の構成が図 2 の画素ユニット PU と異なる。図 19 のその他の点は図 1 の場合と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

#### 【0136】

##### [画素ユニットの構成]

図 20 は、図 19 の各画素ユニットの等価回路図である。図 20 には、図 19 の制御信号線 FDSW, RST, TX1, TX2, SEL および出力信号線 VOUT に接続された 1 個の画素ユニット PUA が図示されている。

10

#### 【0137】

画素ユニット PUA は、2 個のフォトダイオード PD1, PD2、2 個の転送トランジスタ MTX1, MTX2、リセットトランジスタ MRST、増幅トランジスタ MAMI、および選択トランジスタ MSEL を含む。画素ユニット PUA は、さらに、FD 連結線 FDCU, FDCU, および FD 切替トランジスタ MFDSW1, MFDSW2 を含む。FD 連結線 FDCU, FDCU は、それぞれ列方向の上下の画素ユニット PUA と共有されている。これらの構成要素は、図 2 の場合と同じである。

#### 【0138】

図 20 の画素ユニット PUA が図 2 の場合と異なる点は、FD 切替トランジスタ MFDSW1 のゲートと FD 切替トランジスタ MFDSW2 のゲートとが相互に接続されているとともに、これらのゲートが共通の制御信号線 FDSW に接続されている点にある。FD 切替トランジスタ MFDSW1, MFDSW2 は、通常、面積縮小のためゲート電極が一体形成される。以下、FD 切替トランジスタ MFDSW1, MFDSW2 をまとめて、FD 切替部 MFDSW と称する。

20

#### 【0139】

なお、図 20 の場合、リセットトランジスタ MRST は、FD 連結線 FDCU と電源配線 VDDPX との間に接続される。図 20 のその他の点は図 2 の場合と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

#### 【0140】

##### [画素ユニットの動作]

図 21 は、図 20 の画素ユニットの読出し動作を示すタイミング図である。図 3 の場合と同様に、読出し動作には 2 種類の動作モード、すなわち、FDSW オンモード（高照度撮像モード）と FDSW オフモード（低照度撮像モード）とがある。

30

#### 【0141】

垂直走査回路 2 は、FDSW オンモードでは、信号読出し時に制御信号線 FDSW を H レベルにすることによって、FD 切替トランジスタ MFDSW1, MFDSW2 をオン状態にする。これによって、フローティングディフュージョン FD と FD 連結線 FDCU, FDCU とが連結された状態で信号読出しが行われるので、比較的高照度時において低 ISO 感度での撮像が可能になる。一方、FDSW オフモードでは、垂直走査回路 2 は、信号読出し時に制御信号線 FDSW を L レベルにすることによって、FD 切替トランジスタ MFDSW1, MFDSW2 をオフ状態にする。これによって、フローティングディフュージョン FD が FD 連結線 FDCU, FDCU から切断された状態で信号読出しが行われるので、比較的低照度時に高 ISO 感度での撮像を実現できる。この場合、初段アンプの増幅率を大きくできるので、ノイズ低減効果も期待できる。

40

#### 【0142】

以下、各動作モードにおける画素ユニットの動作について時間順に説明する。なお、図 21 (A) および図 21 (B) では、上から順に制御信号 RST, TX1, TX2, FDSW, SEL の電圧波形が示されている。

#### 【0143】

(1. FDSW オンモード、すなわち高照度撮像モードの場合)

50



図20および図21(A)を参照して、FDSWオンモード(高照度撮像モード)における読出し動作を説明する。

【0144】

時刻 $t_1$ において、垂直走査回路2は、制御信号線FDSWの電圧をHレベルにすることによって、フローティングディフュージョンFDの容量CFDにFD連結線FDC $\bar{L}$ 、FDC $\bar{L}$ Uの容量を接続する。時刻 $t_1$ において、垂直走査回路2は、さらに、制御信号線SELの電圧をHレベル(Hレベル)にすることによって、読出し対象となる行の画素ユニットPUAを選択する。なお、制御信号線FDSW、SELの電圧は、読出し動作中には常時Hレベルである。

【0145】

次の時刻 $t_2$ において、垂直走査回路2は、制御信号線RSTの電圧をHレベルにすることによって、フローティングディフュージョンFDおよびFD連結線FDC $\bar{L}$ 、FDC $\bar{L}$ Uの電圧をリセットする。これによって、フローティングディフュージョンFDの電位のリセットレベル(暗時レベル)が決まる。暗時レベルの電位は、列ごとの出力信号線VOUTを介して水平走査回路3に出力される。

【0146】

垂直走査回路2は、制御信号線RSTの電圧をLレベルに戻した後に、次の時刻 $t_3$ において、制御信号線TX1の電圧をHレベルにすることによって、フォトダイオードPD1に蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、フォトダイオードPD1に蓄積された電子数に比例して変化することにより、リセットレベルからフォトダイオードPD1の信号レベル(PD信号レベル)に変化する。転送後に制御信号線TX1の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して列ごとに水平走査回路3に出力される。

【0147】

次の時刻 $t_4$ において、フォトダイオードPD2の信号を読み出すため、垂直走査回路2は、制御信号線RSTの電圧をHレベルにすることによって、フローティングディフュージョンFDおよびFD連結線FDC $\bar{L}$ 、FDC $\bar{L}$ Uの電圧をリセットする。これによって、フローティングディフュージョンFDの電位のリセットレベルが決まる。

【0148】

垂直走査回路2は、制御信号線RSTの電圧をLレベルに戻した後に、次の時刻 $t_5$ において、制御信号線TX2の電圧をHレベルにすることによって、フォトダイオードPD2で蓄積された電子をフローティングディフュージョンFDに転送させる。これによって、フローティングディフュージョンFDの電位は、リセットレベルからフォトダイオードPD2の信号レベルに変化する。転送後に制御信号線TX2の電圧はLレベルに戻される。PD信号レベルは、出力信号線VOUTを介して行ごとに水平走査回路3に出力される。

【0149】

(2.FDSWオフモード、すなわち低照度撮像モードの場合)

図20および図21(B)を参照して、FDSWオフモード(低照度撮像モード)の動作を説明する。

【0150】

時刻 $t_1$ において、垂直走査回路2は、制御信号線SELの電圧をHレベルにすることによって、信号読出し対象となる行の画素ユニットPUAを選択する。なお、制御信号線SELの電圧は読出し動作中には常時Hレベルである。

【0151】

次の時刻 $t_2$ において、垂直走査回路2は、制御信号線RST、FDSWの電圧をHレベルにすることによって、フローティングディフュージョンFDの電圧をリセットする。これによって、フローティングディフュージョンFDの電位のリセットレベル(暗時レベル)が決まる。暗時レベルの電位は、出力信号線VOUTを介して行ごとに水平走査回路

10

20

30

40

50

3 に出力される。

【 0 1 5 2 】

垂直走査回路 2 は、制御信号線 R S T , F D S W の電圧を L レベルに戻した後に、次の時刻 t 3 において、制御信号線 T X 1 の電圧を H レベルにすることによって、フォトダイオード P D 1 で蓄積された電子をフローティングディフュージョン F D に転送させる。これによって、フローティングディフュージョン F D の電位は、リセットレベルからフォトダイオード P D 1 の信号レベル ( P D 信号レベル ) に変化する。転送後に制御信号線 T X 1 の電圧は L レベルに戻される。 P D 信号レベルは、出力信号線 V O U T を介して行ごとに水平走査回路 3 に出力される。

【 0 1 5 3 】

次の時刻 t 4 において、フォトダイオード P D 2 の信号を読み出すため、垂直走査回路 2 は、制御信号線 R S T , F D S W の電圧を H レベルにすることによって、フローティングディフュージョン F D の電圧をリセットする。これによって、フローティングディフュージョン F D の電位のリセットレベルが決まる。

【 0 1 5 4 】

垂直走査回路 2 は、制御信号線 R S T , F D S W の電圧を L レベルに戻した後に、次の時刻 t 5 において、制御信号線 T X 2 の電圧を H レベルにすることによって、フォトダイオード P D 2 で蓄積された電子をフローティングディフュージョン F D に転送させる。これによって、フローティングディフュージョン F D の電位は、リセットレベルからフォトダイオード P D 2 の信号レベルに変化する。転送後に制御信号線 T X 2 の電圧は L レベルに戻される。 P D 信号レベルは、出力信号線 V O U T を介して行ごとに水平走査回路 3 に出力される。

【 0 1 5 5 】

F D S W オンモードと比較した F D S W オフモードの特徴は、以下のとおりである。 F D S W オンモードでは、フローティングディフュージョン F D をリセットするために、制御信号線 R S T の電圧をローレベル ( L レベル ) から H レベルに切替える。制御信号線 F D S W は常時 H レベルである。これに対して、 F D S W オフモードでは、制御信号線 F D S W および R S T の両方の電圧を L レベルから H レベルに切替えることによってフローティングディフュージョン F D がリセットされる。すなわち、 F D S W オフモードでは、フローティングディフュージョン F D をリセットする役割を、リセットトランジスタ M R S T だけでなく、リセットトランジスタ M R S T と F D 切替えトランジスタ M F D S W 1 , M F D S E 2 との両方が担う。

【 0 1 5 6 】

[ 画素ユニットのレイアウト ]

図 2 2 は、第 5 の実施形態において、基板から第 1 金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。図 2 2 では、第 1 金属配線層の上層の第 2 金属配線層は概略的な配置のみが示されている。図 2 3 は、第 5 の実施形態において、基板から第 2 金属配線層までの画素ユニットのレイアウトを模式的に示す平面図である。図 2 4 は、第 5 の実施形態において、列方向に隣接する 3 つの画素ユニットについて、基板から第 1 金属配線層までレイアウトを模式的に示す平面図である。ただし、図 2 4 では図解を容易にするために一部の第 1 金属配線層を図示していない。

【 0 1 5 7 】

図 2 2 ~ 図 2 4 において、画素アレイの行方向を X 軸方向とし、列方向を Y 軸方向とする。 Y 軸方向で紙面の上下方向を区別する場合は、 + Y 方向および - Y 方向のように正負の符号を付して区別する。 X 軸方向についても同様である。図 2 0 で説明した各 N M O S トランジスタを表す参照符号は、ゲート電極に付されている。図解を容易にするために、ゲート電極層と第 1 金属配線層とにハッチングが付されている。

【 0 1 5 8 】

図 2 2 ~ 図 2 4 を参照して、画素ユニット P U A ( n , x ) を構成するフォトリソトランジスタ P D 1 , P D 2 は Y 軸方向に並んで配置される。フォトリソトランジスタ P D 1 , P D 2

10

20

30

40

50

の間にフローティングディフュージョンFDとしてN型不純物領域が形成される。フローティングディフュージョンFDとフォトトランジスタPD1との間のチャンネル領域を覆うように転送トランジスタMTX1用のゲート電極が形成される。同様に、フローティングディフュージョンFDとフォトトランジスタPD2との間のチャンネル領域を覆うように転送トランジスタMTX2用のゲート電極が形成される。

【0159】

フローティングディフュージョンFDに対して+X方向に隣接して、FD切替え部MFD SWが配置される。FD切替え部MFD SWは、不純物領域40、不純物領域41、およびフローティングディフュージョンFDと共通化された不純物領域42からなる3つの不純物領域の間がゲート電極部43で覆われた構造を有している。不純物領域40は、コンタクトホールCHを介して、第1金属配線層で形成され+Y方向に延びるFD連結線FDCL(n)と接続される。FD連結線FDCL(n)は、画素ユニットPUA(n+1, x)のFD切替え部MFD SWの不純物領域41とコンタクトホールCHを介して接続される。不純物領域41は、コンタクトホールを介して、第1金属配線層で形成され-Y方向に延びるFD連結線FDCL(n-1)と接続される。FD連結線FDCL(n-1)は、画素ユニットPUA(n-1, x)のFD切替え部MFD SWの不純物領域40と接続される。FD切替え部MFD SWの等価回路については図26~図28で後述する。

10

【0160】

フローティングディフュージョンFDに対して-X方向に隣接して、増幅トランジスタMAMIが配置される。増幅トランジスタMAMIの第1の不純物領域は、第1金属配線層で形成されて概ねY軸方向に延びる電源配線VDD\_PX2(x)と第1金属配線層の配線を介して接続される。増幅トランジスタMAMIのゲート電極は、第1金属配線層の配線を介してフローティングディフュージョンFDと接続される。

20

【0161】

フォトトランジスタPD2を挟んでフローティングディフュージョンFDと反対側に(すなわち、画素ユニットPUA(n, x)のフォトトランジスタPD2と画素ユニットPUA(n+1, x)のフォトトランジスタPD1との間に)、リセットトランジスタMRSTおよび選択トランジスタMSELがX軸方向に並んで配置される。リセットトランジスタMRSTは、+X方向側に配置される。リセットトランジスタMRSTの第1の不純物領域は、コンタクトホールCHを介してFD連結線FDCL(n)と接続される。リセットトランジスタMRSTの第2の不純物領域は、コンタクトホールCHを介して電源配線VDD\_PX2と接続される。

30

【0162】

選択トランジスタMSELの第1の不純物領域は、第1金属配線層で形成されて概ね-Y方向に延びる金属配線(この金属配線は、フォトダイオードPD2の端部をクロスオーバーする)を介して、増幅トランジスタMAMIの第2の不純物領域と接続される。選択トランジスタMSELの第2の不純物領域は、第1金属配線層で形成されてY軸方向に延びる出力信号線VOUT(x)とコンタクトホールCHを介して接続される。

【0163】

制御信号線FD SW(n), RST(n), TX1(n), TX2(n), SEL(n)と、電源配線VDD\_PX(n)とは、第2金属配線層を用いて形成される。制御信号線FD SW(n)は、FD切替え部MFD SWのゲート電極部43と、コンタクトホールCHを介して接続される。制御信号線RST(n)は、リセットトランジスタMRSTのゲート電極と、第1金属配線層で形成された金属配線を介して接続される。制御信号線TX1(n), TX2(n)は、それぞれ、転送トランジスタMTX1, MTX2のゲート電極と第1金属配線層で形成された金属配線を介して接続される。制御信号線SEL(n)は、選択トランジスタMSELのゲート電極と第1金属配線層で形成された金属配線を介して接続される。電源配線VDD\_PX(n)は、第1金属配線層で形成されて概ねY軸方向に延びる電源配線VDD\_PX2(x)とコンタクトホールCHを介して接続される。

40

50

## 【 0 1 6 4 】

図 2 5 は、図 2 3 の X X V - X X V 線に沿った断面図である。

図 2 5 を参照して、半導体基板 2 0 には、フォトダイオード P D 1 , P D 2 、フローティングディフュージョン F D 、および図示しないトランジスタの不純物領域（ソース領域およびドレイン領域）が形成される。

## 【 0 1 6 5 】

半導体基板 2 0 上には層間絶縁層 2 1 が形成され、層間絶縁層 2 1 の上に複数のカラーフィルタ 2 7 が形成される。さらに、複数のカラーフィルタ 2 7 の上には複数のマイクロレンズ 2 8 がそれぞれ形成される。カラーフィルタ 2 7 およびマイクロレンズ 2 8 は、対応するフォトダイオード P D 1 または P D 2 の上方に個別に形成されている。

10

## 【 0 1 6 6 】

層間絶縁層 2 1 中には、ゲート電極 2 9 , 3 0 、第 1 の金属配線層 2 2 、第 2 の金属配線層 2 4 が基板 2 0 側から順に形成される。ゲート電極 2 9 , 3 0 とチャネル領域の間には図示しないゲート絶縁膜が形成される。第 1 の金属配線層 2 2 に形成された金属配線（2 3 など）は、コンタクトホール C H を介してフローティングディフュージョン F D またはトランジスタの不純物領域またはゲート電極と接続される。第 2 の金属配線層 2 4 に形成された金属配線 2 5 , 2 6 は、制御信号線 F D S W ( n ) , R S T ( n ) , T X 1 ( n + 1 ) , T X 2 ( n ) , S E L ( n ) 、および電源配線 V D D \_ P X ( n ) に相当する。これらの金属配線 2 5 , 2 6 は、コンタクトホール C H を介して、第 1 金属配線層に形成された金属配線と接続される。

20

## 【 0 1 6 7 】

[ F D 切替え部の等価回路について ]

図 2 6 は、図 2 2 ~ 図 2 4 で示した F D 切替え部の構成を説明するための図である。図 2 6 ( A ) は、F D 切替え部 M F D S W のレイアウトを模式的に示し、図 2 6 ( B ) は、図 2 6 ( A ) のレイアウトに対応する回路図を示す。

## 【 0 1 6 8 】

図 2 6 ( A ) を参照して、F D 切替え部 M F D S W は、不純物領域 4 0 、不純物領域 4 1 、およびフローティングディフュージョン F D と共通化された不純物領域 4 2 からなる 3 つの不純物領域の間がゲート電極部 4 3 で覆われた構造を有している。不純物領域 4 0 は、コンタクトホール C H を介して F D 連結線 F D C L \_ U と接続され、不純物領域 4 1 は、コンタクトホール C H を介して F D 連結線 F D C L \_ L と接続される。

30

## 【 0 1 6 9 】

図 2 6 ( B ) に示すように、図 2 6 ( A ) の F D 切替え部 M F D S W は、3 つの N M O S トランジスタ M F D S W 2 \_ U , M F D S W 2 \_ L , M F D S W 1 が連結された構造を有している。N M O S トランジスタ M F D S W 2 \_ U は、フローティングディフュージョン F D と F D 連結線 F D C L \_ U との間に接続され、N M O S トランジスタ M F D S W 2 \_ L は、フローティングディフュージョン F D と F D 連結線 F D C L \_ U との間に接続される。N M O S トランジスタ M F D S W 1 は、F D 連結線 F D C L \_ U と F D 連結線 F D C L \_ L との間に接続される。

40

## 【 0 1 7 0 】

これらの N M O S トランジスタ M F D S W 2 \_ U , M F D S W 2 \_ L , M F D S W 1 のゲートは、図 2 6 ( A ) のゲート電極部 4 3 として一体形成されているので相互に電氣的に接続されている。したがって、共通の制御信号線 F D S W に与えられた制御信号によって、3 つのノード 4 0 , 4 1 , 4 2 （それぞれ F D 連結線 F D C L \_ U , F D C L \_ L 、フローティングディフュージョン F D と接続される）間の電氣的接続および電氣的遮断が制御される。

## 【 0 1 7 1 】

図 2 7 は、図 2 6 の F D 切替え部の第 1 の変形例を示す図である。図 2 7 ( A ) は、F D 切替え部 M F D S W のレイアウトを模式的に示し、図 2 7 ( B ) は、図 2 7 ( A ) のレイアウトに対応する回路図を示す。

50

## 【 0 1 7 2 】

図 2 7 ( B ) に示すように、図 2 7 ( A ) の F D 切替え部 M F D S W は、2 つの N M O S トランジスタ M F D S W 1 , M F D S W 2 が連結された構造を有しており、図 2 0 の回路図と同じ構造である。N M O S トランジスタ M F D S W 2 は、フローティングディフュージョン F D と F D 連結線 F D C L \_ \_ L との間に接続され、N M O S トランジスタ M F D S W 1 は、F D 連結線 F D C L \_ \_ U と F D 連結線 F D C L \_ \_ L との間に接続される。

## 【 0 1 7 3 】

これらの N M O S トランジスタ M F D S W 1 , M F D S W 2 のゲートは、図 2 7 ( A ) のゲート電極部 4 3 として一体形成されているので相互に電氣的に接続されている。したがって、共通の制御信号線 F D S W に与えられた制御信号によって、3 つのノード 4 0 , 4 1 , 4 2 (それぞれ、F D 連結線 F D C L \_ \_ U , F D C L \_ \_ L 、フローティングディフュージョン F D と接続される) 間の電氣的接続および電氣的遮断が制御される。

10

## 【 0 1 7 4 】

図 2 8 は、図 2 6 の F D 切替え部の第 2 の変形例を示す図である。図 2 8 ( A ) は、F D 切替え部 M F D S W のレイアウトを模式的に示し、図 2 8 ( B ) は、図 2 8 ( A ) のレイアウトに対応する回路図を示す。

## 【 0 1 7 5 】

図 2 8 ( B ) に示すように、図 2 8 ( A ) の F D 切替え部 M F D S W は、2 つの N M O S トランジスタ M F D S W 1 \_ \_ U , M F D S W 1 \_ \_ L が連結された構造を有している。N M O S トランジスタ M F D S W 1 \_ \_ U , M F D S W 2 \_ \_ L は、F D 連結線 F D C L \_ \_ U と F D 連結線 F D C L \_ \_ L との間に直列に接続される。フローティングディフュージョン F D は、N M O S トランジスタ M F D S W 1 \_ \_ U , M F D S W 2 \_ \_ L の接続ノード 4 2 と接続される。

20

## 【 0 1 7 6 】

これらの N M O S トランジスタ M F D S W 1 \_ \_ U , M F D S W 2 \_ \_ L のゲートは、図 2 8 ( A ) のゲート電極部 4 3 として一体形成されているので相互に電氣的に接続されている。したがって、共通の制御信号線 F D S W に与えられた制御信号によって、3 つのノード 4 0 , 4 1 , 4 2 (それぞれ、F D 連結線 F D C L \_ \_ U , F D C L \_ \_ L 、フローティングディフュージョン F D と接続される) 間の電氣的接続および電氣的遮断が制御される。

## 【 0 1 7 7 】

[ 第 5 の実施形態の効果 ]

第 5 の実施形態によれば、第 1 の実施形態における 2 つの F D 切替えトランジスタ M F D S W 1 , M F D S W 2 は、これらのゲートが相互に接続されることによって 1 つの制御信号線で制御される。より一般的には、各画素ユニットは、共通の制御信号にตอบสนองして第 1 ~ 第 3 のノード間を電氣的に接続または電氣的に遮断する F D 切替え部 M F D S W を含む。第 1 および第 2 のノードは、列方向に隣接する上側および下側の F D 連結線とそれぞれ接続される。第 3 のノードは、フローティングディフュージョン F D に接続される。

30

## 【 0 1 7 8 】

したがって、第 1 の実施形態に比べて制御信号線の配線本数を削減することができる。さらに、制御配線数の削減により、図 7 に示す第 1 の実施形態の場合の画素断面構造から図 2 5 の画素の断面構造のように開口率が上がるため、感度特性劣化の抑制が可能となる。また、2 つの F D 切替えトランジスタ M F D S W 1 , M F D S W 2 (すなわち、F D 切替え部を構成する複数のトランジスタ) のゲート電極は一体形成されるので、これらのトランジスタの配置に必要な面積を削減することができる。このため、画素ユニットに含まれる各トランジスタの配置の自由度が増す。

40

## 【 0 1 7 9 】

[ 変形例 ]

F D 切替えトランジスタ M F D S W 1 は、必ずしも画素ユニット P U A ごとに設ける必要はない。一般的には、複数の切替えトランジスタ M F D S W 1 は、各列に設けられた複数の画素ユニット P U A の少なくとも一部にそれぞれ対応して設けられる。この場合、列

50

方向に延在する複数のFD連結線FDCLを連結するように各切替えトランジスタMFDSW1が配置される。各画素ユニットPUAに設けられたFD切替えトランジスタMFDSW2は、同一列に設けられた複数のFD連結線のいずれかとフローティングディフュージョンFDとの間に接続される。各切替えトランジスタMFDSW1のゲートは、対応する画素ユニットPUAの切替えトランジスタMFDSW2のゲートと電氣的に接続される。各切替えトランジスタMFDSW1のゲート電極と対応する切替えトランジスタMFDSW2のゲート電極とは一体形成されているのが望ましい。

【0180】

なお、上記の構成の場合、リセットトランジスタMRSTは、必ずしも画素ユニットPUAごとに設ける必要はなく、複数のFD連結線FDCLにそれぞれ対応して設けてもよい。

10

【0181】

上記のFD切替えトランジスタMFDSW1に代えて、第1～第3のノード間を電氣的に接続または電氣的に遮断するFD切替え部MFDSWを設けてもよい。複数のFD切替え部MFDSWは、隣り合うFD連結線FDCLの間にそれぞれ接続される。各FD切替え部MFDSWの第1のノードは、対応する画素ユニットPUAのフローティングディフュージョンFDと接続される。各FD切替え部MFDSWの第2および第3のノードは、列方向の上側および下側に隣接するFD連結線FDCLと接続される。

【0182】

<第6の実施形態>

20

第6の実施形態では、ローリングシャッター方式での1回の露光による読出し期間中に、第5の実施形態で説明したFDSWオンモード（高照度撮像モード）における読出し信号と、FDSWオフモード（低照度撮像モード）における読出し信号の両方を検出するものである。したがって、事前に被写体からの光の照度に応じて動作モードを設定する必要がないというメリットがある。

【0183】

なお、ローリングシャッター方式は図10で説明したものと同一であるので、以下では説明を繰り返さない。

【0184】

[画素アレイの構成]

30

図29は、第6の実施形態による撮像装置において画素アレイのx列目の構成を示す回路図である。図29では、列方向に隣接する3個の画素ユニットPUA( $n-1, x$ )、PUA( $n, x$ )、PUA( $n+1, x$ )の回路図が代表的に示されている。各画素ユニットPUAの回路構成は、第1の実施形態の場合と同じであるので説明を繰り返さない。なお、図29では、第n行のPUA( $n, x$ )に設けられたフローティングディフュージョンFDとFD切替えトランジスタMFDSW2を介して接続されるFD連結線を、FDCL( $n$ )と記載している。

【0185】

図29の撮像装置では、水平走査回路3のさらに詳細な構成が示されている。具体的な構成は、図8および図9で説明したものと同一であるので、以下では詳細な説明を繰り返さない。なお、図29のカラム回路31に代えて図15で説明したカラム回路32を設けることもできる。

40

【0186】

[読出し動作の詳細]

図30は、図29の各画素ユニットの読出し動作を説明するためのタイミング図である。なお、説明を簡略化するため、画素アレイでは、1行に( $N+1$ )個配置された画素ユニットPUが、第0行(Row0)から第16行(Row16)の計17行配置されると仮定する。

【0187】

図10で説明した光電子蓄積期間の終了後に開始される各読出し期間において、垂直走

50

査回路 2 によって制御信号線 TX 1, TX 2, RST, SEL, FDSW に出力される制御信号にตอบสนองして、各行の画素ユニット PUA のフォトダイオード PD 1, PD 2 の蓄積電荷が読み出される。

【0188】

具体的に、図 30 の読出し期間 TR ( 0 ) において、垂直走査回路 2 は、制御信号線 TX 1 ( 0 ), TX 2 ( 0 ), RST ( 0 ), SEL ( 0 ), FDSW ( 0 ) に出力する制御信号によって、第 0 行 ( Row 0 ) に配置された N + 1 個の画素ユニット PUA ( 0, 0 ) ~ PUA ( 0, N ) から同時にデータを読み出す。画素アレイ 1 の第 0 行に配置された各画素ユニット PUA の出力データは、各画素ユニット PUA にそれぞれ接続された出力信号線 VOUT を経由して、対応する各カラム回路 3 1 へ入力される。同様に、読出し期間 TR ( 1 ) ~ TR ( 16 ) の各期間において、それぞれ、第 1 行から第 16 行に配置された各画素ユニット PUA のデータが読み出される。

10

【0189】

以下、図 29 および図 30 を参照して、画素アレイ 1 の第 0 行に配置された各画素ユニット PUA からデータを読み出す手順について説明する。なお、読出し期間 TR ( 0 ) ( 時刻 t 100 から時刻 t 101 まで ) は、前半 ( t 100 ~ t 100A ) と後半 ( t 100A ~ t 101 ) に区分される。読出し期間 TR ( 0 ) の前半において、第 0 行の各画素ユニット PUA のフォトダイオード PD 1 に蓄積された電荷が読み出される。読出し期間 TR ( 0 ) の後半において、第 0 行の各画素ユニット PUA のフォトダイオード PD 2 に蓄積された電荷が読み出される。

20

【0190】

( 1 . フローティングディフュージョン FD および FD 連結線 FDC L のリセット )

時刻 t 100 と時刻 t RST 1 との間で、垂直走査回路 2 は、制御信号線 FDSW ( 0 ), RST ( 0 ) の電圧を L レベルから H レベルに変化させることによって、第 0 行の各画素ユニット PUA の FD 切替トランジスタ MFDSW およびリセットトランジスタ MRST をオン状態にする。この結果、第 0 行の各画素ユニット PUA に設けられたフローティングディフュージョン FD と、各列の FD 連結線 FDC L ( 0 ), FDC L ( 1 ) とがリセットされる。このとき、制御信号線 TX 1 ( 0 ), TX 2 ( 0 ), SEL ( 0 ) は L レベルであるので、画素ユニット PUA ( 0, x ) の転送トランジスタ MTX 1, MTX 2 および選択トランジスタ MSEL はオフ状態である。なお、図 30 に示す例では、第 0 行以外の制御信号線の電圧は全て L レベルに設定されている。

30

【0191】

( 2 . 高照度用リセットレベルの読出し )

時刻 t RST 1 と次の時刻 t HR 1 との間で、垂直走査回路 2 は、制御信号線 RST ( 0 ) の電圧を H レベルから L レベルに変化させることによって、第 0 行の各画素ユニット PUA に設けられたリセットトランジスタ MRST をオフ状態にしてリセットを解除する。この結果、フローティングディフュージョン FD の容量 CFD および FD 連結線 FDC L ( 0 ), FDC L ( 1 ) の容量に、高照度用リセットノイズの原因となる電荷が蓄積される。

40

【0192】

時刻 t RST 1 と次の時刻 t HR 1 との間では、さらに、垂直走査回路 2 は、制御信号線 SEL ( 0 ) の電圧を L レベルから H レベルに変化させることによって、第 0 行の各画素ユニット PUA に設けられた選択トランジスタ MSEL をオン状態にする ( すなわち、画素アレイ 1 の第 0 行が選択状態になる ) 。この結果、高照度用リセットノイズは、増幅トランジスタ MAMI で増幅され、選択トランジスタ MSEL および出力信号線 VOUT を経由して、カラム回路 3 1 に出力される。

【0193】

次の時刻 t HR 1 に、カラム回路 3 1 に含まれるプログラマブルゲインアンプ PGA は、増幅トランジスタ MAMI が出力する高照度用リセットノイズを増幅し、増幅によって生成された高照度用リセットレベルを、PGA 出力信号 POUT として出力する。

50

## 【 0 1 9 4 】

( 3 . 低照度用リセットレベルの読出し )

時刻  $t_{HR1}$  と次の時刻  $t_{LR1}$  との間で、垂直走査回路 2 は、制御信号線  $FDSW(0)$  の電圧を H レベルから L レベルに変化させることによって、第 0 行の各画素ユニット  $PUA$  に設けられた  $FD$  切替えトランジスタ  $MFD SW 1$  ,  $MFD SW 2$  をオフ状態にする。この結果、フローティングディフュージョン  $FD$  の容量  $CFD$  から  $FD$  連結線  $FDC L(0)$  および  $FDC L(1)$  の容量が分離される。制御信号線  $SEL(0)$  の電圧が H レベルで維持されているので、フローティングディフュージョン  $FD$  のみに起因する低照度用リセットノイズは増幅トランジスタ  $MAMI$  によって増幅される。増幅後の低照度用リセットノイズは選択トランジスタ  $MSEL$  および出力信号線  $VOU T$  を経由して、カラム回路 3 1 に入力される。

10

## 【 0 1 9 5 】

次の時刻  $t_{LR1}$  に、カラム回路 3 1 に含まれるプログラマブルゲインアンプ  $PGA$  は、増幅トランジスタ  $MAMI$  が出力する低照度用リセットノイズを増幅し、増幅によって生成された低照度用リセットレベルを、 $PGA$  出力信号  $POU T$  として出力する。

## 【 0 1 9 6 】

( 4 . 光電荷転送 )

次の時刻  $t_{CT1}$  に、垂直走査回路 2 は、所定期間だけ H レベルとなるワンショットパルスを制御信号線  $TX 1(0)$  に出力する。このとき、第 0 行の各画素ユニット  $PUA$  に接続される他の制御信号線の電圧は時刻  $t_{LR}$  における値を保持している。したがって、制御信号線  $TX 1(0)$  の電圧が H レベルの期間、フォトダイオード  $PD 1$  に蓄積されている光電荷 ( 電子 ) は、フローティングディフュージョン  $FD$  に転送される。高照度撮像の場合には、一部の光電荷がフローティングディフュージョン  $FD$  から溢れ出し、 $FD$  連結線  $FDC L$  の容量に保持される場合がある。

20

## 【 0 1 9 7 】

( 5 . 低照度用信号レベルの読出し )

時刻  $t_{CT1}$  においてワンショットパルスが制御信号線  $TX 1(0)$  に出力された後、フローティングディフュージョン  $FD$  は、低照度用リセットノイズの原因となる電荷と、フォトダイオード  $PD 1$  から転送された電荷とが混合された低照度用混合信号を保持している。低照度用混合信号は、増幅トランジスタ  $MAMI$  によって増幅された後、選択トランジスタ  $MSEL$  および出力信号線  $VOU T$  を経由して、カラム回路 3 1 に入力される。

30

## 【 0 1 9 8 】

次の時刻  $t_{LS1}$  に、カラム回路 3 1 に含まれるプログラマブルゲインアンプ  $PGA$  は、増幅トランジスタ  $MAMI$  が出力する低照度用混合信号を増幅し、増幅によって生成された低照度用信号レベルを、 $PGA$  出力信号  $POU T$  として出力する。高照度撮像の場合には、低照度用信号レベルは飽和電圧に達している場合がある。

## 【 0 1 9 9 】

( 6 . 高照度用信号レベルの読出し )

時刻  $t_{LS1}$  と次の時刻  $t_{HS1}$  との間で、垂直走査回路 2 は、制御信号線  $FDSW(0)$  の電圧を L レベルから H レベルに変化させることによって、第 0 行の各画素ユニット  $PUA$  に設けられた  $FD$  切替えトランジスタ  $MFD SW 1$  ,  $MFD SW 2$  をオン状態にする。この結果、フローティングディフュージョン  $FD$  と  $FD$  連結線  $FDC L(0)$  ,  $FDC L(1)$  とが接続される。これにより、フローティングディフュージョン  $FD$  に保持されている電荷と、 $FD$  連結線  $FDC L(0)$  ,  $FDC L(1)$  に保持されている電荷とが混合される。混合された電荷は、フローティングディフュージョン  $FD$  および  $FD$  連結線  $FDC L(0)$  ,  $FDC L(1)$  の全体で保持される。このときのフローティングディフュージョン  $FD$  および  $FD$  連結線  $FDC L(0)$  ,  $FDC L(1)$  の電圧値 ( 高照度用混合信号 ) は、増幅トランジスタ  $MAMI$  によって増幅された後に、選択トランジスタ  $MSEL$  および出力信号線  $VOU T$  を経由して、カラム回路 3 1 に入力される。

40

## 【 0 2 0 0 】

50



次の時刻  $t_{HS1}$  に、カラム回路 31 に含まれるプログラマブルゲインアンプ P G A は、増幅トランジスタ M A M I が出力する高照度用混合信号を増幅し、増幅によって生成された高照度用信号レベルを、P G A 出力信号 P O U T として出力する。

【0201】

(7. 読出し期間 T R ( 0 ) の前半の終了)

高照度用信号レベルの読出し完了後、垂直走査回路 2 は、制御信号線 S E L ( 0 ) の電圧を H レベルから L レベルに変化させることによって、第 0 行の各画素ユニット P U A に設けられた選択トランジスタ M S E L をオフ状態にする(すなわち、画素アレイ 1 の第 0 行の選択が終了する)。時刻  $t_{100A}$  において垂直走査回路 2 が制御信号線 F D S W ( 0 ) の電圧を H レベルから L レベルに変化させることによって、読出し期間 T R ( 0 ) の前半が終了する。

10

【0202】

(8. 読出し期間 T R ( 0 ) の後半)

時刻  $t_{100A}$  から時刻  $t_{101}$  までの読出し期間 T R ( 0 ) の後半における制御信号線 T X 1 ( 0 ) , T X 2 ( 0 ) , R S T ( 0 ) , S E L ( 0 ) , F D S W ( 0 ) の電圧変化は、次の 2 点を除いて前半と同じである。なお、図 11 では、前半の時刻  $t_{RST1}$  ,  $t_{HR1}$  ,  $t_{LR1}$  ,  $t_{CT1}$  ,  $t_{LS1}$  ,  $t_{HS1}$  が、後半の時刻  $t_{RST2}$  ,  $t_{HR2}$  ,  $t_{LR2}$  ,  $t_{CT2}$  ,  $t_{LS2}$  ,  $t_{HS2}$  にそれぞれ対応する。

【0203】

まず、時刻  $t_{CT2}$  において、垂直走査回路 2 は、所定期間だけ H レベルとなるワンショットパルス制御信号線 T X 1 ( 0 ) に代えて制御信号線 T X 2 ( 0 ) に出力する。この結果、制御信号線 T X 2 ( 0 ) の電圧が H レベルの期間、フォトダイオード P D 2 に蓄積されている光電荷(電子)は、フローティングディフュージョン F D に転送される。前述したように、高照度撮像の場合には、一部の光電荷がフローティングディフュージョン F D から溢れ出し、F D 連結線 F D C L の容量に保持されることがあり得る。

20

【0204】

さらに、時刻  $t_{HS2}$  から時刻  $t_{101}$  の間において、垂直走査回路 2 は、制御信号線 S E L ( 0 ) の電圧を H レベルから L レベルに変化させた後、制御信号線 R S T ( 0 ) の電圧を L レベルから H レベルに変化させる。これによって、第 0 行の画素ユニット P U A に設けられたフローティングディフュージョン F D の電圧と、各列の F D 連結線 F D C L ( 0 ) , F D C L ( 1 ) の電圧とがリセットされる。その後、垂直走査回路 2 は、時刻  $t_{101}$  に制御信号線 R S T ( 0 ) の電圧を L レベルに戻す。

30

【0205】

[第 6 の実施形態の効果]

第 6 の実施形態では、1 回露光によるローリングシャッター方式における読出し期間中に、各 F D 切替え部 M F D S W をオン状態にすることによって得られる高照度リセットレベルおよび高照度信号レベルと、各 F D 切替え部 M F D S W をオフ状態にすることによって得られる低照度リセットレベルおよび低照度信号レベルとの両方を検出することができる。したがって、第 5 の実施形態のように事前に被写体からの光の照度に依りて動作モード(高照度撮像モードまたは低照度撮像モード)を設定する必要がないというメリットがある。

40

【0206】

[第 6 の実施形態の第 1 の変形例]

図 14 に示す 2 回露光によるローリングシャッター方式を第 5 の実施形態の撮像装置に適用することができる。

【0207】

具体的に図 14 の時刻  $t_{100}$  から時刻  $t_{101}$  までの低照度用読出し期間では、垂直走査回路 2 は、第 0 列の各画素ユニット P U A に接続された制御信号線 R S T ( 0 ) , T X 1 ( 0 ) , T X 2 ( 0 ) , F D S W ( 0 ) , S E L ( 0 ) に対して、図 21 ( B ) に示す電圧信号を供給する。これによって、第 0 行の各画素ユニット P U A から低照度用リセ

50

ットレベルおよび低照度用信号レベルが各列のカラム回路31にそれぞれ出力される。第0行以外の制御信号線の電圧は全てLレベルに設定されている。第1行から第16行についても同様である。

#### 【0208】

時刻 $t_{200}$ から時刻 $t_{201}$ までの高照度用読出し期間では、垂直走査回路2は、第0列の各画素ユニットPUAに接続された制御信号線RST(0), TX1(0), TX2(0), FDSW(0), SEL(0)に対して、図21(A)に示す電圧信号を供給する。これによって、第0行の各画素ユニットPUAから高照度用リセットレベルおよび高照度用信号レベルが各列のカラム回路31にそれぞれ出力される。第0行以外の制御信号線の電圧は全てLレベルに設定されている。第1行から第16についても同様である。

10

#### 【0209】

[第6の実施形態の第2の変形例]

図29の回路図に第4の実施形態で説明したトプリセットトランジスタMRST\_T(x)およびボトムリセットトランジスタMRST\_B(x)を組み合わせることができる。すなわち、各列のトプリセットトランジスタMRST\_T(x)は、最上端のFD連結線FDCLと電源ノードVDDとの間に接続される。各列のボトムリセットトランジスタMRST\_B(x)は、各列の最下端のFD連結線FDCLと電源ノードVDDとの間に接続される。トプリセットトランジスタMRST\_T(x)のゲートおよびボトムリセットトランジスタMRST\_B(x)のゲートには、垂直走査回路2から全リセット信号RST\_ALLが入力される。

20

#### 【0210】

図31は、第6の実施形態に第4の実施形態のリセットトランジスタを組み合わせた撮像装置において、各画素ユニットの読出し動作を説明するためのタイミング図である。図18で説明したように、読出し期間TR(i)(ただし、 $0 \leq i \leq 16$ )の前半が終了する直前および後半が終了する直前に、垂直走査回路2は、全リセット信号RST\_ALLとしてワンショットパルスを出力するとともに、制御信号線RST(0)~RST(16)にワンショットパルスを出力し、第i行を除く制御信号線FDSWにワンショットパルスを出力する。この間、制御信号線FDSW(i)はHレベルに維持されている。

#### 【0211】

以上の制御によって、各読出し期間の前半および後半が終了する直前に、トプリセットトランジスタMRST\_T(x)およびボトムリセットトランジスタMRST\_B(x)を介して全てのFD連結線FDCL(0)~FDCL(17)および全てのフローティングディフュージョンFDの残留電荷を速やかに排出することができる。この結果、高速動作を実現できる。

30

#### 【0212】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【符号の説明】

#### 【0213】

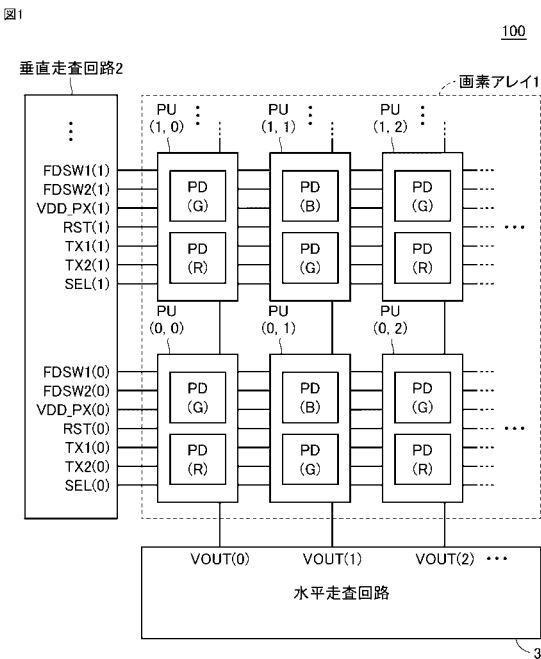
1 画素アレイ、2 垂直走査回路、3 水平走査回路、4 定電流回路、20 半導体基板、21 層間絶縁層、22 第1の金属配線層、24 第2の金属配線層、29, 30 ゲート電極、31, 32 カラム回路、40, 41, 42 不純物領域(ノード)、43 ゲート電極部、100, 101 撮像装置、CFD フローティングディフュージョン容量、DHRx 高照度用デジタルリセット信号、DHSx 高照度用デジタル信号、DLRx 低照度用デジタルリセット信号、DLSx 低照度用デジタル信号、Dx, Dx1, Dx2 デジタル信号、FD フローティングディフュージョン、PD1, PD2 フォトダイオード、FDCL フローティングディフュージョン連結線、FDSW, FDSW1, FDSW2, RST, SEL, TX1, TX2 制御信号線、VOUT 出力信号線、GAIN ゲイン設定信号、GND 接地ノード、MAMI 増幅トランジ

40

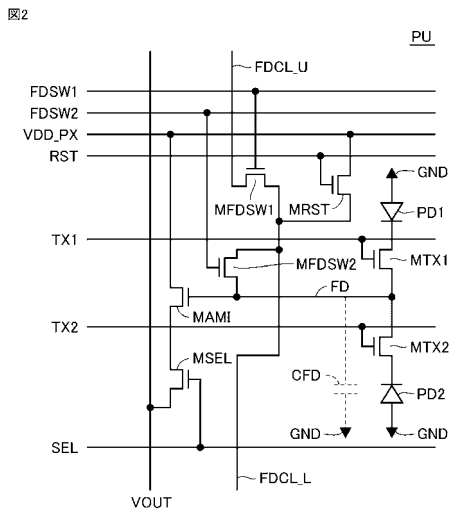
50

スタ、MFDSW FD切替え部、MFDSW1, MFDSW2 FD切替えトランジスタ、MRST\_T トップリセットトランジスタ、MRST\_B ボトムリセットトランジスタ、MRST リセットトランジスタ、MSEL 選択トランジスタ、MTX1, MTX2 転送トランジスタ、PU, PUA 画素ユニット、PD1, PD2 フォトトランジスタ（光電変換素子）、VDD 電源ノード。

【 図 1 】

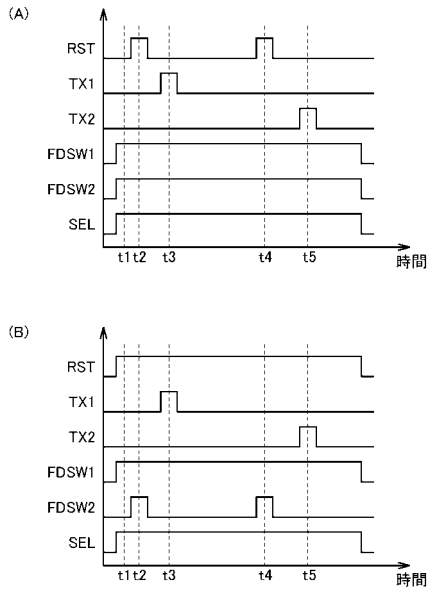


【 図 2 】



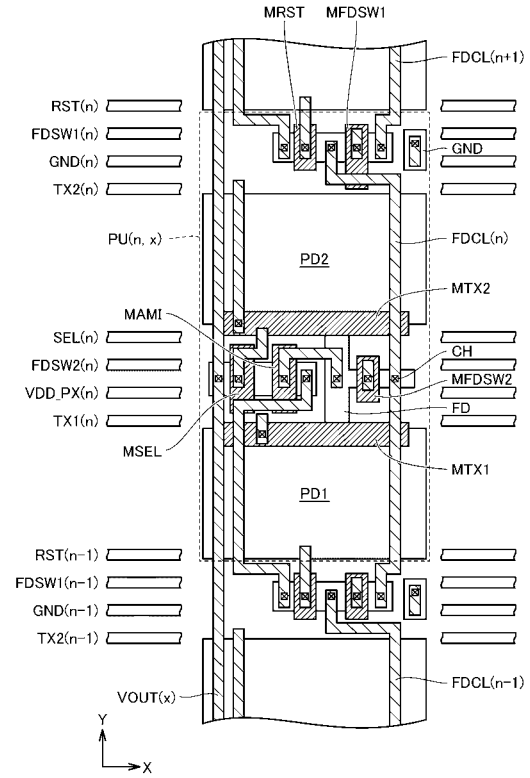
【 図 3 】

図3



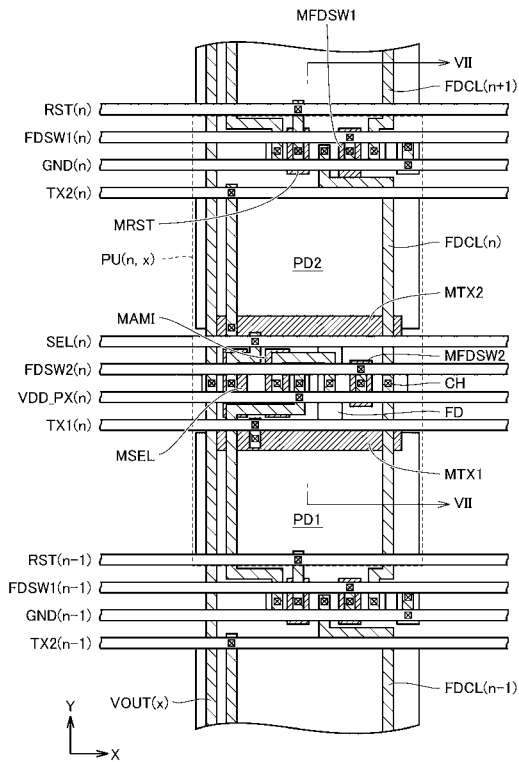
【 図 4 】

図4



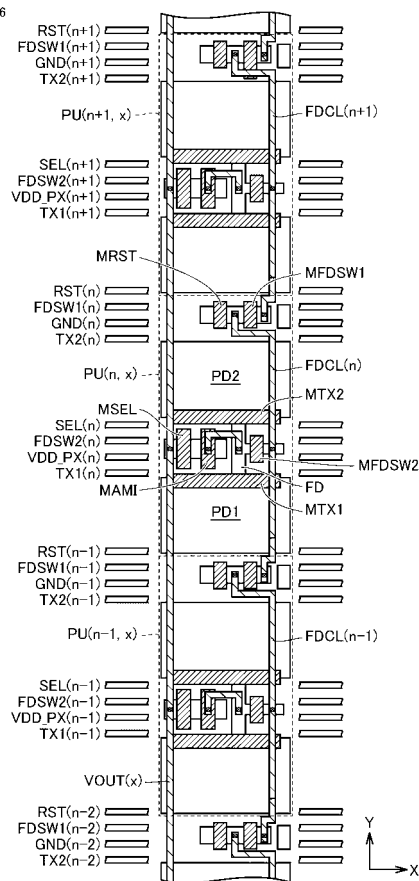
【 図 5 】

図5



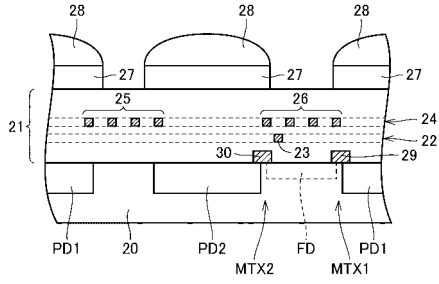
【 図 6 】

図6



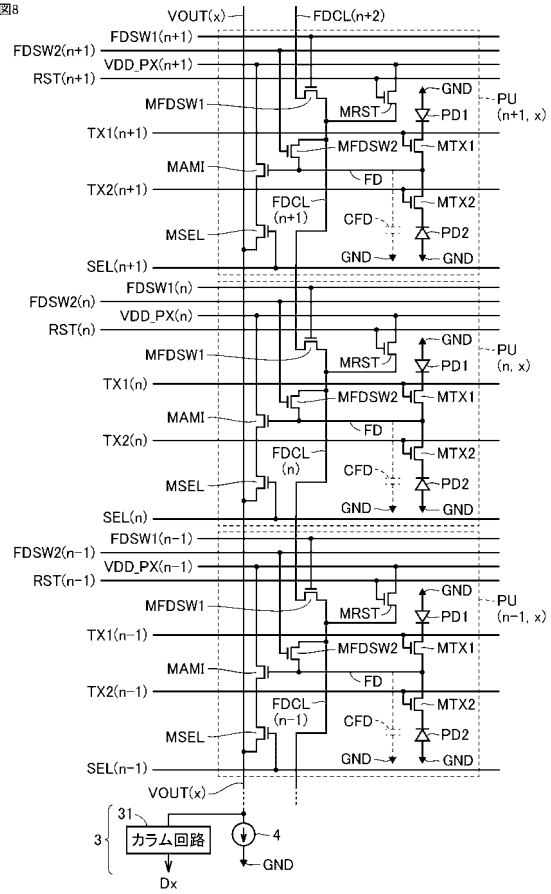
【 図 7 】

図7



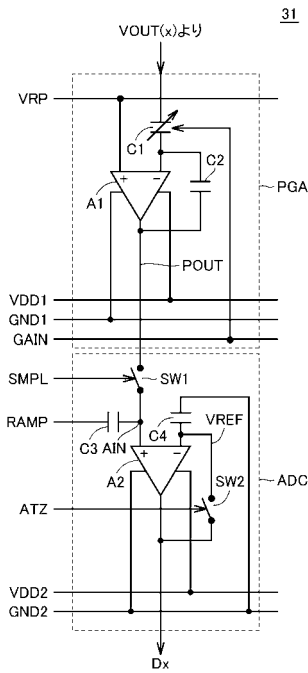
【 図 8 】

図8



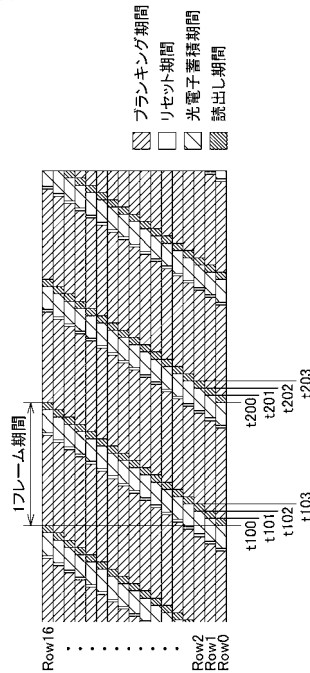
【 図 9 】

図9

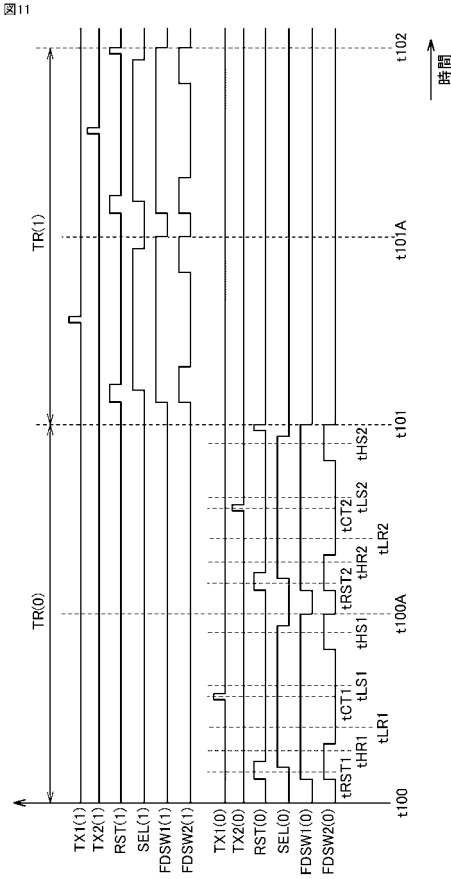


【 図 10 】

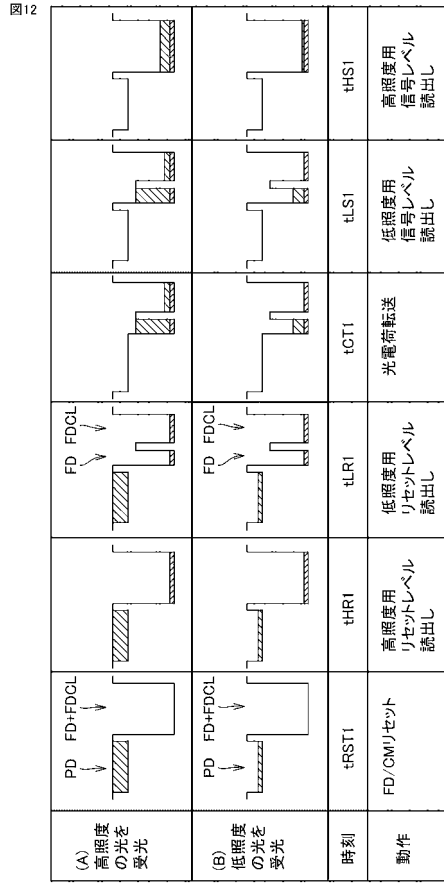
図10



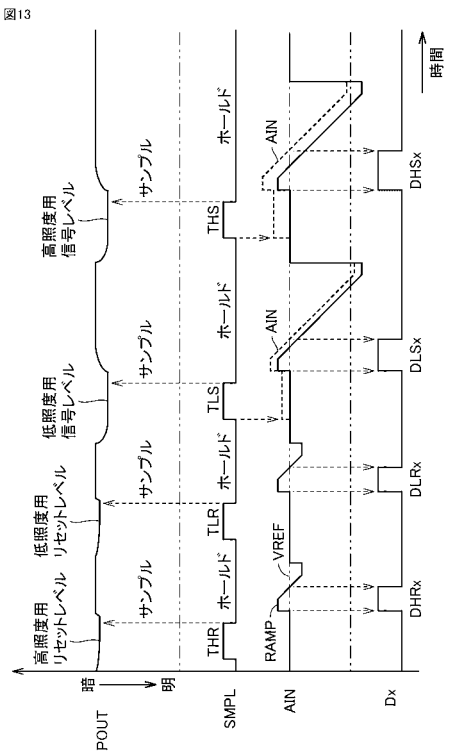
【図 1 1】



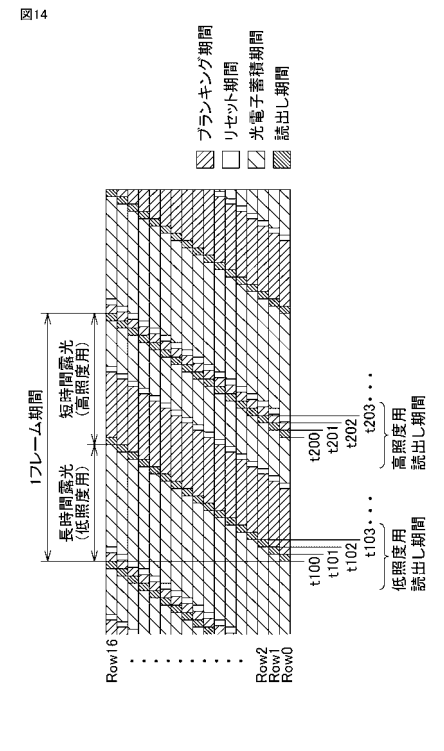
【図 1 2】



【図 1 3】

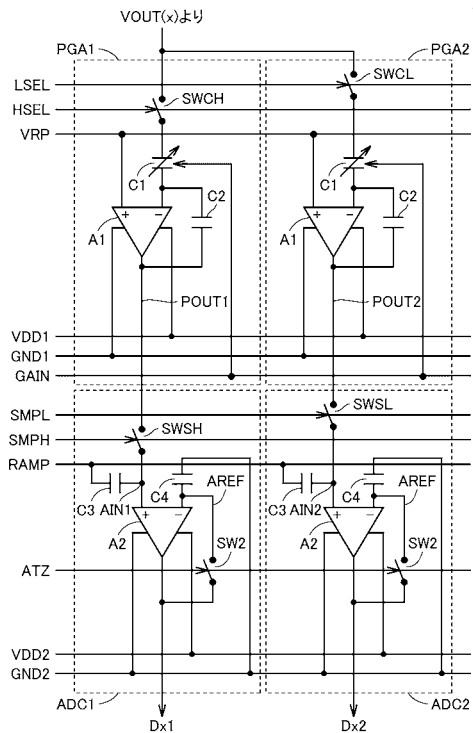


【図 1 4】



【 図 1 5 】

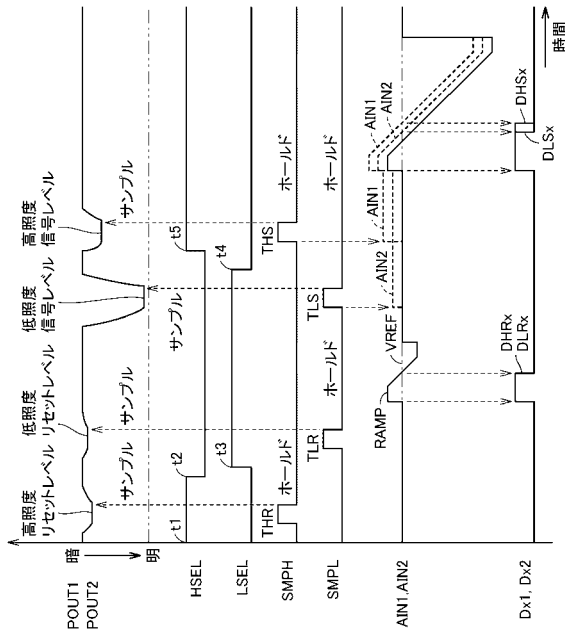
図15



32

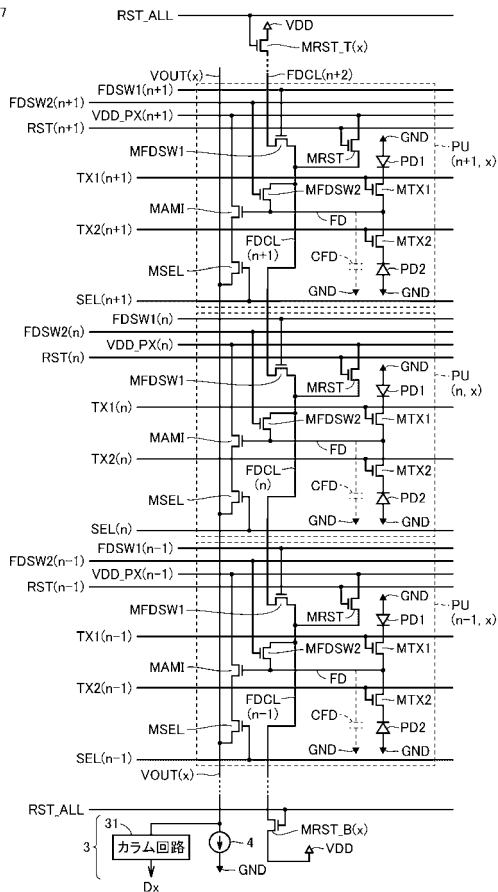
【 図 1 6 】

図16



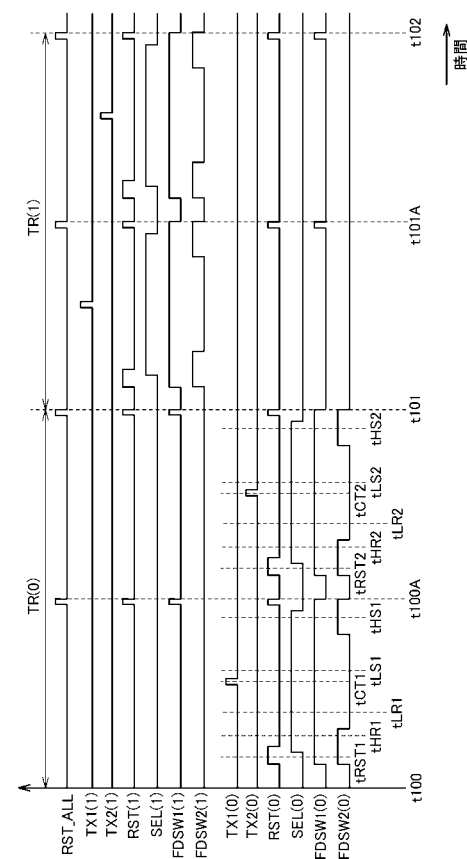
【 図 1 7 】

図17



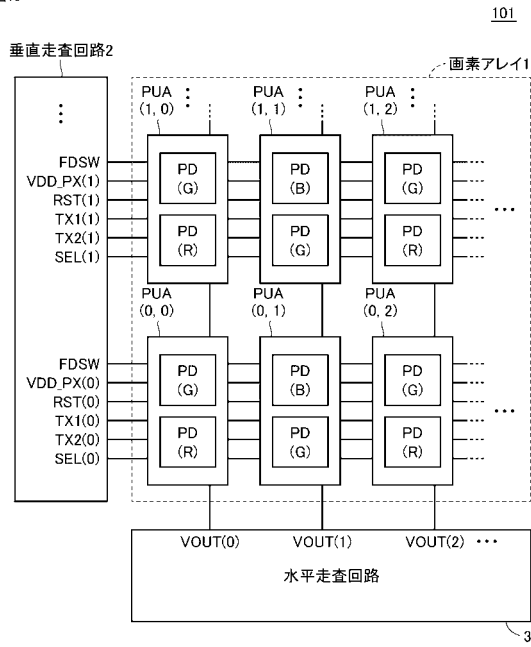
【 図 1 8 】

図18



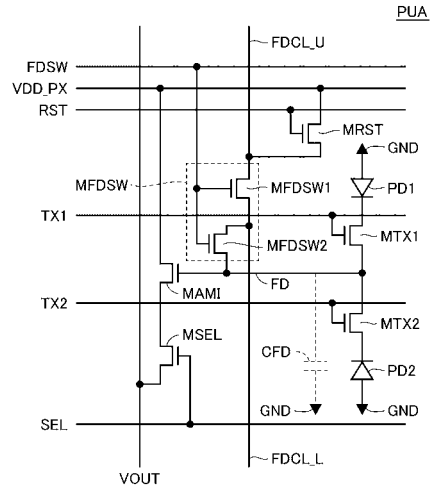
【図19】

図19



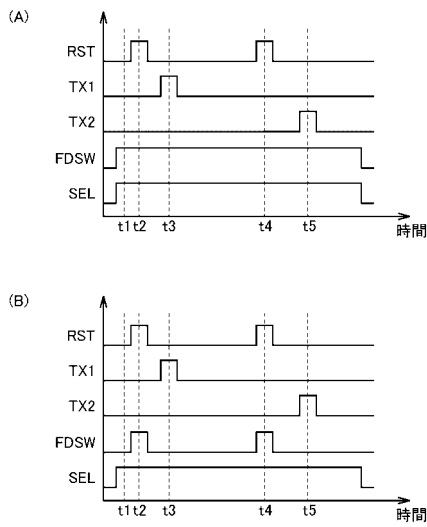
【図20】

図20



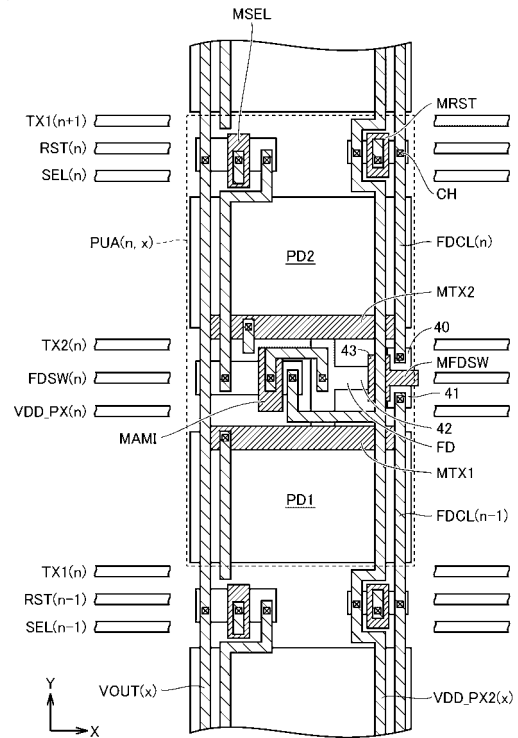
【図21】

図21



【図22】

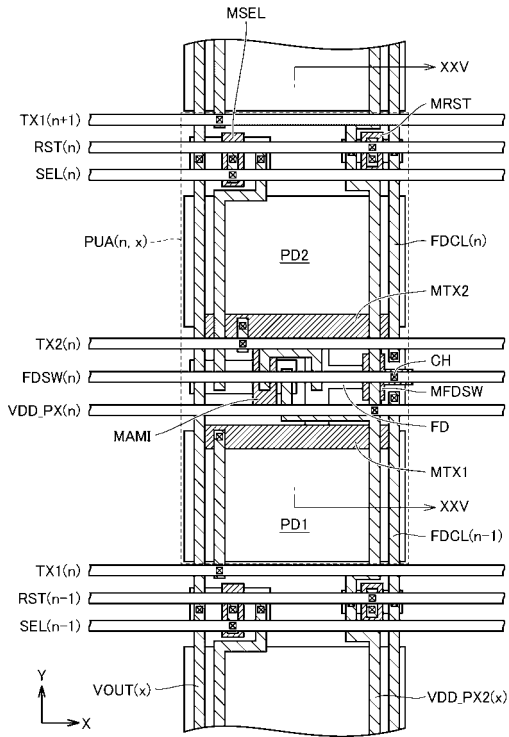
図22





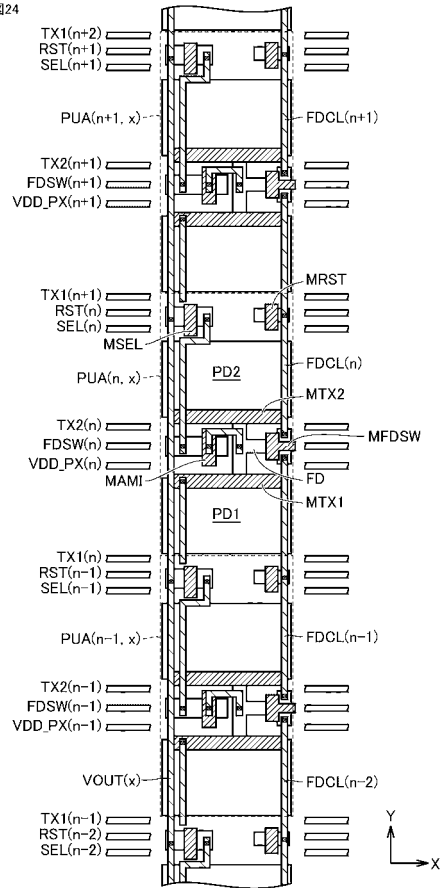
【 図 2 3 】

図23



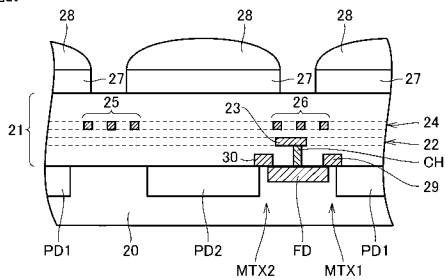
【 図 2 4 】

図24



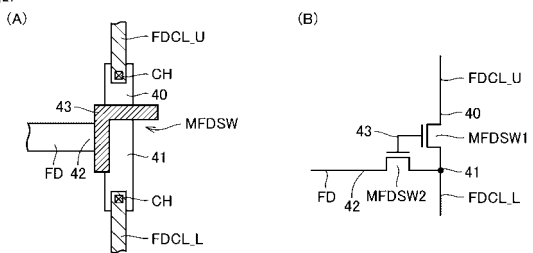
【 図 2 5 】

図25



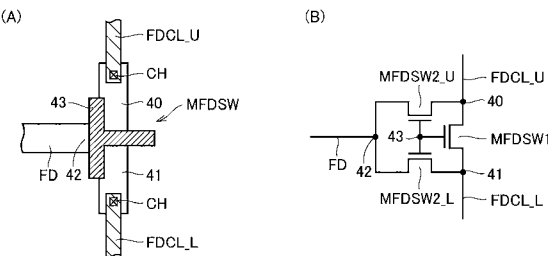
【 図 2 7 】

図27



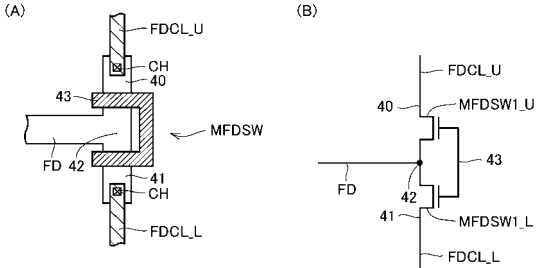
【 図 2 6 】

図26

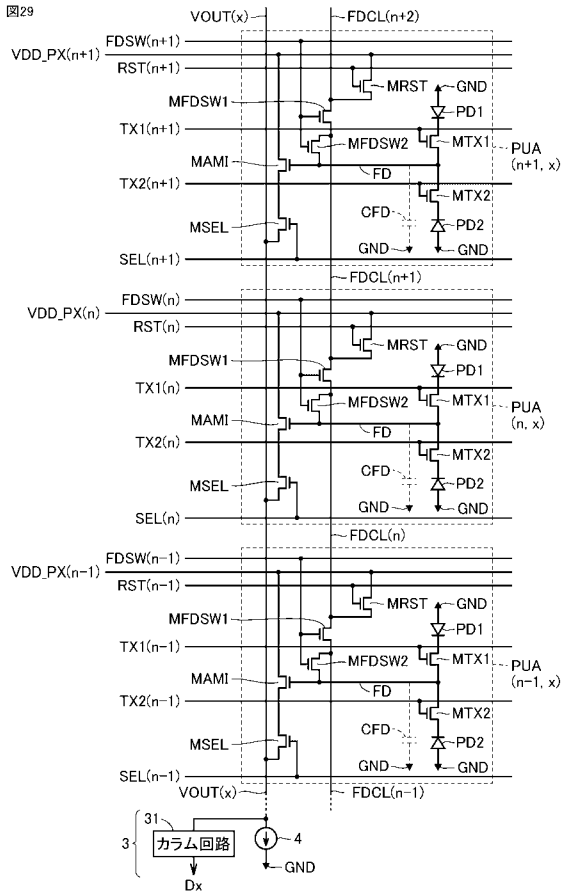


【 図 2 8 】

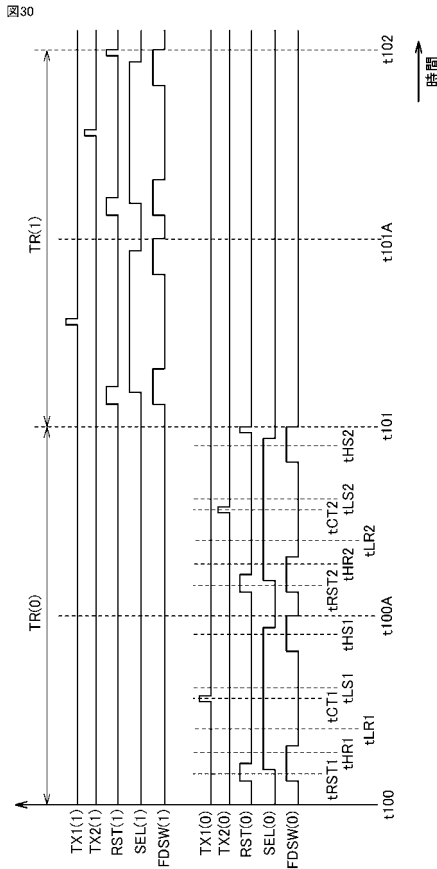
図28



【 図 2 9 】



【 図 3 0 】



【 図 3 1 】

