



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

⑪ CH 647 922 G A3

⑤① Int. Cl.⁴: G 04 G 3/02
H 03 K 23/66

Patentgesuch für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ **AUSLEGESCHRIFT** A3

②① Gesuchsnummer: 9621/80

②② Anmeldungsdatum: 29.12.1980

③⑩ Priorität(en): 29.12.1979 JP 54-172181

④② Gesuch
bekanntgemacht: 28.02.1985

④④ Auslegeschrift
veröffentlicht: 28.02.1985

⑦① Patentbewerber:
Citizen Watch Co., Ltd., Shinjuku-ku/Tokyo (JP)

⑦② Erfinder:
Tsuzuki, Akira, Tokorozawa-shi/Saitama-ken
(JP)

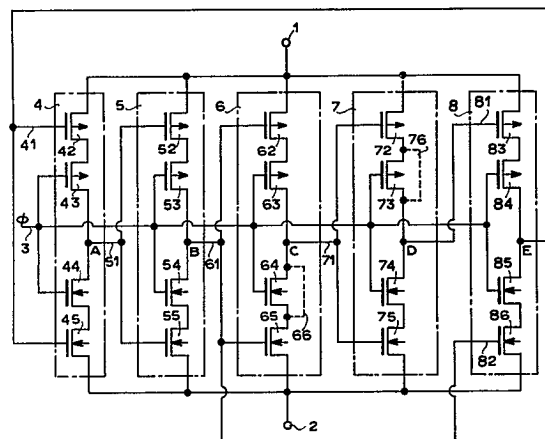
⑦④ Vertreter:
E. Blum & Co., Zürich

⑤⑥ Recherchenbericht siehe Rückseite

⑤④ **Frequenzteiler mit in Kaskade geschalteten taktgesteuerten Schaltkreisen.**

⑤⑦ Der Frequenzteiler enthält einen ersten Block, bestehend aus gleichmässig taktgesteuerten Invertern (4, 5), die in Kaskade geschaltet sind, einen zweiten Block, bestehend aus gleichmässig taktgesteuerten Invertern (6, 7), die in Kaskade geschaltet sind, und einen taktgesteuerten Signalmischschaltkreis (8). Die Ausgangsklemme (B) der Endstufe des ersten Blockes ist an die zweite Eingangsklemme (82) des taktgesteuerten Signalmischschaltkreises (8) angeschlossen.

Ein an die Taktimpulsleitung (3) angelegtes Taktsignal wird durch vier geteilt. Jede Stufe des Frequenzteilers arbeitet synchron mit dem Taktsignal (ϕ), so dass eine Akkumulierung der Gateverzögerungen der Feldeffekttransistoren die Funktion des Frequenzteilers nicht negativ beeinflusst. Damit ergibt sich ein störungsfreier Betrieb auch bei hohen Frequenzen.





Bundesanmt für geistiges Eigentum
Office fédéral de la propriété intellectuelle
Ufficio federale della proprietà intellettuale

RAPPORT DE RECHERCHE RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:
CH 96 21 80

HO 14 309

Catégorie Kategorie Voir au Verso siehe Rückseite	DOCUMENTS CONSIDÉRÉS COMME PERTINENTS EINSCHLÄGIGE DOKUMENTE Citation du document avec indication, en cas de besoin, des parties pertinentes Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	Revendications con- cernées Betrifft Anspruch Nr.
A	US-A-4 020 362 (Y. SUZUKI et al.) * Figuren *	1
A	--- GB-A-1 473 459 (K.K. SUWA SEIKOSHA) * Figur 3 * -----	1
Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL ³)		
	G04G , H03K	
Date d'achèvement de la recherche / Abschlussdatum der Recherche		
	17.11.1998	

PATENTANSPRÜCHE

1. Frequenzteiler mit in Kaskade geschalteten taktgesteuerten Schaltkreisen, gekennzeichnet durch einen ersten Block aus durch gleichmässige Takte gesteuerten Invertern, die in Kaskade geschaltet sind, um die bedingte Änderung eines Eingangssignals synchron mit der Änderung eines Taktsignals von hoch auf niedrig als Blocksignal abzugeben, einen zweiten Block aus durch gleichmässige Takte gesteuerten Invertern, die in Kaskade geschaltet sind, um die bedingte Änderung mindestens des Eingangssignals von einer Spannung einer ersten Speiseleitung auf eine Spannung einer zweiten Speiseleitung synchron mit der Änderung des Blocksignals abzugeben, und durch einen taktgesteuerten Signalmischschaltkreis, dessen Ausgangszustand synchron mit der Änderung des Taktsignals änderbar ist, wenn die an der ersten Eingangsklemme liegende Spannung der ersten Speiseleitung auf die Spannung der zweiten Speiseleitung und die an der zweiten Eingangsklemme anliegende Spannung der zweiten Speiseleitung auf die Spannung der ersten Speiseleitung geändert wird, wobei die Ausgangsklemme der Endstufe des ersten Blockes mit der Eingangsklemme der Eingangsstufe des zweiten Blockes und der zweiten Eingangsklemme des taktgesteuerten Signalmischschaltkreises verbunden ist, die Ausgangsklemme der Ausgangsstufe des zweiten Blockes mit der ersten Eingangsklemme verbunden ist und die Ausgangsklemme des Signalmischschaltkreises mit der Eingangsklemme des ersten Blockes verbunden ist.

2. Frequenzteiler nach Anspruch 1, dadurch gekennzeichnet, dass der erste Block aus gleichen Stufen erster taktgesteuerter Inverter, die in Kaskade geschaltet sind, besteht, dass der zweite Block aus einem zweiten und dritten taktgesteuerten Inverter, die in Kaskade geschaltet sind, besteht, dass der erste taktgesteuerte Inverter aus einem Transistor einer ersten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor der ersten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate, wobei die Transistoren in Serie zwischen die erste Speiseleitung und die Ausgangsklemme geschaltet sind, einem Transistor einer zweiten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor einer zweiten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate besteht, wobei die Transistoren in Serie zwischen die zweite Speiseleitung und die Ausgangsklemme geschaltet sind, dass der zweite taktgesteuerte Inverter aus einem Transistor einer ersten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor einer ersten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate, wobei die Transistoren in Serie zwischen die erste Speiseleitung und die Ausgangsklemme geschaltet sind, und einem Schaltkreis besteht, der mindestens einen Transistor einer zweiten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate enthält und zwischen die zweite Speiseleitung und die Ausgangsklemme geschaltet ist, dass der dritte taktgesteuerte Inverter aus einem Schaltkreis, der mindestens einen Transistor einer ersten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate enthält, einem Transistor einer zweiten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor einer zweiten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate besteht, wobei die Transistoren in Serie zwischen die zweite Speiseleitung und die Ausgangsklemme geschaltet sind, und dass der Signalmischschaltkreis aus einem Transistor einer ersten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor einer ersten Kanalart mit einem an die Eingangsklemme angeschlossenen Gate, wobei die Transistoren in Serie zwischen die erste Speiseleitung und die Ausgangsklemme geschaltet sind, einem Transistor einer

zweiten Kanalart mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Transistor einer zweiten Kanalart mit einem an die zweite Eingangsklemme angeschlossenen Gate besteht, wobei die Transistoren in Serie zwischen die Speiseleitung und die Ausgangsklemme geschaltet sind.

3. Frequenzteiler nach Anspruch 2, dadurch gekennzeichnet, dass der taktgesteuerte Signalmischschaltkreis ferner einen Serieschaltkreis enthält, der aus einem Feldeffekttransistor mit einem an die Taktimpulsleitung angeschlossenen Gate und einem Feldeffekttransistor mit einem an die erste Eingangsklemme angeschlossenen Gate besteht.

Die vorliegende Erfindung betrifft einen Frequenzteiler mit in Kaskade geschalteten taktgesteuerten Schaltkreisen.

Bei Frequenzteilern für elektronische Uhren oder ähnliches ist ein geringer Stromverbrauch erforderlich. Ist die Frequenz hoch, wird mit Vorteil eher ein dynamischer als ein statischer Frequenzteiler angewendet. Um die verbrauchte elektrische Leistung zu verringern, wird eine Speisespannung angewendet, die so tief wie möglich liegt. Obwohl in diesem Fall die Schaltgeschwindigkeit des Frequenzteilers verringert wird, muss die Frequenzteilung zuverlässig durchgeführt werden. Was das Teilungsverhältnis anbelangt, so ist eine erste Frequenzteilerstufe direkt an einem Oszillator angeschlossen und empfängt das Ausgangssignal des Oszillators direkt als ein Taktsignal und eine mit dem Taktsignal zugeleitete Gatekapazität wirkt als ein Teil eines Oszillatorschaltkreises. Dadurch wird die elektrische Ladungs- und Entladungsleistung der Gatekapazität an den Oszillator zurückgeführt, ohne dass sie verbraucht wird, was sich als nachteilig erweist, soll das Teilerverhältnis der ersten Frequenzteilerstufe mehr oder weniger gross ausgelegt werden. Es ist deshalb erwünscht, ein Teilungsverhältnis von $\frac{1}{\sqrt{2}}$ zu erzielen,

um das Teilungsverhältnis an die Schwingung eines Normquarzes anzugleichen.

Um dies zu erreichen wurde vorgeschlagen, die Frequenz eines angelegten alternierenden Eingangssignals um eine ungerade Zahl grösser 1 zu teilen. Derartige bekannte Frequenzteiler haben den Nachteil, dass ein Quarzoszillator angewendet werden muss, der eine spezielle Schwingungszahl erzeugen kann. Es wurden auch andere Frequenzteiler vorgeschlagen, bei denen ein anliegendes alternierendes Eingangssignal durch 4 geteilt wird. Derartige Frequenzteiler haben den Nachteil, dass die Verzögerungszeit eines Gates Störungen verursacht, so dass ein solcher Frequenzteiler für eine niedrigere Speisespannung nicht geeignet ist.

Aus der US-Patentschrift 4 020 361 ist ein aus einem Inverter und Schieberegistern bestehender und für integrierte Schaltungen mit Feldeffekttransistoren mit isoliertem Gate geeigneter Zähler bekannt. Dabei ist der Inverter I_n allerdings nicht durch ein Taktsignal gesteuert (Figuren 1 und 2). Der Ausgang des Zählers ist für die Verzögerungszeit zwischen den Signalen G und $\bar{G}$ in Figur 7 nicht bestimmt, d.h. bei Hochfrequenzanwendungen des Zählers sind die Periode des Taktsignals und die Verzögerung vergleichbar gross und es ergibt sich ein fehlerhaftes Verhalten des Zählers.

Ein weiterer Frequenzteiler nach dem Stand der Technik ist aus der GB-Patentschrift 1 473 459 bekannt, bei dem die vorstehend genannten Nachteile ebenfalls auftreten.

Ziel der Erfindung ist es, einen Frequenzteiler zu schaffen, bei dem die Nachteile der bekannten Frequenzteiler

nicht auftreten und der bei einer niedrigen Speisespannung und einem Taktsignal mit kleiner Spannungsamplitude zufriedenstellend funktioniert. Dieses Ziel wird erfindungsgemäss mit den im Anspruch 1 genannten Merkmalen erreicht. Nachfolgend werden Ausführungsbeispiele der Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Schaltschema eines bekannten Frequenzteilerschaltkreises,

Fig. 2 ein Diagramm, das die Spannungswellenformen an den entsprechenden Ausgangsklemmen des in Fig. 1 dargestellten Schaltkreises zeigt,

Fig. 3 ein Schaltschema eines Ausführungsbeispiels eines erfindungsgemässen Frequenzteilerschaltkreises,

Fig. 4 ein Diagramm, das die Spannungswellenformen an den entsprechenden Ausgangsklemmen des in Fig. 3 dargestellten Schaltkreises zeigt, und

Fig. 5A, 5B und 6A bis 6C Schaltschemata von anderen Ausführungsbeispielen des erfindungsgemässen Frequenzteilerschaltkreises.

In Fig. 3 sind eine erste und zweite Speiseleitung mit den Bezugsziffern 1 und 2 bezeichnet, über die eine Spannung angelegt ist. Mit Bezugsziffer 3 ist eine Taktimpulsleitung bezeichnet, über die ein Eingangssignal an den Frequenzteiler als Ganzes angelegt wird. Die Bezugsziffern 4 und 5 bezeichnen erste taktgesteuerte Inverter, die einen ersten Block bilden und aus Feldeffekttransistoren 43, 53 mit einer ersten Kanalart, d. h. einem p-Kanal, und einem an die Taktimpulsleitung 3 angeschlossenen Gate, aus Feldeffekttransistoren 42, 52 mit einem p-Kanal und einem an die Eingangsklemmen 41, 51 angeschlossenen Gate, aus Feldeffekttransistoren 44, 54 mit einer zweiten Kanalart, d. h. einem n-Kanal, und einem an die Taktimpulsleitung 3 angeschlossenen Gate und aus Feldeffekttransistoren 45, 55 mit einem n-Kanal und einem an die Eingangsklemmen 41, 51 angeschlossenen Gate bestehen. Die Feldeffekttransistoren 42, 43 sind in Serie zwischen die erste Speiseleitung 1 und eine Ausgangsklemme A geschaltet. Die Feldeffekttransistoren 52, 53 sind in Serie zwischen die erste Speiseleitung 1 und eine Ausgangsklemme B geschaltet. Die Feldeffekttransistoren 44, 45 sind in Serie zwischen die zweite Speiseleitung 2 und die Ausgangsklemme A geschaltet. Die Feldeffekttransistoren 54, 55 sind in Serie zwischen die zweite Speiseleitung 2 und die Ausgangsklemme B geschaltet.

Ein zweiter und dritter taktgesteuerter Inverter sind mit den Bezugsziffern 6 und 7 bezeichnet, die einen zweiten Block bilden. Der zweite und dritte Inverter 6 und 7 sind mit Eingangsklemmen 61, 71 und Ausgangsklemmen C, bzw. D versehen. Der zweite Inverter 6 hat Feldeffekttransistoren 62 bis 65, während der dritte Inverter 7 Feldeffekttransistoren 72 bis 75 hat. Der zweite und dritte Inverter 6 und 7 sind gleich aufgebaut wie der erste taktgesteuerte Inverter 4. Beim zweiten Inverter 6 kann der Feldeffekttransistor 64 weggelassen werden, wobei eine Verbindung hergestellt werden kann, wie das durch die gestrichelte Linie 66 dargestellt ist. Beim dritten Inverter 7 kann der Feldeffekttransistor 74 weggelassen und durch die durch die gestrichelte Linie 76 dargestellte Verbindung ersetzt werden.

Mit der Bezugszahl 8 ist ein taktgesteuerter Signalmischschaltkreis bezeichnet, der aus einem Feldeffekttransistor 84 einer ersten Kanalart mit einem an die Taktimpulsleitung 3 angeschlossenen Gate, einem Feldeffekttransistor 83 einer ersten Kanalart mit einem an die erste Eingangsklemme 81 angeschlossenen Gate, einem Feldeffekttransistor 85 einer zweiten Kanalart mit einem an die Taktimpulsleitung 3 angeschlossenen Gate und einem Feldeffekttransistor 86 einer zweiten Kanalart mit einem an die zweite Eingangsklemme 82 angeschlossenen Gate besteht. Die Feldeffekttransistoren 83, 84 sind in Serie zwischen die erste Speiseleitung und die

Ausgangsklemme E geschaltet, während die Feldeffekttransistoren 85, 86 in Serie zwischen die zweite Speiseleitung 2 und die Ausgangsklemme E geschaltet sind.

Die vorstehend erwähnten taktgesteuerten Inverter 4 und 5 sind in Kaskade geschaltet, wobei die Ausgangsklemme B an die Eingangsklemme 61 des zweiten Inverters und die zweite Eingangsklemme 82 des Signalmischschaltkreises 8 angeschlossen ist. Die Ausgangsklemme C des zweiten Inverters 6 ist an die Eingangsklemme 71 des dritten Inverters 7 und die Ausgangsklemme D des dritten Inverters 7 ist an die erste Eingangsklemme 81 des Signalmischschaltkreises 8 angeschlossen, dessen Ausgangsklemme E an die Eingangsklemme 41 der vorstehend erwähnten ersten Inverter 4 und 5 angeschlossen sind, die in Serie geschaltet sind, wodurch ein Schaltkreisring geschlossen wird.

Der vorstehend beschriebene Frequenzteiler teilt ein an die Taktimpulsleitung 3 angelegtes Taktsignal durch 4 und gibt an den entsprechenden Ausgangsklemmen A, B, C, D und E die geteilten Taktsignale ab.

Der vorstehend beschriebene Frequenzteiler funktioniert wie folgt. Fig. 4 zeigt die Wellenform der an den entsprechenden Ausgangsklemmen A, B, C, D und E abgegebenen Spannungen, wenn an der ersten Speiseleitung 1 eine hohe Spannung, an der zweiten Speiseleitung 2 eine niedrige Spannung und an der Taktimpulsleitung 3 eine Impulsfolge Φ angelegt werden. Zu Beginn eines Zeitabschnittes t_1 haben die Ausgangsklemmen A, C und E eine hohe Spannung. Wird der Taktimpuls Φ von einer niedrigen Spannung auf eine hohe Spannung geändert, werden die Feldeffekttransistoren 44, 45 gleichzeitig leitend und die Spannung an der Ausgangsklemme wird von hoch auf niedrig geändert. Dadurch werden die Feldeffekttransistoren 54, 55, 74 und 73 gleichzeitig leitend. Die Ausgangsklemmen B und D haben eine niedrige Spannung und unterliegen keiner Spannungsänderung. Im Schaltkreis zwischen der anderen Speiseleitung zu den entsprechenden Ausgangsklemmen wird kein Feldeffekttransistor leitend, wodurch keine elektrische Ladung zu den Ausgangsklemmen C und E geführt wird. Die auf der Verdrahtung und dem Gateteil angesammelte elektrische Ladung hält die vorherige Spannung.

Im Zeitabschnitt t_2 werden die Feldeffekttransistoren 52 und 53 gleichzeitig leitend, so dass die Spannung an der Ausgangsklemme B sich von niedrig auf hoch ändert.

Im folgenden wird die Funktion des in Fig. 3 dargestellten Frequenzteilers, der die Feldeffekttransistoren 64, 73 enthält, beschrieben. In Fig. 4 ist diese Funktion durch vollausgezogene Wellenformen dargestellt. Im Zeitabschnitt t_3 werden die Feldeffekttransistoren 64 und 65 sowie 85 und 86 gleichzeitig leitend, so dass die Spannung an den Ausgangsklemmen C und E sich von hoch auf niedrig ändert.

Im Zeitabschnitt t_4 werden die Feldeffekttransistoren 42, 43 sowie 72, 73 gleichzeitig leitend, so dass die Spannungen an den Ausgangsklemmen A und E sich von niedrig auf hoch ändern.

Im Zeitabschnitt t_5 werden die Feldeffekttransistoren 54, 55 gleichzeitig leitend, so dass sich die Spannung an der Ausgangsklemme B von hoch auf niedrig ändert.

Dadurch wird die Spannung im Zeitabschnitt t_6 an der Ausgangsklemme C sich von niedrig auf hoch ändern, im Zeitabschnitt t_7 an der Ausgangsklemme D sich von hoch auf niedrig ändern und im Zeitabschnitt t_8 an der Ausgangsklemme E sich von niedrig auf hoch ändern.

Die Spannung an jeder Ausgangsklemme führt ihren eigenen Zyklus während einer Periode von t_1 bis t_8 aus. Die Spannung in den vorherigen Halbzeitabschnitten t_2 und t_3 wird an den Ausgangsklemmen B bis E abgegeben, und zwar durch Überspringen von zwei Ausgangsklemmen. Dadurch wird das an der Taktimpulsleitung 3 anliegende Taktsignal

durch 4 geteilt und an den entsprechenden Ausgangsklemmen A, B, C, D und E die geteilten Taktsignale abgegeben.

Die vorstehend erwähnte Funktion erfolgt in jeder Stufe synchron mit dem Taktsignal Φ , so dass der Frequenzteiler als Ganzes zuverlässig arbeitet, solange jede Stufe zuverlässig funktioniert. Dadurch ist der beschriebene Frequenzteiler den bekannten Frequenzteilern überlegen. Im Gegensatz zu dem in Fig. 1 dargestellten bekannten Frequenzteiler wird durch die Akkumulierung der Gateverzögerung die Funktion des Frequenzteilers nicht negativ beeinflusst. Ausserdem ist es möglich, vollständige zweiphasige Taktsignale an den Ausgangsklemmen D und E abzugeben.

Im folgenden wird die Funktion des in Fig. 1 dargestellten Frequenzteilers anhand des Diagrammes von Fig. 2 beschrieben.

Im Zeitabschnitt t_1 werden die Feldeffekttransistoren 44', 45' gleichzeitig leitend, so dass die Spannung an der Ausgangsklemme A sich von niedrig auf hoch ändert.

Im Zeitabschnitt t_2 werden die Feldeffekttransistoren 52', 53' gleichzeitig leitend, so dass die Spannung an der Ausgangsklemme B sich von niedrig auf hoch ändert.

Wird die Spannung an der Ausgangsklemme B hoch, wird der Feldeffekttransistor 65' leitend, so dass die Spannung an der Ausgangsklemme C sich von hoch auf niedrig ändert, wodurch ein Feldeffekttransistor 72' leitend wird. Dadurch ändert sich die Spannung an der Ausgangsklemme D von niedrig auf hoch.

Im Zeitabschnitt t_3 ist die Spannung an der Ausgangsklemme D hoch, so dass die Feldeffekttransistoren gleichzeitig leitend sind, um die Spannung an der Ausgangsklemme E von hoch auf niedrig zu ändern.

Ist die Speisespannung niedrig, vergeht viel Zeit, um die Zustände der Inverter 5', 6' und 7' umzukehren. Dadurch wird im Zeitabschnitt t_2 die Spannung an der Ausgangsklemme D sich nicht von niedrig auf hoch ändern, und im Zeitabschnitt t_3 kann der Taktimpuls den Zustand des Inverters 8' nicht ändern. Die Akkumulierung der Inverterverzögerungszeit führt zu einer fehlerhaften Funktion des Frequenzteilers.

Um diesen Nachteil zu beheben, wird beim erfindungsgemässen Ausführungsbeispiel des Frequenzteilers die Spannung des Signalmischschaltkreises 8 mittels des Ausgangssignals des Inverters 5 anstelle des Ausgangssignals des Inverters 7 von hoch auf niedrig geändert.

Fehlen beim erfindungsgemässen Frequenzteiler die Feldeffekttransistoren 64, 73 und sind die durch die gestrichelten Linien 66, 76 dargestellten Verbindungen vorhanden, werden an den Ausgangsklemmen C und D die Spannungen früher auftreten, wie das in Fig. 4 durch die gestrichelten Linien dargestellt ist. Das Fehlen der Feldeffekttransistoren 64, 73 verursacht somit keine Fehlfunktion beim erfindungsgemässen Frequenzteiler. Es ist ein grosser Spielraum für die Gateverzögerungszeit vorhanden, wie das durch die gestrichelten Bereiche in Fig. 4 dargestellt ist.

Fig. 5A zeigt ein anderes Ausführungsbeispiel des in Fig. 3 dargestellten Signalmischschaltkreises 8. Beim vorliegenden Ausführungsbeispiel enthält der in Fig. 3 dargestellte Signalmischschaltkreis 8 ferner einen Serieschaltkreis, der

aus einem Feldeffekttransistor 87 mit einem an die Taktimpulsleitung 3 angeschlossenen Gate und einem Feldeffekttransistor 88 mit einem an die erste Eingangsklemme 81 angeschlossenen Gate besteht. Dies stellt sicher, dass der Feldeffekttransistor 88 leitend bleibt, selbst wenn der Feldeffekttransistor 86 nicht leitend wird, und bringt den wesentlichen Vorteil, dass es möglich wird, die Gefahr der Spannungsänderung an der Ausgangsklemme E aufgrund eines Leckstromes zu verringern und damit die tiefste Arbeitsfrequenz des Frequenzteilers weiter herabzusetzen.

Fig. 5B zeigt ein weiteres Ausführungsbeispiel des in Fig. 3 dargestellten Signalmischschaltkreises 8. Bei diesem Ausführungsbeispiel werden die in Fig. 5A dargestellten Feldeffekttransistoren 85 und 87 zusammengefasst. Ausserdem kann der Feldeffekttransistor 87 weggelassen werden, wenn der in Fig. 3 dargestellte zweite Inverter 6 einen Feldeffekttransistor 64 enthält.

Die Fig. 6A, 6B und 6C zeigen verschiedene Ausführungsbeispiele, bei denen der Feldeffekttransistor 85 und der Feldeffekttransistor 64 des zweiten Inverters 6 zusammengefasst sind, und zwar sowohl für den zweiten Inverter 6 als auch für den Signalmischschaltkreis 8.

Die Fig. 5B und 6A bis 6C zeigen nur Feldeffekttransistoren der zweiten Kanalart, jedoch sind die Feldeffekttransistoren die gleichen wie in Fig. 3 dargestellt. Ausserdem können den in den Fig. 6A bis 6C dargestellten Schaltkreisen der Parallelschaltkreis (Fig. 5A) einschliesslich dem Feldeffekttransistor hinzugefügt werden.

In der vorstehenden Beschreibung ist die erste Kanalart ein p-Kanal. Es kann aber auch ein n-Kanal sein. Irgendeine Seite der zweiten Feldeffekttransistoren, die zwischen die entsprechende Ausgangsklemme und die Speiseschaltung geschaltet sind, kann an die Ausgangsklemme oder die Speisleitung angeschlossen werden.

Ausserdem können die Feldeffekttransistoren durch andere Schaltelemente, deren Knoten eine Kapazität haben, die mit dem des Gatestromes vergleichbar ist, ersetzt werden.

Bei dem in Fig. 3 dargestellten Ausführungsbeispiel sind zwei der Inverter 4, 5 in Kaskade geschaltet, um die Frequenz des angelegten alternierenden Eingangssignals durch 4 zu teilen. Alternativ dazu können $2n$ erste Inverter in Kaskade geschaltet werden, wobei n eine ganze Zahl ist, die den ersten Block bilden, und $2m$ zweite Inverter 6 und 7 können miteinander in Kaskade geschaltet werden, die den zweiten Block bilden, wobei auch hier m eine ganze Zahl ist. Dadurch erhält man einen Frequenzteiler, der eine Frequenz eines angelegten alternierenden Signals durch $(2n + m + 1)$ zuteilen kann.

Ist insbesondere $n = 1$ und $m = 1$, dann ist es möglich, einen Frequenzteiler herzustellen, der die Frequenz des angelegten alternierenden Eingangssignals durch 4 teilen kann. Ist $n = 3$ und $m = 1$, dann ist es möglich, einen Frequenzteiler herzustellen, der die Frequenz des angelegten alternierenden Eingangssignals durch 8 teilen kann. Ist $n = 7$ und $m = 1$, dann ist es möglich, einen Frequenzteiler herzustellen, der die Frequenz des angelegten alternierenden Eingangssignals durch 16 teilen kann.

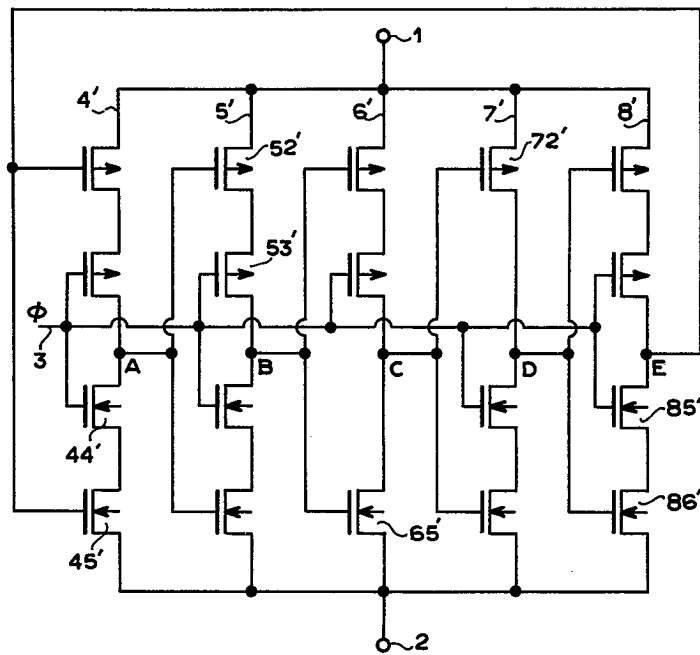


FIG. 1

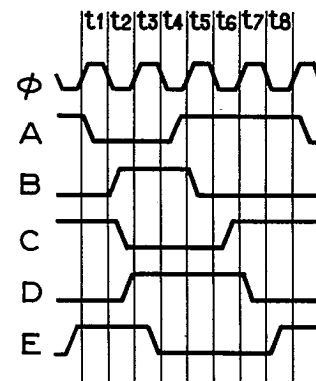


FIG. 2

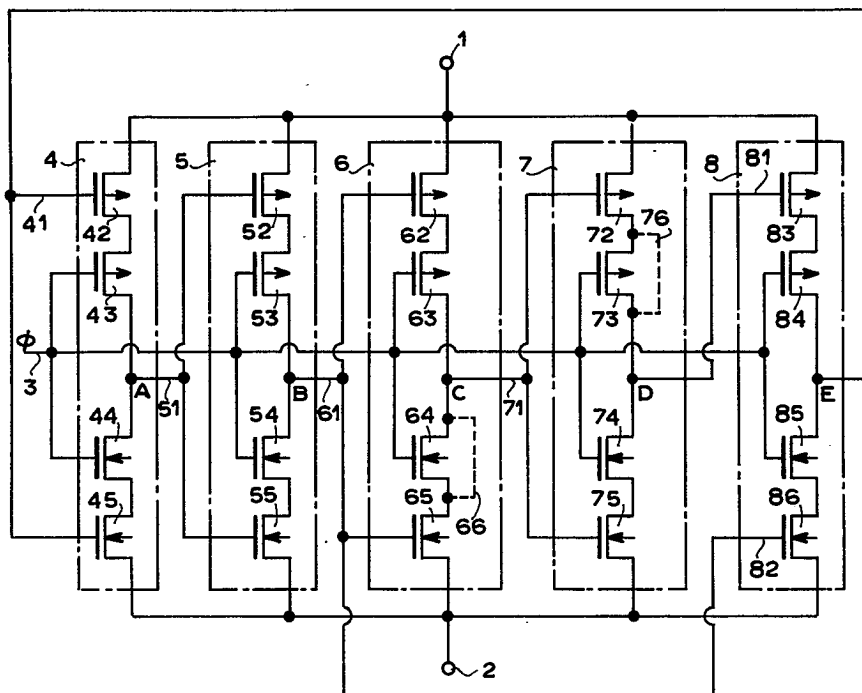


FIG. 3

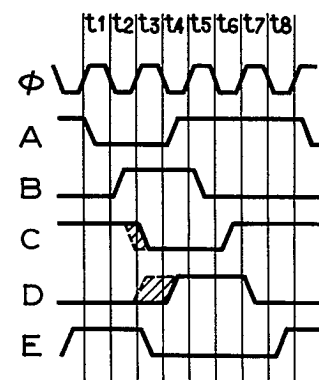


FIG. 4

