

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6543053号
(P6543053)

(45) 発行日 令和1年7月10日 (2019.7.10)

(24) 登録日 令和1年6月21日 (2019.6.21)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 7 F
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 9 A
	HO 1 L 29/78 6 1 8 A
請求項の数 11 (全 64 頁) 最終頁に続く	

(21) 出願番号	特願2015-50523 (P2015-50523)	(73) 特許権者	000153878
(22) 出願日	平成27年3月13日 (2015.3.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-188084 (P2015-188084A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年10月29日 (2015.10.29)	(72) 発明者	山崎 舜平
審査請求日	平成30年3月8日 (2018.3.8)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-51720 (P2014-51720)		半導体エネルギー研究所内
(32) 優先日	平成26年3月14日 (2014.3.14)	(72) 発明者	坂倉 真之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	浜田 崇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	脇水 佳弘
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上に第1の導電体を形成する第1のステップと、
 前記第1の導電体上に、CVD法により第1の絶縁体を成膜する第2のステップと、
 前記第1の絶縁体上に、CVD法により第1の半導体を成膜する第3のステップと、
 前記第1の半導体上に、CVD法により第2の半導体を成膜する第4のステップと、
 前記第2の半導体を加工して、第3の半導体を形成する第5のステップと、
 前記第5のステップの後、前記第1の半導体を加工して、第4の半導体を形成する第6
 のステップと、

前記第6のステップの後、前記第3の半導体上に、CVD法により第2の導電体を成膜
 する第7のステップと、

前記第2の導電体を加工して、第3の導電体および第4の導電体を形成するとともに、
 前記第3の半導体を露出させる第8のステップと、

前記第3の半導体上、前記第3の導電体上および前記第4の導電体上に、CVD法によ
 り第5の半導体を成膜する第9のステップと、

前記第5の半導体上に、CVD法により第2の絶縁体を成膜する第10のステップと、

前記第2の絶縁体上に、CVD法により第5の導電体を成膜する第11のステップと、

前記第5の導電体を加工して、第6の導電体を形成する第12のステップと、

前記第12のステップの後、前記第2の絶縁体を加工して、第3の絶縁体を形成する第
 13のステップと、

10

20

前記第 1 3 のステップの後、前記第 5 の半導体を加工して、第 6 の半導体を形成する第 1 4 のステップと、を有し、

前記第 2 のステップと、前記第 3 のステップと、の間で大気に暴露せず、

前記第 9 のステップと、前記第 1 0 のステップと、の間で大気に暴露せず、

前記第 3 の半導体、前記第 4 の半導体、及び前記第 6 の半導体は、I n、G a、及び Z n を含み、

前記第 3 の半導体は、前記第 4 の半導体よりも膜厚が大きい領域を有し、

前記第 3 の半導体は、前記第 6 の半導体よりも膜厚が大きい領域を有することを特徴とする半導体装置の作製方法。

【請求項 2】

10

請求項 1 において、

前記第 3 のステップと、前記第 4 のステップと、の間で大気に暴露しないことを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 4 のステップの後に、加熱処理を行うことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記第 1 4 のステップの後に、水素をブロックする機能を有する第 4 の絶縁体を C V D 法により成膜するステップを有することを特徴とする半導体装置の作製方法。

20

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 3 のステップの後に、前記第 1 の半導体に酸素を添加するステップを有することを特徴とする半導体装置の作製方法。

【請求項 6】

絶縁表面上に第 1 の導電体を形成する第 1 のステップと、

前記第 1 の導電体上に、C V D 法により第 1 の絶縁体を成膜する第 2 のステップと、

前記第 1 の絶縁体上に、C V D 法により第 1 の半導体を成膜する第 3 のステップと、

前記第 1 の半導体上に、C V D 法により第 2 の半導体を成膜する第 4 のステップと、

前記第 2 の半導体上に、C V D 法により第 2 の導電体を成膜する第 5 のステップと、

30

前記第 2 の導電体を加工して、第 3 の導電体を形成する第 6 のステップと、

前記第 6 のステップの後、前記第 2 の半導体を加工して、第 3 の半導体を形成する第 7 のステップと、

前記第 7 のステップの後、前記第 1 の半導体を加工して、第 4 の半導体を形成する第 8 のステップと、

前記第 8 のステップの後、前記第 3 の導電体を加工して、第 4 の導電体および第 5 の導電体を形成するとともに、前記第 3 の半導体を露出させる第 9 のステップと、

前記第 3 の半導体上、前記第 4 の導電体上および前記第 5 の導電体上に、C V D 法により第 5 の半導体を成膜する第 1 0 のステップと、

前記第 5 の半導体上に、C V D 法により第 2 の絶縁体を成膜する第 1 1 のステップと、

40

前記第 2 の絶縁体上に、C V D 法により第 6 の導電体を成膜する第 1 2 のステップと、

前記第 6 の導電体を加工して、第 7 の導電体を形成する第 1 3 のステップと、

前記第 1 3 のステップの後、前記第 2 の絶縁体を加工して、第 3 の絶縁体を形成する第 1 4 のステップと、

前記第 1 4 のステップの後、前記第 5 の半導体を加工して、第 6 の半導体を形成する第 1 5 のステップと、を有し、

前記第 2 のステップと、前記第 3 のステップと、の間で大気に暴露せず、

前記第 1 0 のステップと、前記第 1 1 のステップと、の間で大気に暴露せず、

前記第 3 の半導体、前記第 4 の半導体、及び前記第 6 の半導体は、I n、G a、及び Z n を含み、

50

前記第 3 の半導体は、前記第 4 の半導体よりも膜厚が大きい領域を有し、
前記第 3 の半導体は、前記第 6 の半導体よりも膜厚が大きい領域を有することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 6 において、
前記第 3 のステップと、前記第 4 のステップと、の間で大気に暴露しないことを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 6 または請求項 7 において、
前記第 4 のステップと、前記第 5 のステップと、の間で大気に暴露しないことを特徴とする半導体装置の作製方法。 10

【請求項 9】

請求項 6 乃至請求項 8 のいずれかーにおいて、
前記第 4 のステップの後に、加熱処理を行うことを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 6 乃至請求項 9 のいずれかーにおいて、
前記第 15 のステップの後に、水素をブロックする機能を有する第 4 の絶縁体を CVD 法により成膜するステップを有することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 7 乃至請求項 10 のいずれかーにおいて、 20
前記第 3 のステップの後に、前記第 1 の半導体に酸素を添加するステップを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサに関する。または、半導体、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置の駆動方法に関する。 30

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0003】

絶縁表面を有する基板上的半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。 40

【0004】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

【0005】

近年は、酸化物半導体が注目されている。例えば、非晶質 In - Ga - Zn 酸化物を用い 50

たトランジスタが開示されている（特許文献１参照。）。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体を用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【０００６】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のＣＰＵなどが開示されている（特許文献２参照。）。また、酸化物半導体からなる活性層で井戸型ポテンシャルを構成することにより、高い電界効果移動度を有するトランジスタが得られることが開示されている（特許文献３参照。）。 10

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開２００６－１６５５２８号公報

【特許文献２】特開２０１２－２５７１８７号公報

【特許文献３】特開２０１２－５９８６０号公報

【発明の概要】 20

【発明が解決しようとする課題】

【０００８】

電気特性の良好なトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。 30

【０００９】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【００１０】

（１）本発明の一態様は、基板上に、ＣＶＤ法により第１の導電体を成膜する第１のステップと、第１のステップの後の、第１の導電体を加工して、第２の導電体を形成する第２のステップと、第２のステップの後の、第２の導電体上に、ＣＶＤ法により第１の絶縁体を成膜する第３のステップと、第３のステップの後の、第１の絶縁体上に、ＣＶＤ法により第１の半導体を成膜する第４のステップと、第４のステップの後の、第１の半導体上に、ＣＶＤ法により第２の半導体を成膜する第５のステップと、第５のステップの後の、第２の半導体を加工して、第３の半導体を形成する第６のステップと、第６のステップの後の、第１の半導体を加工して、第４の半導体を形成する第７のステップと、第７のステップの後の、第３の半導体上に、ＣＶＤ法により第３の導電体を成膜する第８のステップと、第８のステップの後の、第３の導電体を加工して、第４の導電体および第５の導電体を形成するとともに、第３の半導体を露出させる第９のステップと、第９のステップの後の、第３の半導体上、第４の導電体上および第５の導電体上に、ＣＶＤ法により第５の半導体を成膜する第１０のステップと、第１０のステップの後の、第５の半導体上に、ＣＶＤ 40 50

法により第2の絶縁体を成膜する第11のステップと、第11のステップの後の、第2の絶縁体上に、CVD法により第6の導電体を成膜する第12のステップと、第12のステップの後の、第6の導電体を加工して、第7の導電体を形成する第13のステップと、第13のステップの後の、第2の絶縁体を加工して、第3の絶縁体を形成する第14のステップと、第14のステップの後の、第5の半導体を加工して、第6の半導体を形成する第15のステップと、を有し、第3のステップと、第4のステップと、の間で大気に暴露せず、第10のステップと、第11のステップと、の間で大気に暴露しない半導体装置の作製方法である。

【0011】

(2) または、本発明の一態様は、(1)において、第4のステップと、第5のステップと、の間で大気に暴露しない半導体装置の作製方法である。

10

【0012】

(3) または、本発明の一態様は、(1)または(2)において、第5のステップの後に、加熱処理を行う半導体装置の作製方法である。

【0013】

(4) または、本発明の一態様は、(1)乃至(3)のいずれかーにおいて、第1のステップの前に、CVD法により水素をブロックする機能を有する第4の絶縁体を成膜するステップを有する半導体装置の作製方法である。

【0014】

(5) または、本発明の一態様は、(1)乃至(4)のいずれかーにおいて、第15のステップの後に、CVD法により水素をブロックする機能を有する第5の絶縁体を成膜するステップを有する半導体装置の作製方法である。

20

【0015】

(6) または、本発明の一態様は、(1)乃至(5)のいずれかーにおいて、第4のステップの後に、第1の半導体に酸素を添加するステップを有する半導体装置の作製方法である。

【0016】

(7) または、本発明の一態様は、基板上に、CVD法により第1の導電体を成膜する第1のステップと、第1のステップの後の、第1の導電体を加工して、第2の導電体を形成する第2のステップと、第2のステップの後の、第2の導電体上に、CVD法により第1の絶縁体を成膜する第3のステップと、第3のステップの後の、第1の絶縁体上に、CVD法により第1の半導体を成膜する第4のステップと、第4のステップの後の、第1の半導体上に、CVD法により第2の半導体を成膜する第5のステップと、第5のステップの後の、第2の半導体上に、CVD法により第3の導電体を成膜する第6のステップと、第6のステップの後の、第3の導電体を加工して、第4の導電体を形成する第7のステップと、第7のステップの後の、第2の半導体を加工して、第3の半導体を形成する第8のステップと、第8のステップの後の、第1の半導体を加工して、第4の半導体を形成する第9のステップと、第9のステップの後の、第4の導電体を加工して、第5の導電体および第6の導電体を形成するとともに、第3の半導体を露出させる第10のステップと、第10のステップの後の、第3の半導体上、第5の導電体上および第6の導電体上に、CVD法により第5の半導体を成膜する第11のステップと、第11のステップの後の、第5の半導体上に、CVD法により第2の絶縁体を成膜する第12のステップと、第12のステップの後の、第2の絶縁体上に、CVD法により第7の導電体を成膜する第13のステップと、第13のステップの後の、第7の導電体を加工して、第8の導電体を形成する第14のステップと、第14のステップの後の、第2の絶縁体を加工して、第3の絶縁体を形成する第15のステップと、第15のステップの後の、第5の半導体を加工して、第6の半導体を形成する第16のステップと、を有し、第3のステップと、第4のステップと、の間で大気に暴露せず、第11のステップと、第12のステップと、の間で大気に暴露しない半導体装置の作製方法である。

30

40

【0017】

50

(8) または、本発明の一態様は、(7) において、第 4 のステップと、第 5 のステップと、の間で大気に暴露しない半導体装置の作製方法である。

【 0 0 1 8 】

(9) または、本発明の一態様は、(7) または(8) において、第 5 のステップと、第 6 のステップと、の間で大気に暴露しない半導体装置の作製方法である。

【 0 0 1 9 】

(1 0) または、本発明の一態様は、(7) 乃至(9) のいずれかーにおいて、第 5 のステップの後に、加熱処理を行う半導体装置の作製方法である。

【 0 0 2 0 】

(1 1) または、本発明の一態様は、(7) 乃至(1 0) のいずれかーにおいて、第 1 のステップの前に、C V D 法により水素をブロックする機能を有する第 4 の絶縁体を成膜するステップを有する半導体装置の作製方法である。

10

【 0 0 2 1 】

(1 2) または、本発明の一態様は、(7) 乃至(1 1) のいずれかーにおいて、第 1 6 のステップの後に、C V D 法により水素をブロックする機能を有する第 5 の絶縁体を成膜するステップを有する半導体装置の作製方法である。

【 0 0 2 2 】

(1 3) または、本発明の一態様は、(7) 乃至(1 2) のいずれかーにおいて、第 4 のステップの後に、第 1 の半導体に酸素を添加するステップを有する半導体装置の作製方法である。

20

【発明の効果】

【 0 0 2 3 】

電気特性の良好なトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

【 0 0 2 4 】

30

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図 2】本発明の一態様に係るトランジスタの作製方法を示す断面図。

【図 3】本発明の一態様に係るトランジスタの作製方法を示す断面図。

【図 4】本発明の一態様に係るトランジスタの作製方法を示す断面図。

40

【図 5】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

【図 6】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

【図 7】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

【図 8】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図 9】本発明の一態様に係るトランジスタの作製方法を示す断面図。

【図 1 0】本発明の一態様に係るトランジスタの作製方法を示す断面図。

【図 1 1】本発明の一態様に係るトランジスタの作製方法を示す断面図。

【図 1 2】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

【図 1 3】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

【図 1 4】本発明の一態様に係るトランジスタの作製方法を示すフローチャート。

50

- 【図 1 5】本発明の一態様に係る製造装置を示す図。
【図 1 6】本発明の一態様に係る半導体装置の回路図。
【図 1 7】本発明の一態様に係る記憶装置の回路図。
【図 1 8】本発明の一態様に係る R F タグのブロック図。
【図 1 9】本発明の一態様に係る R F タグの使用例を示す図。
【図 2 0】本発明の一態様に係る C P U を示すブロック図。
【図 2 1】本発明の一態様に係る記憶素子の回路図。
【図 2 2】本発明の一態様に係る表示装置の上面図および回路図。
【図 2 3】本発明の一態様に係る表示モジュールを説明する図。
【図 2 4】本発明の一態様に係る電子機器を示す図。
【図 2 5】本発明の一態様に係る電子機器を示す図。
【図 2 6】酸化物半導体のナノビーム電子回折パターンを示す図。
【図 2 7】電子の累積照射量と結晶部の大きさの関係を示す図。
【図 2 8】本発明の一態様に係る半導体装置のバンド構造を説明する図。
【発明を実施するための形態】

【 0 0 2 6 】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【 0 0 2 7 】

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【 0 0 2 8 】

なお、本明細書において、例えば、物体の形状を「径」、「粒径」、「大きさ」、「サイズ」、「幅」などで規定する場合、物体が収まる最小の立方体における一辺の長さ、または物体の一断面における円相当径と読み替えてもよい。物体の一断面における円相当径とは、物体の一断面と等しい面積となる正円の直径をいう。

【 0 0 2 9 】

なお、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【 0 0 3 0 】

なお、第 1、第 2 として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【 0 0 3 1 】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【 0 0 3 2 】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体

10

20

30

40

50

」と言い換えることができる場合がある。

【 0 0 3 3 】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が 0 . 1 原子 % 未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の DOS (Density of State) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第 1 族元素、第 2 族元素、第 1 4 族元素、第 1 5 族元素、主成分以外の遷移金属などがあり、特に、例えば、水素 (水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第 1 族元素、第 2 族元素、第 1 3 族元素、第 1 5 族元素などがある。

10

【 0 0 3 4 】

なお、本明細書において、A が濃度 B の領域を有する、と記載する場合、例えば、A のある領域における深さ方向全体の濃度が B である場合、A のある領域における深さ方向の濃度の平均値が B である場合、A のある領域における深さ方向の濃度の中央値が B である場合、A のある領域における深さ方向の濃度の最大値が B である場合、A のある領域における深さ方向の濃度の最小値が B である場合、A のある領域における深さ方向の濃度の収束値が B である場合、測定上 A そのものの確からしい値の得られる領域における濃度が B である場合などを含む。

20

【 0 0 3 5 】

また、本明細書において、A が大きさ B、長さ B、厚さ B、幅 B または距離 B の領域を有する、と記載する場合、例えば、A のある領域における全体の大きさ、長さ、厚さ、幅、または距離が B である場合、A のある領域における大きさ、長さ、厚さ、幅、または距離の平均値が B である場合、A のある領域における大きさ、長さ、厚さ、幅、または距離の中央値が B である場合、A のある領域における大きさ、長さ、厚さ、幅、または距離の最大値が B である場合、A のある領域における大きさ、長さ、厚さ、幅、または距離の最小値が B である場合、A のある領域における大きさ、長さ、厚さ、幅、または距離の収束値が B である場合、測定上 A そのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離が B である場合などを含む。

30

【 0 0 3 6 】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体 (またはトランジスタがオン状態のときに半導体の中で電流の流れる部分) とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース (ソース領域またはソース電極) とドレイン (ドレイン領域またはドレイン電極) との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【 0 0 3 7 】

チャンネル幅とは、例えば、半導体 (またはトランジスタがオン状態のときに半導体の中で電流の流れる部分) とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【 0 0 3 8 】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャネ

50

ル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0039】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0040】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0041】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0042】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0043】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【0044】

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0045】

<トランジスタの構造>

以下では、本発明の一態様に係るトランジスタの構造について説明する。

【0046】

<トランジスタ構造1>

図1(A)および図1(B)は、本発明の一態様に係るトランジスタ490の上面図および断面図である。図1(A)は上面図であり、図1(B)は、図1(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0047】

図1(A)および図1(B)に示すトランジスタ490は、基板400上の導電体413と、基板400上および導電体413上の凸部を有する絶縁体402と、絶縁体402の凸部上の半導体406aと、半導体406a上の半導体406bと、半導体406bの上面および側面と接し、間隔を開けて配置された導電体416aおよび導電体416bと、半導体406b上、導電体416a上および導電体416b上の半導体406cと、半導体406c上の絶縁体412と、絶縁体412上の導電体404と、導電体416a上、導電体416b上および導電体404上の絶縁体408と、を有する。

【0048】

なお、半導体406cは、A3 - A4断面において、少なくとも半導体406bの上面および側面と接する。また、導電体404は、A3 - A4断面において、半導体406cおよび絶縁体412を介して半導体406bの上面および側面と面する。また、導電体413は、絶縁体402を介して半導体406bの下面と面する。また、絶縁体402が凸部を有さなくても構わない。また、絶縁体401を有さなくても構わない。また、導電体413を有さなくても構わない。また、半導体406cを有さなくても構わない。また、絶縁体408を有さなくても構わない。

10

【0049】

なお、半導体406bは、トランジスタ490のチャネル形成領域としての機能を有する。また、導電体404は、トランジスタ490の第1のゲート電極（フロントゲート電極ともいう。）としての機能を有する。また、導電体413は、トランジスタ490の第2のゲート電極（バックゲート電極ともいう。）としての機能を有する。また、導電体416aおよび導電体416bは、トランジスタ490のソース電極およびドレイン電極としての機能を有する。また、絶縁体408は、バリア層としての機能を有する。絶縁体408は、例えば、酸素または／および水素をブロックする機能を有する。または、絶縁体408は、例えば、半導体406aまたは／および半導体406cよりも、酸素または／および水素をブロックする能力が高い。

20

【0050】

なお、絶縁体402は過剰酸素を含む絶縁体であると好ましい。

【0051】

例えば、過剰酸素を含む絶縁体は、加熱処理によって酸素を放出する機能を有する絶縁体である。例えば、過剰酸素を含む酸化シリコン層は、加熱処理などによって酸素を放出することができる酸化シリコン層である。したがって、絶縁体402は膜中を酸素が移動可能な絶縁体である。即ち、絶縁体402は酸素透過性を有する絶縁体とすればよい。例えば、絶縁体402は、半導体406aよりも酸素透過性の高い絶縁体とすればよい。

30

【0052】

過剰酸素を含む絶縁体は、半導体406b中の酸素欠損を低減させる機能を有する場合がある。半導体406b中で酸素欠損は、DOSを形成し、正孔トラップなどとなる。また、酸素欠損のサイトに水素が入ることによって、キャリアである電子を生成することがある。したがって、半導体406b中の酸素欠損を低減することで、トランジスタ490に安定した電気特性を付与することができる。

40

【0053】

ここで、加熱処理によって酸素を放出する絶縁体は、昇温脱離ガス分光法（TDS：Thermal Desorption Spectroscopy）分析にて、100以上700以下または100以上500以下の表面温度の範囲で 1×10^{18} atoms/cm³以上、 1×10^{19} atoms/cm³以上または 1×10^{20} atoms/cm³以上の酸素（酸素原子数換算）を放出することもある。

【0054】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0055】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比

50

例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【 0 0 5 6 】

例えば、標準試料である所定の密度の水素を含むシリコン基板の T D S 分析結果、および測定試料の T D S 分析結果から、測定試料の酸素分子の放出量 (N_{O_2}) は、下に示す式で求めることができる。ここで、T D S 分析で得られる質量電荷比 3 2 で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH は質量電荷比 3 2 であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 1 7 の酸素原子および質量数 1 8 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【 0 0 5 7 】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times$$

【 0 0 5 8 】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を T D S 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料を T D S 分析したときのイオン強度の積分値である。 \times は、T D S 分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平 6 - 2 7 5 6 9 7 公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 E M D - W A 1 0 0 0 S / W を用い、標準試料として、例えば 1×10^{16} a t o m s / c m ² の水素原子を含むシリコン基板を用いて測定する。

【 0 0 5 9 】

また、T D S 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の \times は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【 0 0 6 0 】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の 2 倍となる。

【 0 0 6 1 】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 5×10^{17} s p i n s / c m ³ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、E S R にて、g 値が 2 . 0 1 近傍に非対称の信号を有することもある。

【 0 0 6 2 】

または、過剰酸素を含む絶縁体は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y) により測定した値である。

【 0 0 6 3 】

なお、上述した過剰酸素を含む絶縁体についての説明を、過剰酸素を含む半導体に対しても適用することができる場合がある。

【 0 0 6 4 】

図 1 (B) に示すように、半導体 4 0 6 b の側面は、導電体 4 1 6 a および導電体 4 1 6 b と接する。また、導電体 4 0 4 の電界によって、半導体 4 0 6 b を電気的に取り囲むことができる (導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、s u r r o u n d e d c h a n n e l (s - c h a n n e l) 構造とよぶ。) 。そのため、半導体 4 0 6 b の全体 (バルク) にチャネルが形成される場合がある。s - c h a n n e l 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、導通時の電流 (オン電流) を高くすることができる。

【 0 0 6 5 】

高いオン電流が得られるため、*s - channel*構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタ490は、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタ490は、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

【 0 0 6 6 】

また、導電体413に、ソース電極よりも低い電圧または高い電圧を印加し、トランジスタ490のしきい値電圧をプラス方向またはマイナス方向へ変動させてもよい。例えば、トランジスタ490のしきい値電圧をプラス方向に変動させることで、ゲート電圧が0Vであってもトランジスタ490が非導通状態（オフ状態）となる、ノーマリーオフが実現できる場合がある。なお、導電体413に印加する電圧は、可変であってもよいし、固定であってもよい。導電体413に印加する電圧を可変にする場合、電圧を制御する回路を導電体413と電氣的に接続してもよい。

10

【 0 0 6 7 】

以下では、半導体406a、半導体406b、半導体406cなどに適用可能な酸化物半導体の構造について説明する。

【 0 0 6 8 】

以下では、酸化物半導体の構造について説明する。

20

【 0 0 6 9 】

酸化物半導体は、非単結晶酸化物半導体と単結晶酸化物半導体とに大別される。非単結晶酸化物半導体とは、*CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor)*、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などをいう。

【 0 0 7 0 】

まずは、*CAAC - OS*について説明する。

【 0 0 7 1 】

*CAAC - OS*は、*c*軸配向した複数の結晶部を有する酸化物半導体の一つである。

30

【 0 0 7 2 】

透過型電子顕微鏡（*TEM: Transmission Electron Microscope*）によって、*CAAC - OS*の明視野像および回折パターンの複合解析像（高分解能*TEM*像ともいう。）を観察することで複数の結晶部を確認することができる。一方、高分解能*TEM*像によっても明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、*CAAC - OS*は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【 0 0 7 3 】

試料面と概略平行な方向から、*CAAC - OS*の断面の高分解能*TEM*像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、*CAAC - OS*の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、*CAAC - OS*の被形成面または上面と平行に配列する。

40

【 0 0 7 4 】

一方、試料面と概略垂直な方向から、*CAAC - OS*の平面の高分解能*TEM*像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 0 7 5 】

なお、*CAAC - OS*に対し、電子回折を行うと、配向性を示すスポット（輝点）が観測される。例えば、*CAAC - OS*の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折（ナノビーム電子回折ともいう。）を行うと、スポットが観測される（

50

図 26 (A) 参照。)。

【 0 0 7 6 】

断面の高分解能 TEM 像および平面の高分解能 TEM 像より、CAAC - OS の結晶部は配向性を有していることがわかる。

【 0 0 7 7 】

なお、CAAC - OS に含まれるほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。したがって、CAAC - OS に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC - OS に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能 TEM 像において、 2500 nm^2 以上、 $5 \mu\text{m}^2$ 以上または $1000 \mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

10

【 0 0 7 8 】

CAAC - OS に対し、X 線回折 (XRD : X - Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する CAAC - OS の out - of - plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、CAAC - OS の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【 0 0 7 9 】

一方、CAAC - OS に対し、c 軸に概略垂直な方向から X 線を入射させる in - plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、CAAC - OS の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

20

【 0 0 8 0 】

以上のことから、CAAC - OS では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面の高分解能 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

30

【 0 0 8 1 】

なお、結晶部は、CAAC - OS を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、CAAC - OS の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC - OS の形状をエッチングなどによって変化させた場合、結晶の c 軸が CAAC - OS の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 0 8 2 】

また、CAAC - OS 中において、c 軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC - OS の結晶部が、CAAC - OS の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなることもある。また、不純物の添加された CAAC - OS は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

40

【 0 0 8 3 】

なお、 InGaZnO_4 の結晶を有する CAAC - OS の out - of - plane 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC - OS 中の一部に、c 軸配向性を有さない結晶が含まれることを示している。CAAC - OS は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

50

【 0 0 8 4 】

C A A C - O S は、不純物濃度の低い酸化物半導体である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体の主成分以外の元素である。特に、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体内部に含まれると、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【 0 0 8 5 】

また、C A A C - O S は、欠陥準位密度の低い酸化物半導体である。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【 0 0 8 6 】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、キャリアトラップが少ない。そのため、当該酸化物半導体を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

【 0 0 8 7 】

また、C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【 0 0 8 8 】

次に、多結晶酸化物半導体について説明する。

【 0 0 8 9 】

多結晶酸化物半導体は、高分解能 T E M 像において結晶粒を確認することができる。多結晶酸化物半導体に含まれる結晶粒は、例えば、高分解能 T E M 像で、2 n m 以上 3 0 0 n m 以下、3 n m 以上 1 0 0 n m 以下または 5 n m 以上 5 0 n m 以下の粒径であることが多い。また、多結晶酸化物半導体は、高分解能 T E M 像で、結晶粒界を確認できる場合がある。

【 0 0 9 0 】

多結晶酸化物半導体は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている場合がある。また、多結晶酸化物半導体に対し、X R D 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する多結晶酸化物半導体の out - o f - p l a n e 法による解析では、2 が 31° 近傍のピーク、2 が 36° 近傍のピーク、またはそのほかのピークが現れる場合がある。

【 0 0 9 1 】

多結晶酸化物半導体は、高い結晶性を有するため、高い電子移動度を有する場合がある。したがって、多結晶酸化物半導体を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体は、結晶粒界に不純物が偏析する場合がある。また、多結晶酸化物半導体の結晶粒界は欠陥準位となる。多結晶酸化物半導体は、結晶粒界がキャリアトラップやキャリア発生源となる場合があるため、多結晶酸化物半導体を用いたトランジスタは、C A A C - O S を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる場合がある。

10

20

30

40

50

【0092】

次に、微結晶酸化物半導体について説明する。

【0093】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

10

【0094】

nc-OSは、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OSに対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図26(B)参照。)

20

【0095】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

30

【0096】

したがって、nc-OSは、CAAC-OSと比べて、キャリア密度が高くなる場合がある。キャリア密度が高い酸化物半導体は、電子移動度が高くなる場合がある。したがって、nc-OSを用いたトランジスタは、高い電界効果移動度を有する場合がある。また、nc-OSは、CAAC-OSと比べて、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。したがって、nc-OSを用いたトランジスタは、CAAC-OSを用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-OSは、比較的不純物が多く含まれていても形成することができるため、CAAC-OSよりも形成が容易となり、用途によっては好適に用いることができる場合がある。そのため、nc-OSを用いたトランジスタを有する半導体装置は、生産性高く作製することができる場合がある。

40

【0097】

次に、非晶質酸化物半導体について説明する。

【0098】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0099】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

【0100】

50

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0101】

非晶質酸化物半導体は、水素などの不純物を高い濃度で含む酸化物半導体である。また、非晶質酸化物半導体は、欠陥準位密度の高い酸化物半導体である。

【0102】

不純物濃度が高く、欠陥準位密度が高い酸化物半導体は、キャリアトラップやキャリア発生源が多い酸化物半導体である。

10

【0103】

したがって、非晶質酸化物半導体は、nc-OSと比べて、さらにキャリア密度が高くなる場合がある。そのため、非晶質酸化物半導体を用いたトランジスタは、ノーマリーオン電気特性になりやすい。したがって、ノーマリーオンの電気特性が求められるトランジスタに好適に用いることができる場合がある。非晶質酸化物半導体は、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。したがって、非晶質酸化物半導体を用いたトランジスタは、CAAC-OSやnc-OSを用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

【0104】

20

次に、単結晶酸化物半導体について説明する。

【0105】

単結晶酸化物半導体は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体である。そのため、キャリア密度を低くすることができる。したがって、単結晶酸化物半導体を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少なくなる場合がある。したがって、単結晶酸化物半導体を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0106】

なお、酸化物半導体は、欠陥が少ないと密度が高くなる。また、酸化物半導体は、結晶性が高いと密度が高くなる。また、酸化物半導体は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体は、CAAC-OSよりも密度が高い。また、CAAC-OSは、微結晶酸化物半導体よりも密度が高い。また、多結晶酸化物半導体は、微結晶酸化物半導体よりも密度が高い。また、微結晶酸化物半導体は、非晶質酸化物半導体よりも密度が高い。

30

【0107】

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)と呼ぶ。

40

【0108】

a-like OSは、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OSは、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OSであれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0109】

なお、a-like OSおよびnc-OSの結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In

50

- O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応すると見なした。その格子縞の観察される領域の最大長を、a-like OSおよびnc-OSの結晶部の大きさとする。なお、結晶部の大きさは、0.8nm以上のものを選択的に評価する。

【0110】

10

高分解能TEM像により、a-like OSおよびnc-OSの結晶部(20箇所から40箇所)の平均の大きさの変化を調査する。図27は、電子の累積照射量と結晶部の大きさの関係を示す図である。図27より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、TEMによる観察初期においては1.2nm程度の大きさだった結晶部が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、良質なnc-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。

【0111】

また、図27に示す、a-like OSおよびnc-OSの結晶部の大きさの変化を線形近似して、電子の累積照射量 $0 \text{ e}^- / \text{nm}^2$ まで外挿すると、結晶部の平均の大きさが正の値をとることがわかる。そのため、a-like OSおよびnc-OSの結晶部が、TEMによる観察前から存在していることがわかる。

20

【0112】

なお、酸化物半導体は、例えば、非晶質酸化物半導体、微結晶酸化物半導体、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0113】

以上が、半導体406a、半導体406b、半導体406cなどに適用可能な酸化物半導体の構造である。

【0114】

30

次に、半導体406a、半導体406b、半導体406cなどに適用可能な半導体の、その他の要素について説明する。

【0115】

半導体406bは、例えば、インジウムを含む酸化物半導体である。半導体406bは、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体406bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体406bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

40

【0116】

ただし、半導体406bは、インジウムを含む酸化物半導体に限定されない。半導体406bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物、酸化ガリウムなどの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0117】

50

半導体 406b は、例えば、エネルギーギャップが大きい酸化物を用いる。半導体 406b のエネルギーギャップは、例えば、2.5 eV 以上 4.2 eV 以下、好ましくは 2.8 eV 以上 3.8 eV 以下、さらに好ましくは 3 eV 以上 3.5 eV 以下とする。

【0118】

例えば、半導体 406a および半導体 406c は、半導体 406b を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体 406b を構成する酸素以外の元素一種以上、または二種以上から半導体 406a および半導体 406c が構成されるため、半導体 406a と半導体 406b との界面、および半導体 406b と半導体 406c との界面において、界面準位が形成されにくい。

【0119】

半導体 406a、半導体 406b および半導体 406c が、インジウムを含む場合について説明する。なお、半導体 406a が In-M-Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % 以上、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % 以上とする。また、半導体 406b が In-M-Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 25 atomic % 以上、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % 以上、M が 66 atomic % 未満とする。また、半導体 406c が In-M-Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % 以上、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % 以上とする。なお、半導体 406c は、半導体 406a と同種の酸化物を用いても構わない。

【0120】

半導体 406b は、半導体 406a および半導体 406c よりも電子親和力の大きい酸化物を用いる。例えば、半導体 406b として、半導体 406a および半導体 406c よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0121】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体 406c がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70 % 以上、好ましくは 80 % 以上、さらに好ましくは 90 % 以上とする。

【0122】

ただし、半導体 406a または / および半導体 406c が、酸化ガリウムであっても構わない。例えば、半導体 406a として、酸化ガリウムを用いると導電体 416a または導電体 416b と導電体 413 との間に生じるリーク電流を低減することができる。また、例えば、半導体 406c として、酸化ガリウムを用いると導電体 416a または導電体 416b と導電体 404 との間に生じるリーク電流を低減することができる。即ち、トランジスタ 490 のオフ電流を小さくすることができる。

【0123】

このとき、ゲート電圧を印加すると、半導体 406a、半導体 406b、半導体 406c のうち、電子親和力の大きい半導体 406b にチャネルが形成される。

【0124】

図 1 (B) に示す一点鎖線に対応するバンド構造を図 28 に示す。図 28 には、真空準位 (vacuum level と表記。)、各層の伝導帯下端のエネルギー (E_c と表記。) および価電子帯上端のエネルギー (E_v と表記。) を示す。

【0125】

ここで、半導体 406a と半導体 406b との間には、半導体 406a と半導体 406b との混合領域を有する場合がある。また、半導体 406b と半導体 406c との間には、

10

20

30

40

50

半導体406bと半導体406cとの混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体406a、半導体406bおよび半導体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0126】

このとき、電子は、半導体406a中および半導体406c中ではなく、半導体406b中を主として移動する。したがって、半導体406aおよび半導体406bの界面における界面準位密度、半導体406bと半導体406cとの界面における界面準位密度を低くすることによって、半導体406b中で電子の移動が阻害されることが少なく、トランジスタ490のオン電流を高くすることができる。

10

【0127】

なお、トランジスタ490がs-channel構造を有する場合、半導体406bの全体にチャネルが形成される。したがって、半導体406bが厚いほどチャネル領域は大きくなる。即ち、半導体406bが厚いほど、トランジスタ490のオン電流を高くすることができる。例えば、20nm以上、好ましくは40nm以上、さらに好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体406bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体406bとすればよい。

【0128】

また、トランジスタ490のオン電流を高くするためには、半導体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体406cとすればよい。一方、半導体406cは、チャネルの形成される半導体406bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体406cとすればよい。また、半導体406cは、絶縁体402などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

20

【0129】

また、信頼性を高くするためには、半導体406aは厚く、半導体406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体406aとすればよい。半導体406aの厚さを、厚くすることで、隣接する絶縁体と半導体406aとの界面からチャネルの形成される半導体406bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体406aとすればよい。

30

【0130】

例えば、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。したがって、半導体406bのシリコン濃度は低いほど好ましい。例えば、半導体406bと半導体406aとの間に、例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満のシリコン濃度となる領域を有する。また、半導体406bと半導体406cとの間に、SIMSにおいて、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満のシリコン濃度となる領域を有する。

40

【0131】

また、半導体406bは、SIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好

50

ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体 406b の水素濃度を低減するために、半導体 406a および半導体 406c の水素濃度を低減すると好ましい。半導体 406a および半導体 406c は、SIMS において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体 406b は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体 406b の窒素濃度を低減するために、半導体 406a および半導体 406c の窒素濃度を低減すると好ましい。半導体 406a および半導体 406c は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

10

【0132】

なお、酸化物半導体に銅が混入すると、電子トラップを生成する場合がある。電子トラップは、トランジスタのしきい値電圧をプラス方向へ変動させる場合がある。したがって、半導体 406b の表面または内部における銅濃度は低いほど好ましい。例えば、半導体 406b は、銅濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{18} \text{ atoms/cm}^3$ 以下となる領域を有すると好ましい。

20

【0133】

上述の3層構造は一例である。例えば、半導体 406a または半導体 406c のない2層構造としても構わない。または、半導体 406a の上もしくは下、または半導体 406c 上もしくは下に、半導体 406a、半導体 406b および半導体 406c として例示した半導体のいずれか一を有する4層構造としても構わない。または、半導体 406a の上、半導体 406a の下、半導体 406c の上、半導体 406c の下のいずれか二箇所以上に、半導体 406a、半導体 406b および半導体 406c として例示した半導体のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

【0134】

または、導電体 416a（または/および導電体 416b）の、少なくとも一部（または全部）は、半導体 406b などの半導体の、表面、側面、上面、または/および、下面の少なくとも一部（または全部）と、接している。または、導電体 416a（または/および導電体 416b）の、少なくとも一部（または全部）は、半導体 406b などの半導体の少なくとも一部（または全部）と、接している。

30

【0135】

基板 400 としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

40

【0136】

50

また、基板 400 として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板 400 に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板 400 として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板 400 が伸縮性を有してもよい。また、基板 400 は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板 400 は、例えば、5 μm 以上 700 μm 以下、好ましくは 10 μm 以上 500 μm 以下、さらに好ましくは 15 μm 以上 300 μm 以下の厚さとなる領域を有する。基板 400 を薄くすると、半導体装置を軽量化することができる。また、基板 400 を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板 400 上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

【0137】

可とう性基板である基板 400 としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板 400 は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板 400 としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板 400 として好適である。

20

【0138】

絶縁体 401 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 401 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。なお、絶縁体 401 は、酸化アルミニウムを有することが好ましい。例えば、絶縁体 401 が酸化アルミニウムを有することで、半導体 406b に水素などの不純物が混入することを抑制することができる。

30

【0139】

導電体 413 としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。または、前述の元素を含む合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

40

【0140】

絶縁体 402 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 402 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

50

【0141】

なお、絶縁体402は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体402は、酸化ガリウム、酸化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物などを有することが好ましい。または、絶縁体402は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを半導体406a側に有することで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、半導体406aまたはノおよび半導体406bに混入することを抑制することができる。また、例えば、酸化シリコンまたは酸化窒化シリコンを半導体406a側に有することで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。なお、比誘電率の高い絶縁体は、比誘電率が6以上、好ましくは8以上、さらに好ましくは12以上、より好ましくは20以上とする。

10

【0142】

絶縁体402は、基板400からの不純物の拡散を防止する役割を有してもよい。また、半導体406bが酸化物半導体である場合、絶縁体402は、半導体406bに酸素を供給する役割を担うことができる。

20

【0143】

導電体416aおよび導電体416bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。または、前述の元素を含む合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

30

【0144】

絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0145】

なお、絶縁体412は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体412は、酸化ガリウム、酸化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物などを有することが好ましい。または、絶縁体412は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを半導体406c側に有することで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、半導体406cまたはノおよび半導体406bに混入することを抑制することができる。また、例えば、酸化シリコンまたは酸化窒化シリコンを半

40

50

導体 406c 側に有することで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

【0146】

導電体 404 としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。または、前述の元素を含む合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

10

【0147】

絶縁体 408 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 408 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。なお、絶縁体 408 は、酸化アルミニウムを有することが好ましい。例えば、絶縁体 408 が酸化アルミニウムを有することで、半導体 406b に水素などの不純物が混入することを抑制することができる。

20

【0148】

<トランジスタ構造 1 の作製方法>

以下では、上述したトランジスタ 490 の作製方法について、図 2、図 3、図 4 および図 5 を用いて説明する。

【0149】

まず、基板 400 を準備する（図 5 ステップ S101 参照。）。

【0150】

次に、基板 400 上に絶縁体 401 を成膜する（図 5 ステップ S102 参照。）。なお、絶縁体 401 の成膜には、化学気相成長（CVD: Chemical Vapor Deposition）法または原子層堆積（ALD: Atomic Layer Deposition）法を用いると好ましい。特に、MOCVD 法を用いると好ましい。

30

【0151】

なお、CVD 法は、プラズマを利用するプラズマ CVD（PECVD: Plasma Enhanced CVD）法、熱を利用する熱 CVD（TCVD: Thermal CVD）法、光を利用する光 CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属 CVD（MCVD: Metal CVD）法、有機金属 CVD（MOCVD: Metal Organic CVD）法に分けることができる。

40

【0152】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0153】

50

また、A L D 法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、A L D 法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【 0 1 5 4 】

C V D 法および A L D 法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D 法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、A L D 法は、比較的成膜速度が遅いため、成膜速度の速い C V D 法などの他の成膜方法と組み合わせて用いることが

10

【 0 1 5 5 】

C V D 法および A L D 法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、C V D 法および A L D 法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、C V D 法および A L D 法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、トランジスタの生産性を高めることができる場合がある。M O C V D 法を用いることが可能な成膜装置、および A L D 法を用いることが可能な成膜

20

【 0 1 5 6 】

または、例えば、スパッタリング法、M B E 法、P L D 法、A L D 法を用いてもよい場合もある。

【 0 1 5 7 】

次に、絶縁体 4 0 1 上に導電体を成膜する（図 5 ステップ S 1 0 2 参照。）。該導電体の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M C V D 法を用いると好ましい。

【 0 1 5 8 】

ここで、絶縁体 4 0 1 と導電体とを大気に暴露せずに、続けて成膜することが好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

30

【 0 1 5 9 】

半導体装置を作製するクリーンルームなどには、クリーンフィルターに起因した不純物（ホウ素など）が大気中に存在する場合がある。ホウ素に代表される大気中の不純物は、半導体の性質を変化させる要因となる。そのため、半導体装置内の意図せぬ箇所に不純物が混入することを抑制することは、半導体装置の電気特性を良好、かつ安定にするために好ましいことがわかる。

【 0 1 6 0 】

なお、このように異なる膜を大気に暴露せずに続けて成膜することを、本明細書では連続成膜と呼ぶ。連続成膜する場合、同じ成膜方法または / および同じ成膜室を用いて成膜できる場合がある。異なる膜を、同じ成膜室で成膜することで、半導体装置の生産性を高くすることができる場合がある。ただし、連続成膜は、同じ成膜室で行う場合に限定されない。また、連続成膜は、同じ成膜方法を用いる場合に限定されない。即ち、上述した成膜方法のいずれかを組み合わせて連続成膜することも可能である。

40

【 0 1 6 1 】

なお、ここでは絶縁体 4 0 1 と導電体とを連続成膜した例を示したが、これに限定されない。例えば、絶縁体 4 0 1 と導電体とを連続成膜しなくても構わない場合がある。

【 0 1 6 2 】

次に、導電体を加工して導電体 4 1 3 を形成する（図 2（A）および図 5 ステップ S 1 0 3 参照。）。

50

【0163】

なお、本明細書において「加工する」とは、例えば、フォトリソグラフィ法によって形成したレジストマスクを用い、エッチング処理を行って、所望の形状を得ることをいう。

【0164】

ここで、レジストマスクの形成方法の一例を説明する。まず、レジストマスクとなる感光性を有する有機物または無機物の層を、スピンコート法などを用いて形成する。次に、フォトマスクを用いて、レジストマスクとなる層に光を照射する。当該光としては、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、レジストマスクとなる層に照射する光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。次に、現像液を用いて、レジストマスクとなる層の露光された領域を、除去または残存させてレジストマスクを形成する。以上のようにして、レジストマスクを形成することができる。

10

【0165】

次に、絶縁体401上および導電体413上に、絶縁体402を成膜する(図5ステップS104参照。)。絶縁体402の成膜には、CVD法またはALD法を用いると好ましい。特に、PECVD法またはMOCVD法を用いると好ましい。

【0166】

次に、絶縁体402上に、半導体436aを成膜する(図5ステップS104参照。)。半導体436aの成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体402に過剰酸素を添加することができる場合がある。なお、半導体436aは、後に図1に示した半導体406aとなる半導体である。

20

【0167】

次に、半導体436a上に、半導体436bを成膜する(図2(B)および図5ステップS104参照。)。半導体436bの成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体402または/および半導体436aに過剰酸素を添加することができる場合がある。なお、半導体436bは、後に図1に示した半導体406bとなる半導体である。

30

【0168】

例えば、絶縁体402と半導体436aと半導体436bとを連続成膜することで、各界面に不純物が混入することを抑制することができる。即ち、絶縁体402と半導体436aと半導体436bとを連続成膜することで、各界面における界面準位密度を低くすることができる。また、これらの成膜に、ダメージの小さい成膜方法を用いることでも、各界面における界面準位密度を低くすることができる。したがって、各界面における界面準位密度を低くすることにより、トランジスタ490の電気特性を良好、かつ安定にすることができる。また、絶縁体402は、導電体413をゲート電極として用いた場合にゲート絶縁体として機能する。また、半導体436aもゲート絶縁体として機能する場合がある。

40

【0169】

次に、半導体436bを加工して半導体406bを形成する(図5ステップS105参照。)。)

【0170】

次に、半導体436aを加工して半導体406aを形成する(図2(C)および図5ステップS105参照。)。)

【0171】

なお、半導体436bと半導体436aとの加工は、同じ工程で行っても構わない。半導体436bと半導体436aとの加工を同じ工程で行うことで、半導体装置の生産性を高

50

くすることができる場合がある。

【0172】

なお、半導体436aの加工の際に、絶縁体402の一部をエッチングしても構わない。即ち、絶縁体402が、半導体406aおよび半導体406bと接する領域に凸部を有しても構わない(図2(C)参照。)。絶縁体402の一部が凸部を有することで、s-channel構造を実現しやすくなる場合がある。

【0173】

次に、第1の加熱処理を行うと好ましい(図5ステップS106参照。)。第1の加熱処理は、250以上650以下、好ましくは450以上600以下、さらに好ましくは520以上570以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体406aまたはノおよび半導体406bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。なお、第1の加熱処理を、半導体436bを成膜した後、かつ半導体436bを加工する前に行っても構わない。なお、第1の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

【0174】

次に、絶縁体402上および半導体406b上に、導電体416を成膜する(図3(A)および図5ステップS107参照。)。なお、導電体416は、後に図1に示した導電体416aおよび導電体416bとなる導電体である。

【0175】

導電体416の成膜には、CVD法またはALD法を用いると好ましい。特に、MCVD法を用いると好ましい。導電体416をCVD法またはALD法を用いて成膜することで、半導体406bへのダメージを小さくすることができる。そのため、ダメージによって半導体406bに低抵抗領域が形成されることを抑制することができる。また、導電体416と半導体406bとの混合層の形成を抑制することができる。

【0176】

次に、導電体416を加工して、導電体416aおよび導電体416bを形成する(図3(B)および図5ステップS108参照。)。

【0177】

次に、絶縁体402上、半導体406b上、導電体416a上および導電体416b上に、半導体436cを成膜する(図5ステップS109参照。)。半導体436cの成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体402、半導体406a、半導体406bのいずれか一以上に過剰酸素を添加することができる場合がある。なお、半導体436cは、後に図1に示した半導体406cとなる半導体である。

【0178】

次に、半導体436c上に、絶縁体442を成膜する(図5ステップS109参照。)。絶縁体442の成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体402、半導体406a、半導体406b、半導体436cのいずれか一以上に過剰酸素を添加することができる場合がある。なお、絶縁体442は、後に図1に示した絶縁体412となる絶縁体である。

【0179】

次に、絶縁体442上に、導電体434を成膜する(図3(C)および図5ステップS109参照。)。導電体434の成膜には、CVD法またはALD法を用いると好ましい。

特に、MCVD法を用いると好ましい。なお、導電体434は、後に図1に示した導電体404となる導電体である。

【0180】

ここで、半導体436cと絶縁体442と導電体434とを連続成膜することが好ましい。こうすることで、各界面に不純物が混入することを抑制することができる。即ち、半導体436cと絶縁体442と導電体434とを連続成膜することで、各界面における界面準位密度を低くすることができる。また、これらの成膜に、ダメージの小さい成膜方法を用いることでも、各界面における界面準位密度を低くすることができる。したがって、トランジスタ490の電気特性を良好、かつ安定にすることができる。また、後に絶縁体412となる絶縁体442は、後に導電体404となる導電体434をゲート電極として用いた場合にゲート絶縁体として機能する。また、半導体436cもゲート絶縁体として機能する場合がある。

10

【0181】

次に、導電体434を加工して導電体404を形成する(図5ステップS110参照。)

【0182】

次に、絶縁体442を加工して絶縁体412を形成する(図5ステップS111参照。)

【0183】

次に、半導体436cを加工して半導体406cを形成する(図4(A)および図5ステップS112参照。)

20

【0184】

なお、導電体434と絶縁体442と半導体436cとの加工は、同じ工程で行っても構わない。導電体434と絶縁体442と半導体436cとの加工を同じ工程で行うことで、半導体装置の生産性を高くすることができる場合がある。

【0185】

なお、絶縁体412、半導体406c、導電体404の全部または一部を異なるフォトリソグラフィ工程で形成してもよい。その場合、図4(B1)に示す拡大断面のように、導電体404よりも絶縁体412または/および半導体406cが突出した(迫り出した)形状となる場合や、図4(B2)に示す拡大断面のように、導電体404が絶縁体412または/および半導体406cよりも突出した(迫り出した)形状となる場合がある。これらに示すような形状とすることによって、形状不良が低減され、ゲートリーク電流を低減できる場合がある。

30

【0186】

また、ここでは導電体404と絶縁体412と半導体406cとが、上面図において同様の形状となる例を示すが、これに限定されない。例えば、絶縁体442または/および半導体436cを加工せずに用いても構わない場合がある。

【0187】

次に、絶縁体402上、導電体416a上、導電体416b上および導電体404上に、絶縁体408を成膜する(図4(C)および図5ステップS113参照。)。絶縁体408の成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。

40

【0188】

以上のようにして、トランジスタ490を作製することができる。トランジスタ490は、各層の界面への不純物の混入が起こりにくく、かつ成膜に起因した各層へのダメージが小さいことにより、電気特性が良好で、かつ電気特性が安定なトランジスタとなる。

【0189】

または、トランジスタ490は、図6に示すフローチャートによっても作製することができる。

【0190】

50

図6に示すフローチャートは、図5に示したフローチャートと比べて、半導体436aの成膜後に、半導体436aに酸素を添加する処理を行っている点が異なる(図6ステップS205参照。)。図6に示すステップS201乃至ステップS215の各ステップは、図5に示したステップS101乃至ステップS113の記載を適宜参酌することができる。

【0191】

半導体436aに酸素を添加する処理としては、例えば、イオン注入法、プラズマ処理法などがある。なお、半導体436aに添加された酸素は、過剰酸素となる。

【0192】

イオン注入法では、原料ガスに酸素原子を含むガスを用い、被処理物に向けて加速電圧を印加することで行えばよい。なお、酸素原子を含むガスとしては、例えば、酸素ガス、オゾンガス、一酸化炭素ガス、二酸化炭素ガス、亜酸化窒素ガス、一酸化窒素ガス、二酸化窒素ガスなどを用いることができる。特に好ましくは酸素ガスを用いる。

【0193】

イオン注入法は、質量分離したイオンを用いてもよいし、質量分離していないイオンを用いてもよい。質量分離したイオンを用いた場合、注入深さのばらつき、面内ばらつきなどを小さく注入することができる。例えば、質量分離して O_2^+ イオンを用いた場合、 O^+ イオンを用いた場合よりも、同じ加速電圧において浅い領域に注入することが可能となる。したがって、半導体436aが薄い場合などは、質量分離して O_2^+ イオンを用いることが好ましい場合がある。また、不純物の混入も少なくすることができる。一方、質量分離していないイオンを用いた場合、高いドーズ量を短い時間で注入することができる。したがって、ドーズ量を多くしたい場合は、質量分離していないイオンを用いることが好ましい場合がある。

【0194】

プラズマ処理法は、例えば、被処理物に高周波電力を印加することでプラズマを生成し、該プラズマ中の酸素含むイオンを自己バイアス電圧によって加速することで酸素を添加することができる。なお、誘導結合プラズマなどを用いても構わない。

【0195】

なお、酸素を添加する処理は半導体436aのみでなく、絶縁体402に対して行っても構わない。例えば、半導体436aを介して絶縁体402に酸素を添加しても構わない。

【0196】

半導体436aに酸素を添加する処理を行った後、半導体436a上に半導体436bを成膜する(図2(B)および図6ステップS206参照。)。

【0197】

なお、半導体436aの成膜と、酸素を添加する処理と、半導体436bの成膜と、を大気に暴露せずに続けて行うと好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

【0198】

次に、半導体436bを加工して半導体406bを形成する(図6ステップS207参照。)。

【0199】

次に、半導体436aを加工して半導体406aを形成する(図2(C)および図6ステップS207参照。)。

【0200】

次に、第1の加熱処理を行うと好ましい(図6ステップS208参照。)。第1の加熱処理は、250 以上650 以下、好ましくは450 以上600 以下、さらに好ましくは520 以上570 以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上ま

10

20

30

40

50

たは10%以上含む雰囲気中で加熱処理を行ってもよい。第1の加熱処理によって、半導体406aまたはノおよび半導体406bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。なお、第1の加熱処理を、半導体436bを成膜した後、かつ半導体436bを加工する前に行っても構わない。なお、第1の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

【0201】

このとき、半導体406a中に酸素(過剰酸素)が含まれることにより、半導体406bの酸素欠損を低減することができる場合がある。また、絶縁体402と比べて半導体406aは半導体406bに近い。そのため、半導体406aが過剰酸素を含む場合のほうが、絶縁体402が過剰酸素を含む場合よりも、効果的に半導体406bの酸素欠損を低減することができる。

10

【0202】

また、例えば、絶縁体402が酸化シリコンまたは酸化窒化シリコンである場合、加熱処理によって過剰酸素は広範囲に拡散する。一方、半導体406aの場合、酸化シリコン、酸化窒化シリコンなどと比較して加熱処理によって過剰酸素が拡散する距離が短いため、第1の加熱処理の温度を高くすることができる。第1の加熱処理の温度を高くすることができるため、半導体406aまたはノおよび半導体406bに含まれる不純物を低減できる。また、さらに半導体406aまたはノおよび半導体406bの結晶性を高くすることができる場合がある。

20

【0203】

なお、本明細書において、酸化窒化物とは、窒素を0.1 atomic %以上25 atomic %未満含む酸化物をいう。なお、窒化酸化物とは、酸素を0.1 atomic %以上25 atomic %未満含む窒化物をいう。例えば、酸化窒化シリコンは酸化窒化物であり、窒化酸化シリコンは窒化酸化物である。

【0204】

または、トランジスタ490は、図7に示すフローチャートによっても作製することができる。

【0205】

図7に示すフローチャートは、図5に示したフローチャートと比べて、絶縁体442の成膜後に、第2の加熱処理を行っている点が異なる(図7ステップS310参照。)。図7に示すステップS301乃至ステップS315の各ステップは、図5に示したステップS101乃至ステップS113の記載を適宜参酌することができる。

30

【0206】

絶縁体442の成膜後に第2の加熱処理を行うことで、絶縁体402またはノおよび半導体436aに含まれる過剰酸素が半導体406bまで移動する。半導体406bは半導体436cで覆われているため、過剰酸素の外方拡散が起こりにくい。そのため、このタイミングで第2の加熱処理を行うことで、効率的に半導体406bの欠陥(酸素欠損)を低減することができる。なお、第2の加熱処理は、絶縁体402またはノおよび半導体436a中の過剰酸素(酸素)が半導体406bまで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理との温度差は、20以上150以下、好ましくは40以上100以下とする。これにより、絶縁体402またはノおよび半導体436aから余分に過剰酸素(酸素)が放出することを抑えることができる。なお、第2の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

40

【0207】

第2の加熱処理を行った後、絶縁体442上に導電体434を成膜する(図3(C)および図7ステップS311参照。)。

【0208】

50

なお、絶縁体 4 4 2 の成膜と、第 2 の加熱処理と、導電体 4 3 4 の成膜と、を大気に暴露せずに続けて行うと好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

【0209】

次に、導電体 4 3 4 を加工して導電体 4 0 4 を形成する（図 7 ステップ S 3 1 2 参照。）。

【0210】

次に、絶縁体 4 4 2 を加工して絶縁体 4 1 2 を形成する（図 7 ステップ S 3 1 3 参照。）。

【0211】

次に、半導体 4 3 6 c を加工して半導体 4 0 6 c を形成する（図 4 (A) および図 7 ステップ S 3 1 4 参照。）。

【0212】

なお、図 5、図 6 および図 7 に示したトランジスタ 4 9 0 の作製方法は、組み合わせても構わない。例えば、図 6 に示した酸素を添加する処理を、図 7 に示した作製方法に組み合わせても構わない。

【0213】

<トランジスタ構造 2>

以下に、図 1 などに示したトランジスタ 4 9 0 と異なるトランジスタの例を示す。

【0214】

図 1 などではソース電極およびドレイン電極として機能する導電体 4 1 6 a および導電体 4 1 6 b が、半導体 4 0 6 b の上面および側面、絶縁体 4 0 2 の上面などと接する例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。

【0215】

図 8 (A) は、トランジスタ 5 9 0 の上面図の一例である。図 8 (A) の一点鎖線 B 1 - B 2 および一点鎖線 B 3 - B 4 に対応する断面図の一例を図 8 (B) に示す。なお、図 8 (A) では、理解を容易にするため、絶縁体などの一部を省略して示す。

【0216】

なお、基板 5 0 0 は基板 4 0 0 についての記載を参照する。また、絶縁体 5 0 1 は絶縁体 4 0 1 についての記載を参照する。また、導電体 5 1 3 は導電体 4 1 3 についての記載を参照する。また、絶縁体 5 0 2 は絶縁体 4 0 2 についての記載を参照する。また、半導体 5 0 6 a は、半導体 4 0 6 a についての記載を参照する。また、半導体 5 0 6 b は、半導体 4 0 6 b についての記載を参照する。また、導電体 5 1 6 a および導電体 5 1 6 b は導電体 4 1 6 a および導電体 4 1 6 b についての記載を参照する。また、半導体 5 0 6 c は、半導体 4 0 6 c についての記載を参照する。また、絶縁体 5 1 2 は絶縁体 4 1 2 についての記載を参照する。また、導電体 5 0 4 は導電体 4 0 4 についての記載を参照する。また、絶縁体 5 0 8 は絶縁体 4 0 8 についての記載を参照する。

【0217】

図 8 に示すトランジスタは、導電体 5 1 6 a および導電体 5 1 6 b は、半導体 5 0 6 b の側面と接しない。したがって、第 1 のゲート電極として機能する導電体 5 0 4 から半導体 5 0 6 b の側面に向けて印加される電界が、導電体 5 1 6 a および導電体 5 1 6 b によって遮蔽されにくい構造である。また、導電体 5 1 6 a および導電体 5 1 6 b は、絶縁体 5 0 2 の上面と接しない。そのため、絶縁体 5 0 2 から放出される過剰酸素（酸素）が導電体 5 1 6 a および導電体 5 1 6 b を酸化させるために消費されない。したがって、絶縁体 5 0 2 から放出される過剰酸素（酸素）を、半導体 5 0 6 b の酸素欠損を低減するために効率的に利用することのできる構造である。即ち、図 8 に示す構造のトランジスタは、高いオン電流、高い電界効果移動度、低いサブスレッショルドスイング値、高い信頼性などを有する優れた電気特性のトランジスタである。

【0218】

<トランジスタ構造 2 の作製方法>

10

20

30

40

50

以下では、上述したトランジスタ 5 9 0 の作製方法について、図 9、図 1 0、図 1 1 および図 1 2 を用いて説明する。

【 0 2 1 9 】

まず、基板 5 0 0 を準備する（図 1 2 ステップ S 4 0 1 参照。 ）。

【 0 2 2 0 】

次に、基板 5 0 0 上に絶縁体 5 0 1 を成膜する（図 1 2 ステップ S 4 0 2 参照。 ） 。なお、絶縁体 5 0 1 の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M O C V D 法を用いると好ましい。

【 0 2 2 1 】

次に、絶縁体 5 0 1 上に導電体を成膜する（図 1 2 ステップ S 4 0 2 参照。 ） 。該導電体の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M C V D 法を用いると好ましい。

10

【 0 2 2 2 】

ここで、絶縁体 5 0 1 と導電体とを大気に暴露せずに、続けて成膜することが好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

【 0 2 2 3 】

なお、ここでは絶縁体 5 0 1 と導電体とを連続成膜した例を示したが、これに限定されない。例えば、絶縁体 5 0 1 と導電体とを連続成膜しなくても構わない場合がある。

【 0 2 2 4 】

次に、導電体を加工して導電体 5 1 3 を形成する（図 9（ A ）および図 1 2 ステップ S 4 0 3 参照。 ） 。

20

【 0 2 2 5 】

次に、絶縁体 5 0 1 上および導電体 5 1 3 上に、絶縁体 5 0 2 を成膜する（図 1 2 ステップ S 4 0 4 参照。 ） 。絶縁体 5 0 2 の成膜には、C V D 法または A L D 法を用いると好ましい。特に、P E C V D 法または M O C V D 法を用いると好ましい。

【 0 2 2 6 】

次に、絶縁体 5 0 2 上に、半導体 5 3 6 a を成膜する（図 1 2 ステップ S 4 0 4 参照。 ） 。半導体 5 3 6 a の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M O C V D 法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体 5 0 2 に過剰酸素を添加することができる場合がある。なお、半導体 5 3 6 a は、後に図 8 に示した半導体 5 0 6 a となる半導体である。

30

【 0 2 2 7 】

次に、半導体 5 3 6 a 上に、半導体 5 3 6 b を成膜する（図 1 2 ステップ S 4 0 4 参照。 ） 。半導体 5 3 6 b の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M O C V D 法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体 5 0 2 または / および半導体 5 3 6 a に過剰酸素を添加することができる場合がある。なお、半導体 5 3 6 b は、後に図 8 に示した半導体 5 0 6 b となる半導体である。

【 0 2 2 8 】

次に、半導体 5 3 6 b 上に、導電体 5 1 6 を成膜する（図 9（ B ）および図 1 2 ステップ S 4 0 4 参照。 ） 。なお、導電体 5 1 6 は、後に図 8 に示した導電体 5 1 6 a および導電体 5 1 6 b となる導電体である。

40

【 0 2 2 9 】

導電体 5 1 6 の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M C V D 法を用いると好ましい。導電体 5 1 6 を C V D 法または A L D 法を用いて成膜することで、半導体 5 3 6 b へのダメージを小さくすることができる。そのため、ダメージによって半導体 5 3 6 b に低抵抗領域が形成されることを抑制することができる。また、導電体 5 1 6 と半導体 5 3 6 b との混合層の形成を抑制することができる。

【 0 2 3 0 】

例えば、絶縁体 5 0 2 と半導体 5 3 6 a と半導体 5 3 6 b と導電体 5 1 6 とを連続成膜す

50

ることで、各界面に不純物が混入することを抑制することができる。即ち、絶縁体502と半導体536aと半導体536bと導電体516とを連続成膜することで、各界面における界面準位密度を低くすることができる。また、これらの成膜に、ダメージの小さい成膜方法を用いることでも、各界面における界面準位密度を低くすることができる。したがって、トランジスタ590の電気特性を良好、かつ安定にすることができる。また、絶縁体502は、導電体513をゲート電極として用いた場合にゲート絶縁体として機能する。また、半導体536aもゲート絶縁体として機能する場合がある。

【0231】

次に、導電体516を加工して導電体517を形成する(図9(C)および図12ステップS405参照。)。導電体517は、ハードマスクとしての機能を有する。

10

【0232】

次に、半導体536bを加工して半導体506bを形成する(図12ステップS406参照。)。

【0233】

次に、半導体536aを加工して半導体506aを形成する(図10(A)および図12ステップS406参照。)。

【0234】

なお、導電体516と半導体536bと半導体536aとの加工の少なくとも一部は、同じ工程で行っても構わない。導電体516と半導体536bと半導体536aとの加工の少なくとも一部を同じ工程で行うことで、半導体装置の生産性を高くすることができる場合がある。

20

【0235】

なお、半導体536aの加工の際に、絶縁体502の一部をエッチングしても構わない。即ち、絶縁体502が、半導体506aおよび半導体506bと接する領域に凸部を有しても構わない(図10(C)参照。)。絶縁体502の一部が凸部を有することで、s-channel構造を実現しやすくなる場合がある。

【0236】

次に、導電体517を加工して、導電体516aおよび導電体516bを形成する(図10(B)および図12ステップS407参照。)。

【0237】

30

次に、絶縁体502上、半導体506b上、導電体516a上および導電体516b上に、半導体536cを成膜する(図12ステップS408参照。)。半導体536cの成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体502、半導体506a、半導体506bのいずれか一以上に過剰酸素を添加することができる場合がある。なお、半導体536cは、後に図8に示した半導体506cとなる半導体である。

【0238】

次に、半導体536c上に、絶縁体542を成膜する(図12ステップS408参照。)。絶縁体542の成膜には、CVD法またはALD法を用いると好ましい。特に、MOCVD法を用いると好ましい。このとき、反応ガスとして酸素、オゾンなどの酸化性ガスを用いることで、絶縁体502、半導体506a、半導体506b、半導体536cのいずれか一以上に過剰酸素を添加することができる場合がある。なお、絶縁体542は、後に図8に示した絶縁体512となる絶縁体である。

40

【0239】

次に、絶縁体542上に、導電体534を成膜する(図10(C)および図12ステップS408参照。)。導電体534の成膜には、CVD法またはALD法を用いると好ましい。特に、MCVD法を用いると好ましい。なお、導電体534は、後に図8に示した導電体504となる導電体である。

【0240】

50

ここで、半導体 5 3 6 c と絶縁体 5 4 2 と導電体 5 3 4 とを連続成膜することが好ましい。こうすることで、各界面に不純物が混入することを抑制することができる。即ち、半導体 5 3 6 c と絶縁体 5 4 2 と導電体 5 3 4 とを連続成膜することで、各界面における界面準位密度を低くすることができる。また、これらの成膜に、ダメージの小さい成膜方法を用いることでも、各界面における界面準位密度を低くすることができる。したがって、トランジスタ 5 9 0 の電気特性を良好、かつ安定にすることができる。また、後に絶縁体 5 1 2 となる絶縁体 5 4 2 は、後に導電体 5 0 4 となる導電体 5 3 4 をゲート電極として用いた場合にゲート絶縁体として機能する。また、半導体 5 3 6 c もゲート絶縁体として機能する場合がある。

【 0 2 4 1 】

10

次に、導電体 5 3 4 を加工して導電体 5 0 4 を形成する（図 1 2 ステップ S 4 0 9 参照。）。

【 0 2 4 2 】

次に、絶縁体 5 4 2 を加工して絶縁体 5 1 2 を形成する（図 1 2 ステップ S 4 1 0 参照。）。

【 0 2 4 3 】

次に、半導体 5 3 6 c を加工して半導体 5 0 6 c を形成する（図 1 1 (A) および図 1 2 ステップ S 4 1 1 参照。）。

【 0 2 4 4 】

なお、導電体 5 3 4 と絶縁体 5 4 2 と半導体 5 3 6 c との加工は、同じ工程で行っても構わない。導電体 5 3 4 と絶縁体 5 4 2 と半導体 5 3 6 c との加工を同じ工程で行うことで、半導体装置の生産性を高くすることができる場合がある。

20

【 0 2 4 5 】

なお、絶縁体 5 1 2、半導体 5 0 6 c、導電体 5 0 4 の全部または一部を異なるフォトリソグラフィ工程で形成してもよい。その場合、導電体 5 0 4 よりも絶縁体 5 1 2 または / および半導体 5 0 6 c が突出した（迫り出した）形状となる場合や、導電体 5 0 4 が絶縁体 5 1 2 または / および半導体 5 0 6 c よりも突出した（迫り出した）形状となる場合がある。これらに示すような形状とすることによって、形状不良が低減され、ゲートリーク電流を低減できる場合がある。

【 0 2 4 6 】

30

また、ここでは導電体 5 0 4 と絶縁体 5 1 2 と半導体 5 0 6 c とが、上面図において同様の形状となる例を示すが、これに限定されない。例えば、絶縁体 5 4 2 または / および半導体 5 3 6 c を加工せずに用いても構わない場合がある。

【 0 2 4 7 】

次に、絶縁体 5 0 2 上、導電体 5 1 6 a 上、導電体 5 1 6 b 上および導電体 5 0 4 上に、絶縁体 5 0 8 を成膜する（図 1 1 (B) および図 1 2 ステップ S 4 1 2 参照。）。絶縁体 5 0 8 の成膜には、C V D 法または A L D 法を用いると好ましい。特に、M O C V D 法を用いると好ましい。

【 0 2 4 8 】

以上のようにして、トランジスタ 5 9 0 を作製することができる。トランジスタ 5 9 0 は、各層の界面への不純物の混入が起こりにくく、かつ成膜に起因した各層へのダメージが小さいことにより、電気特性が良好で、かつ電気特性が安定なトランジスタとなる。

40

【 0 2 4 9 】

または、トランジスタ 5 9 0 は、図 1 3 に示すフローチャートによっても作製することができる。

【 0 2 5 0 】

図 1 3 に示すフローチャートは、図 1 2 に示したフローチャートと比べて、半導体 5 3 6 a の成膜後に、半導体 5 3 6 a に酸素を添加する処理を行っている点が異なる（図 1 3 ステップ S 5 0 5 参照。）。図 1 3 に示すステップ S 5 0 1 乃至ステップ S 5 1 5 の各ステップは、図 1 2 に示したステップ S 4 0 1 乃至ステップ S 4 1 3 の記載を適宜参酌するこ

50

とができる。

【0251】

半導体536aに酸素を添加する処理としては、例えば、イオン注入法、プラズマ処理法などがある。なお、半導体536aに添加された酸素は、過剰酸素となる。半導体536aに酸素を添加する処理は、半導体436aに酸素を添加する処理についての記載を参照する。

【0252】

なお、酸素を添加する処理は半導体536aのみでなく、絶縁体502に対して行っても構わない。例えば、半導体536aを介して絶縁体502に酸素を添加しても構わない。

【0253】

半導体536aに酸素を添加する処理を行った後、半導体536a上に半導体536bを成膜する(図13ステップS506参照。)。

【0254】

なお、半導体536aの成膜と、酸素を添加する処理と、半導体536bの成膜と、を大気に暴露せずに続けて行うと好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

【0255】

次に、半導体536b上に、導電体516を成膜する(図13ステップS506参照。)。

【0256】

半導体536bと導電体516とを連続成膜することで、界面に不純物が混入することを抑制することができる。即ち、半導体536bと導電体516とを連続成膜することで、界面における界面準位密度を低くすることができる。また、これらの成膜に、ダメージの小さい成膜方法を用いることでも、各界面における界面準位密度を低くすることができる。

【0257】

または、トランジスタ590は、図14に示すフローチャートによっても作製することができる。

【0258】

図14に示すフローチャートは、図12に示したフローチャートと比べて、半導体536bの成膜後に第1の加熱処理を行っている点、および絶縁体542の成膜後に第2の加熱処理を行っている点が異なる(図14ステップS605および図14ステップS611参照。)。図14に示すステップS601乃至ステップS615の各ステップは、図12に示したステップS401乃至ステップS413の記載を適宜参酌することができる。

【0259】

第1の加熱処理は、250 以上650 以下、好ましくは450 以上600 以下、さらに好ましくは520 以上570 以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体536aまたは/および半導体536bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。なお、第1の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

【0260】

第1の加熱処理を行った後、半導体536上に導電体516を成膜する(図9(B)および図14ステップS606)

【0261】

絶縁体542の成膜後に第2の加熱処理を行うことで、絶縁体502または/および半導体536aに含まれる過剰酸素が半導体506bまで移動する。半導体506bは半導体

10

20

30

40

50

5 3 6 cで覆われているため、過剰酸素の外方拡散が起こりにくい。そのため、このタイミングで第2の加熱処理を行うことで、効率的に半導体5 0 6 bの欠陥（酸素欠損）を低減することができる。なお、第2の加熱処理は、絶縁体5 0 2または/および半導体5 3 6 a中の過剰酸素（酸素）が半導体5 0 6 bまで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理との温度差は、20 以上150 以下、好ましくは40 以上100 以下とする。これにより、絶縁体5 0 2から余分に過剰酸素（酸素）が放出することを抑えることができる。なお、第2の加熱処理は、同等の加熱処理を各層の成膜時の加熱によって兼ねることができる場合、行わなくてもよい場合がある。

10

【0262】

第2の加熱処理を行った後、絶縁体5 4 2上に導電体5 3 4を成膜する（図10（C）および図14ステップS 6 1 2参照。）。

【0263】

なお、絶縁体5 4 2の成膜と、第2の加熱処理と、導電体5 3 4の成膜と、を大気に暴露せずに続けて行うと好ましい。こうすることで、界面に不純物が混入することを抑制することができる。

【0264】

次に、導電体5 3 4を加工して導電体5 0 4を形成する（図14ステップS 6 1 3参照。）。

20

【0265】

次に、絶縁体5 4 2を加工して絶縁体5 1 2を形成する（図14ステップS 6 1 4参照。）。

【0266】

次に、半導体5 3 6 cを加工して半導体5 0 6 cを形成する（図11（A）および図14ステップS 6 1 5参照。）。

【0267】

なお、図12、図13および図14に示したトランジスタ5 9 0の作製方法は、組み合わせても構わない。例えば、図13に示した酸素を添加する処理を、図14に示した作製方法に組み合わせても構わない。

30

【0268】

<成膜装置>

以下では、本発明の一態様に係る半導体装置を製造する際に用いることが可能な、成膜装置の一例について説明する。

【0269】

図15（A）に示す成膜装置を含む製造装置は、ロード室7 0 2、搬送室7 1 0、処理室7 0 3、処理室7 0 5、処理室7 3 1、アンロード室7 0 6を少なくとも有する。また、図15（A）に示す製造装置は、大気に触れることなく、連続的に成膜を行うことができる。そのため、積層膜を成膜する場合、膜中および膜の界面へ不純物の混入を防止することができる。なお、製造装置のチャンバー（ロード室、処理室、搬送室、成膜室、アンロード室などを含む）は、チャンバー内壁への水分の付着などを防ぐため、露点が-60 未満、好ましくは-80 未満、さらに好ましくは-100 未満の不活性ガス（窒素ガス、希ガスなど）を充填させておくことが好ましい。または、圧力を1 Pa未満、好ましくは0.1 Pa未満、さらに好ましくは 1×10^{-4} Pa未満の減圧状態とする。

40

【0270】

また、処理室7 0 4、処理室7 0 5、処理室7 3 1の少なくともいずれかを、CVD法を利用する成膜室、またはALD法を利用する成膜室としてもよい。または、処理室7 0 4、処理室7 0 5、処理室7 3 1の少なくともいずれかを、イオン注入法を利用する処理室、プラズマ処理法を利用する処理室としてもよい。または、処理室7 0 4、処理室7 0 5、処理室7 3 1の少なくともいずれかを、加熱処理室としてもよい。

50

【0271】

例えば、処理室731にて半導体を成膜し、処理室704にて絶縁体を成膜し、処理室705にて導電体を成膜してもよい。その場合、それらの積層膜を大気に触れることなく、連続的に成膜することができる。

【0272】

まず、基板720をロード室702に搬入する。次に、搬送室710の搬送ユニット707によって基板を処理室703に搬送する。処理室703では、基板表面を洗浄する処理や加熱処理を行う。次に、基板を処理室731に搬送して半導体を成膜する。処理室703で処理されることによって、基板表面を清浄化することができる。また、基板表面の処理から半導体の成膜までの間に大気に触れないため、不純物などが基板表面に付着することを抑制できる。

10

【0273】

次に、搬送ユニット707によって基板を処理室704に搬送して酸化ハフニウムなどの絶縁体を成膜する。次に、搬送ユニット707によって基板を処理室705に搬送してタングステンなどの導電体を成膜する。次に、搬送ユニット707によって基板をアンロード室706に搬送する。以上の手順により、半導体、絶縁体および導電体を順に積層することができる。

【0274】

または、例えば、処理室731にて半導体を成膜し、処理室704にて酸素を添加する処理を行い、処理室705にて半導体を成膜してもよい。または、例えば、処理室731にて半導体を成膜し、処理室704にて加熱処理を行い、処理室705にて導電体を成膜してもよい。

20

【0275】

図15(B)に熱CVD装置の一例を示す。熱CVD装置は、基板の搬入されたチャンバーに原料ガス(一種または複数種)、酸化剤(O_2 、 O_3 など)などを同時に供給し、基板近傍または基板表面で反応させ、生成物を堆積させることで成膜を行う。

【0276】

熱CVD装置の処理室731は、基板ホルダ719と、複数の原料ガスの導入口の接続された部材721と、排気装置718とを少なくとも有する。原料ガスの導入口には、それぞれ供給管、圧力調整器、バルブ、マスフローコントローラ(マスフローコントローラ722、マスフローコントローラ724、マスフローコントローラ726、マスフローコントローラ728)を介して原料供給部(原料供給部723、原料供給部725、原料供給部727、原料供給部729)と接続されており、排出口は、排出管やバルブや圧力調整器を介して排気装置718と接続されている。

30

【0277】

成膜時の処理室731内は大気圧としてもよいし、減圧としてもよい。

【0278】

また、原料ガスを供給する際には、シャワーヘッドのような複数の開口部から原料ガスを供給してもよい。

【0279】

また、基板面内における膜の厚さを均一にするため、基板ホルダ719を回転させ、基板ホルダ719に固定されている基板720を回転させてもよい。

40

【0280】

なお、熱CVD法は、プラズマを用いないため、プラズマに起因して膜に欠陥が生成されることがない。

【0281】

熱CVD法によって、金属、半導体、絶縁体など様々な膜を形成することができる。例えば、In-Ga-Zn酸化物を成膜する場合には、原料ガスとして、トリメチルインジウム($(CH_3)_3In$)、トリメチルガリウム($(CH_3)_3Ga$)、およびジメチル亜鉛($(CH_3)_2Zn$)などを用いる。ただし、In-Ga-Zn酸化物の原料ガスは、

50

これらの組み合わせに限定されない。例えば、トリメチルガリウムに代えてトリエチルガリウム ($(C_2H_5)_3Ga$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($(C_2H_5)_2Zn$) を用いることもできる。また、例えば、酸化ガリウムを成膜する場合には、原料ガスとして、トリメチルガリウムまたはトリエチルガリウムを用いればよい。

【0282】

また、図15(A)では搬送室710の上面形状が六角形であるマルチチャンバーの製造装置の例を示しているが、それより角の多い多角形(七角形、八角形など)としてより多くのチャンバーと連結させてもよい。または、搬送室710の上面形状が五角形または四角形であるマルチチャンバーの製造装置であってもよい。また、チャンバーを複数連結することで搬送室を省略した、インライン製造装置としてもよい。インライン製造装置は、搬送室が少ないことにより、搬送の時間が短くできるため、生産性の高い製造装置である。なお、図15(A)では枚葉式の製造装置の例を示したが、複数枚の基板を一度に成膜するバッチ式の成膜装置としてもよい。また、各処理室にクリーニング(例えばプラズマクリーニングなど)を行うための機構を有してもよい。

10

【0283】

また、図15(B)においては、処理室704、処理室705および処理室731に熱CVD装置を用いる例を示したが、いずれか一を、スパッタリング法を利用した成膜室やALD法を利用した成膜室など、そのほかの成膜法を利用した成膜室としてもよい。

【0284】

<半導体装置>

以下では、本発明の一態様に係る半導体装置を例示する。

20

【0285】

<回路>

以下では、本発明の一態様に係るトランジスタを利用した回路の一例について説明する。

【0286】

〔CMOSインバータ〕

図16(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

30

【0287】

〔CMOSアナログスイッチ〕

また図16(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

【0288】

〔記憶装置の例〕

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図17に示す。

40

【0289】

図17(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

【0290】

トランジスタ3300は、酸化物半導体を用いたトランジスタである。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

50

【0291】

図17(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0292】

図17(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

10

【0293】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される(保持)。

20

【0294】

トランジスタ3300のオフ電流は極めて小さいため、ノードFGの電荷は長期間にわたって保持される。

【0295】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位(定電位)を与えた状態で、第5の配線3005に適切な電位(読み出し電位)を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

30

40

【0296】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

【0297】

50

図 17 (B) に示す半導体装置は、トランジスタ 3200 を有さない点で図 17 (A) に示した半導体装置と異なる。この場合も図 17 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0298】

図 17 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 3300 が導通状態になると、浮遊状態である第 3 の配線 3003 と容量素子 3400 とが導通し、第 3 の配線 3003 と容量素子 3400 の間で電荷が再分配される。その結果、第 3 の配線 3003 の電位が変化する。第 3 の配線 3003 の電位の変化量は、容量素子 3400 の電極の一方の電位 (または容量素子 3400 に蓄積された電荷) によって、異なる値をとる。

10

【0299】

例えば、容量素子 3400 の電極の一方の電位を V 、容量素子 3400 の容量を C 、第 3 の配線 3003 が有する容量成分を C_B 、電荷が再分配される前の第 3 の配線 3003 の電位を V_{B0} とすると、電荷が再分配された後の第 3 の配線 3003 の電位は、 $(C_B \times V_{B0} + C V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3003 の電位 ($= (C_B \times V_{B0} + C V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3003 の電位 ($= (C_B \times V_{B0} + C V_0) / (C_B + C)$) よりも高くなることわかる。

【0300】

そして、第 3 の配線 3003 の電位を所定の電位と比較することで、情報を読み出すことができる。

20

【0301】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体が適用されたトランジスタを用い、トランジスタ 3300 として第 2 の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0302】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合 (ただし、電位は固定されていることが好ましい) であっても、長期にわたって記憶内容を保持することが可能である。

30

【0303】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が全く生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

40

【0304】

< R F タグ >

以下では、上述したトランジスタ、または記憶装置を含む R F タグについて、図 18 を用いて説明する。

【0305】

本発明の一態様に係る R F タグは、内部に記憶回路を有し、記憶回路に情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、R F タグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには高い信頼

50

性が要求される。

【0306】

R F タグの構成について図 18 を用いて説明する。図 18 は、R F タグの構成例を示すブロック図である。

【0307】

図 18 に示すように R F タグ 800 は、通信器 801（質問器、リーダ/ライタなどともいう）に接続されたアンテナ 802 から送信される無線信号 803 を受信するアンテナ 804 を有する。また R F タグ 800 は、整流回路 805、定電圧回路 806、復調回路 807、変調回路 808、論理回路 809、記憶回路 810、ROM 811 を有している。なお、復調回路 807 に含まれる整流作用を示すトランジスタの半導体には、逆方向電流を十分に抑制することが可能な、例えば、酸化物半導体を用いてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の 3 つに大別される。R F タグ 800 は、そのいずれの方式に用いることも可能である。

10

【0308】

次に各回路の構成について説明する。アンテナ 804 は、通信器 801 に接続されたアンテナ 802 との間で無線信号 803 の送受信を行うためのものである。また、整流回路 805 は、アンテナ 804 で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波 2 倍圧整流し、後段の容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路 805 の入力側または出力側には、リミッタ回路を有してもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

20

【0309】

定電圧回路 806 は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路 806 は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路 809 のリセット信号を生成するための回路である。

30

【0310】

復調回路 807 は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路 808 は、アンテナ 804 より出力するデータに応じて変調をおこなうための回路である。

【0311】

論理回路 809 は復調信号を解析し、処理を行うための回路である。記憶回路 810 は、入力された情報を保持する回路であり、ロウデコード、カラムデコード、記憶領域などを有する。また、ROM 811 は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

40

【0312】

なお、上述の各回路は、適宜、取捨することができる。

【0313】

ここで、上述した記憶装置を、記憶回路 810 に用いることができる。本発明の一態様に係る記憶装置は、電源が遮断された状態であっても情報を保持できるため、R F タグに好適である。さらに本発明の一態様に係る記憶装置は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて低いため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0314】

また、本発明の一態様に係る記憶装置は、不揮発性メモリとして用いることが可能である

50

ため、ROM 811に適用することもできる。その場合には、生産者がROM 811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることなく出荷後の製品に対応した顧客管理が容易となる。

【0315】

<RFタグの使用例>

以下では、本発明の一態様に係るRFタグの使用例について図19を用いて説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図19（A）参照。）、包装用容器類（包装紙やボトル等、図19（C）参照。）、記録媒体（DVDやビデオテープ等、図19（B）参照。）、乗り物類（自転車等、図19（D）参照。）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話）等の物品、もしくは各物品に取り付ける荷札（図19（E）および図19（F）参照。）等に設けて使用することができる。

【0316】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000により、認証機能を付与することができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグ4000を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグ4000を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0317】

以上のように、本発明の一態様に係るRFタグは、上述したような各用途に用いることができる。

【0318】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0319】

図20は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0320】

図20に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic Logic Unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図20に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図20に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するよ

10

20

30

40

50

うな構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0321】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0322】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0323】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0324】

図20に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0325】

図20に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0326】

図21は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0327】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0328】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用い

10

20

30

40

50

て構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、p チャンネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 の導通状態または非導通状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 の導通状態または非導通状態）が選択される。

10

【0329】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうちの一方、およびトランジスタ 1210 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば GND 線）に電氣的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電氣的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 VDD を供給することのできる配線と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1207 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。容量素子 1208 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1208 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。

20

30

【0330】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0331】

トランジスタ 1209 のゲートには、制御信号 WE が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

40

【0332】

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 21 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 によってその論理値が反転された反転信号となり、回路 1220 を介して回路 1201 に入力される。

【0333】

50

なお、図 2 1 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【 0 3 3 4 】

また、図 2 1 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることもできる。

【 0 3 3 5 】

図 2 1 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【 0 3 3 6 】

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

【 0 3 3 7 】

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【 0 3 3 8 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【 0 3 3 9 】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態（導通状態、または非導通状態）に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【 0 3 4 0 】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、また

10

20

30

40

50

は複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0341】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0342】

<表示装置>

以下では、本発明の一態様に係る表示装置の構成例について説明する。

10

【0343】

[構成例]

図22(A)には、本発明の一態様に係る表示装置の上面図を示す。また、図22(B)には、本発明の一態様に係る表示装置の画素に液晶素子を用いた場合における画素回路を示す。また、図22(C)には、本発明の一態様に係る表示装置の画素に有機EL素子を用いた場合における画素回路を示す。

【0344】

画素に用いるトランジスタは、上述したトランジスタを用いることができる。ここでは、nチャネル型のトランジスタを用いる例を示す。なお、画素に用いたトランジスタと、同一工程を経て作製したトランジスタを駆動回路として用いても構わない。このように、画素や駆動回路に上述したトランジスタを用いることにより、表示品位が高い、または/および信頼性の高い表示装置となる。

20

【0345】

アクティブマトリクス型表示装置の一例を図22(A)に示す。表示装置の基板5000上には、画素部5001、第1の走査線駆動回路5002、第2の走査線駆動回路5003、信号線駆動回路5004が配置される。画素部5001は、複数の信号線によって信号線駆動回路5004と電氣的に接続され、複数の走査線によって第1の走査線駆動回路5002、および第2の走査線駆動回路5003と電氣的に接続される。なお、走査線と信号線とによって区切られる領域には、それぞれ表示素子を有する画素が配置されている。また、表示装置の基板5000は、FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に電氣的に接続されている。

30

【0346】

第1の走査線駆動回路5002、第2の走査線駆動回路5003および信号線駆動回路5004は、画素部5001と同じ基板5000上に形成される。そのため、駆動回路を別途作製する場合と比べて、表示装置を作製するコストを低減することができる。また、駆動回路を別途作製した場合、配線間の接続数が増える。したがって、同じ基板5000上に駆動回路を設けることで、配線間の接続数を減らすことができ、信頼性の向上、または/および歩留まりの向上を図ることができる。

【0347】

[液晶表示装置]

また、画素の回路構成の一例を図22(B)に示す。ここでは、VA型液晶表示装置の画素などに適用することができる画素回路を示す。

40

【0348】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【0349】

トランジスタ5016の走査線5012と、トランジスタ5017の走査線5013には

50

、異なるゲート信号を与えることができるように分離されている。一方、信号線 5014 は、トランジスタ 5016 とトランジスタ 5017 で共通に用いられている。トランジスタ 5016 とトランジスタ 5017 は上述したトランジスタを適宜用いることができる。これにより、表示品位が高い、または / および信頼性の高い液晶表示装置を提供することができる。

【0350】

また、トランジスタ 5016 には、第 1 の画素電極が電氣的に接続され、トランジスタ 5017 には、第 2 の画素電極が電氣的に接続される。第 1 の画素電極と第 2 の画素電極とは分離されている。なお、第 1 の画素電極及び第 2 の画素電極の形状としては、特に限定は無い。例えば、第 1 の画素電極は、V 字状とすればよい。

10

【0351】

トランジスタ 5016 のゲート電極は走査線 5012 と電氣的に接続され、トランジスタ 5017 のゲート電極は走査線 5013 と電氣的に接続されている。走査線 5012 と走査線 5013 に異なるゲート信号を与えてトランジスタ 5016 とトランジスタ 5017 の動作タイミングを異ならせ、液晶の配向を制御することができる。

【0352】

また、容量線 5010 と、誘電体として機能するゲート絶縁体と、第 1 の画素電極または第 2 の画素電極と電氣的に接続する容量電極とで容量素子を形成してもよい。

【0353】

マルチドメイン構造は、一画素に第 1 の液晶素子 5018 と第 2 の液晶素子 5019 を備える。第 1 の液晶素子 5018 は第 1 の画素電極と対向電極とその間の液晶層とで構成され、第 2 の液晶素子 5019 は第 2 の画素電極と対向電極とその間の液晶層とで構成される。

20

【0354】

なお、本発明の一態様に係る表示装置は、図 22 (B) に示す画素回路に限定されない。例えば、図 22 (B) に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサー、または論理回路などを追加してもよい。

【0355】

〔有機 EL パネル〕

画素の回路構成の他の一例を図 22 (C) に示す。ここでは、有機 EL 素子を用いた表示装置の画素構造を示す。

30

【0356】

有機 EL 素子は、発光素子に電圧を印加することにより、有機 EL 素子が有する一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0357】

図 22 (C) は、画素回路の一例を示す図である。ここでは 1 つの画素に n チャネル型のトランジスタを 2 つ用いる例を示す。なお、n チャネル型のトランジスタには、上述したトランジスタを用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

40

【0358】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0359】

画素 5020 は、スイッチング用トランジスタ 5021、駆動用トランジスタ 5022、発光素子 5024 および容量素子 5023 を有する。スイッチング用トランジスタ 5021 は、ゲート電極が走査線 5026 に接続され、第 1 電極 (ソース電極、ドレイン電極の一方) が信号線 5025 に接続され、第 2 電極 (ソース電極、ドレイン電極の他方) が駆

50

動用トランジスタ5022のゲート電極に接続されている。駆動用トランジスタ5022は、ゲート電極が容量素子5023を介して電源線5027に接続され、第1電極が電源線5027に接続され、第2電極が発光素子5024の第1電極（画素電極）に接続されている。発光素子5024の第2電極は共通電極5028に相当する。共通電極5028は、同一基板上に形成される共通電位線と電氣的に接続される。

【0360】

スイッチング用トランジスタ5021および駆動用トランジスタ5022は上述したトランジスタを用いることができる。これにより、表示品位の高い、またはノおよび信頼性の高い有機EL表示装置となる。

【0361】

発光素子5024の第2電極（共通電極5028）の電位は低電源電位に設定する。なお、低電源電位とは、電源線5027に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子5024の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子5024に印加することにより、発光素子5024に電流を流して発光させる。なお、発光素子5024の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0362】

なお、容量素子5023は駆動用トランジスタ5022のゲート容量を代用することにより省略できる場合がある。駆動用トランジスタ5022のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0363】

次に、駆動用トランジスタ5022に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ5022がオンまたはオフの二つの状態となるようなビデオ信号を、駆動用トランジスタ5022に入力する。なお、駆動用トランジスタ5022を線形領域で動作させるために、電源線5027の電圧よりも高い電圧を駆動用トランジスタ5022のゲート電極に与える。また、信号線5025には、電源線電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。

【0364】

アナログ階調駆動を行う場合、駆動用トランジスタ5022のゲート電極に発光素子5024の順方向電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ5022が飽和領域で動作するようにビデオ信号を入力し、発光素子5024に電流を流す。また、駆動用トランジスタ5022を飽和領域で動作させるために、電源線5027の電位を、駆動用トランジスタ5022のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子5024にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0365】

なお、本発明の一態様に係る表示装置は、図22(C)に示す画素構成に限定されない。例えば、図22(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサー、トランジスタまたは論理回路などを追加してもよい。

【0366】

図22で例示した回路に上述したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極にはソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0367】

<モジュール>

以下では、本発明の一態様に係る半導体装置を適用した表示モジュールについて、図23を用いて説明を行う。

10

20

30

40

50

【0368】

図23に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続されたセル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などを有さない場合もある。

【0369】

本発明の一態様に係る半導体装置は、例えば、セル8006に用いることができる。

【0370】

上部カバー8001および下部カバー8002は、タッチパネル8004およびセル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

10

【0371】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルをセル8006に重畳して用いることができる。また、セル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、セル8006の各画素内に光センサーを設け、光学式のタッチパネルとすることも可能である。

【0372】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

20

【0373】

フレーム8009は、セル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有してもよい。またフレーム8009は、放熱板としての機能を有していてもよい。

【0374】

プリント基板8010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー8011による電源であってもよい。商用電源を用いる場合には、バッテリー8011を有さなくてもよい。

【0375】

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

30

【0376】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図24に示す。

40

【0377】

図24(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図24(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0378】

50

図 2 4 (B) は携帯データ端末であり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、第 1 表示部 9 1 3、第 2 表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。第 1 表示部 9 1 3 は第 1 筐体 9 1 1 に設けられており、第 2 表示部 9 1 4 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 5 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度にしたがって、切り替える構成としてもよい。また、第 1 表示部 9 1 3 および第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、

10

【 0 3 7 9 】

図 2 4 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

【 0 3 8 0 】

図 2 4 (D) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

【 0 3 8 1 】

図 2 4 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度にしたがって切り替える構成としてもよい。

20

【 0 3 8 2 】

図 2 4 (F) は普通自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 3 8 3 】

30

< 表示領域または発光領域に曲面を有する電子機器 >

以下では、本発明の一態様に係る電子機器の一例である表示領域または発光領域に曲面を有する電子機器について、図 2 5 を参照しながら説明する。なお、ここでは、電子機器の一例として、情報機器、特に携帯性を有する情報機器（携帯機器）について説明する。携帯性を有する情報機器としては、例えば、携帯電話機（ファブレット、スマートフォン（スマホ））、タブレット端末（スレート PC）なども含まれる。

【 0 3 8 4 】

図 2 5 (A - 1) は、携帯機器 1 3 0 0 A の外形を説明する斜視図である。図 2 5 (A - 2) は、携帯機器 1 3 0 0 A の上面図である。図 2 5 (A - 3) は、携帯機器 1 3 0 0 A の使用状態を説明する図である。

40

【 0 3 8 5 】

図 2 5 (B - 1) および図 2 5 (B - 2) は、携帯機器 1 3 0 0 B の外形を説明する斜視図である。

【 0 3 8 6 】

図 2 5 (C - 1) および図 2 5 (C - 2) は、携帯機器 1 3 0 0 C の外形を説明する斜視図である。

【 0 3 8 7 】

< 携帯機器 >

携帯機器 1 3 0 0 A は、例えば電話、電子メール作成閲覧、手帳または情報閲覧などの機能から選ばれた一つまたは複数の機能を有する。

50

【0388】

携帯機器1300Aは、筐体の複数の面に沿って表示部が設けられている。例えば、可とう性を有する表示装置を、筐体の内側に沿うように配置することで表示部を設ければよい。これにより、文字情報や画像情報などを第1の領域1311または/および第2の領域1312に表示することができる。

【0389】

例えば、3つの操作の用に供する画像を第1の領域1311に表示することができる(図25(A-1)参照。)。また、図中に破線の矩形で示すように文字情報などを第2の領域1312に表示することができる(図25(A-2)参照。)。

【0390】

携帯機器1300Aの上部に第2の領域1312を配置した場合、携帯機器1300Aを洋服の胸ポケットに収納したままの状態、携帯機器1300Aの第2の領域1312に表示された文字や画像情報を、使用者は容易に確認することができる(図25(A-3)参照。)。例えば、着信した電話の発信者の電話番号または氏名などを、携帯機器1300Aの上方から観察できる。

【0391】

なお、携帯機器1300Aは、表示装置と筐体との間、表示装置内または筐体上に入力装置などを有してもよい。入力装置は、例えば、タッチセンサー、光センサー、超音波センサーなどを用いればよい。入力装置を表示装置と筐体との間または筐体上に配置する場合、マトリクススイッチ方式、抵抗膜方式、超音波表面弾性波方式、赤外線方式、電磁誘導方式、静電容量方式などのタッチパネルを用いればよい。また、入力装置を表示装置内に配置する場合、インセルタイプのセンサー、またはオンセルタイプのセンサーなどを用いればよい。

【0392】

なお、携帯機器1300Aは、振動センサーなどと、当該振動センサーなどに検知された振動に基づいて、着信を拒否するモードに移行するプログラムを記憶した記憶装置を備えることができる。これにより、使用者は携帯機器1300Aを洋服の上から軽く叩いて振動を与えることにより着信を拒否するモードに移行させることができる。

【0393】

携帯機器1300Bは、第1の領域1311および第2の領域1312を有する表示部と、表示部を支持する筐体1310を有する。

【0394】

筐体1310は複数の屈曲部を備え、筐体1310が備える最も長い屈曲部が、第1の領域1311と第2の領域1312に挟まれる。

【0395】

携帯機器1300Bは、最も長い屈曲部に沿って設けられた第2の領域1312を側面に向けて使用することができる。

【0396】

携帯機器1300Cは、第1の領域1311および第2の領域1312を有する表示部と、表示部を支持する筐体1310を有する。

【0397】

筐体1310は複数の屈曲部を備え、筐体1310が備える二番目に長い屈曲部が、第1の領域1311と第2の領域1312に挟まれる。

【0398】

携帯機器1300Cは、第2の領域1312を上部に向けて使用することができる。

【0399】

なお、実施の形態の中で述べる内容は、その実施の形態で述べる別の内容に対して、適用、組み合わせ、または置き換えなどを行うことができる。

【0400】

なお、実施の形態の中で述べる内容は、様々な図を用いて述べる内容、または明細書に記

10

20

30

40

50

載される文章を用いて述べる内容のことである。

【0401】

なお、実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0402】

なお、図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することができる。またはある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、またはその範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲に入らないことを規定することができる。

10

【0403】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

20

【0404】

別の具体例としては、ある値について、例えば、「電圧が、3V以上10V以下であることが好適である」と記載されているとする。その場合、例えば、電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、電圧が13V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、電圧が5V以上8V以下であると発明を規定することも可能である。なお、例えば、電圧が概略9Vであると発明を規定することも可能である。なお、例えば、電圧が3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。なお、ある値について、「ある範囲であることが好ましい」、「これらを満たすことが好適である」などと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、それらの記載には限定されない。

30

【0405】

別の具体例としては、ある値について、例えば、「電圧が10Vであることが好適である」と記載されているとする。その場合、例えば、電圧が-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、電圧が13V以上である場合を除く、と発明の一態様を規定することが可能である。

40

【0406】

別の具体例としては、ある物質の性質について、例えば、「絶縁体である」と記載されているとする。その場合、例えば、有機絶縁体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、無機絶縁体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、導電体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、半導体である場合を除く、と発明の一態様を規定することが可能である。

【0407】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、膜が設けられている」と記載されているとする。その場合、例えば、膜が4層以上の積層膜である

50

場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電体が設けられている場合を除く、と発明を規定することが可能である。

【0408】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケースを想定できる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

10

【0409】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

20

【0410】

なお、本明細書等においては、実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であるといえる。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

30

40

【0411】

なお、本明細書等においては、実施の形態において述べる図または文章において、少なくとも一つの実施例が記載される場合、その実施例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの実施例が記載される場合、その実施例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であるといえる。

50

【 0 4 1 2 】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であるといえる。

【 符号の説明 】

【 0 4 1 3 】

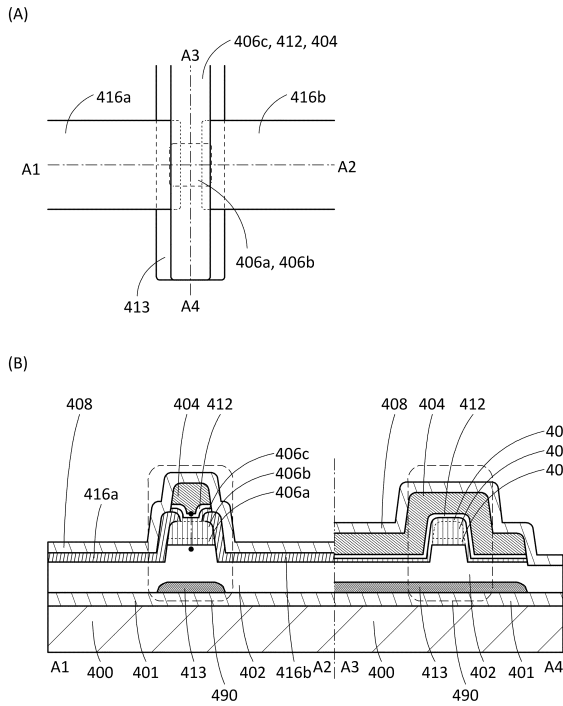
4 0 0	基板	10
4 0 1	絶縁体	
4 0 2	絶縁体	
4 0 4	導電体	
4 0 6 a	半導体	
4 0 6 b	半導体	
4 0 6 c	半導体	
4 0 8	絶縁体	
4 1 2	絶縁体	
4 1 3	導電体	20
4 1 6	導電体	
4 1 6 a	導電体	
4 1 6 b	導電体	
4 3 4	導電体	
4 3 6 a	半導体	
4 3 6 b	半導体	
4 3 6 c	半導体	
4 4 2	絶縁体	
4 9 0	トランジスタ	
5 0 0	基板	30
5 0 1	絶縁体	
5 0 2	絶縁体	
5 0 4	導電体	
5 0 6 a	半導体	
5 0 6 b	半導体	
5 0 6 c	半導体	
5 0 8	絶縁体	
5 1 2	絶縁体	
5 1 3	導電体	
5 1 6	導電体	40
5 1 6 a	導電体	
5 1 6 b	導電体	
5 1 7	導電体	
5 3 4	導電体	
5 3 6	半導体	
5 3 6 a	半導体	
5 3 6 b	半導体	
5 3 6 c	半導体	
5 4 2	絶縁体	
5 9 0	トランジスタ	50

7 0 2	ロード室	
7 0 3	処理室	
7 0 4	処理室	
7 0 5	処理室	
7 0 6	アンロード室	
7 0 7	搬送ユニット	
7 1 0	搬送室	
7 1 8	排気装置	
7 1 9	基板ホルダ	
7 2 0	基板	10
7 2 1	部材	
7 2 2	マスフローコントローラ	
7 2 3	原料供給部	
7 2 4	マスフローコントローラ	
7 2 5	原料供給部	
7 2 6	マスフローコントローラ	
7 2 7	原料供給部	
7 2 8	マスフローコントローラ	
7 2 9	原料供給部	
7 3 1	処理室	20
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	30
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカ	
9 0 7	操作キー	
9 0 8	スタイラス	40
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	50

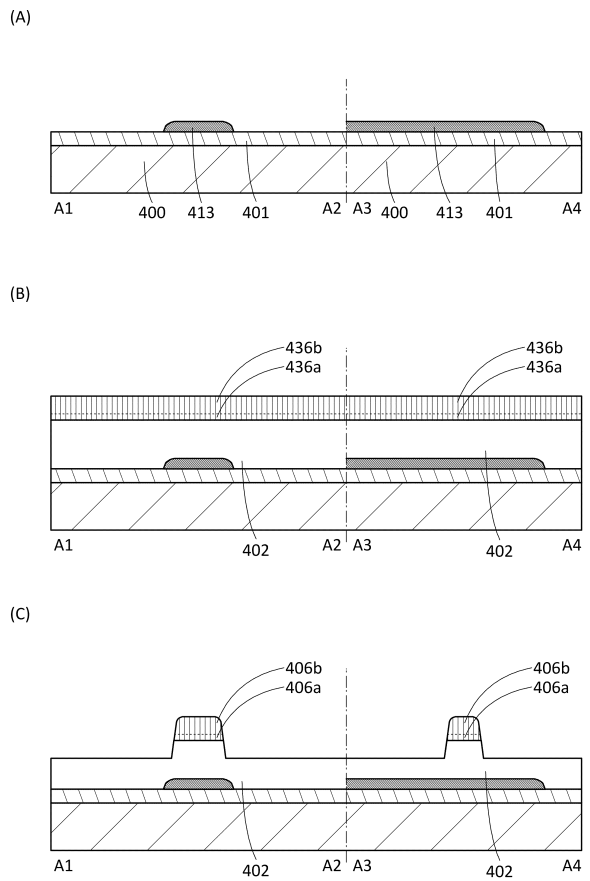
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	10
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	20
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	30
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
1 3 0 0 A	携帯機器	
1 3 0 0 B	携帯機器	
1 3 0 0 C	携帯機器	40
1 3 1 0	筐体	
1 3 1 1	領域	
1 3 1 2	領域	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	50

3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
5 0 0 0	基板	
5 0 0 1	画素部	
5 0 0 2	走査線駆動回路	
5 0 0 3	走査線駆動回路	
5 0 0 4	信号線駆動回路	
5 0 1 0	容量線	10
5 0 1 2	走査線	
5 0 1 3	走査線	
5 0 1 4	信号線	
5 0 1 6	トランジスタ	
5 0 1 7	トランジスタ	
5 0 1 8	液晶素子	
5 0 1 9	液晶素子	
5 0 2 0	画素	
5 0 2 1	スイッチング用トランジスタ	
5 0 2 2	駆動用トランジスタ	20
5 0 2 3	容量素子	
5 0 2 4	発光素子	
5 0 2 5	信号線	
5 0 2 6	走査線	
5 0 2 7	電源線	
5 0 2 8	共通電極	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	30
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	セル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

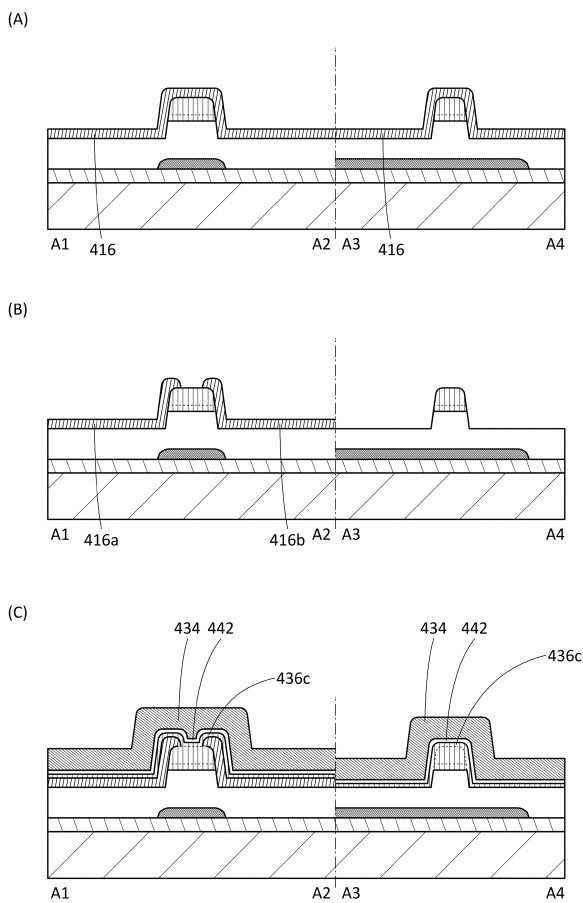
【図 1】



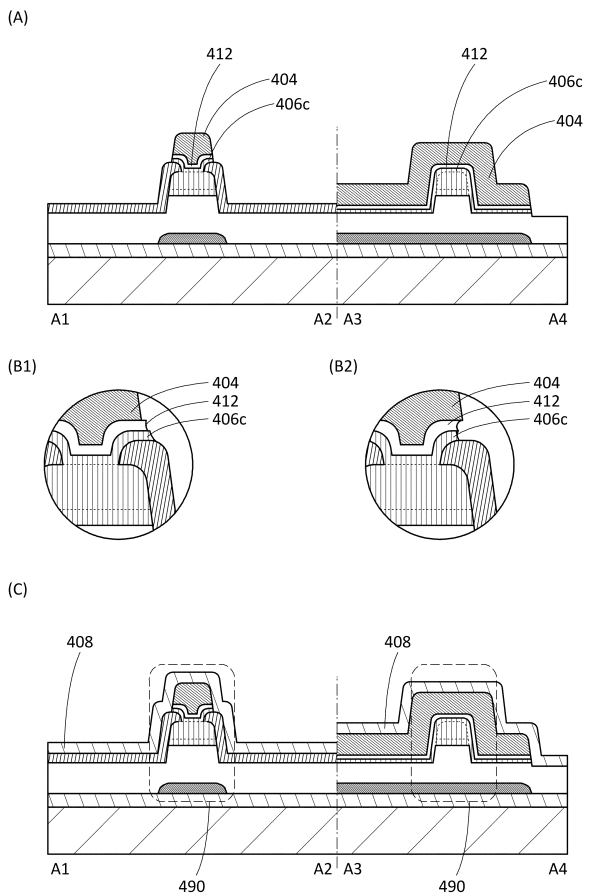
【図 2】



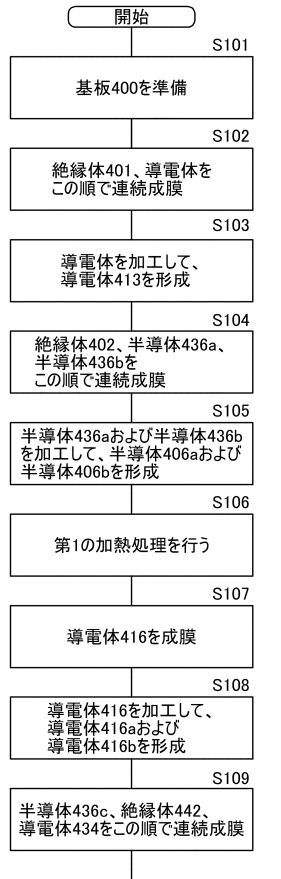
【図 3】



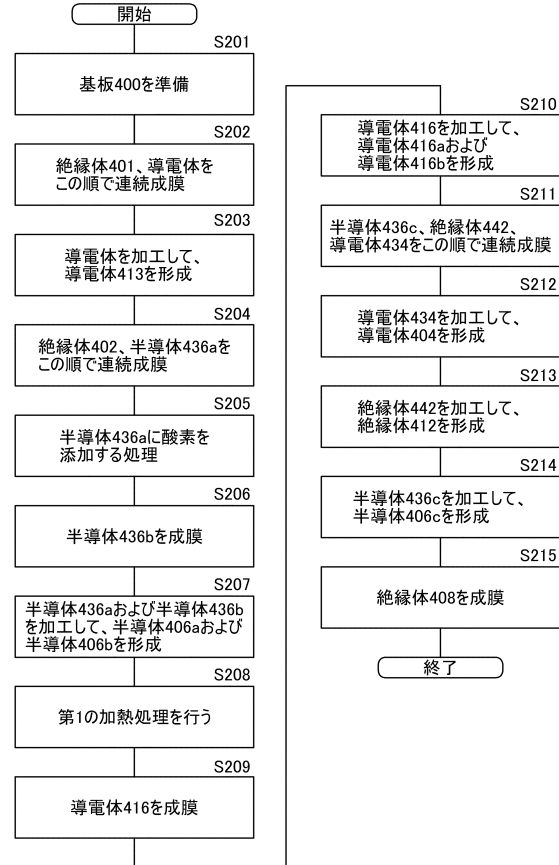
【図 4】



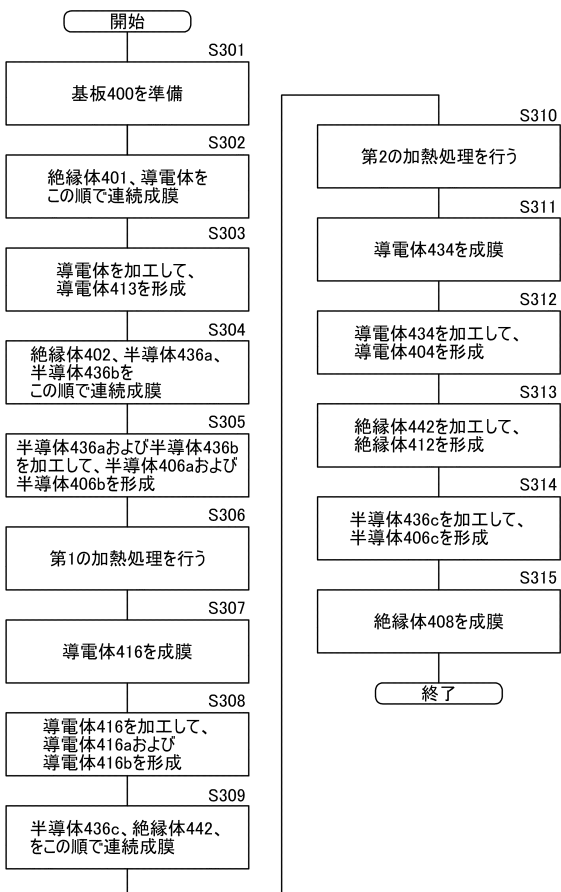
【図 5】



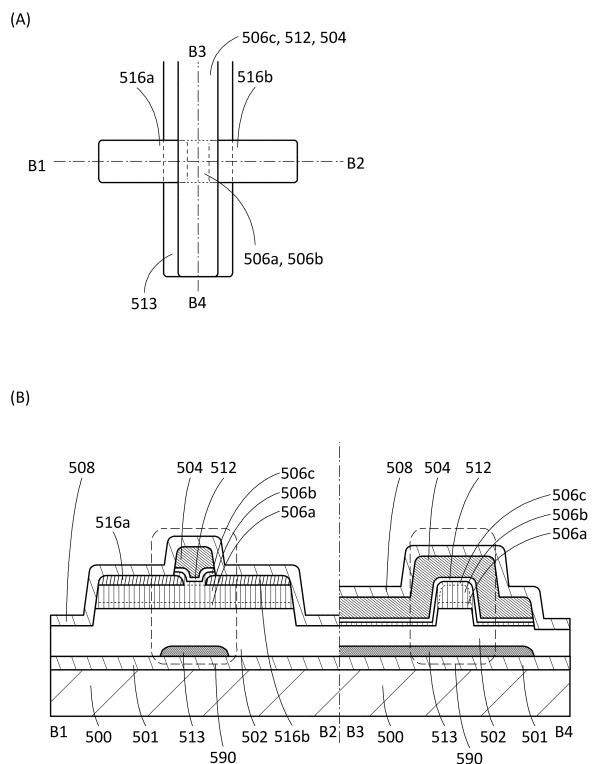
【図 6】



【図 7】

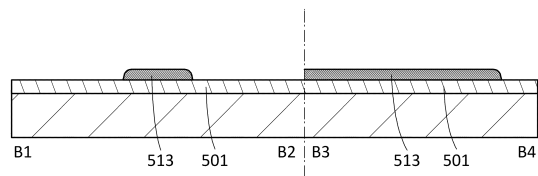


【図 8】

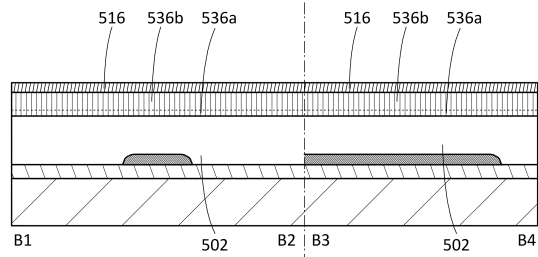


【図 9】

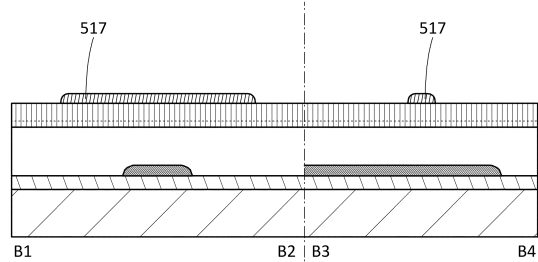
(A)



(B)

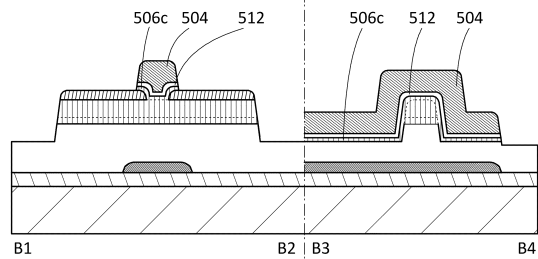


(C)

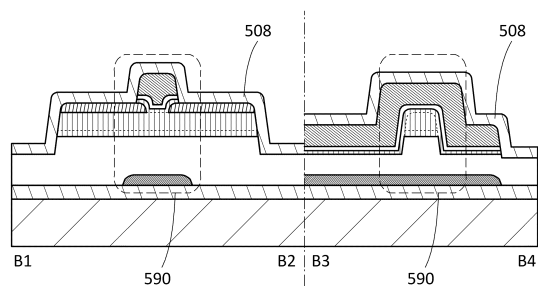


【図 11】

(A)

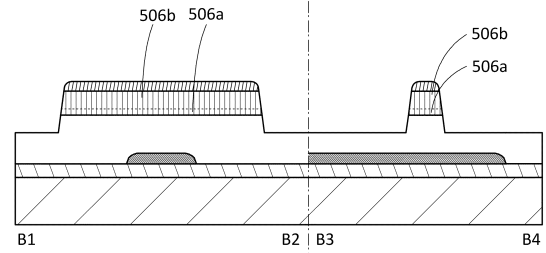


(B)

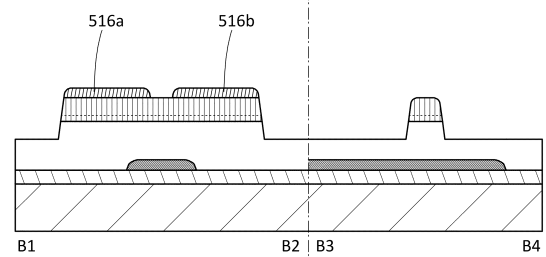


【図 10】

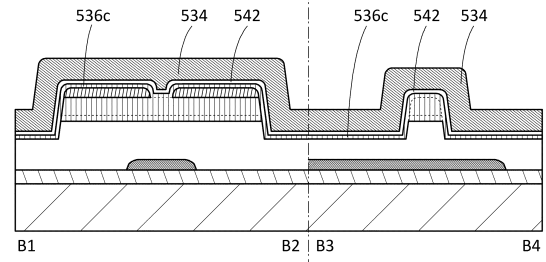
(A)



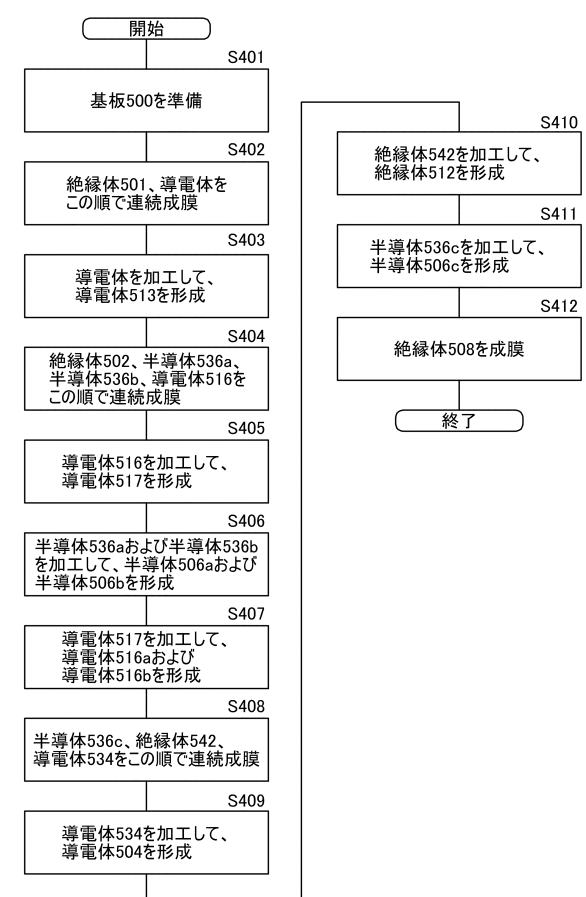
(B)



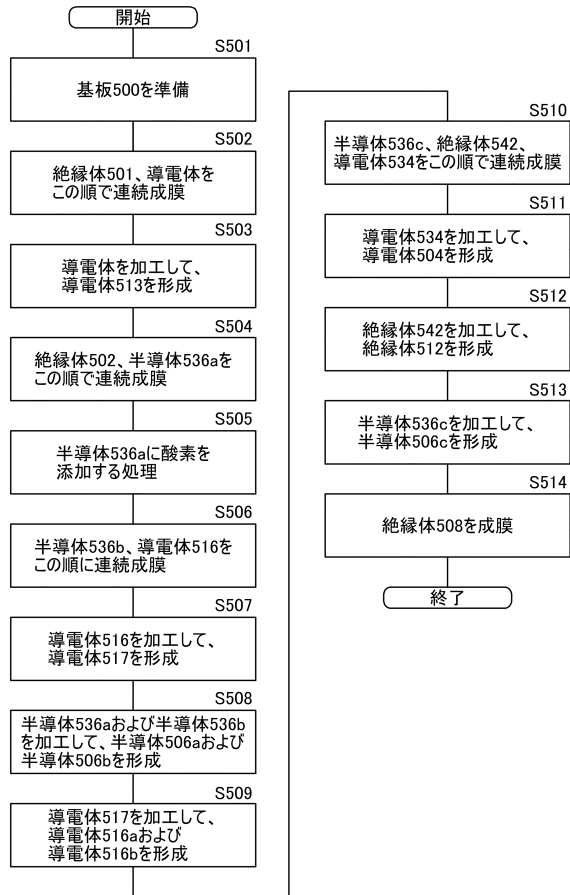
(C)



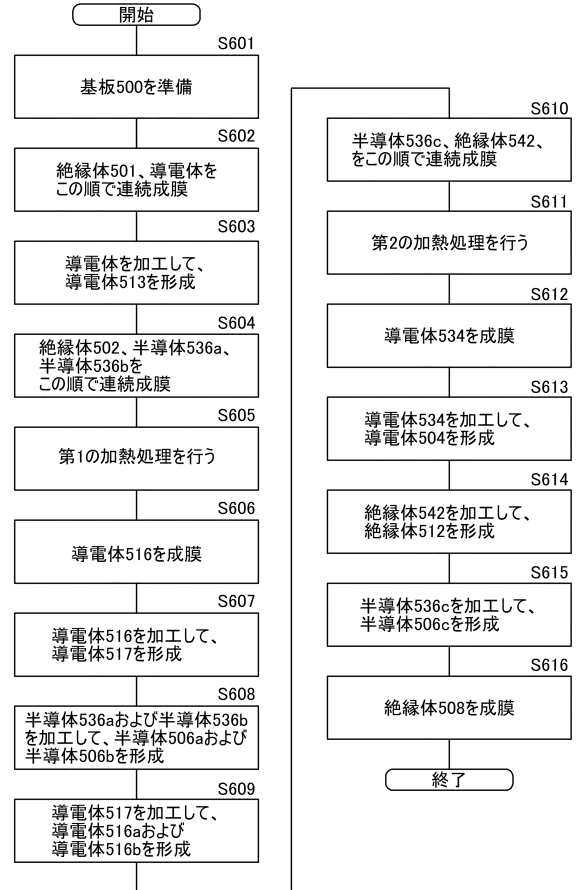
【図 12】



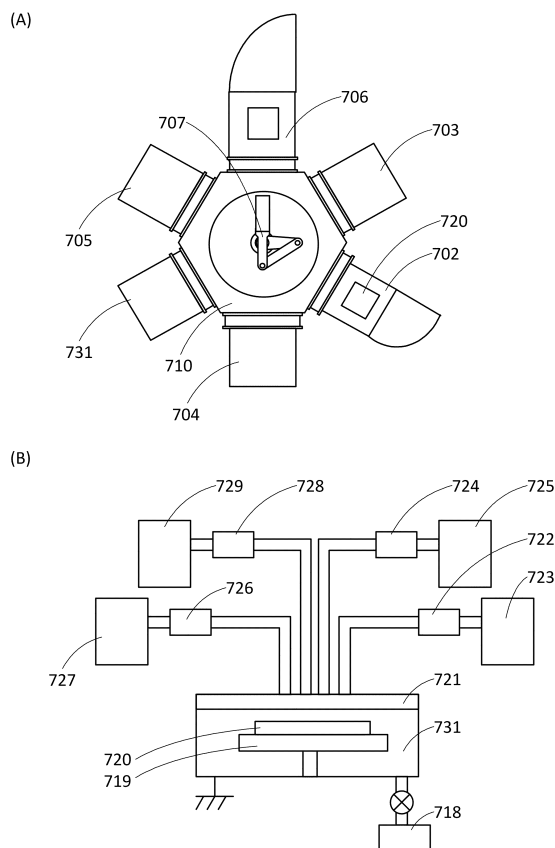
【図 1 3】



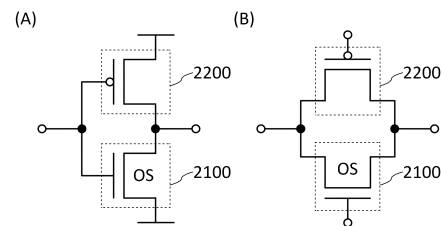
【図 1 4】



【図 1 5】

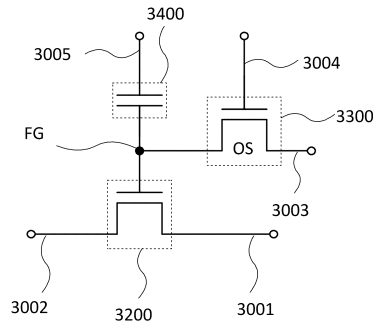


【図 1 6】

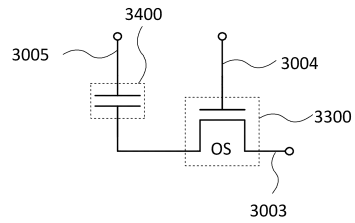


【図 17】

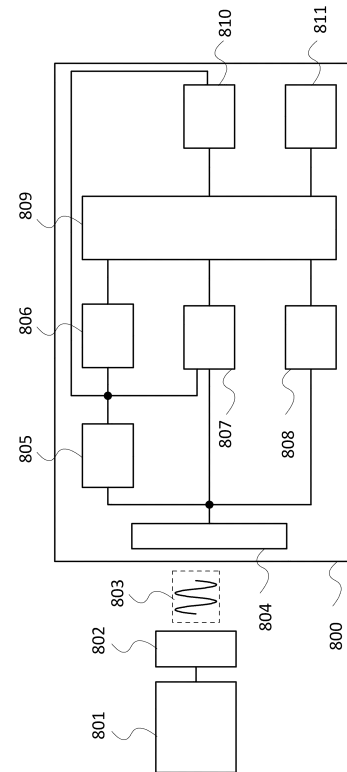
(A)



(B)

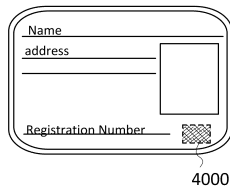


【図 18】

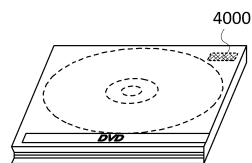


【図 19】

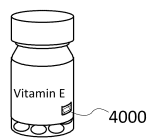
(A)



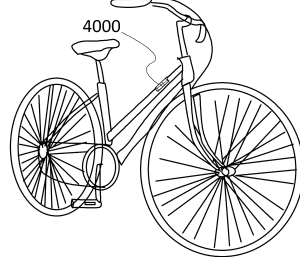
(B)



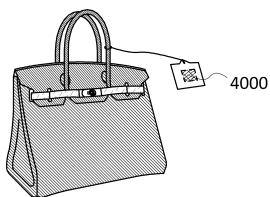
(C)



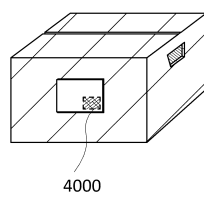
(D)



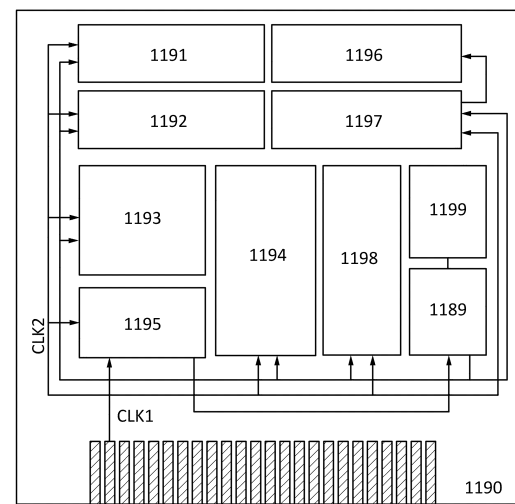
(E)



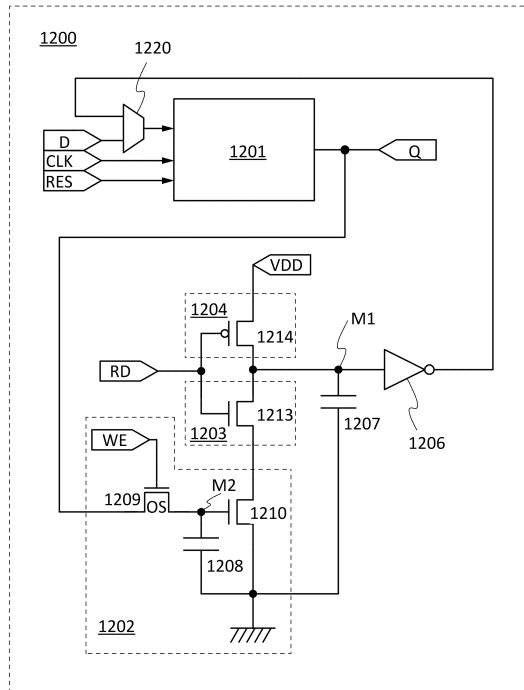
(F)



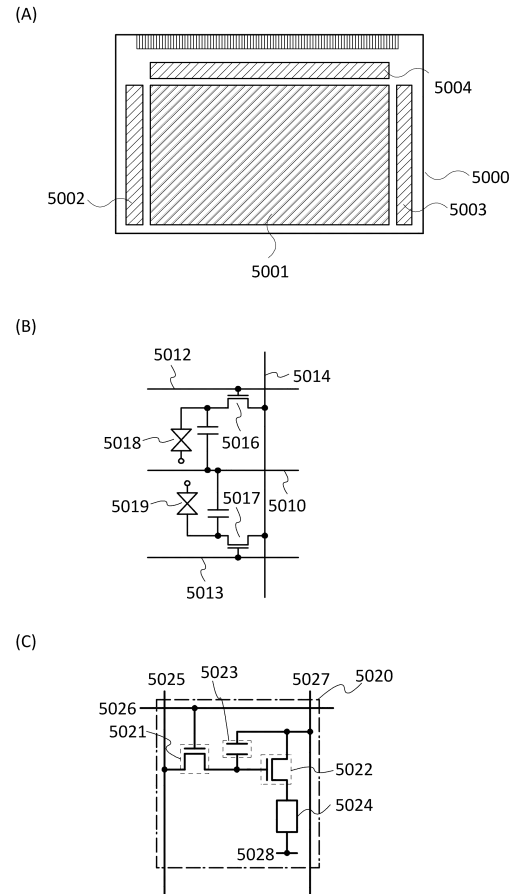
【図 20】



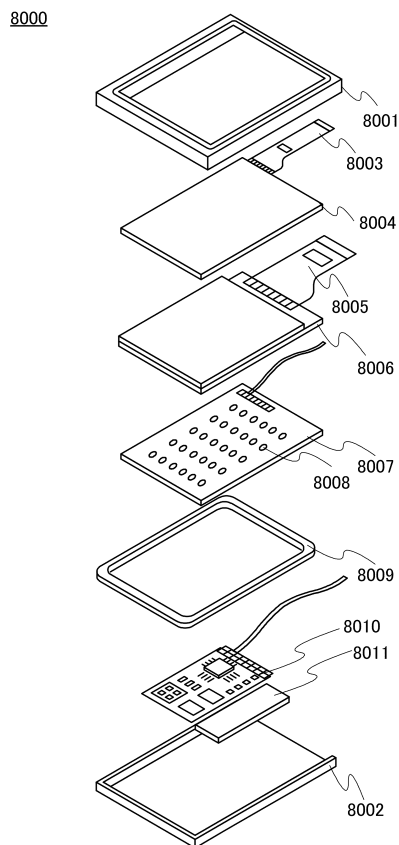
【図 2 1】



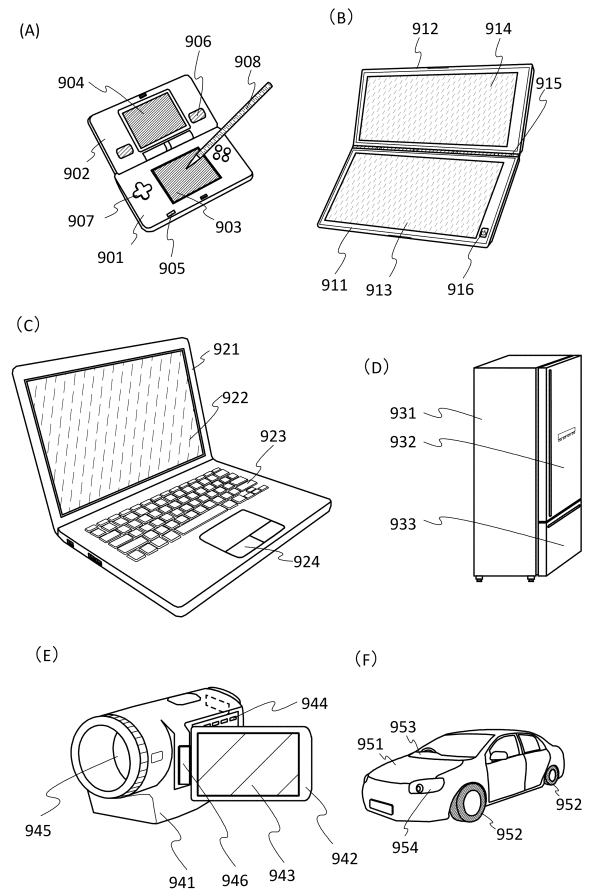
【図 2 2】



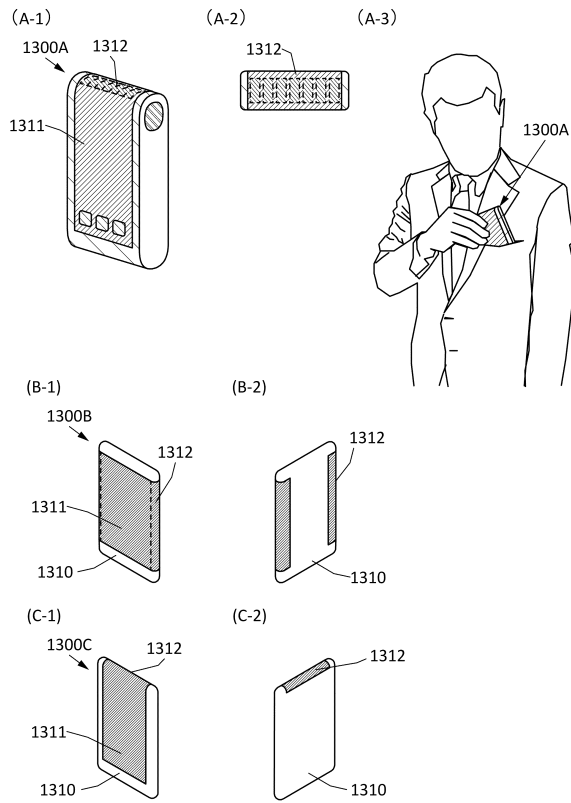
【図 2 3】



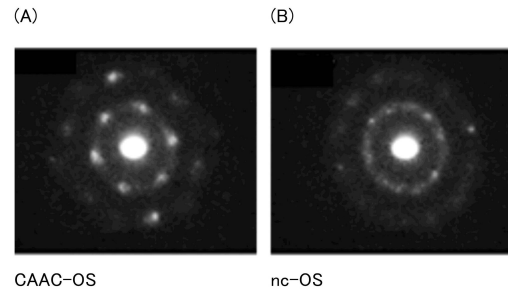
【図 2 4】



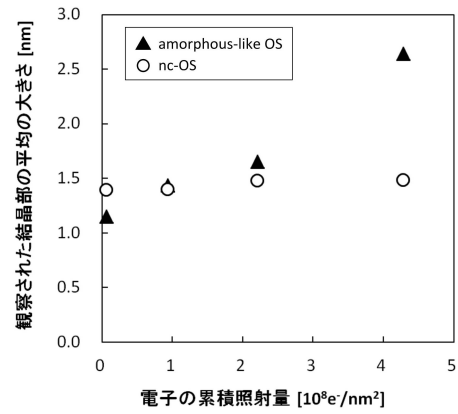
【図 25】



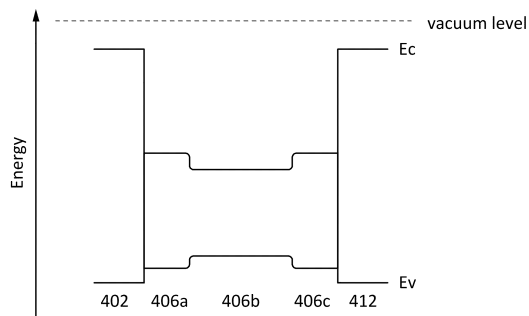
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 1 8 F
H 0 1 L	29/78	6 1 7 V
H 0 1 L	29/78	6 1 6 K
H 0 1 L	27/108	3 2 1
H 0 1 L	27/108	6 7 1 C
H 0 1 L	27/108	6 7 1 Z
H 0 1 L	27/108	6 7 1

(56)参考文献 特開平 0 3 - 0 8 4 9 6 3 (J P , A)
特開 2 0 1 0 - 1 0 9 3 4 1 (J P , A)
特開 2 0 0 4 - 1 2 8 2 1 7 (J P , A)
米国特許出願公開第 2 0 1 2 / 0 1 4 6 7 1 3 (U S , A 1)
特開 2 0 1 3 - 0 3 3 9 7 3 (J P , A)
特開 2 0 1 3 - 0 3 8 4 2 7 (J P , A)
特開 2 0 1 3 - 2 3 6 0 7 2 (J P , A)
特開 2 0 1 2 - 0 6 9 9 3 5 (J P , A)
特開 2 0 1 2 - 0 9 9 7 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 1 0 8
H 0 1 L	2 9 / 7 8 6