

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



(10) 国際公開番号

WO 2019/013189 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H01L 23/522 (2006.01)
G01T 1/20 (2006.01) H01L 27/144 (2006.01)
H01L 21/3205 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01) H04N 5/321 (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2018/025985

(22) 国際出願日: 2018年7月10日(10.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-136056 2017年7月12日(12.07.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

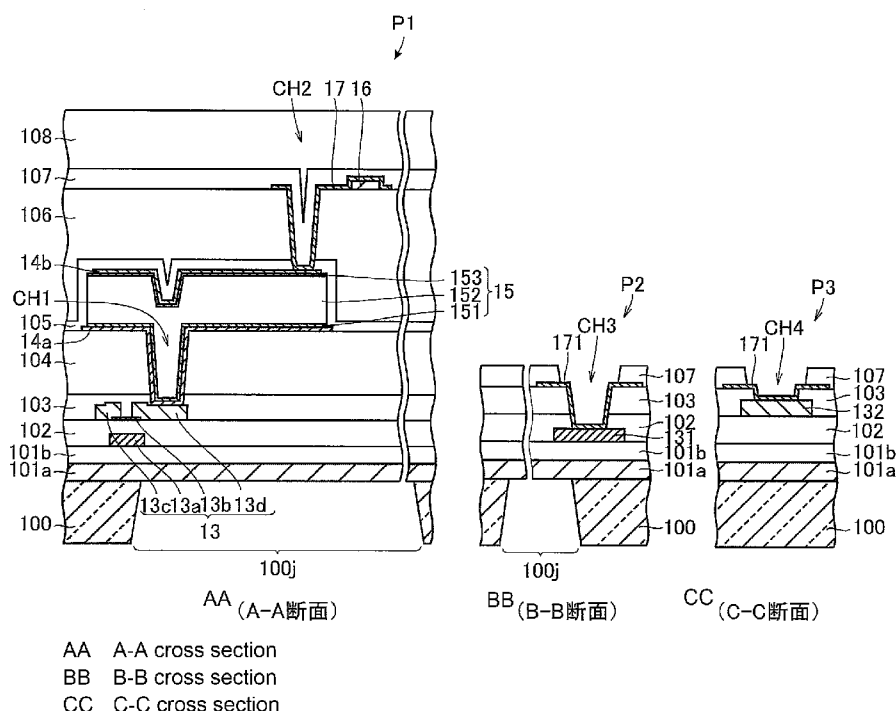
(72) 発明者: 美▲崎▼ 克紀(MISAKI Katsunori). 松原 邦夫(MATSUBARA Kunio).

(74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300001 大阪府大阪市北区梅田2-4-9 ブリーゼタワー12階 特許事務所イノベンティア Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: IMAGING PANEL AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 撮像パネル及びその製造方法



(57) Abstract: This imaging panel 1 generates an image on the basis of scintillation light obtained from X-rays which have passed through a subject. The imaging panel 1 has an active region and terminal regions on a substrate 100. A protective layer is provided to one surface of the substrate in the active region and the terminal regions. The active region P1 is provided with a plurality of elements including a switching element 13. The terminal regions P2, P3 are provided with terminal elements 131, 132 which are connected to any of the plurality of elements. The protective layer is provided lower

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

than the plurality of elements and the terminal elements 131, 132, and includes a barrier layer 101a which is in contact with the one surface of the substrate 100. The barrier layer 101a includes a material which is resistant to an etching material capable of etching the substrate 100.

(57) 要約：撮像パネル 1 は、被写体を通過した X 線から得られたシンチレーション光に基づいて画像を生成する。撮像パネル 1 は、基板 100 上にアクティブ領域と端子領域とを有する。アクティブ領域と端子領域において、基板の一方の面に保護層を備える。アクティブ領域 P 1 は、スイッチング素子 13 を含む複数の素子を有する。端子領域 P 2、P 3 は、複数の素子のうちのいずれかの素子と接続された端子用素子 131、132 を有する。保護層は、基板 100 の一方の面に接するバリア層 101a を含み、複数の素子及び端子用素子 131、132 よりも下層に設けられる。バリア層 101a は、基板 100 をエッチング可能なエッチング材料に対して耐性を有する材料を含む。

明 細 書

発明の名称：撮像パネル及びその製造方法

技術分野

[0001] 本発明は、撮像パネル及びその製造方法に関する。

背景技術

[0002] 複数の画素部を備える撮像パネルにより、X線画像を撮影するX線撮像装置が知られている。このようなX線撮像装置においては、例えば、フォトダイオードにより、照射されたX線が電荷に変換される。変換された電荷は、画素部が備える薄膜トランジスタ（Thin Film Transistor：以下、「TFT」とも称する。）を動作させることにより、読み出される。このようにして電荷が読み出されることにより、X線画像が得られる。特開2013-46043号公報には、このような撮像パネルが開示されている。

[0003] ところで、上記TFTやフォトダイオード等の素子はガラス等の基板上に形成される。撮像パネルを形成する際、TFTやフォトダイオード等の素子を形成後、撮像パネルの軽量化を目的として基板をフッ酸を用いた混合液で薄板加工することがある。薄板加工の際、基板に傷があると、その傷の部分の加工速度が速くなり、ディンプルが発生する。さらに、このとき、ディンプルが発生した部分からTFTの一部や絶縁層等が消失すると、断線が発生する。

[0004] 本発明は、断線が生じることなく軽量化されたX線の撮像パネル及びその製造方法を提供することを目的とする。

発明の概要

[0005] 上記課題を解決する本発明の撮像パネルは、被写体を通過したX線から得られたシンチレーション光に基づいて画像を生成する撮像パネルであって、基板と、前記基板の一方の面に形成されたアクティブ領域と、前記アクティブ領域の外側に設けられた端子領域と、前記基板の一方の面において、前記アクティブ領域と前記端子領域に設けられた保護層と、を備え、前記アクテ

ィブ領域は、スイッチング素子を含む複数の素子を有し、前記端子領域は、前記複数の素子のうちのいずれかの素子と接続された端子用素子を有し、前記保護層は、前記基板の一方の面に接するバリア層を含み、前記複数の素子及び前記端子用素子よりも下層に設けられ、前記バリア層は、前記基板をエッチング可能なエッチング材料に対して耐性を有する材料を含む。

[0006] 本発明によれば、断線が生じることなく軽量化されたX線の撮像パネルを提供することができる。

図面の簡単な説明

[0007] [図1]実施形態におけるX線撮像装置を示す模式図である。

[図2]図1に示す撮像パネルの概略構成を示す模式図である。

[図3]図2に示す撮像パネルの一の画素部分を模式的に表した平面図である。

[図4]図3に示す画素をA－A線で切断した断面図である。

[図5]図1に示す撮像パネルのG端子領域を模式的に表した平面図である。

[図6]図1に示す撮像パネルのS端子領域とB端子領域とを模式的に表した平面図である。

[図7]図5に示すG端子領域をB－B線で切断した断面図と、図6に示すB端子領域をC－C線で切断した断面図である。

[図8A]画素領域と端子領域の製造工程を説明する図であって、基板にバリア層と、無機絶縁膜と、ゲート電極としての金属膜とを順に形成する工程を示す断面図である。

[図8B]図8Aに示す金属膜をパターンニングする工程を示す断面図である。

[図8C]画素領域に酸化物半導体を形成する工程を示す断面図である。

[図8D]画素領域と端子領域にソース電極及びドレイン電極としての金属膜を形成する工程を示す断面図である。

[図8E]図8Dに示す金属膜をパターンニングする工程を示す断面図である。

[図8F]画素領域と端子領域に第1絶縁膜を形成する工程を示す断面図である。

。

[図8G]図8Fに示す第1絶縁膜をパターンニングする工程を示す断面図であ

る。

[図8H]画素領域と端子領域に第2絶縁膜を形成する工程を示す断面図である。

。

[図8I]図8Hに示す第2絶縁膜をパターンニングする工程を示す断面図である。

[図8J]画素領域に下部電極を形成する工程を示す断面図である。

[図8K]画素領域と端子領域に半導体層と上部電極としての透明導電膜とを形成する工程を示す断面図である。。

[図8L]図8Kにおける透明導電膜をパターンニングする工程を示す断面図である。

[図8M]図8Lにおける半導体層をパターンニングする工程を示す断面図である。

[図8N]画素領域と端子領域に第3絶縁膜を形成する工程を示す断面図である。

。

[図8O]図8Nにおける第3絶縁膜をパターンニングする工程を示す断面図である。

[図8P]画素領域と端子領域に第4絶縁膜を形成する工程を示す断面図である。

。

[図8Q]図8Pにおける第4絶縁膜をパターンニングする工程を示す断面図である。

[図8R]画素領域と端子領域にバイアス配線としての金属膜を形成する工程を示す断面図である。

[図8S]図8Rにおける金属膜をパターンニングする工程を示す断面図である。

。

[図8T]画素領域と端子領域に透明導電膜を形成する工程を示す断面図である。

。

[図8U]図8Tにおける透明導電膜をパターンニングする工程を示す断面図である。

[図8V]画素領域と端子領域に第5絶縁膜を形成する工程を示す断面図である。

[図8W]画素領域と端子領域に第6絶縁膜を形成する工程を示す断面図である。

[図8X]図8Wにおける第6絶縁膜をパターンニングする工程を示す断面図である。

[図8Y]図8Xに示す基板に対して薄板加工を行った状態を示す断面図である。

発明を実施するための形態

[0008] 本発明の一実施形態に係る撮像パネルは、被写体を通過したX線から得られたシンチレーション光に基づいて画像を生成する撮像パネルであって、基板と、前記基板の一方の面に形成されたアクティブ領域と、前記アクティブ領域の外側に設けられた端子領域と、前記基板の一方の面において、前記アクティブ領域と前記端子領域に設けられた保護層と、を備え、前記アクティブ領域は、スイッチング素子を含む複数の素子を有し、前記端子領域は、前記複数の素子のうちのいずれかの素子と接続された端子用素子を有し、前記保護層は、前記基板の一方の面に接するバリア層を含み、前記複数の素子及び前記端子用素子よりも下層に設けられ、前記バリア層は、前記基板をエッチング可能なエッチング材料に対して耐性を有する材料を含む（第1の構成）。

[0009] 第1の構成によれば、アクティブ領域における複数の素子、及び端子領域における端子よりも下層に保護層が設けられる。保護層は、基板のエッチングに用いるエッチング材料に対して耐性を有するバリア層を含む。そのため、撮像パネルを作製する際の薄板加工において、基板に傷等があっても、保護層によってアクティブ領域の素子と端子領域の端子の一部が消失しにくい。その結果、アクティブ領域と端子領域において断線が生じることなく軽量化された撮像パネルが得られる。

[0010] 第1の構成において、前記保護層は、さらに、前記バリア層に接する無機

絶縁膜を含み、前記無機絶縁膜は、前記複数の素子及び前記端子用素子より下層に設けられることとしてもよい（第2の構成）。第2の構成によれば、複数の素子及び端子用素子より下層に、無機絶縁膜とバリア層とが重なって配置される。そのため、撮像パネルを作製する際の薄板加工によって基板にディンプルが形成されていても、ディンプル部分から水分等の汚染物質が入り込みにくく、アクティブ領域におけるスイッチング素子の特性に悪影響が及びにくい。

[0011] 第1又は第2の構成において、前記バリア層は、導電膜で構成されることとしてもよい（第3の構成）。

[0012] 第1又は第2の構成において、前記バリア層は、半導体膜で構成されることとしてもよい（第4の構成）。

[0013] 第1又は第2の構成において、前記バリア層は、有機絶縁膜で構成されることとしてもよい（第5の構成）。

[0014] 本発明の一実施形態に係る撮像パネルの製造方法は、被写体を通過したX線から得られたシンチレーション光に基づいて画像を生成する撮像パネルの製造方法であって、基板の一方の面のアクティブ領域と端子領域にバリア層を形成する工程と、前記アクティブ領域において、前記バリア層より上層に、スイッチング素子を含む複数の素子を形成する工程と、前記端子領域において、前記無機絶縁膜より上層に、端子用素子を形成する工程と、前記基板をエッチングする工程と、含み、前記バリア層は、前記基板をエッチングする際のエッチング材料に対して耐性を有する材料を含む（第1の製造方法）。

[0015] 第1の製造方法によれば、アクティブ領域における複数の素子、及び端子領域における端子よりも下層にバリア層が設けられる。バリア層は、基板のエッチングに用いるエッチング材料に対して耐性を有する。基板をエッチングする工程において、基板に傷等があっても、バリア層によってアクティブ領域におけるスイッチング素子等の素子や、端子領域における端子の一部が消失しにくい。そのため、アクティブ領域と端子領域において断線が生じる

ことなく軽量化された撮像パネルを作製することができる。

[0016] 第1の製造方法において、前記バリア層の上に無機絶縁膜を形成する工程をさらに含み、前記複数の素子は、前記無機絶縁膜より上層に形成されることとしてもよい（第2の製造方法）。第2の製造方法によれば、複数の素子及び端子用素子より下層に、無機絶縁膜とバリア層とが重なって配置される。そのため、撮像パネルを作製する際の薄板加工によって基板にディンプルが形成されていても、ディンプル部分から水分等の汚染物質が入り込みにくく、アクティブ領域におけるスイッチング素子の特性に悪影響が及びにくい。

[0017] 第1又は第2の製造方法において、前記エッチング材料は、フッ酸を含むこととしてもよい（第3の製造方法）。

[0018] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0019] （構成）

図1は、本実施形態におけるX線撮像装置を示す模式図である。X線撮像装置1000は、撮像パネル1と、制御部2とを備える。制御部2は、ゲート制御部2Aと信号読出部2Bとを含む。被写体Sに対しX線源3からX線が照射され、被写体Sを透過したX線が、撮像パネル1の上部に配置されたシンチレータ1Aによって蛍光（以下、シンチレーション光）に変換される。X線撮像装置1000は、シンチレーション光を撮像パネル1及び制御部2によって撮像することにより、X線画像を取得する。

[0020] 図2は、撮像パネル1の概略構成を示す模式図である。図2に示すように、撮像パネル1には、複数のソース配線10と、複数のソース配線10と交差する複数のゲート配線11とが形成されている。ゲート配線11は、ゲート制御部2Aと接続され、ソース配線10は、信号読出部2Bと接続されている。

[0021] 撮像パネル1は、ソース配線10とゲート配線11とが交差する位置に、ソース配線10及びゲート配線11に接続されたTFT13を有する。また

、ソース配線10とゲート配線11とで囲まれた領域（以下、画素）には、フォトダイオード12が設けられている。画素において、フォトダイオード12により、被写体Sを透過したX線を変換したシンチレーション光がその光量に応じた電荷に変換される。

[0022] 各ゲート配線11は、ゲート制御部2Aによって順次選択状態に切り替えられ、選択状態のゲート配線11に接続されたTF T13がオン状態となる。TF T13がオン状態になると、フォトダイオード12によって変換された電荷に応じた信号がソース配線10を介して信号読出部2Bに出力される。

[0023] 図3は、撮像パネル1において画素が形成された画素領域（アクティブ領域）の一部を拡大した平面図である。図3に示すように、ゲート配線11及びソース配線10に囲まれた画素には、フォトダイオード12を構成する下部電極14a、光電変換層15、及び上部電極14bが重なって配置されている。

[0024] また、ゲート配線11及びソース配線10と平面視で重なるようにバイアス配線16が配置されている。バイアス配線16は、フォトダイオード12にバイアス電圧を供給する。

[0025] TF T13は、ゲート配線11と一体化されたゲート電極13aと、半導体活性層13bと、ソース配線10と一体化されたソース電極13cと、ドレイン電極13dとを有する。

[0026] ドレイン電極13dと下部電極14aはコンタクトホールCH1を介して接続されている。また、バイアス配線16に重なって配置された透明導電膜17が設けられ、透明導電膜17と上部電極14bとがコンタクトホールCH2を介して接続されている。

[0027] ここで、図4に、図3に示す画素領域のA-A線の断面図を示す。図4に示すように、基板100の裏面側、すなわち、X線が照射される面とは反対側の面にディンプル100jを有する。基板100は、例えば、ガラス基板、シリコン基板、耐熱性を有するプラスチック基板、又は樹脂基板等、絶縁

性を有する基板である。

- [0028] 基板100の裏面と反対側の面には、画素領域を形成する部分全体にバリア層101aが設けられている。バリア層101aは、基板100に形成されたディンプル100jの部分を覆っている。バリア層101aは、フッ酸に対してエッチング耐性を有する材料を含む。具体的には、バリア層101aは、例えば、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、鉛(Pb)、及びITO(Indium Tin Oxide)のいずれかの導電膜を含む。バリア層101aの膜厚は、例えば約300nmである。
- [0029] バリア層101aの上には、バリア層101aを覆うように、無機絶縁膜101bが設けられている。無機絶縁膜101bは、例えば、酸化ケイ素(SiO_2)、窒化ケイ素(SiN)、酸化窒化ケイ素(SiON)を含む。無機絶縁膜101bの膜厚は、例えば約300nmである。
- [0030] 無機絶縁膜101bの上に、ゲート配線11と一体化されたゲート電極13aが形成されている。ゲート電極13a及びゲート配線11は、例えば、アルミニウム(Al)、タングステン(W)、モリブデン(Mo)、モリブデンナイトライド(MoN)、タンタル(Ta)、クロム(Cr)、チタン(Ti)、銅(Cu)等の金属、又はこれらの合金、若しくはこれら金属窒化物からなる。本実施形態では、ゲート電極13a及びゲート配線11は、チタン(Ti)からなる金属膜とアルミニウム(Al)からなる金属膜とがこの順番で積層された積層構造を有する。これら金属膜の膜厚は、例えば、チタンが約100nm、アルミニウムが約300nmである。
- [0031] 無機絶縁膜101bの上において、ゲート電極13aを覆うようにゲート絶縁膜102が設けられている。ゲート絶縁膜102は、例えば、酸化ケイ素(SiO_2)、窒化ケイ素(SiN)、酸化窒化ケイ素(SiO_xN_y) ($x>y$)、窒化酸化ケイ素(SiN_xO_y) ($x>y$)等を用いてもよい。本実施形態では、ゲート絶縁膜102は、酸化ケイ素(SiO_2)と、窒化ケイ素(SiN)とが順に積層された積層構造を有する。ゲート絶縁膜102の膜厚は、酸化ケイ素(SiO_2)が約50nm、窒化ケイ素(SiN)が約

400nmである。

[0032] ゲート絶縁膜102を介してゲート電極13aの上には、半導体活性層13bと、半導体活性層13bに接続されたソース電極13c及びドレイン電極13dとが形成されている。

[0033] 半導体活性層13bは、ゲート絶縁膜102に接して形成されている。半導体活性層13bは、酸化物半導体からなる。酸化物半導体は、例えば、 InGaO_3 、 $(\text{ZnO})_5$ 、酸化マグネシウム亜鉛 ($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)、酸化カドミウム亜鉛 ($\text{Cd}_x\text{Zn}_{1-x}\text{O}$)、酸化カドミウム (CdO)、 InSnZnO (In (インジウム)、 Sn (スズ)、 Zn (亜鉛) を含む) もの、 In (インジウム) - Al (アルミニウム) - Zn (亜鉛) - O (酸素) 系、又は、インジウム (In)、ガリウム (Ga) 及び亜鉛 (Zn) を所定の比率で含有するアモルファス酸化物半導体等を用いてもよい。また、酸化物半導体としては、「非晶質」、「結晶質 (多結晶, 微結晶, c 軸配向, を含む)」の材料も適用可能である。積層構造の場合は、何れの組合せも含まれる (特定の組合せを排除しない)。

[0034] 本実施形態では、半導体活性層13bは、インジウム (In)、ガリウム (Ga) 及び亜鉛 (Zn) を所定の比率で含有するアモルファス酸化物半導体からなり、その膜厚は、例えば70nmである。半導体活性層13bと、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、及び酸素 (O) を含む酸化物半導体を適用することで、アモルファスシリコン (a-Si) と比べ、TF13のオフリーク電流を低減することができる。TF13のオフリーク電流が小さいと、光電変換層15のオフリーク電流も低減され、光電変換層15のQE (量子効率) が向上し、X線の検出感度を改善することができる。

[0035] ソース電極13c及びドレイン電極13dは、半導体活性層13b及びゲート絶縁膜102に接して形成されている。ソース電極13cは、ソース配線10と一体化されている。ドレイン電極13dは、コンタクトホールCH1を介して下部電極14aに接続されている。

- [0036] ソース電極 13c 及びドレイン電極 13d は、同一層上に形成され、例えば、アルミニウム (Al)、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、クロム (Cr)、チタン (Ti)、銅 (Cu) 等の金属又はこれらの合金、若しくはこれら金属窒化物からなる。また、ソース電極 13c 及びドレイン電極 13d の材料として、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化ケイ素を含むインジウム錫酸化物 (ITSO)、酸化インジウム (In_2O_3)、酸化錫 (SnO_2)、酸化亜鉛 (ZnO)、窒化チタン等の透光性を有する材料及びそれらを適宜組み合わせたものを用いてもよい。
- [0037] ソース電極 13c 及びドレイン電極 13d は、例えば、複数の金属膜を積層したものであってもよい。具体的には、ソース電極 13c、ソース配線 10、及びドレイン電極 13d は、チタン (Ti) からなる金属膜と、アルミニウム (Al) からなる金属膜と、チタン (Ti) からなる金属膜とが、この順番で積層された積層構造を有する。下層のチタン (Ti) の膜厚は約 100 nm、アルミニウム (Al) の膜厚は約 500 nm、上層のチタン (Ti) の膜厚は約 50 nm である。
- [0038] ソース電極 13c 及びドレイン電極 13d を覆うように、第 1 絶縁膜 103 が設けられている。第 1 絶縁膜 103 は、酸化ケイ素 (SiO_2) 又は窒化ケイ素 (SiN) からなる単層構造でもよいし、窒化ケイ素 (SiN)、酸化ケイ素 (SiO_2) をこの順に積層した積層構造でもよい。積層構造とする場合、窒化ケイ素 (SiN) の膜厚は約 330 nm であり、酸化ケイ素 (SiO_2) の膜厚は約 200 nm である。
- [0039] 第 1 絶縁膜 103 の上には、第 2 絶縁膜 104 が設けられている。第 2 絶縁膜 104 は、例えば、アクリル系樹脂又はシロキサン系樹脂などの有機系透明樹脂からなり、その膜厚は、例えば 2.5 μm である。
- [0040] ドレイン電極 13d の上には、第 2 絶縁膜 104 と第 1 絶縁膜 103 とを貫通するコンタクトホール CH1 が形成されている。
- [0041] 第 2 絶縁膜 104 の上には、コンタクトホール CH1 においてドレイン電

極 1 3 d と接続された下部電極 1 4 a が形成されている。下部電極 1 4 a は、例えば、モリブデンニオブ (MoN) で構成され、その膜厚は例えば 2 0 0 μ m である。

[0042] 下部電極 1 4 a の上には、下部電極 1 4 a よりも X 軸方向の幅が小さい光電変換層 1 5 が形成されている。光電変換層 1 5 は、n 型非晶質半導体層 1 5 1、真性非晶質半導体層 1 5 2 と、p 型非晶質半導体層 1 5 3 が順に積層された P I N 構造を有する。

[0043] n 型非晶質半導体層 1 5 1 は、n 型不純物 (例えば、リン) がドーピングされたアモルファスシリコンからなる。n 型非晶質半導体層 1 5 1 の膜厚は、例えば、3 0 nm である。

[0044] 真性非晶質半導体層 1 5 2 は、真性のアモルファスシリコンからなる。真性非晶質半導体層 1 5 2 は、n 型非晶質半導体層 1 5 1 に接して形成されている。真性非晶質半導体層の膜厚は、例えば 1 0 0 0 nm である。

[0045] p 型非晶質半導体層 1 5 3 は、p 型不純物 (例えば、ボロン) がドーピングされたアモルファスシリコンからなる。p 型非晶質半導体層 1 5 3 は、真性非晶質半導体層 1 5 2 に接して形成されている。p 型非晶質半導体層 1 5 3 の膜厚は、例えば 5 nm である。

[0046] p 型非晶質半導体層 1 5 3 の上には、上部電極 1 4 b が形成されている。上部電極 1 4 b は、光電変換層 1 5 よりも X 軸方向の幅が小さい。上部電極 1 4 b は、例えば、ITO (Indium Tin Oxide) で構成され、その膜厚は、例えば 7 0 nm である。

[0047] フォトダイオード 1 2 を覆うように第 3 絶縁膜 1 0 5 が形成されている。第 3 絶縁膜 1 0 5 は、例えば、窒化ケイ素 (SiN) からなる無機絶縁膜であり、その膜厚は、例えば 3 0 0 nm である。

[0048] 第 3 絶縁膜 1 0 5 において、上部電極 1 4 b と重なる位置にコンタクトホール CH 2 が形成されている。

[0049] 第 3 絶縁膜 1 0 5 の上において、コンタクトホール CH 2 の外側に、第 4 絶縁膜 1 0 6 が形成されている。第 4 絶縁膜 1 0 6 は、例えばアクリル系樹

脂又はシロキサン系樹脂からなる有機系透明樹脂膜であり、その膜厚は、例えば $2.5\mu\text{m}$ である。

[0050] 第4絶縁膜106の上にはバイアス配線16が形成されている。バイアス配線16は、例えば、チタン(Ti)からなる金属膜と、アルミニウム(Al)からなる金属膜と、チタン(Ti)からなる金属膜とを順に積層した積層構造を有する。下層のチタン(Ti)の膜厚は約 100nm 、アルミニウム(Al)の膜厚は約 500nm 、上層のチタン(Ti)の膜厚は約 50nm である。

[0051] 第4絶縁膜106の上において、バイアス配線16と重なるように透明導電膜17が形成されている。透明導電膜17は、コンタクトホールCH2において上部電極14bと接する。透明導電膜17は、例えばITOで構成され、その膜厚は約 70nm である。

[0052] バイアス配線16は、制御部2(図1参照)に接続されている。バイアス配線16は、制御部2から入力されるバイアス電圧を、導電膜17とコンタクトホールCH2を介して上部電極14bに印加する。

[0053] 第4絶縁膜106の上には、透明導電膜17を覆うように第5絶縁膜107が形成されている。第5絶縁膜107は、例えば窒化ケイ素(SiN)からなる無機絶縁膜であり、その膜厚は約 200nm である。

[0054] 第5絶縁膜107の上には、第6絶縁膜108が形成されている。第6絶縁膜108は、例えば、アクリル系樹脂又はシロキサン系樹脂からなる有機系透明樹脂からなり、その膜厚は約 $2.0\mu\text{m}$ である。

[0055] ここで、図5及び図6に、撮像パネル1の画素領域(以下、アクティブ領域)の外側の領域の一部を拡大した平面図を示す。

[0056] 図5は、図3に示すゲート電極13a及びゲート配線11とゲート制御部2A(図1参照)とを接続するための端子(以下、G端子)が設けられた端子領域P2を示している。

[0057] 図6は、図3に示すソース電極31c及びソース配線10と信号読出部2B(図1参照)とを接続するための端子(以下、S端子)が設けられる端子

領域 P 3 と、図 3 に示すバイアス配線 1 6 と制御部 2 とを接続するための端子（以下、B 端子）が設けられた端子領域 P 4 を示している。B 端子は、コンタクトホール C H 5 を介してバイアス配線 1 6 と接続される。以下、端子領域 P 2 を G 端子領域、端子領域 P 3 を S 端子領域、端子領域 P 4 を B 端子領域と称し、これらを区別しないときは単に端子領域と称する。

[0058] 図 7 は、図 5 に示す G 端子領域 P 3 の B－B 線の断面図と、図 6 に示す S 端子領域 P 3 及び B 端子領域 P 4 の C－C 線の断面図である。図 7 において、図 4 に示す画素領域の構成と同様の構成には、図 4 と同じ符号が付されている。S 端子領域 P 3 と B 端子領域 P 4 の端子構造は同様であるため、以下、S 端子領域 P 3 を例に説明する。

[0059] （G 端子領域）

図 7 に示すように、G 端子領域 P 2 は、基板 1 0 0 の裏面側に画素領域と同様のディンプル 1 0 0 j を有する。基板 1 0 0 の裏面と反対側の面には、ディンプル 1 0 0 j を覆うように、画素領域と同様のバリア層 1 0 1 a が設けられている。また、バリア層 1 0 1 a の上には、画素領域と同様の無機絶縁膜 1 0 1 b が設けられている。

[0060] 無機絶縁膜 1 0 1 b の上には、ゲート層 1 3 1 が配置されている。ゲート層 1 3 1 は、画素領域に設けられたゲート電極 1 3 a 及びゲート配線 1 1 （図 2、3 等参照）と接続され、ゲート電極 1 3 a 及びゲート配線 1 1 と一体的に形成されている。

[0061] ゲート層 1 3 1 の上には、ゲート絶縁膜 1 0 2 が設けられ、ゲート絶縁膜 1 0 2 の上には第 1 絶縁膜 1 0 3 が設けられている。また、ゲート層 1 3 1 の上において、ゲート絶縁膜 1 0 2 と第 1 絶縁膜 1 0 3 とを貫通するコンタクトホール C H 3 が設けられている。

[0062] 第 1 絶縁膜 1 0 3 の上には、コンタクトホール C H 3 を介してゲート層 1 3 1 と接続された透明導電層 1 7 1 が設けられている。透明導電層 1 7 1 は、画素領域に設けられた透明導電膜 1 7 （図 4 参照）と同じ材料で構成される。

[0063] 第1絶縁膜103と透明導電層171の上には、コンタクトホールCH3より外側に第5絶縁膜107が設けられている。

[0064] (S端子領域)

図7に示すように、S端子領域P3は、基板100の裏面側に、画素領域と同様のバリア層101aが設けられ、バリア層101aの上には、画素領域と同様の無機絶縁膜101bが設けられている。

[0065] 無機絶縁膜101bの上にはゲート絶縁膜102が設けられ、ゲート絶縁膜102の上には、ソース層132が設けられている。ソース層132は、画素領域に設けられたソース電極13c及びソース配線10(図3、4参照)と一体的に形成されている。

[0066] ソース層132の上には、第1絶縁膜103が離間して配置され、コンタクトホールCH4が設けられている。なお、B端子領域P4のソース層132は、コンタクトホールCH5(図6参照)を介してバイアス配線16と接続される。

[0067] 第1絶縁膜103の上には、コンタクトホールCH4を介してソース層132と接続された透明導電層171が配置されている。

[0068] 第1絶縁膜103及び透明導電層171の上には、コンタクトホールCH4より外側に第5絶縁膜107が設けられている。

[0069] (撮像パネル1の製造方法)

次に、撮像パネル1の製造方法について説明する。図8A～図8Yは、撮像パネル1の画素領域と、G端子領域P2及びS端子領域P3の各製造工程を示す断面図であって、図4における画素のA-A断面、図5におけるG端子領域のB-B断面、図6におけるS端子領域のC-C断面を示す図である。

[0070] 図8Aに示すように、基板100の一方の面全体に、バリア層101aとして、例えば、モリブデン(Mo)からなる導電膜をスパッタリング法又は蒸着法を用いて成膜する。その後、バリア層101aを覆うように、無機絶縁膜101bとして、例えば、窒化ケイ素(SiN)からなる薄膜をプラズ

マCVD法により形成する。続いて、無機絶縁膜101bを覆うように、例えば、チタン(Ti)からなる金属膜とアルミニウム(Al)からなる金属膜とを順に積層した金属膜130gをスパッタリング法により形成する。

[0071] 次に、フォトリソグラフィ法及びウェットエッチングを行い、金属膜130gをパターンニングする(図8B参照)。これにより、画素領域は、図8BのA-A断面に示すように、ゲート電極13aが形成される。また、G端子領域は、図8BのB-B断面に示すように無機絶縁膜101bの上にゲート層131が形成される。S端子領域の金属膜130gは、図8BのC-C断面に示すように除去される。

[0072] 続いて、プラズマCVD法により、画素領域と端子領域全体に、酸化ケイ素(SiO₂)と、窒化ケイ素(SiN)とを順に積層したゲート絶縁膜102を形成する。その後、ゲート絶縁膜102の上に、インジウム(In)、ガリウム(Ga)及び亜鉛(Zn)を所定の比率で含有するアモルファス酸化物半導体からなる半導体層を成膜し、フォトリソグラフィ法及びドライエッチングを行って半導体層をパターンニングする(図8C参照)。

[0073] これにより、画素領域は、図8CのA-A断面に示すように、ゲート絶縁膜102の上においてゲート電極13aと重なる位置に半導体活性層13bが形成される。G端子領域は、図8CのB-B断面に示すように、ゲート層131を覆うようにゲート絶縁膜102が形成され、半導体層は除去される。また、S端子領域は、図8CのC-C断面に示すように、無機絶縁膜101b上にゲート絶縁膜102が形成され、半導体層は除去される。

[0074] その後、例えば、スパッタリング法を用いて、チタン(Ti)、アルミニウム(Al)、チタン(Ti)を順に積層した金属膜130sを画素領域と端子領域全体に成膜する(図8D参照)。

[0075] そして、フォトリソグラフィ法及びウェットエッチングを行い、金属膜130sをパターンニングする(図8E参照)。これにより、画素領域は、図8EのA-A断面に示すように、半導体活性層13bの上で離間して配置されたソース電極13c及びドレイン電極13dが形成され、TFET13が形

成される。また、G端子領域は、図8EのB-B断面に示すように、金属膜130sが除去され、S端子領域は、図8EのC-C断面に示すように、ゲート絶縁膜102の上にソース層132が形成される。

[0076] 次に、画素領域と端子領域全体に、例えば、プラズマCVD法を用いて、窒化ケイ素（SiN）からなる第1絶縁膜103を形成する（図8F参照）。

[0077] 続いて、フォトリソグラフィ法及びウェットエッチングを行い、第1絶縁膜103をパターンニングする（図8G参照）。これにより、画素領域は、図8GのA-A断面に示すように、ドレイン電極13dの上に第1絶縁膜103の開口103aが形成される。また、G端子領域は、図8GのB-B断面に示すように、ゲート層131の上に、ゲート絶縁膜102と第1絶縁膜103とを貫通するコンタクトホールCH3が形成される。S端子領域は、図8GのC-C断面に示すように、ソース層132の上にコンタクトホールCH4が形成される。

[0078] 次に、画素領域と端子領域全体に、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第2絶縁膜104を塗布する（図8H参照）。

[0079] その後、フォトリソグラフィ法により、第2絶縁膜104をパターンニングする（図8I参照）。これにより、画素領域は、図8IのA-A断面に示すように、開口103aの上に、第2絶縁膜104の開口104aが形成され、コンタクトホールCH1が形成される。端子領域における第2絶縁膜104は、図8IのB-B断面、C-C断面に示すように除去される。

[0080] 続いて、画素領域及び端子領域全体に、例えば、スパッタリング法により、モリブデンニオブ（MoN）からなる金属膜を成膜し、フォトリソグラフィ法及びウェットエッチングを行い、金属膜をパターンニングする（図8J参照）。これにより、画素領域は、図8JのA-A断面に示すように、第2絶縁膜104の上に、コンタクトホールCH1を介してドレイン電極13dと接続された下部電極14aが形成される。図8JのB-B断面、C-C断

面に示すように、端子領域に形成された金属膜は除去される。

[0081] 次に、画素領域及び端子領域全体に、例えば、プラズマCVD法により、n型非晶質半導体層151、真性非晶質半導体層152、p型非晶質半導体層153を順に成膜する。そして、p型非晶質半導体層153の上に、例えば、スパッタリング法により、ITOからなる透明導電膜141を成膜する（図8K参照）。

[0082] その後、フォトリソグラフィ法及びドライエッチングを行い、透明導電膜141をパターンニングする（図8L参照）。これにより、画素領域は、図8LのA-A断面に示すように、p型非晶質半導体層153の上に上部電極14bが形成される。また、図8LのB-B断面、C-C断面に示すように、端子領域における透明導電膜141は除去される。

[0083] 続いて、フォトリソグラフィ法及びドライエッチングを行い、p型非晶質半導体層153、真性非晶質半導体層152、n型非晶質半導体層153をパターンニングする（図8M参照）。これにより、画素領域には、図8MのA-A断面に示すように、光電変換層15が形成される。また、図8MのB-B断面、C-C断面に示すように、端子領域におけるp型非晶質半導体層153、真性非晶質半導体層152、n型非晶質半導体層153は除去される。

[0084] 次に、画素領域及び端子領域全体に、例えば、プラズマCVD法により、窒化ケイ素（SiN）からなる第3絶縁膜105を形成する（図8N参照）。

[0085] その後、フォトリソグラフィ法及びウェットエッチングを行い、第3絶縁膜105をパターンニングする（図8O参照）。これにより、画素領域は、図8OのA-A断面に示すように、上部電極14bの上に第3絶縁膜105の開口103aが形成される。また、図8OのB-B断面、C-C断面に示すように、端子領域における第3絶縁膜105は、除去される。

[0086] 続いて、画素領域及び端子領域全体に、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第4絶縁膜106を

形成する（図8 P参照）。その後、フォトリソグラフィ法及びウェットエッチングを行い、第4絶縁膜106をパターンニングする（図8 Q参照）。これにより、画素領域は、図8 QのA-A断面に示すように、第3絶縁膜105の開口105aの上に、第4絶縁膜106の開口106aが形成され、コンタクトホールCH2が形成される。図8 QのB-B断面、C-C断面に示すように、端子領域における第4絶縁膜106は除去される。

[0087] 次に、画素領域及び端子領域全体に、例えば、スパッタリング法により、チタン（Ti）と、アルミニウム（Al）と、チタン（Ti）とを順に積層した金属膜160を成膜する（図8 R参照）。その後、フォトリソグラフィ法及びウェットエッチングを行い、金属膜160をパターンニングする（図8 S参照）。これにより、画素領域は、図8 SのA-A断面に示すように、第4保護層106の上において、コンタクトホールCH2の外側にバイアス配線16が形成される。また、図8 SのB-B断面、C-C断面に示すように、端子領域における金属膜160は除去される。

[0088] 続いて、画素領域及び端子領域全体に、例えば、スパッタリング法により、ITOからなる透明導電膜170を成膜する（図8 T参照）。その後、フォトリソグラフィ法及びドライエッチングを行い、透明導電膜170をパターンニングする（図8 U参照）。これにより、画素領域は、図8 UのA-A断面に示すように、第4絶縁膜106の上において、バイアス配線16と接続され、コンタクトホールCH2を介して上部電極14bと接続された透明導電膜17が形成される。また、G端子領域は、図8 UのB-B断面に示すように、コンタクトホールCH3を介してゲート層131と接続された透明導電層171が形成される。S端子領域は、図8 UのC-C断面に示すように、コンタクトホールCH4を介してソース層132と接続された透明導電層171が形成される。

[0089] 次に、画素領域及び端子領域全体に、例えば、プラズマCVD法により、窒化ケイ素（SiN）からなる第5絶縁膜107を形成し、その後、フォトリソグラフィ法を用いて第5絶縁膜107をパターンニングする（図8 V参

照)。これにより、画素領域は、図8VのA-A断面に示すように、第4絶縁膜106の上に、透明導電膜17を覆う第5絶縁膜107が形成される。G端子領域は、図8VのB-B断面に示すように、コンタクトホールCH3の外側に透明導電層171の一部と重なる第5絶縁膜107が形成され、第5絶縁膜107の開口107bが形成される。S端子領域は、図8VのC-C断面に示すように、コンタクトホールCH4の外側に透明導電層171の一部と重なる第5絶縁膜107が形成され、第5絶縁膜107の開口107cが形成される。

[0090] 続いて、画素領域及び端子領域全体に、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第6絶縁膜108を塗布する(図8W参照)。その後、フォトリソグラフィ法及びドライエッチングにより、第6絶縁膜108をパターンニングする(図8X参照)。これにより、図8XのB-B断面、C-C断面に示すように、端子領域における第6絶縁膜108が除去される。

[0091] 図8Xの工程によって、画素領域と端子領域における全ての素子が基板100の一方の面上に形成された状態となる。この例では、図8Xに示すように、基板100の裏面側において、画素領域と端子領域が設けられた部分に傷100iが存在する。

[0092] この状態において、基板100に対して薄板加工処理を行う。薄板加工処理は、フッ酸を含むエッチング液を用いて基板100の裏面側をエッチングする処理である。薄板加工処理により、図8Yに示すように、基板100の裏面における傷100i部分からディンプル100jが形成される。基板100に設けられたバリア層101aは、フッ酸に対してエッチング耐性を有する材料を含むため、バリア層101aは薄板加工によってエッチングされず、バリア層101aより上層にディンプル100jが広がりにくい。そのため、画素領域におけるTF T13のゲート電極13aやソース電極13c及びドレイン電極13d、ゲート絶縁膜102等が薄板加工処理によって消失しない。また、端子領域におけるゲート層131やソース層132も、バ

リア層 101a の存在により、薄板加工処理によって消失しない。その結果、画素領域と端子領域において断線が生じることなく、画素領域と端子領域との間を適切に導通させることができる。

[0093] また、この例では、バリア層 101a の上に無機絶縁膜 101b が設けられており、基板 100 に形成されたディンプル 100j からバリア層 101a を介して、基板 100 に含まれるアルカリイオンや水分等が入り込みにくい。そのため、薄板加工を行っても、画素領域における TFT 13 の特性に悪影響を及ぼしにくい。

[0094] (X線撮像装置 1000 の動作)

ここで、図 1 に示す X 線撮像装置 1000 の動作について説明しておく。まず、X 線源 3 から X 線が照射される。このとき、制御部 2 は、バイアス配線 16 (図 3 等参照) に所定の電圧 (バイアス電圧) を印加する。X 線源 3 から照射された X 線は、被写体 S を透過し、シンチレータ 1A に入射する。シンチレータ 1A に入射した X 線は蛍光 (シンチレーション光) に変換され、撮像パネル 1 にシンチレーション光が入射する。撮像パネル 1 における各画素に設けられたフォトダイオード 12 にシンチレーション光が入射すると、フォトダイオード 12 により、シンチレーション光の光量に応じた電荷に変化される。フォトダイオード 12 によって変換された電荷に応じた信号は、ゲート制御部 2A からゲート配線 11 を介して出力されるゲート電圧 (プラスの電圧) によって TFT 13 (図 2、3 等参照) が ON 状態となっており、ソース配線 10 を通じて信号読出部 2B (図 2 等参照) により読み出される。そして、読み出された信号に応じた X 線画像が、制御部 2 において生成される。

[0095] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

[0096] (1) 上述した実施形態では、バリア層 101a として、フッ酸に対して

耐性を有する導電膜を用いる例を説明したが、フッ酸に対して耐性を有する材料であればこれに限定されない。例えば、バリア層101aとして、半導体膜を用いてもよいし、有機絶縁膜を用いてもよい。

[0097] バリア層101aに用いる半導体膜としては、アモルファスシリコン又は不純物が添加されたアモルファスシリコンを用いてもよい。また、半導体膜として、ポリシリコン若しくは不純物が添加されたポリシリコンを用いてもよいし、マイクロクリスタル若しくは不純物が添加されたマイクロクリスタルを用いてもよい。半導体膜を用いた場合のバリア層101aの膜厚は約200nmが好ましい。バリア層101aとして上記の半導体膜を用いる場合、図8Aの工程において、プラズマCVD法を用いてバリア層101aを形成する。

[0098] また、バリア層101aに用いる有機絶縁膜としては、ポリイミドを用いてもよい。有機絶縁膜を用いた場合のバリア層101aの膜厚は約1 μ mが好ましい。この場合には、図8Aの工程において、樹脂塗布装置を用いてポリイミドを基板100の一方の面に塗布した後、アニール処理を行ってバリア層101aを形成する。

[0099] (2) 上述した実施形態では、保護層として、バリア層101aと無機絶縁膜101bとを含む例を説明したが、保護層は少なくともバリア層101aが設けられていればよい。バリア層101aを備えることにより、基板100に薄板加工処理を行った際、TFT13のゲート電極13aやソース電極13b及びドレイン電極13d、端子領域におけるゲート層131やソース層132が消失せず、少なくとも断線を防止することができる。

請求の範囲

- [請求項1] 被写体を通過したX線から得られたシンチレーション光に基づいて画像を生成する撮像パネルであって、
- 基板と、
- 前記基板の一方の面に形成されたアクティブ領域と、前記アクティブ領域の外側に設けられた端子領域と、
- 前記基板の一方の面において、前記アクティブ領域と前記端子領域に設けられた保護層と、を備え、
- 前記アクティブ領域は、スイッチング素子を含む複数の素子を有し、
- 前記端子領域は、前記複数の素子のうちのいずれかの素子と接続された端子用素子を有し、
- 前記保護層は、前記基板の一方の面に接するバリア層を含み、前記複数の素子及び前記端子用素子よりも下層に設けられ、
- 前記バリア層は、前記基板をエッチング可能なエッチング材料に対して耐性を有する材料を含む、撮像パネル。
- [請求項2] 前記保護層は、さらに、前記バリア層に接する無機絶縁膜を含み、
- 前記無機絶縁膜は、前記複数の素子及び前記端子用素子より下層に設けられる、請求項1に記載の撮像パネル。
- [請求項3] 前記バリア層は、導電膜で構成される、請求項1又は2に記載の撮像パネル。
- [請求項4] 前記バリア層は、半導体膜で構成される、請求項1又は2に記載の撮像パネル。
- [請求項5] 前記バリア層は、有機絶縁膜で構成される、請求項1又は2に記載の撮像パネル。
- [請求項6] 被写体を通過したX線から得られたシンチレーション光に基づいて画像を生成する撮像パネルの製造方法であって、
- 基板の一方の面のアクティブ領域と端子領域にバリア層を形成する

工程と、

前記アクティブ領域において、前記バリア層より上層に、スイッチング素子を含む複数の素子を形成する工程と、

前記端子領域において、前記無機絶縁膜より上層に、端子用素子を形成する工程と、

前記基板をエッチングする工程と、含み、

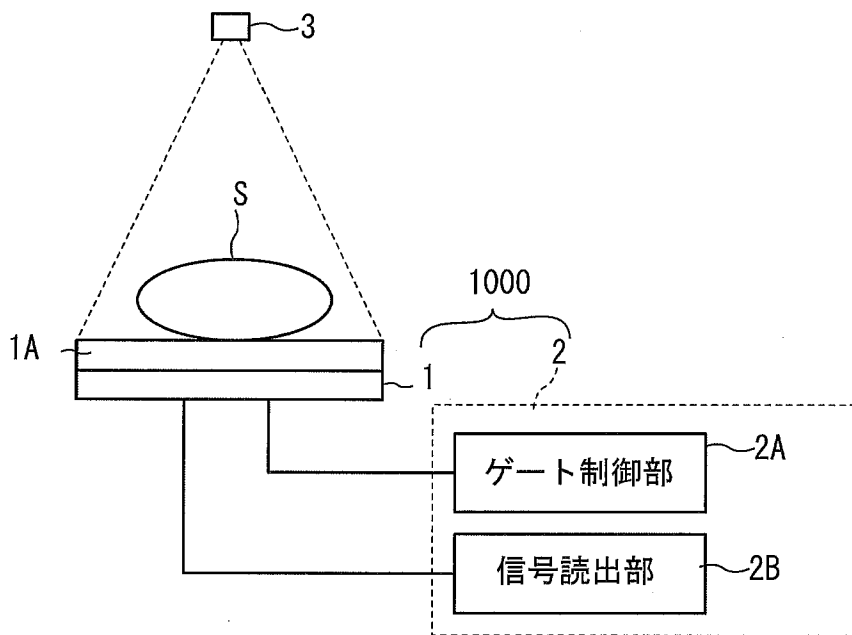
前記バリア層は、前記基板をエッチングする際のエッチング材料に対して耐性を有する材料を含む、製造方法。

[請求項7] 前記バリア層の上に無機絶縁膜を形成する工程をさらに含み、

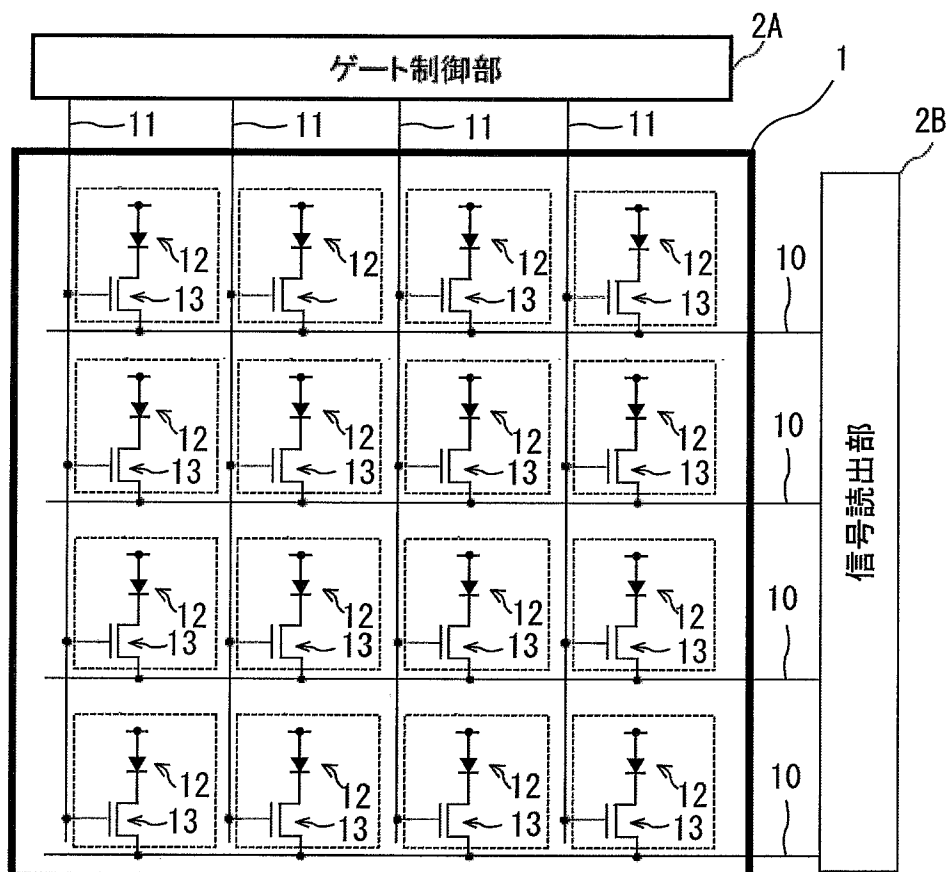
前記複数の素子は、前記無機絶縁膜より上層に形成される、請求項6に記載の製造方法。

[請求項8] 前記エッチング材料は、フッ酸を含む、請求項6又は7に記載の製造方法。

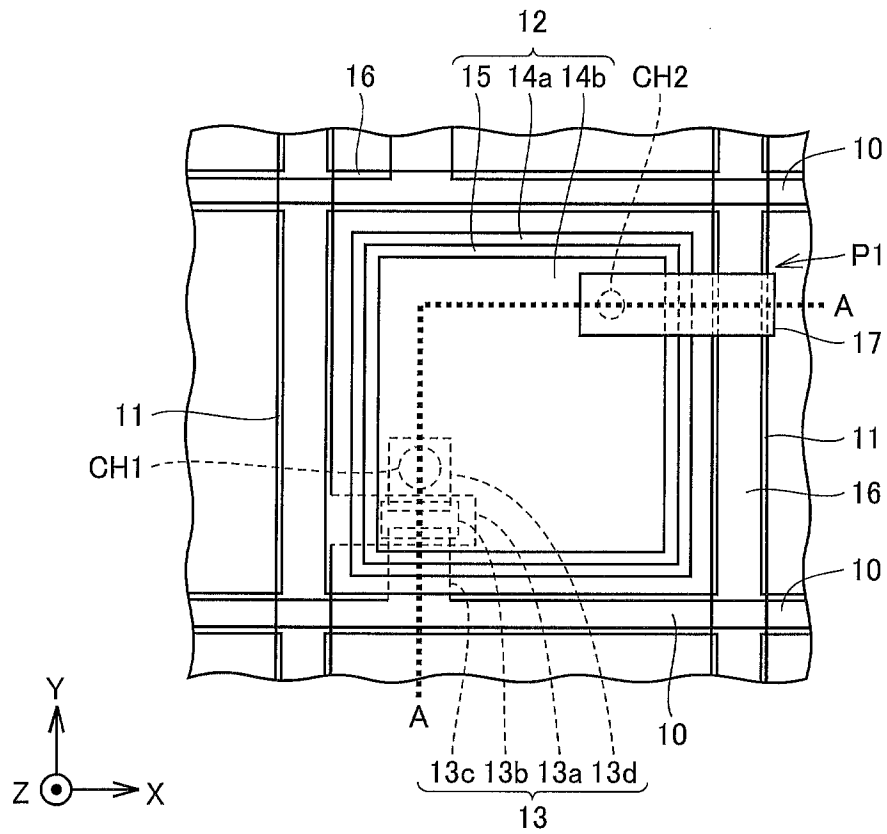
[図1]



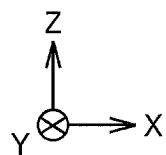
[図2]



[図3]

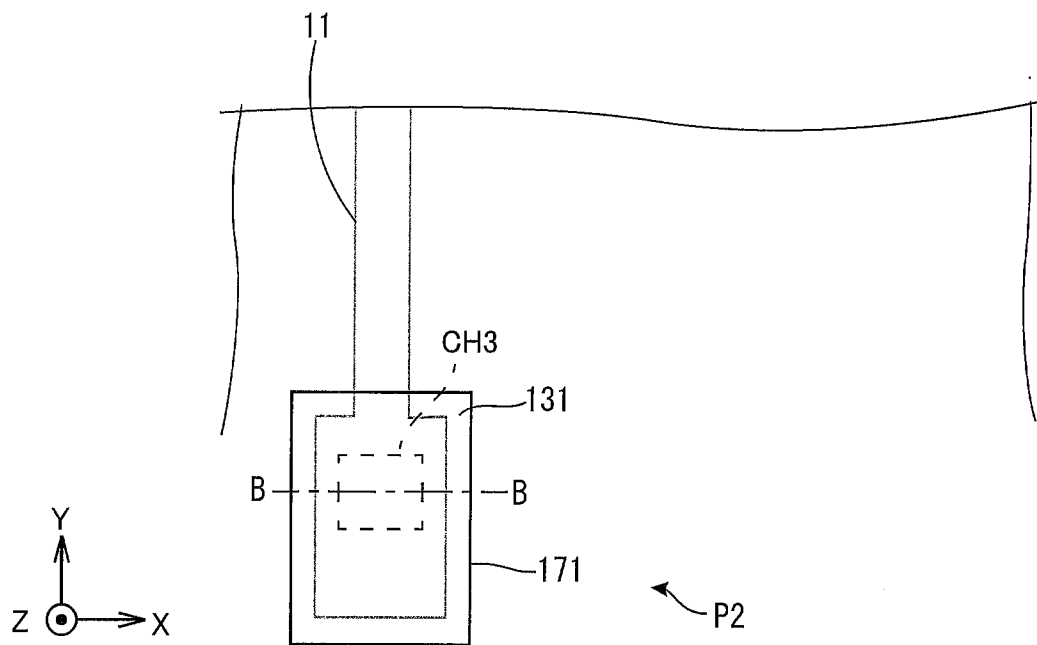


P1

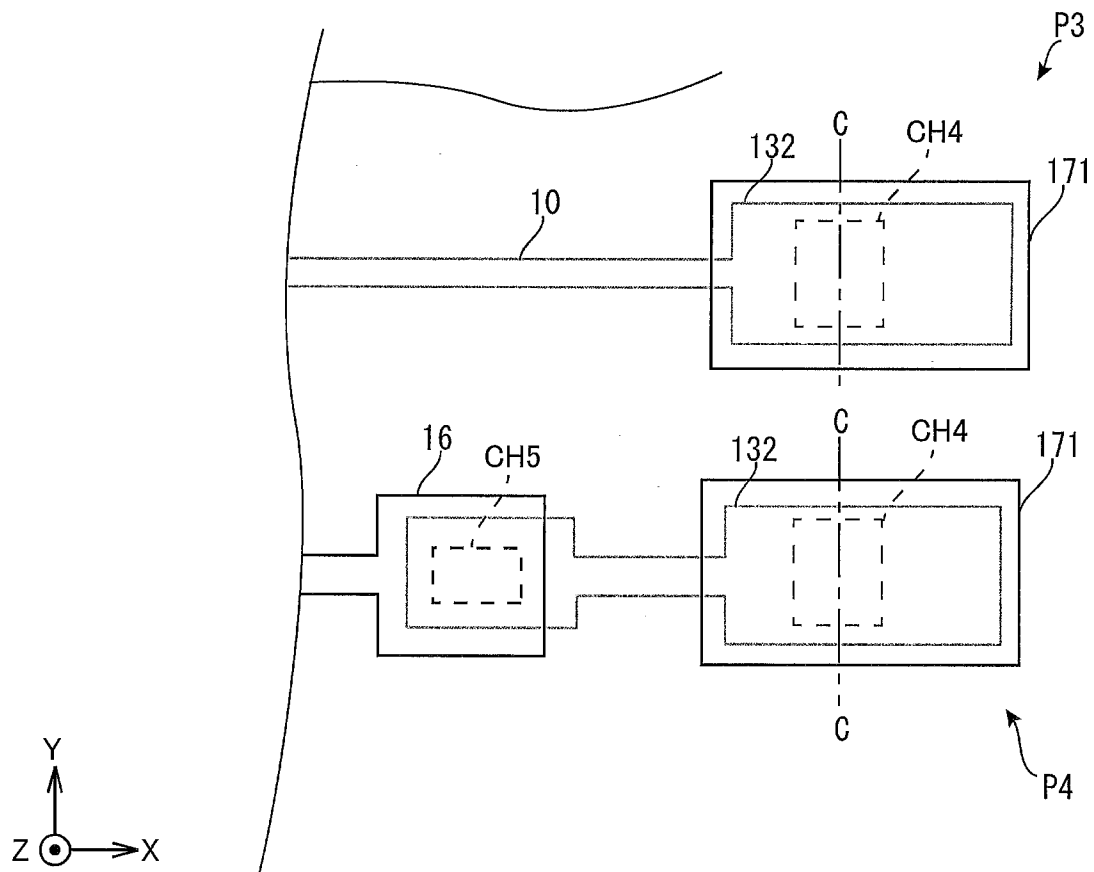


(A-A断面)

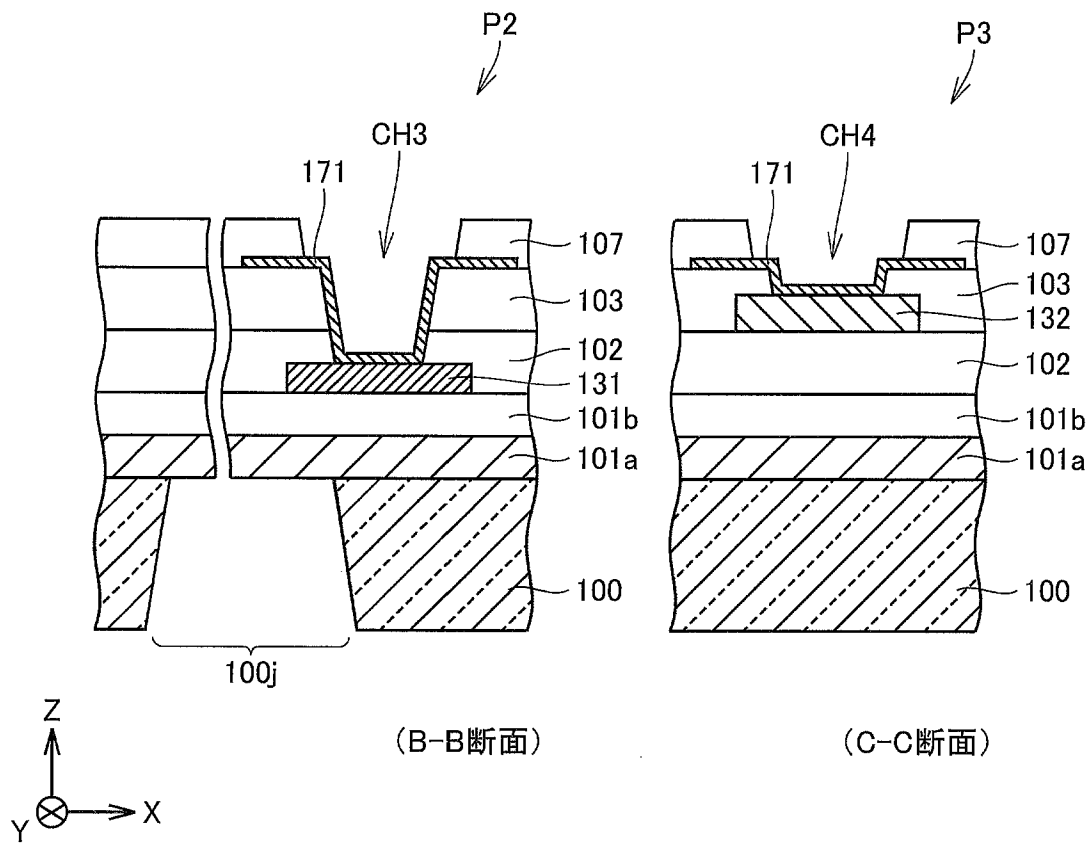
[図5]



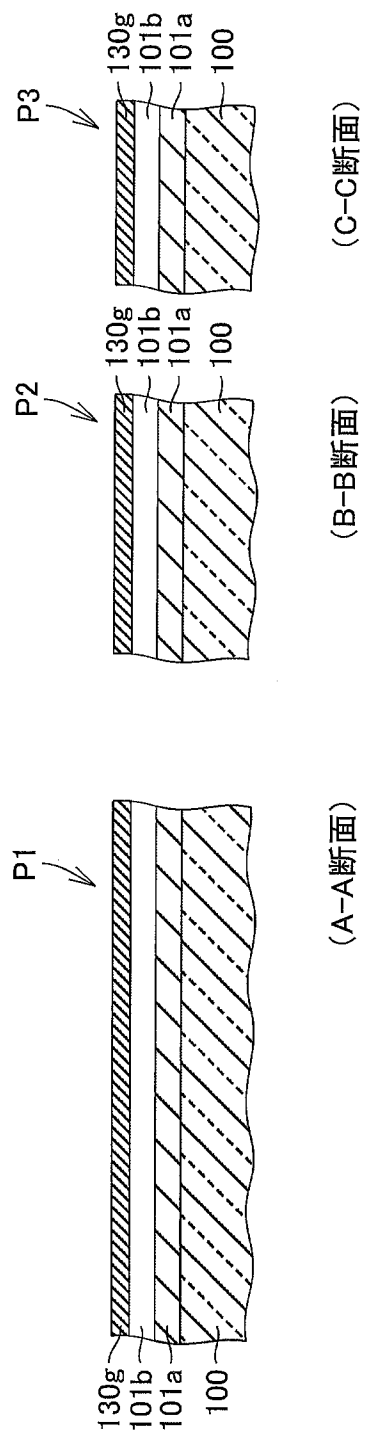
[図6]



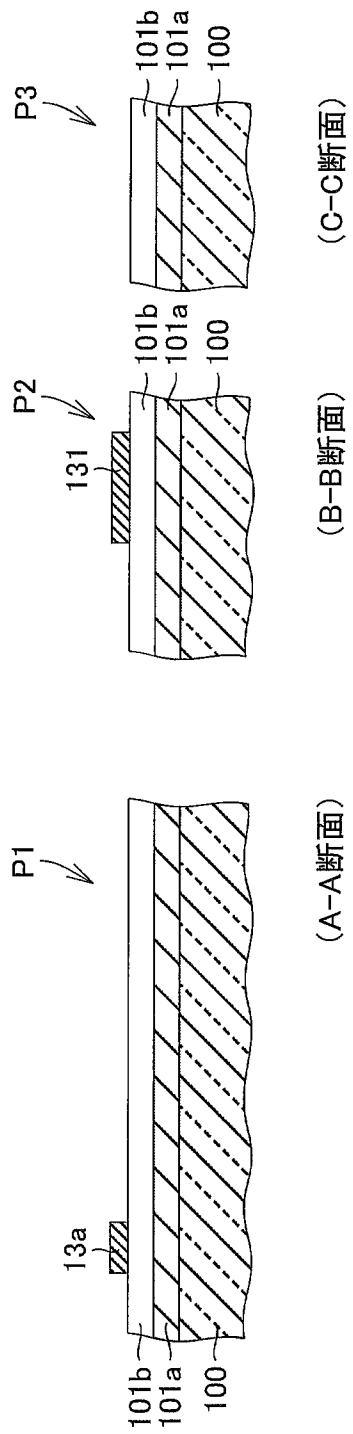
[図7]



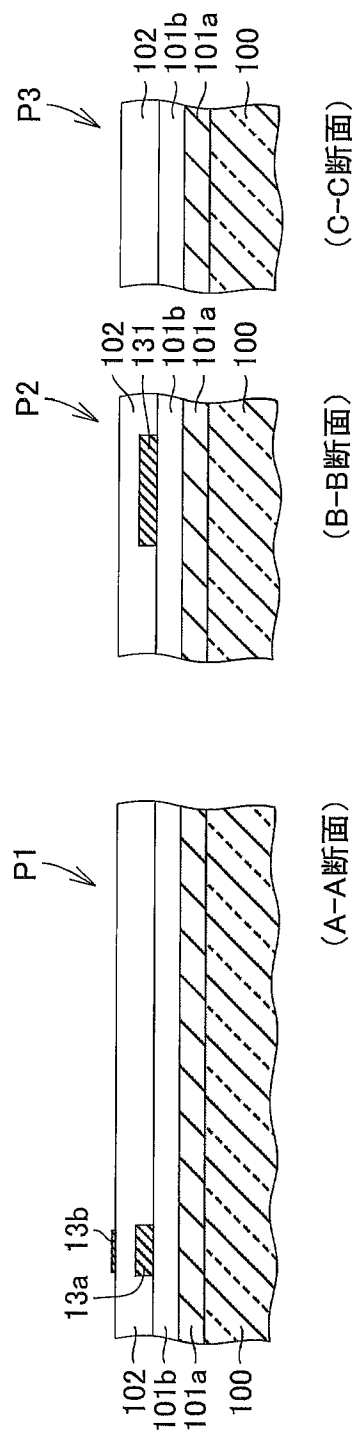
[図8A]



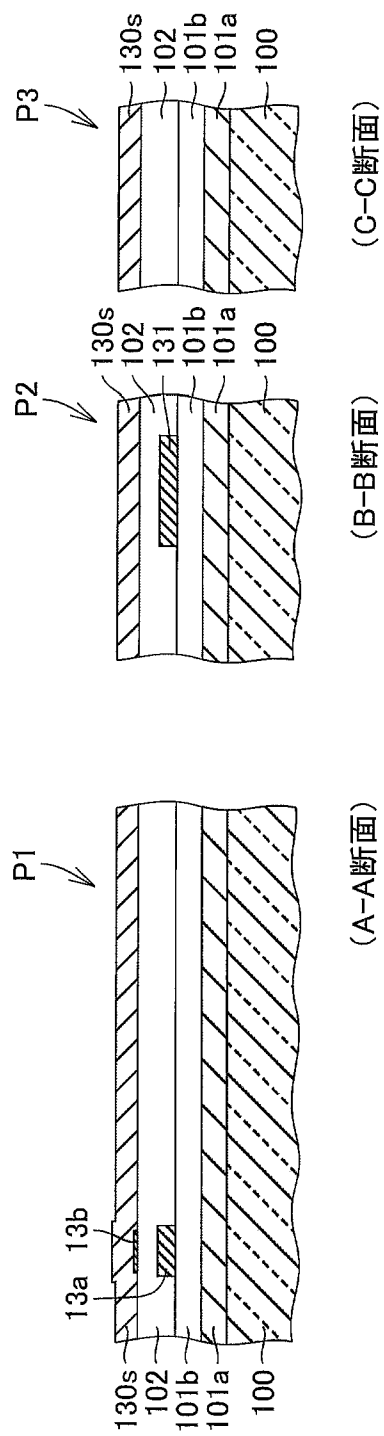
[図8B]



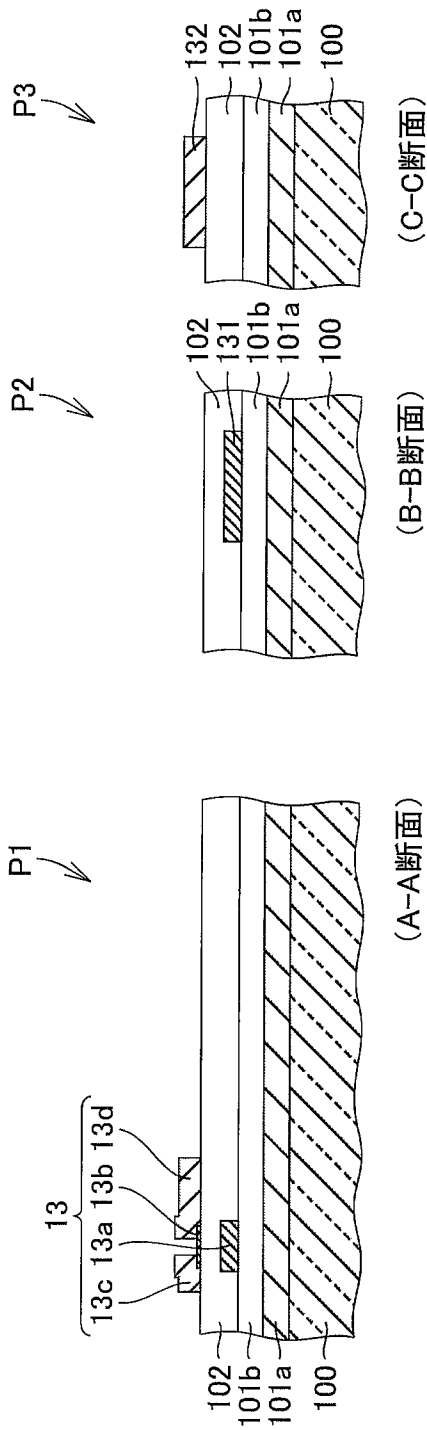
[図8C]



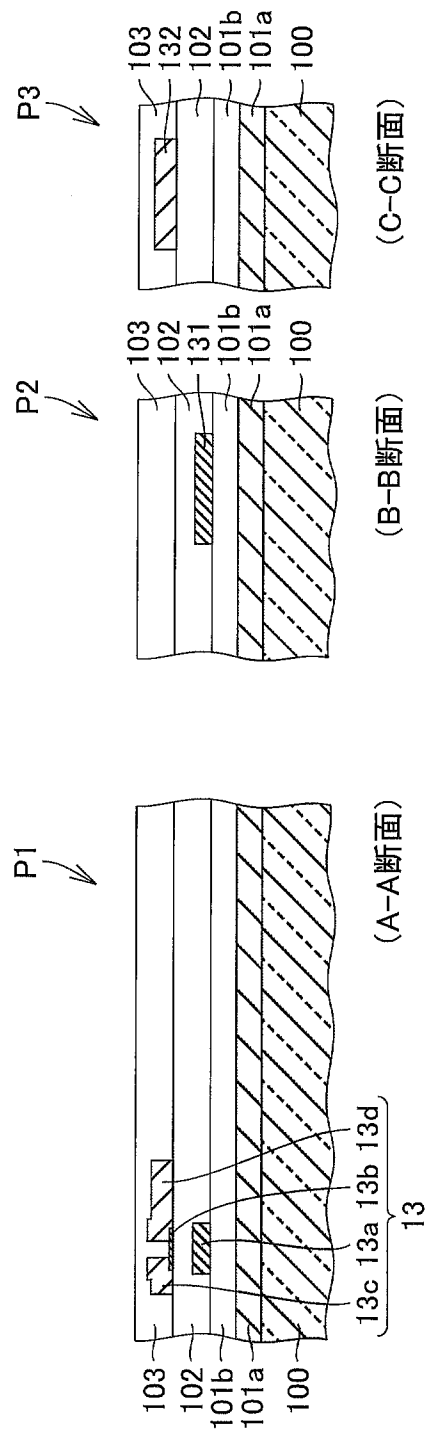
[図8D]



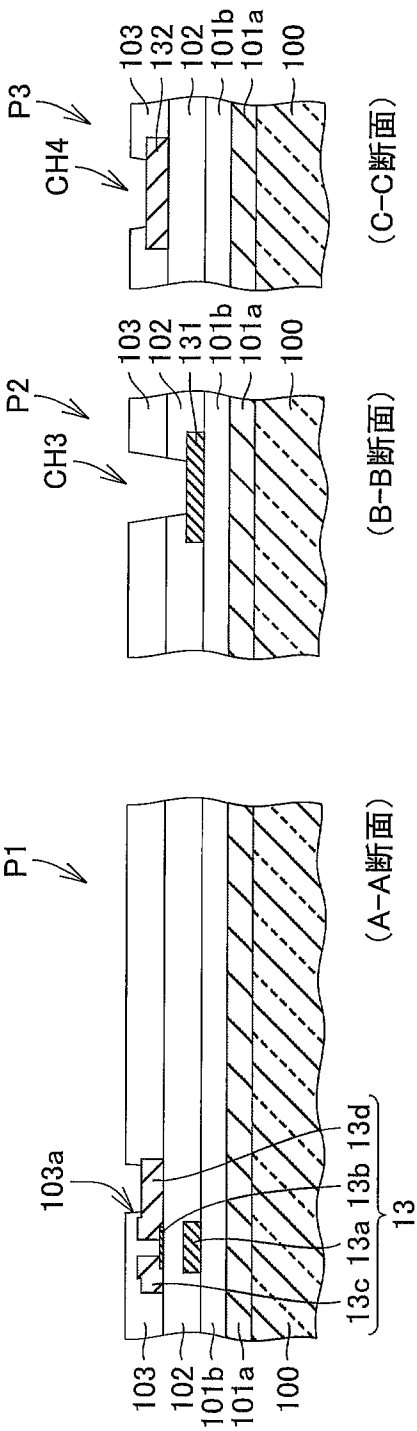
[図8E]



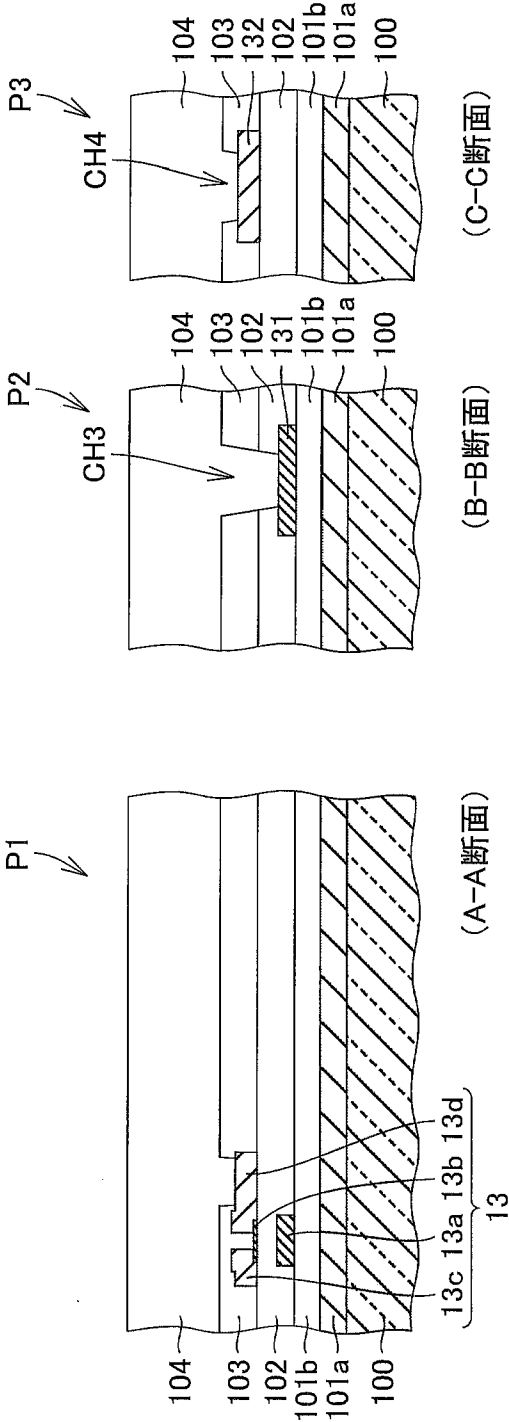
[図8F]



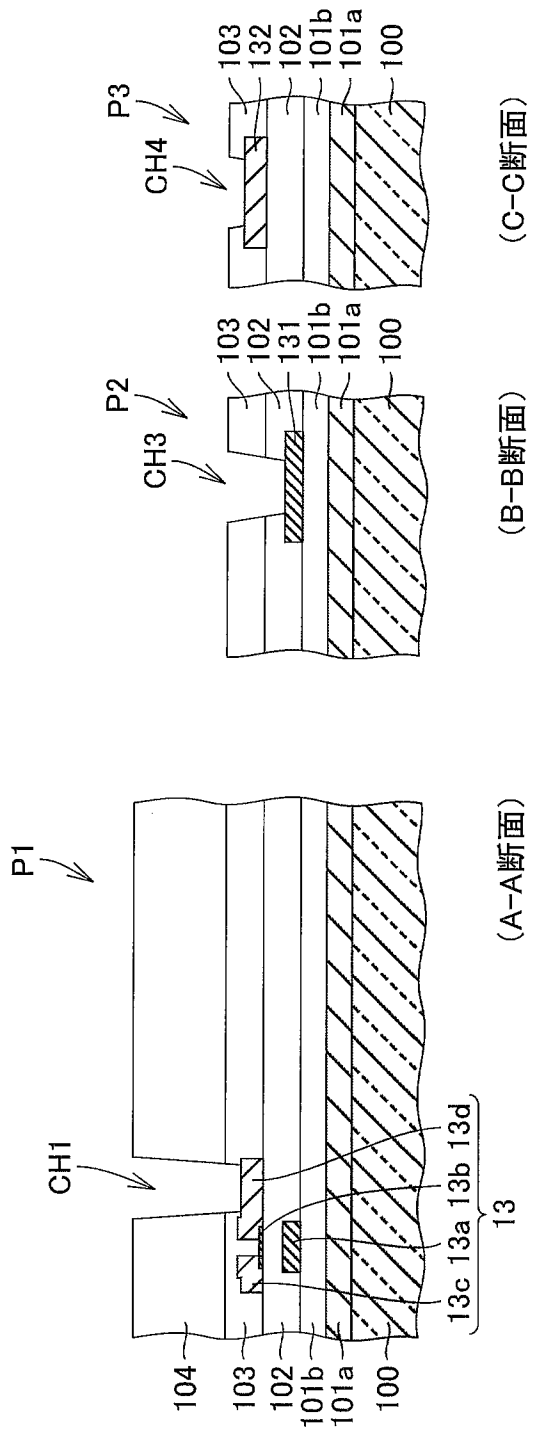
[図8G]



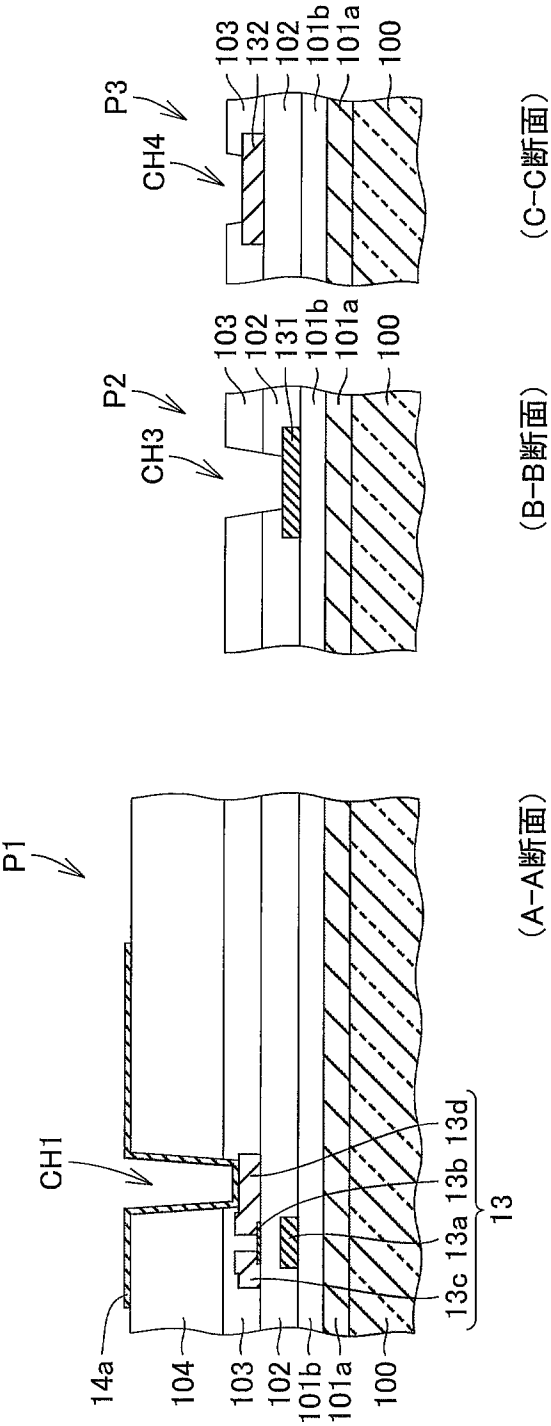
[図8H]



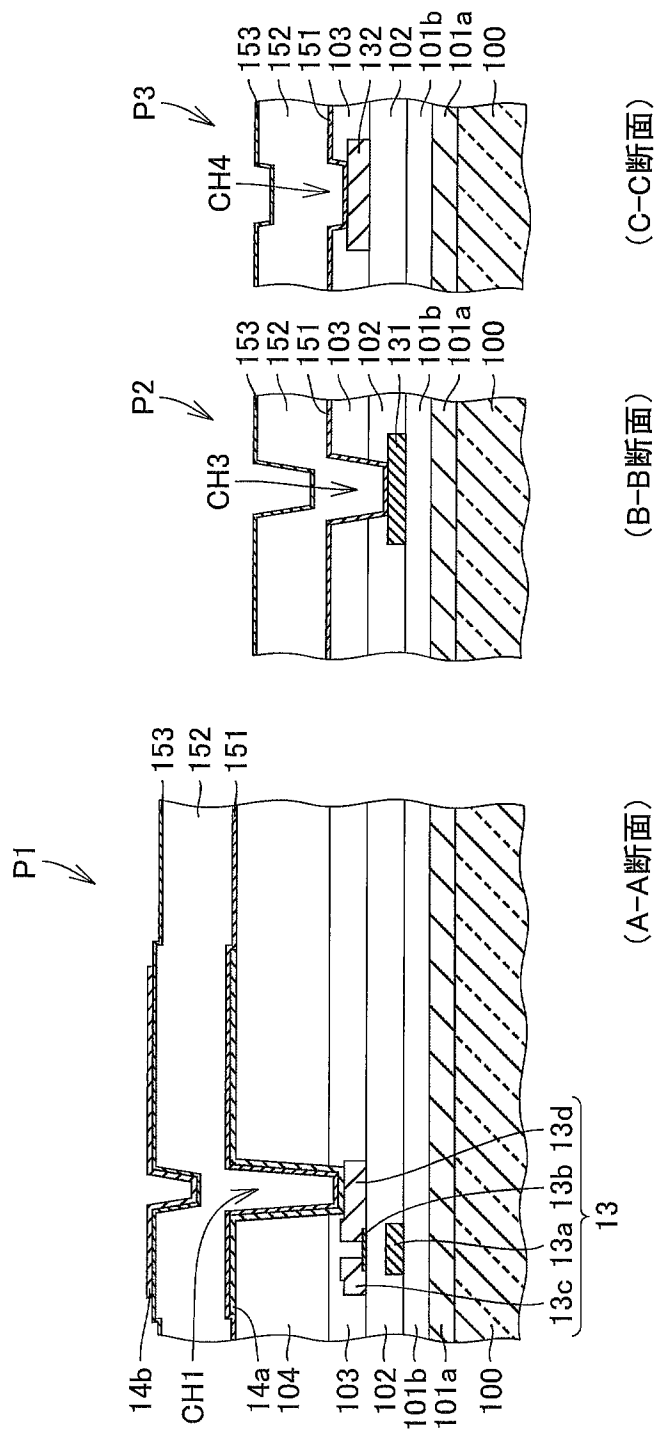
[図8I]



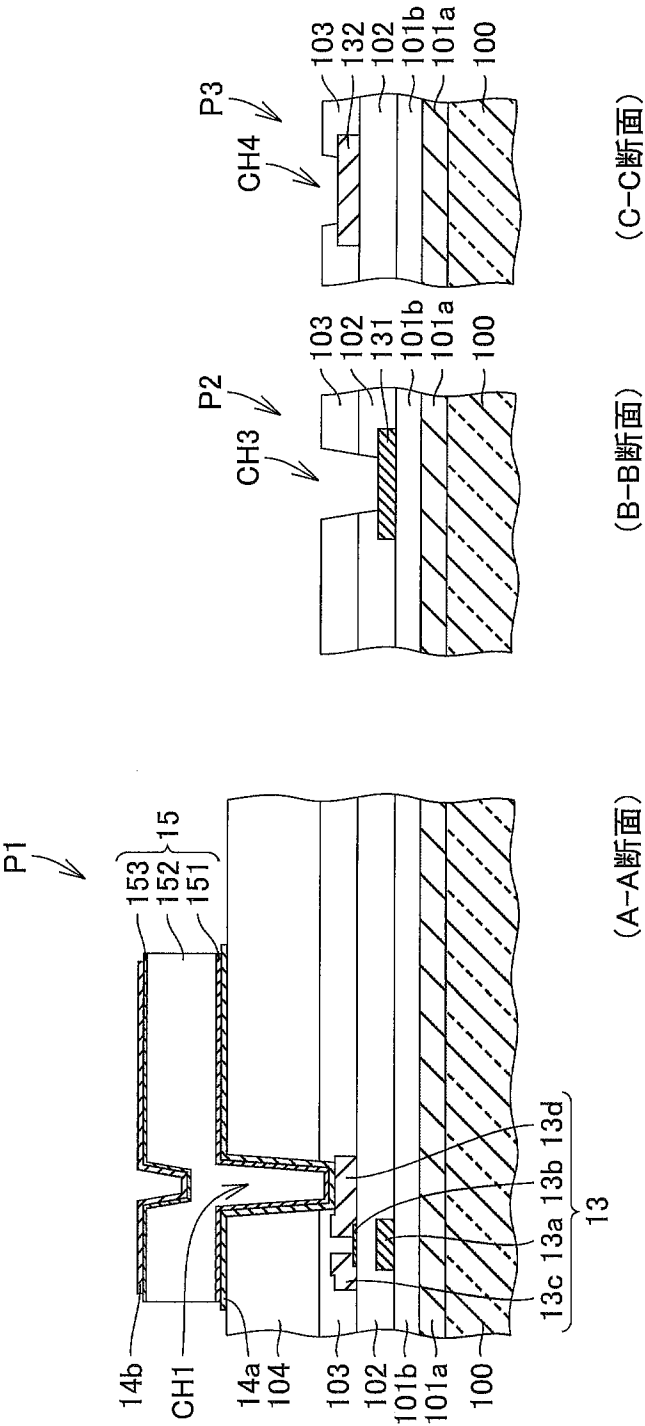
[図8J]



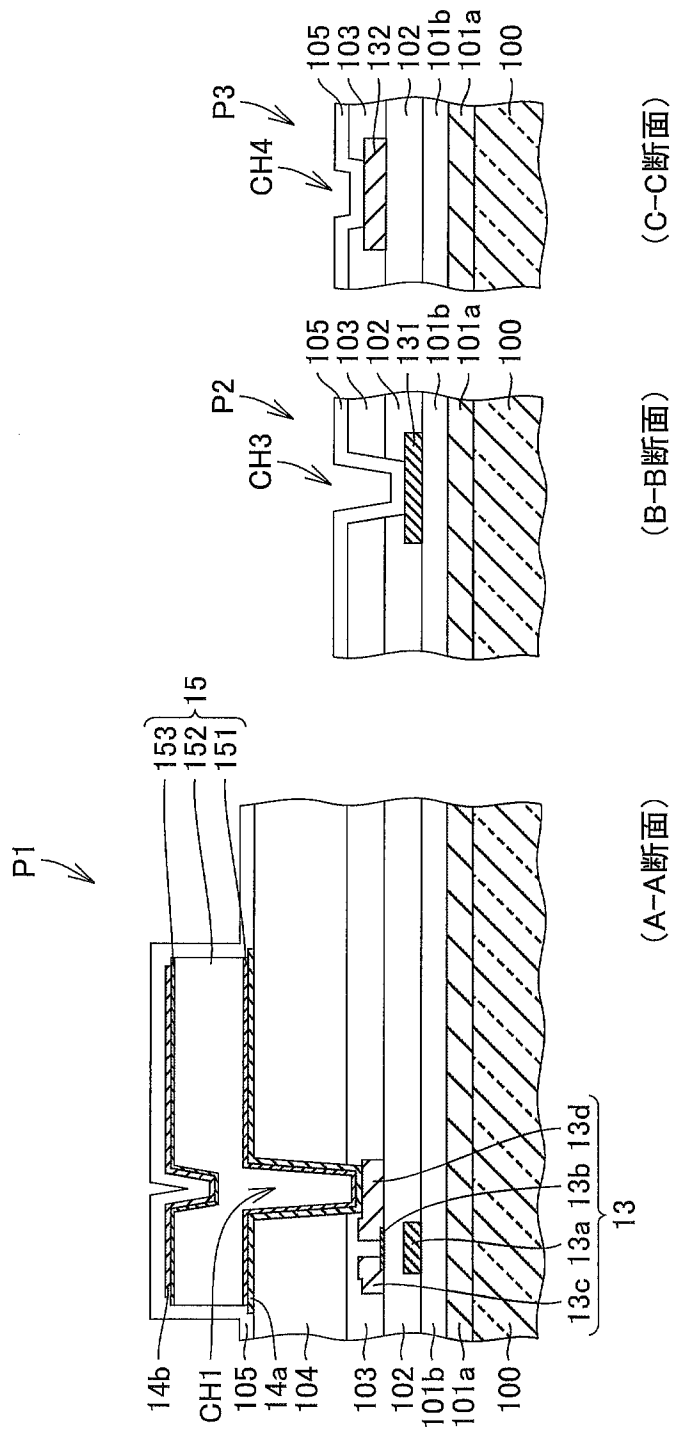
[図8L]



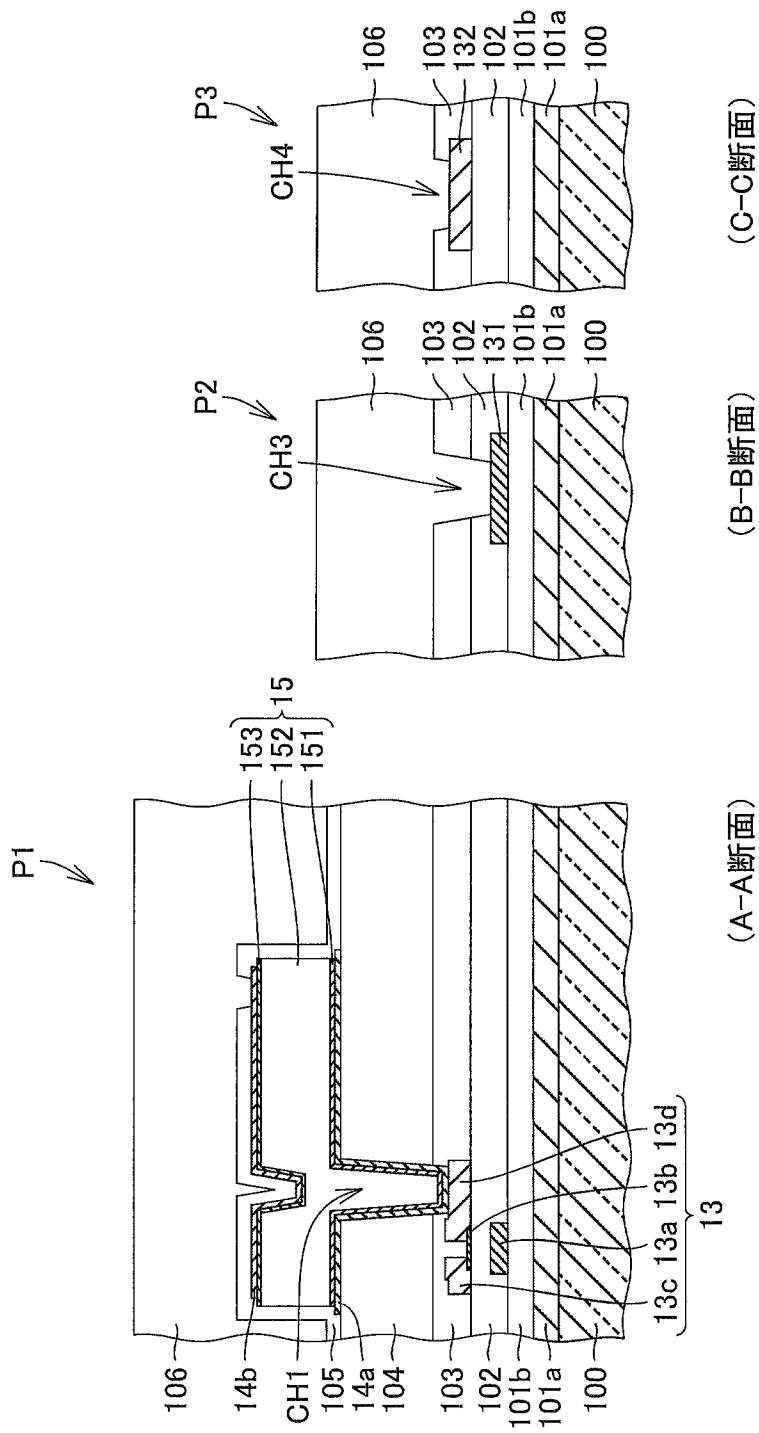
[図8M]



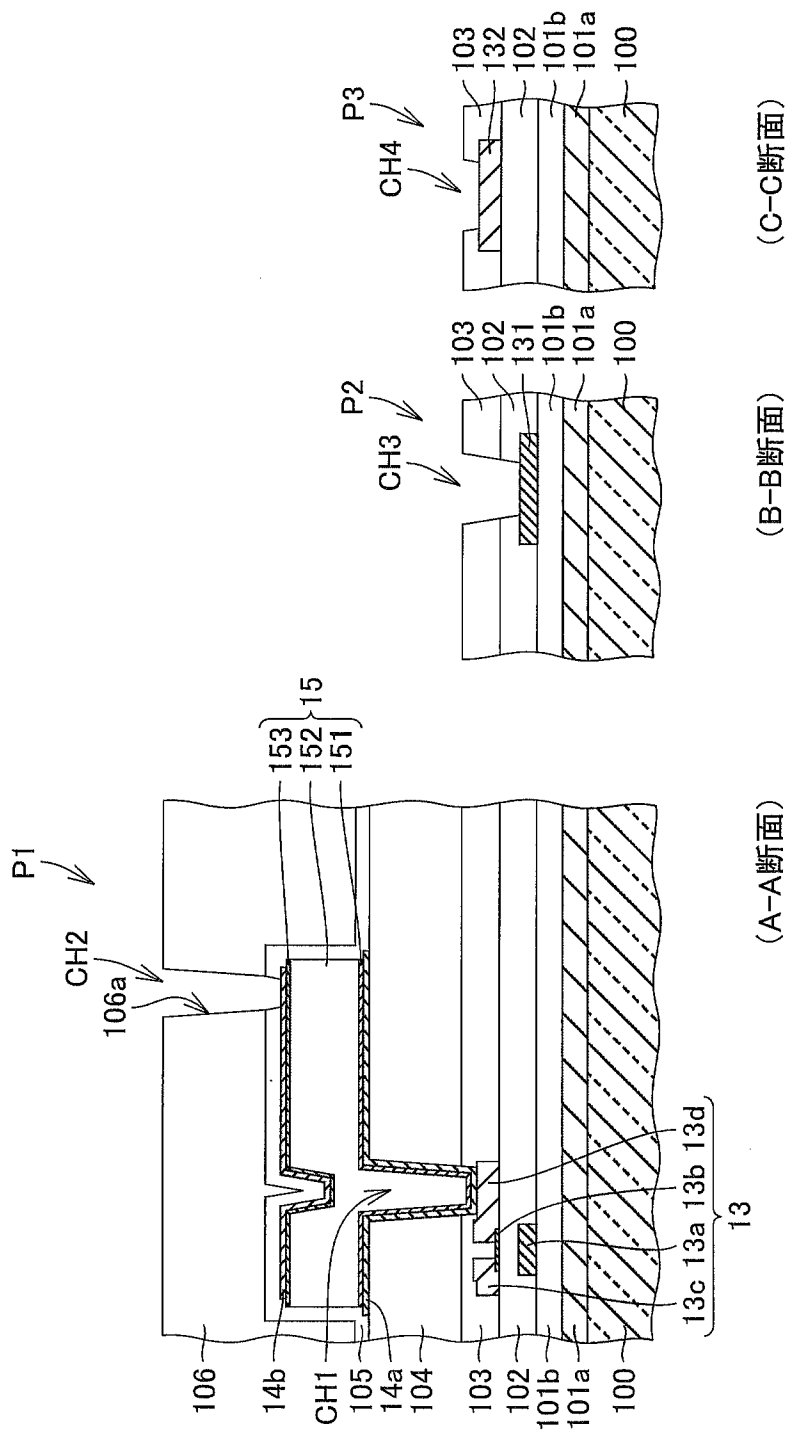
[図8N]



[図8P]



[図8Q]



[図8R]

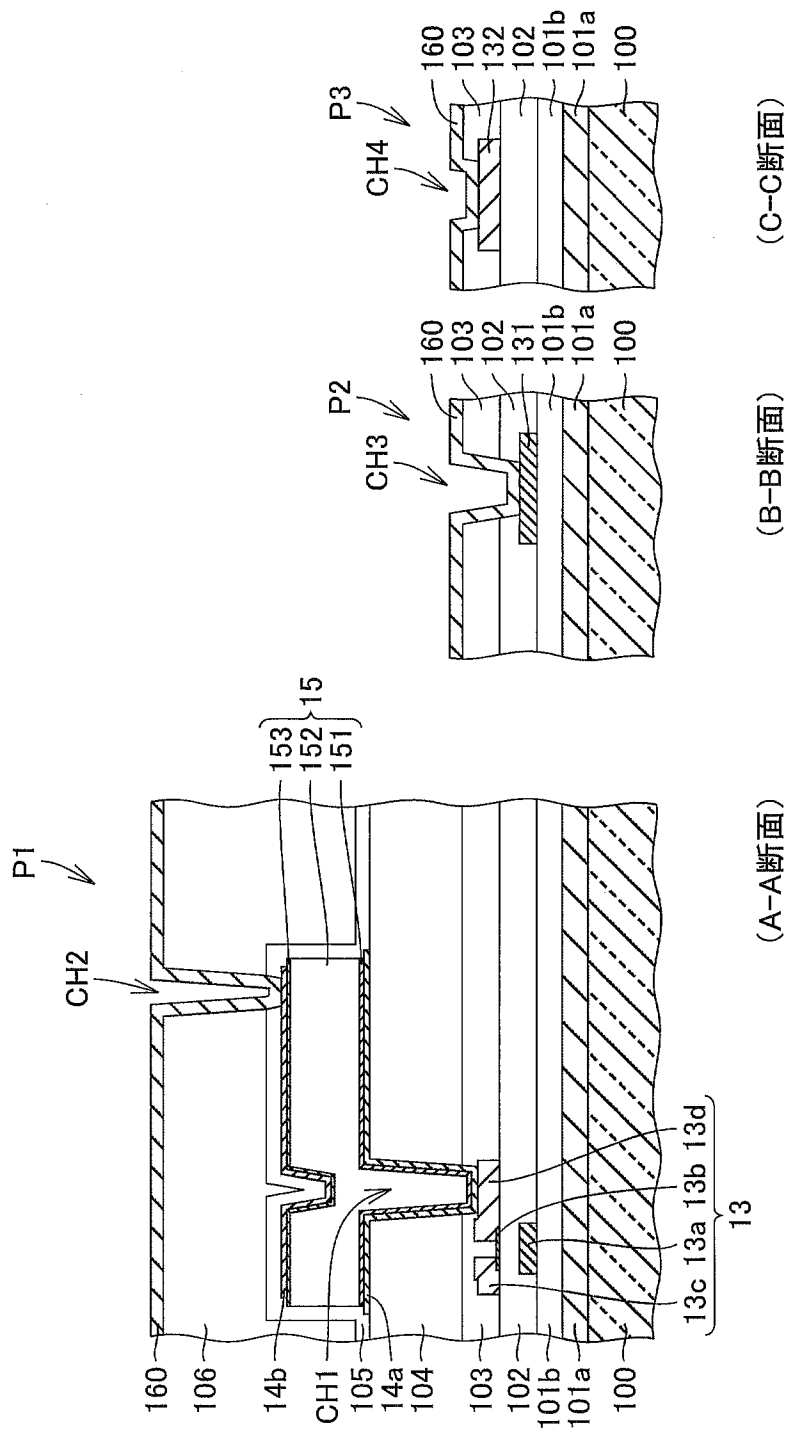
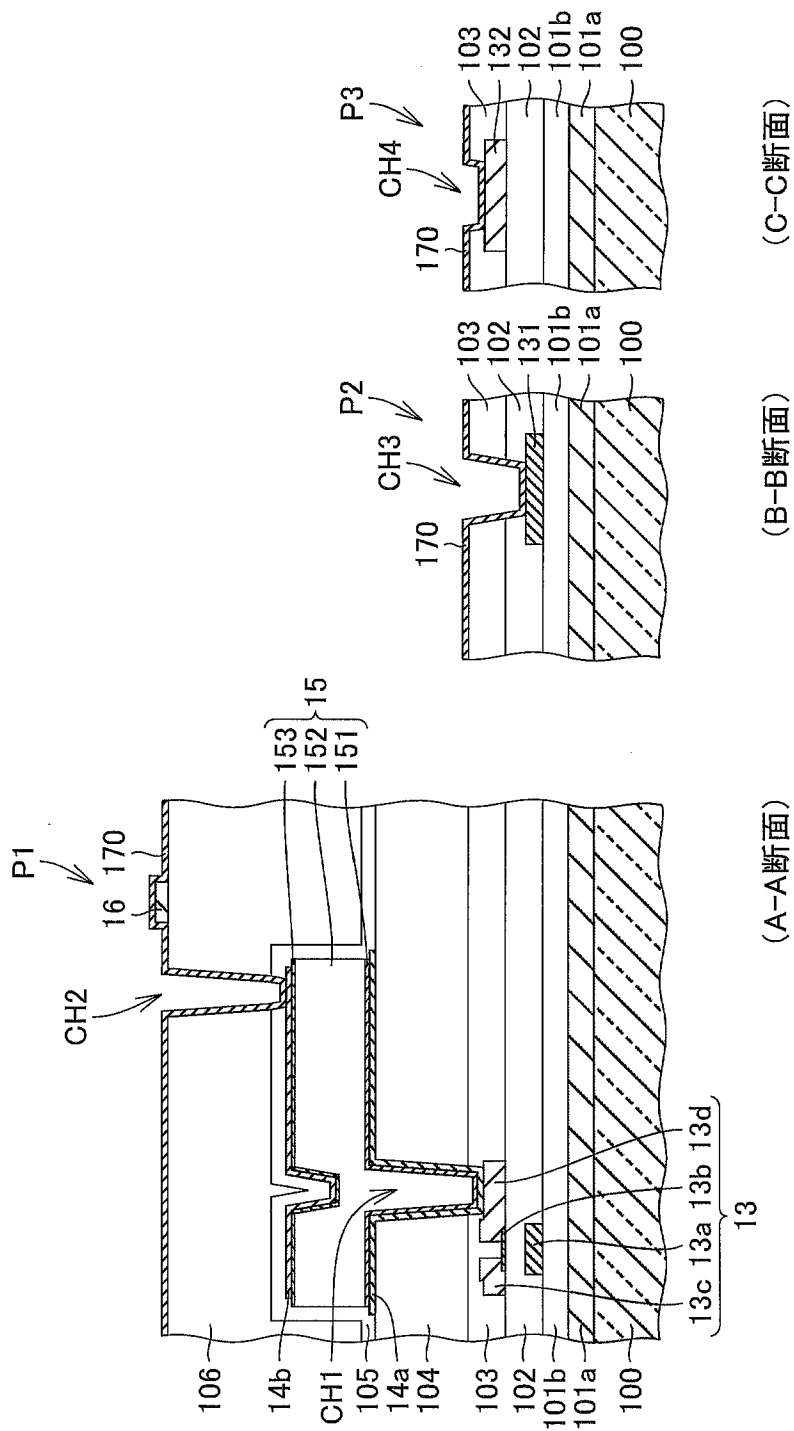
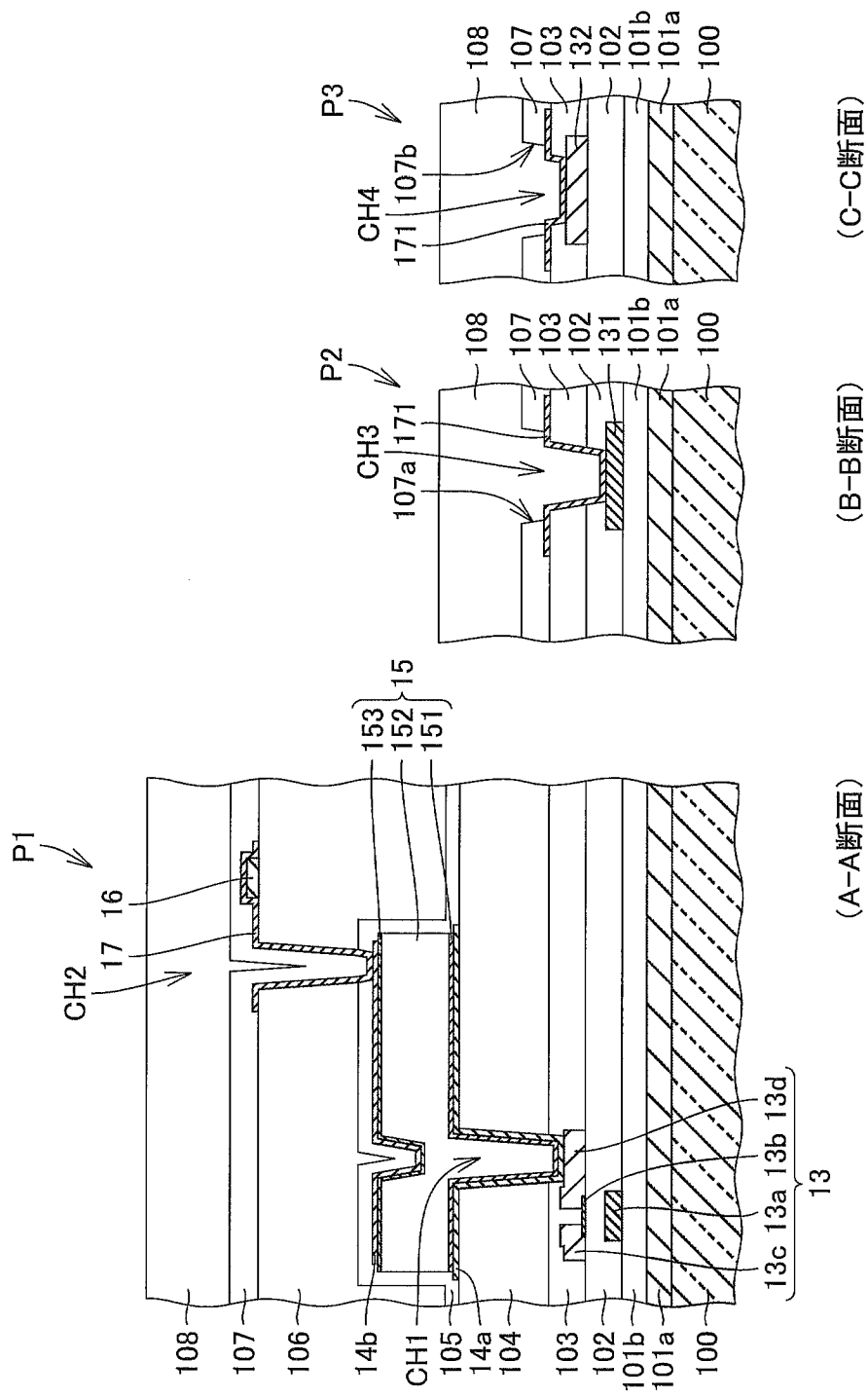


Figure 1 shows three cross-sectional views of a semiconductor device. The (A-A' section) shows a substrate 100 with layers 101a, 101b, 102, 103, 104, 105, 106a, 106, 14a, 14b, 151, 152, 153, and 16. A trench 13 is formed in layer 103, with regions 13a, 13b, 13c, and 13d. A gate 14 is on top of layer 105. A contact 16 is on top of layer 106. The (B-B' section) shows a similar structure with a different layer configuration. The (C-C' section) shows a similar structure with a different layer configuration.

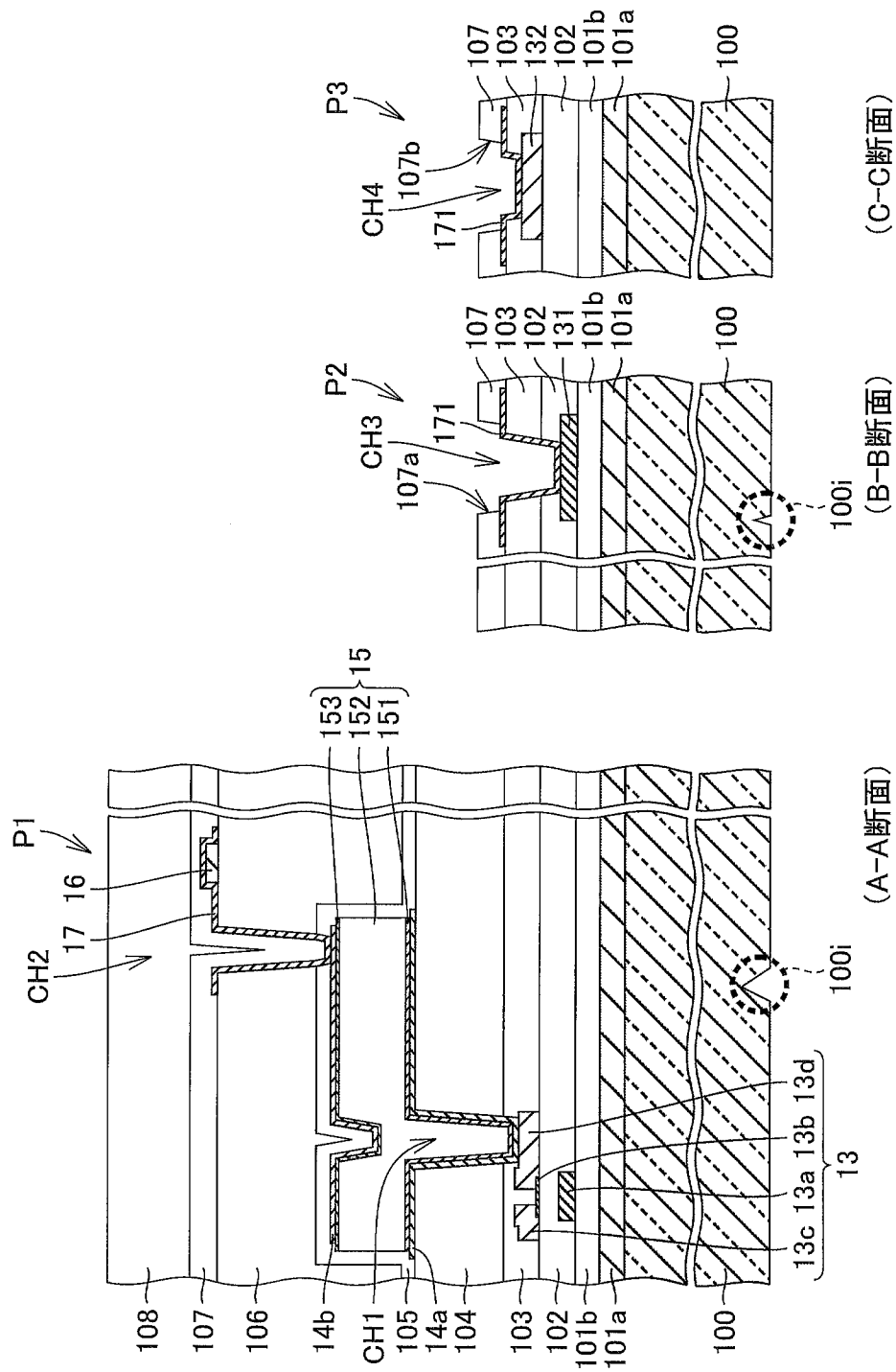
[図8T]



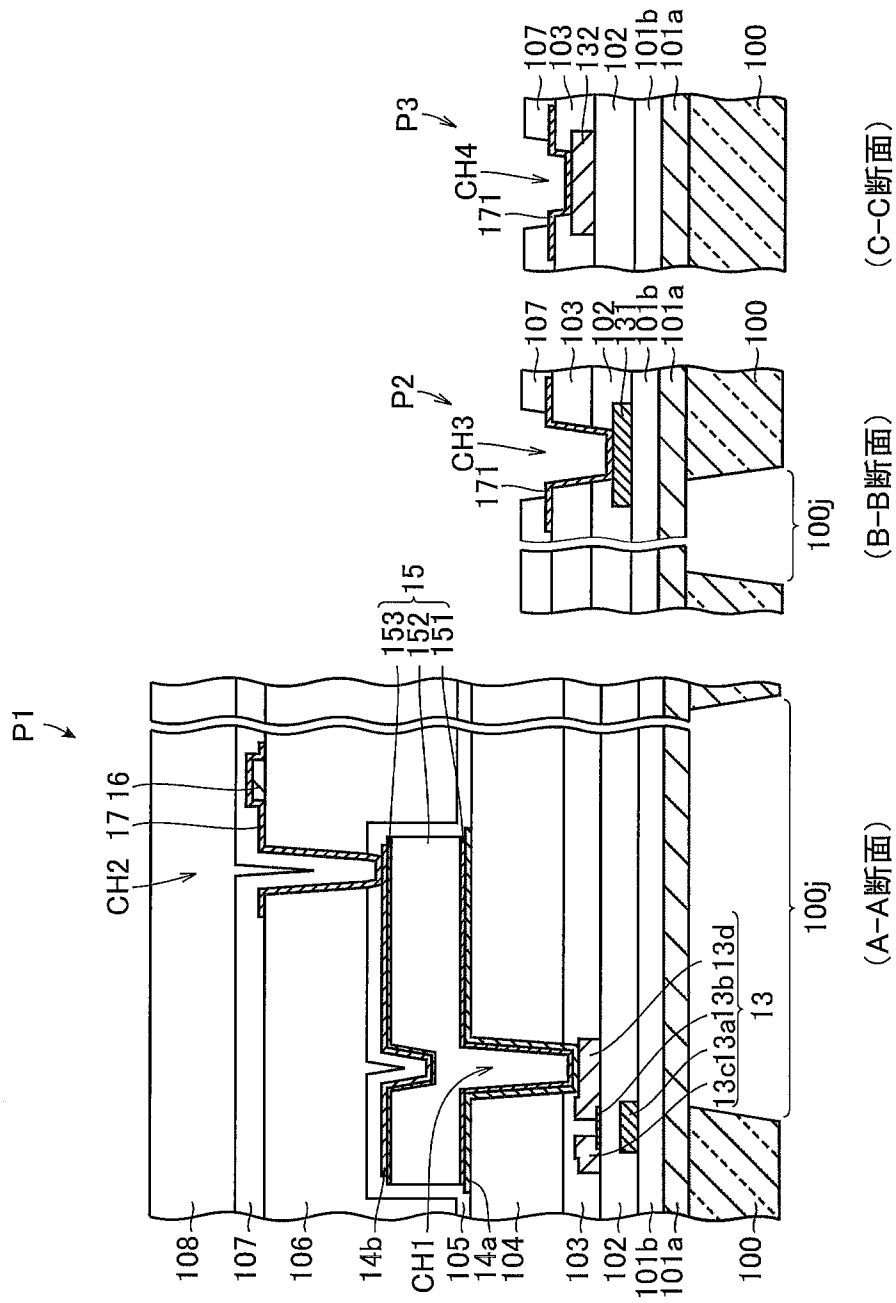
[図8W]



[図8X]



[図8Y]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025985

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01)i, G01T1/20 (2006.01)i, H01L21/3205 (2006.01)i,
H01L21/336 (2006.01)i, H01L21/768 (2006.01)i, H01L23/522 (2006.01)i,
H01L27/144 (2006.01)i, H01L29/786 (2006.01)i, H04N5/321 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, G01T1/20, H01L21/3205, H01L21/336, H01L21/768, H01L23/522,
H01L27/144, H01L29/786, H04N5/321

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2016/195001 A1 (SHARP CORP.) 08 December 2016, paragraphs [0030]-[0037], [0043], [0068], [0113]-[0115], fig. 1, 3, 20 & US 2018/0138205 A1, paragraphs [0049]-[0056], [0062], [0087], [0132]-[0134], fig. 1, 3, 20 & CN 107636840 A	1-3, 6-8 4-5
Y A	JP 2010-041042 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 February 2010, paragraphs [0080]-[0083], fig. 13-14 & US 2010/0006848 A1, paragraphs [0114]-[0117], fig. 13-14 & US 2012/0211749 A1 & CN 101626024 A	1-3 4-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 August 2018 (29.08.2018)

Date of mailing of the international search report
11 September 2018 (11.09.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025985

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-078717 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 May 2014, paragraphs [0061], [0079], fig. 9 & US 2014/0103345 A1, paragraphs [0075], [0115], fig. 9 & EP 2720271 A1 & CN 102916051 A & KR 10-1489419 B1	3 4-5
Y A	WO 2004/040649 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 May 2004, page 14, line 15 to page 15, line 16, page 21, line 21 to page 23, line 3, page 28, line 17 to page 30, line 22, fig. 2, 6 & US 2004/0232459 A1, paragraphs [0114]-[0120], [0157]-[0163], [0187]-[0198], fig. 2, 6 & US 2007/0138954 A1 & US 2010/0195033 A1 & US 2012/0286315 A1 & US 2016/0133683 A1 & US 2005/0258857 A1 & US 2007/0285113 A1 & US 2008/0204065 A1 & CN 1708852 A	6-8 4-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, G01T1/20(2006.01)i, H01L21/3205(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/144(2006.01)i, H01L29/786(2006.01)i, H04N5/321(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, G01T1/20, H01L21/3205, H01L21/336, H01L21/768, H01L23/522, H01L27/144, H01L29/786, H04N5/321

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2016/195001 A1 (シャープ株式会社) 2016.12.08, 段落 [0030] - [0037], [0043], [0068], [0113] - [0115], [図 1], [図 3], [図 20] & US 2018/0138205 A1, 段落 [0049] - [0056], [0062], [0087], [0132] - [0134], 図 1, 3, 20 & CN 107636840 A	1-3, 6-8 4-5
Y A	JP 2010-041042 A (株式会社半導体エネルギー研究所) 2010.02.18, 段落 [0080] - [0083], [図 13] - [図 14]	1-3 4-5

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

29.08.2018

国際調査報告の発送日

11.09.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田邊 顕人

5 F

5894

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& US 2010/0006848 A1, 段落 [0114] - [0117], 図 13-14 & US 2012/0211749 A1 & CN 101626024 A	
Y A	JP 2014-078717 A (京東方科技集団股▲ふん▼有限公司) 2014.05.01, 段落 [0061], [0079], [図 9] & US 2014/0103345 A1, 段落 [0075], [0115], 図 9 & EP 2720271 A1 & CN 102916051 A & KR 10-1489419 B1	3 4-5
Y A	WO 2004/040649 A1 (株式会社半導体エネルギー研究所) 2004.05.13, 第 14 頁第 15 行-第 15 頁第 16 行, 第 21 頁第 21 行-第 23 頁第 3 行, 第 28 頁第 17 行-第 30 頁第 22 行, 第 2, 6 図 & US 2004/0232459 A1, 段落 [0114] - [0120], [0157] - [0163], [0187] - [0198], 図 2, 6 & US 2007/0138954 A1 & US 2010/0195033 A1 & US 2012/0286315 A1 & US 2016/0133683 A1 & US 2005/0258857 A1 & US 2007/0285113 A1 & US 2008/0204065 A1 & CN 1708852 A	6-8 4-5