

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 16 日 (16.04.2020)



(10) 国际公布号
WO 2020/073472 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/120050

(22) 国际申请日: 2018 年 12 月 10 日 (10.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
PCT/CN2018/109648
2018 年 10 月 10 日 (10.10.2018) CN

(71) 申请人: 深圳市柔宇科技有限公司 (SHENZHEN ROYOLE TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(72) 发明人: 管曦萌 (GUAN, Ximeng); 中国广东省深圳市龙岗区横岗街道龙岗大道 8288 号大运软件小镇 43 栋, Guangdong 518000 (CN)。

(74) 代理人: 深圳市瑞方达知识产权事务所 (普通合伙) (SHENZHEN REFINED INTELLECTUAL PROPERTY OFFICE (GENERAL PARTNERSHIP));

中国广东省深圳市南山区科兴路 11 号深南花园裙楼 B 区 413 室, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: METHOD FOR DRIVING GOA CIRCUIT, PIXEL CIRCUIT, DISPLAY DEVICE, AND DISPLAY

(54) 发明名称: 一种 GOA 电路、像素电路、显示装置、显示器的驱动方法

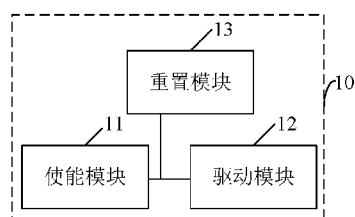


图 1

11 ENABLING MODULE
12 DRIVING MODULE
13 RESET MODULE

(57) Abstract: A method for driving a GOA circuit, pixel circuit, display device, and display, the GOA circuit comprising multiple independent GOA units, each GOA unit comprising an enabling module (11) and a driving module (12); the enabling module (11) comprising an address input terminal and an enable signal output terminal; the driving module (12) comprising a receiving enable signal input terminal, and a drive signal output terminal that outputs drive signals having different pulse widths according to enable signals, the drive signal output terminal being connected to gate lines in rows provided in correspondence with the driving module so as to send driving signals to gate lines in corresponding rows and gate the corresponding rows. The GOA circuit supports random addressing, may output drive signals having different pulse widths, has high product yield, and consumes little power, thereby being suitable for high-resolution large-size screens. The pixel circuit contains an internal compensation function and may automatically compensate the temporary or permanent shift of a threshold voltage of a high drive P type transistor, thereby prolonging the service life of a screen and improving the uniformity of the screen.



WO 2020/073472 A1

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种GOA电路、像素电路、显示装置、显示器的驱动方法，GOA电路包括多个相互独立的GOA单元，每一个GOA单元包括一个使能模块(11)和驱动模块(12)；使能模块(11)包括地址输入端和使能信号输出端；驱动模块(12)包括接收的使能信号输入端，以及根据使能信号输出脉冲宽度不同的驱动信号的驱动信号输出端，驱动信号输出端连接与驱动模块对应设置的行的栅线，以将驱动信号发送至对应行的栅线，选通对应行。GOA电路支持随机寻址，可以输出脉冲宽度不同的驱动信号，产品良率高，功耗低，适合于高分辨率、大尺寸屏幕。像素电路包含内部补偿功能，可对高驱动P型晶体管的阈值电压的临时或永久漂移进行自动补偿，延长屏幕的使用寿命、提高屏幕均一性。

一种GOA电路、像素电路、显示装置、显示器的驱动方法

技术领域

[0001] 本发明涉及显示面板的技术领域，更具体地说，涉及一种GOA电路、像素电路、显示装置、显示器的驱动方法。

背景技术

[0002] 基于OLED、microLED、Quantum Dot LED的显示屏都需要具有电流输出能力的背板显示电路来驱动。传统的背板显示电路一般由单一极性晶体管组成（或者N型，或者P型）。其核心部件包括像素阵列和驱动像素阵列的GOA电路。传统的背板显示电路受到晶体管单一极性限制，在像素电路和GOA电路两个方面都面临挑战。

[0003] Gate driver on array（GOA）电路广泛应用于LCD和AMOLED等电子显示器中，它是显示面板的关键部分，用于向像素矩阵提供扫描脉冲信号。

[0004] 传统的GOA电路只能提供一种宽度的扫描脉冲，不能满足具有内部补偿功能的像素电路同时需要两种宽度的扫描脉冲的需求。

[0005] 传统的GOA电路基于前级触发后级的基本思想设计，一般由自举电容和单一极性的晶体管组成。基于该设计，像素阵列的扫描只能顺序进行，无法随机进行。

[0006] 当屏幕有N行，采用逐行扫描，刷新率是60Hz时，留给每一行的时间是 $1/60/N$ 。驱动GOA的时钟线的电容负载正比于： $C_{gon} + C_{ov} * (N-1) + C_{pixel}$ 。 C_{gon} 是处于激活状态的GOA对时钟线的负载贡献， C_{ov} 是处于非激活状态的其余N-1级GOA对时钟线的负载贡献， C_{pixel} 是正在扫描的行上所有像素对时钟线的负载贡献。当GOA输出晶体管尺寸增加时， C_{gon} 和 C_{ov} 都会按比例增加。

[0007] 当屏幕尺寸不断增加、分辨率不断增高、像素密度不断增加时，对GOA电路的挑战会不断增加，这表现在：

[0008] 每一行像素数量增加，GOA电路的负载增加(C_{pixel})。

- [0009] 每一行像素的尺寸减小，与之配合的GOA电路可以使用的面积不断减小，制作GOA电路的晶体管尺寸受到进一步限制，驱动能力下降。
- [0010] 绝对行数的增加使得每一行的扫描时间不断减小（ $1/60/N$ ），为了满足更为苛刻的时序要求，GOA输出晶体管的尺寸需要增加。这个要求不仅和前述面积减小矛盾，而且导致Cgon和Cov不断增加。
- [0011] 绝对行数的增加使得处于关闭状态的GOA的级数(N-1)不断增加，时钟线的负载相应增加，无用功增加。
- [0012] 绝对行数的增加使得GOA出现缺陷的可能增加。一旦某一级GOA出现失误，就会导致后面所有GOA失误，造成屏幕报废。
- [0013] 以上一切因素导致传统GOA的电路结构在用于尺寸不断增大、分辨率不断增加、像素密度不断提高的屏幕中时，面临的根本困难越来越严重，时序难以满足，功耗不断增加，且良率不断下降。

发明概述

技术问题

- [0014] 本发明要解决的技术问题在于，针对现有技术的上述缺陷，提供一种GOA电路、与该GOA电路配合工作的像素电路、以及包括该GOA电路和像素电路的显示装置、显示器的驱动方法。

问题的解决方案

技术解决方案

- [0015] 本发明解决其技术问题所采用的技术方案是：提供一种GOA电路，包括多个相互独立的GOA单元，每一个所述GOA单元包括一个使能模块以及与所述使能模块对应设置的驱动模块；
- [0016] 所述使能模块包括用于接收行地址信号的地址输入端，以及用于根据所述行地址信号输出使能信号的使能信号输出端；
- [0017] 所述驱动模块包括用于接收所述使能信号输出端输出的使能信号的使能信号输入端，以及用于根据所述使能信号输出脉冲宽度不同的驱动信号的驱动信号输出端，所述驱动信号输出端连接与所述驱动模块对应设置的行的栅线，以将所述驱动信号发送至所述对应行的栅线，选通所述对应行。

- [0018] 本发明还提供一种具有内部补偿效果的像素电路，与前述的GOA电路配合工作，包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、电容C_s、节点以及发光单元；
- [0019] 所述第一晶体管T1的第二电极接入数据信号，所述第一晶体管T1的第一电极连接所述第四晶体管T4的第二电极和所述第二晶体管T2的第一电极，所述第一晶体管T1的第三电极和所述第五晶体管T5的第三电极连接所述GOA电路中的驱动模块的第二输出端；
- [0020] 所述第四晶体管T4的第一电极连接高电平，所述第四晶体管T4的第三电极和所述第三晶体管T3的第三电极连接所述GOA电路中的驱动模块的第一输出端，所述第二晶体管T2的第二电极和所述第三晶体管T3的第二电极一并连接所述第五晶体管T5的第一电极，所述第五晶体管T5的第二电极连接所述发光单元的正极，所述发光单元的负极连接低电平；所述第三晶体管T3的第一电极依次通过连接节点和所述电容C_s连接高电平，所述节点还连接所述第二晶体管T2的第三电极。
- [0021] 本发明还提供一种具有内部补偿效果的像素电路，与前述的GOA电路配合工作，包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、电容C_s、节点以及发光单元；
- [0022] 所述第一晶体管T1的第二电极接入数据信号，所述第一晶体管T1的第一电极连接所述第四晶体管T4的第二电极和所述第二晶体管T2的第一电极，所述第一晶体管T1的第三电极连接所述GOA电路中的驱动模块的第二输出端；
- [0023] 所述第四晶体管T4第一电极连接高电平，所述第四晶体管的第三电极和所述第三晶体管T3的第三电极连接所述GOA电路中的驱动模块的第一输出端，所述第二晶体管T2的第二电极和所述第三晶体管T3的第二电极一并连接所述发光单元的正极，所述发光单元的负极连接低电平；所述第三晶体管T3的第一电极依次通过连接节点和所述电容C_s连接高电平，所述节点还连接所述第二晶体管T2的第三电极。
- [0024] 本发明还提供一种显示装置，包括以上所述的GOA电路和前述的具有内部补偿效果的像素电路。

- [0025] 本发明还提供一种显示器的驱动方法，包括：
- [0026] 输入寻址信号至显示器的GOA电路的各行译码器；
- [0027] 选通与所述寻址信号对应的行译码器；
- [0028] 通过选通的行译码器输出使能信号至所述GOA电路中的脉冲发生器；
- [0029] 通过所述脉冲发生器产生脉冲信号驱动对应行的像素工作。

发明的有益效果

有益效果

- [0030] 实施本发明的一种GOA电路、显示装置、显示器的驱动方法，具有以下有益效果：
- [0031] 本发明实施例提供的GOA电路可以产生用于驱动各行像素的长、短脉冲信号，可以与像素电路直接配合使用。相比已有的GOA电路只能提供一种宽度的扫描脉冲，本发明实施例提供的GOA电路可以满足具有内部补偿功能的像素电路同时需要两种宽度的扫描脉冲的需求，即本发明的GOA电路可以同时产生两种宽度不同的脉冲信号，而且不需要双倍的电路面积、也不会增加边框面积和功耗。
- [0032] 本发明提供了一种支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对变化的区域进行编程，且由于图像不变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。
- [0033] 另外，本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元出现缺陷时，其余GOA单元的功能不会受到影响，使屏幕的评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，在某些实施例中时钟线不需要直接驱动GOA单元中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元对动态功耗和延时的影响。本发明的GOA电路适用于高分辨率、大尺寸屏幕。进一步地，本发明的显示装置中的像素电路具有如下优势：高驱动P型晶体管提供充足发光电流、节省像素面积；低漏电流N型晶体管保持电压数据完整，允许可变刷新率；输入驱动波形简单，对存

储电容的要求不高；发光电流基本由驱动晶体管决定，对OLED老化不敏感；具有内部补偿功能，可以对由于工艺波动、电学压力、材料老化或者机械应力造成的高驱动P型晶体管的阈值电压的临时或永久波动进行自动补偿，从而延长屏幕的使用寿命、提高屏幕的均一性。

对附图的简要说明

附图说明

- [0034] 下面将结合附图及实施例对本发明作进一步说明，附图中：
- [0035] 图1是本发明实施例提供的一种GOA电路中单个GOA单元的结构示意图；
- [0036] 图2为顺序编码译码器的译码器的电路原理图；
- [0037] 图3是本发明以N型晶体管实现的行译码器的电路原理图；
- [0038] 图4是本发明以P型晶体管实现的行译码器的电路原理图；
- [0039] 图5a是以N型晶体管实现的行译码器的版图设计图（晶体管未合并）、图5b是根据本发明的预设条件合并晶体管后的行译码器的版图设计图，图5c是图5b的电路原理图；
- [0040] 图6a是以N型晶体管实现的行译码器（晶体管未合并）的电流流向示意图，图6b是根据本发明的预设条件合并晶体管后的行译码器的电流流向示意图；
- [0041] 图7是本发明重置模块第一实施例的电路原理图；
- [0042] 图8是本发明重置模块第二实施例的电路原理图；
- [0043] 图9为本发明图8中的正边沿触发器的结构示意图；
- [0044] 图10为本发明中GOA采用的脉冲发生器的第一实施例的电路原理图；
- [0045] 图11为本发明图10中的锁存器的第一实施例的电路原理图；
- [0046] 图12为本发明图10中的锁存器的第二实施例的电路原理图；
- [0047] 图13为本发明实施例提供的缓冲放大器的电路原理图；
- [0048] 图14为采用图10的脉冲发生器的GOA的工作时序图；
- [0049] 图15为本发明中GOA采用的脉冲发生器的第二实施例的电路原理图；
- [0050] 图16为采用图15的脉冲发生器的GOA的工作时序图；
- [0051] 图17为本发明提供的第一种GOA电路的完整实施例的电路原理图；
- [0052] 图18为图17的单级工作时序图和仿真时序图；

- [0053] 图19为本发明提供的第二种GOA电路的完整实施例的电路原理图；
- [0054] 图20为图19的单级工作时序图和仿真时序图；
- [0055] 图21为本发明提供的第一种GOA电路、第二种GOA电路的级联方式示意图；
- [0056] 图22为本发明提供的第一种GOA电路级联的全局时序图；
- [0057] 图23为本发明提供的第一种GOA电路级联的全局仿真时序图；
- [0058] 图24为本发明提供的第二种GOA电路级联的全局时序图；
- [0059] 图25为本发明提供的第二种GOA电路级联的全局仿真时序图；
- [0060] 图26为本发明提供的第三种GOA电路的完整实施例的电路原理图；
- [0061] 图27为图26的单级时序图；
- [0062] 图28为图26的单级仿真时序图；
- [0063] 图29为本发明提供的第三种GOA电路的级联方式示意图；
- [0064] 图30为图29的全局时序图；
- [0065] 图31为图29的全局仿真时序图；
- [0066] 图32为与本发明实施例提供的GOA电路配合工作的像素电路的第一实施例的电路原理图；
- [0067] 图33为图12的时序图；
- [0068] 图34为与本发明实施例提供的GOA电路配合工作的像素电路的第二实施例的电路原理图；
- [0069] 图35为本发明实施例提供的显示器的驱动方法的流程示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0070] 为了对本发明的技术特征、目的和效果有更加清楚的理解，现对照附图详细说明本发明的具体实施方式。
- [0071] 参考图1，为本发明一种GOA电路第一实施例的结构示意图。
- [0072] 如图1所示，该实施例的GOA电路包括多个相互独立的GOA单元10，每一个GOA单元10包括一个使能模块11以及与该使能模块11对应设置的驱动模块12。本发明的GOA电路基于互补极性的晶体管，即在面板上同时存在N型和P型晶体管。

- [0073] 进一步地，每一个GOA单元10还包括与使能模块11的使能信号输出端连接、用于在驱动模块12输出驱动信号后并将对应行选通后、将使能模块11重置的重置模块13。重置模块13与每一行译码器对应设置。
- [0074] 其中，在行译码器中的任意一行译码器完成一次使能信号输出，并使驱动模块12输出驱动信号后，该行的重置模块13都进行重置，以使在下一个行地址信号到来时重新选择输出驱动信号的行。具体的，如果使能模块11输出的使能信号为高电平（1），则重置模块13将重置为低电平（0）；如果使能模块11输出的是低电平（0），则重置模块13将重置为高电平（1）。
- [0075] 使能模块11，包括用于接收行地址信号的地址输入端，以及用于根据所述行地址信号输出使能信号的使能信号输出端。
- [0076] 这里，需要说明的是，本发明并不限定行地址信号的来源。在一些具体实施例中，该行地址信号可以由外部的驱动IC产生，但在另一些实施例中，行地址信号也可以由显示屏自身产生。例如，当显示屏可以提供两种互补极性晶体管时，在显示屏上设计专用电路，该专用电路可直接产生前述行地址信号，而不需要外部的驱动IC提供。
- [0077] 可选的，本发明实施例的使能模块11为基于二进制编码的行译码器，或者为基于格雷码编码的行译码器。其中，每一行译码器可以包括多个串联的晶体管，且相邻行、同一列的两个晶体管在满足预设条件时可以合并为一个晶体管。
- [0078] 通过使用本发明实施例的行译码器，可以实现随机寻址，允许数据不按照行的顺序写入屏幕，且后级触发不依赖于前级的触发，有效提升屏幕良率和评级，给动态修理屏幕提供了可能，而且通过采用格雷码编码的行译码器可以减少版图中的横向跨线，允许更多的晶体管合并，在最常使用的顺序扫描过程中减少译码器的动态功耗。
- [0079] 以下以顺序编码译码器与本发明的行译码器设计进行对比说明：
- [0080] 如图2所示，为顺序编码译码器的电路原理图，该行译码器以4位16级的GOA为例，如果以顺序编码来设计译码器，则第0级编码是0000、第1级编码是0001、.....、第15级编码是1111，具体如表1所示。

级数	编码	行地址信号
0	0000	$\overline{S3}\overline{S2}\overline{S1}\overline{S0}$
1	0001	$\overline{S3}\overline{S2}\overline{S1}S0$
2	0010	$\overline{S3}\overline{S2}S1\overline{S0}$
3	0011	$\overline{S3}\overline{S2}S1S0$
4	0100	$\overline{S3}S2\overline{S1}\overline{S0}$
5	0101	$\overline{S3}S2\overline{S1}S0$
6	0110	$\overline{S3}S2S1\overline{S0}$
7	0111	$\overline{S3}S2S1S0$

[0081] 表1

[0082] 由图2可以看出，以顺序编码实施的译码器存在很多横向跨线，并且每一行需要的横向跨线数目不一。对于 2^N 级译码器，最坏情况下，在第 $2^{N-1}-1$ 和 2^{N-1} 级之间，需要的横向跨线达到 $(N-1)$ 条。而由于横向跨线过多，必然对屏幕带来一定影响。如：占用行高，限制像素密度（PPI）的增加；增加连线之间的互感，造成信号串扰、增加连线负载，引起动态功耗和延时上升；不利于修理、不利于良率提升。

[0083] 而采用本发明的基于格雷码编码的行译码器，由格雷码的性质可以知道，相邻编码之间只有1位不同，所以本发明的每一行译码器只需要一根横向跨线，这个性质与屏幕分辨率的大小无关，即无论是FHD或者4K UHD，在使用本发明的GOA行译码器时每一行的横向跨线都只需要一条。其中，本发明基于格雷码编码的行译码器的一个具体实施例的电路原理图如图3所示

。该实施例的行译码器以4位16级GOA为例，则第0级编码是0000、第1级编码是0001、第2级编码是0011、第3级编码是0010、.....、第15级编码是1000，具体如表2所示。

[]

级数	编码	行地址信号
0	0000	$\overline{S_3S_2S_1S_0}$
1	0001	$\overline{S_3S_2S_1}S_0$
2	0011	$\overline{S_3S_2}S_1S_0$
3	0010	$\overline{S_3S_2}S_1\overline{S_0}$
4	0110	$\overline{S_3}S_2S_1\overline{S_0}$
5	0111	$\overline{S_3}S_2S_1S_0$
6	0101	$\overline{S_3}S_2\overline{S_1}S_0$
7	0100	$\overline{S_3}S_2\overline{S_1}\overline{S_0}$

[0084] 表2

[0085] 这里需要说明的是图2、图3的原理图中晶体管为N型晶体管且只有16级、4个地址位。但本发明适用范围应包括N型和P型晶体管以及任意多级的情况。另外，图2、图3中的晶体管符号仅代表此处需要晶体管，并不代表此处晶体管的数量。特别的，在图3的原理图中，如果相邻行、同一列的两个晶体管满足预设条件时可以合并为一个晶体管。即相邻行、同一列的两个晶体管在满足预设条件时可以合并为一个尺寸更大、驱动能力更高的晶体管。

[0086] 其中，相邻行、同一列的两个晶体管满足预设条件包括：两个晶体管的栅极短接在一起，且各自是本行译码器的最高位的晶体管，或者两个晶体管的栅极短

接在一起，且紧邻前一高位的晶体管合并在一起。

[0087] 当然，本发明的行译码器也可以采用P型晶体管实现，其中，P型晶体管的实现和N型晶体管的实现类似，区别点在于：编码0对应正信号，编码1对应反信号，且电压极性与N型对称。具体的，以P型晶体管实现的电路原理图如图4所示，具体编码如表3所示。

[]

级数	编码	行地址信号
0	0000	$S3S2S1S0$
1	0001	$S3S2S1\overline{S0}$
2	0011	$S3S2\overline{S1S0}$
3	0010	$S3S2\overline{S1}S0$
4	0110	$S3\overline{S2}\overline{S1S0}$
5	0111	$S3\overline{S2}S1\overline{S0}$
6	0101	$S3\overline{S2}\overline{S1}\overline{S0}$
7	0100	$S3\overline{S2}S1S0$

[0088] 表3

[0089] 同样地，P型晶体管实现的行译码器中的晶体管的合并条件与N型晶体管的合并条件相同，在此不再赘述。

[0090] 进一步地，如图5b所示，为本发明以N型晶体管实现的行译码器的版图设计图。本发明通过采用前述的以晶体管串联实现的行译码器，可以使得行译码器的版图实现十分紧凑、节省面积和优化延时的效果。

[0091] 具体的，如图5b所示，同一行的晶体管相互间是串联的，所以同一行的相邻晶体管的源漏极可以共用，不需要使用金属和接触孔来实现连接，该设计方式既

可以节省横向的面积，又可以有效避免金属连线带来的接触电阻和负载电容对行译码器延时的影响。

[0092] 其中，图5a的版图为晶体管未合并的示意图，图5b为晶体管合并后的示意图。

[0093] 如图5a所示，其最左边第一列（a1）的晶体管（n11~n14），根据预设条件，由于它们的栅极短接在一起，并且各自是本行最高位的晶体管，所以，左边第一列（a1）的晶体管（n11~n14）可以合并，合并后的版图如图5b的左边第一列（a1'）所示。接着考虑图5a左数第二列（a2），由于它们的栅极短接在一起，并且它们紧邻前一高位的晶体管（即左数第一列（a1）的晶体管（n11~n14））已经合并在一起，所以，根据预设条件，左数第二列（a2）的晶体管（n21~n24）也可以合并在一起，合并后的版图如图5b的左数第二列（a2'）所示。接着考虑图5a左数第三列（a3），由于栅极并不全部短接在一起（如图5c所示，晶体管n31与晶体管n32的栅极短接，晶体管n33与晶体管n34的栅极短接，但是晶体管n32与晶体管n33的栅极不短接），所以这一列（a3）的4个晶体管（n31~n34）不能全部合并；但是，上半部分两个晶体管（晶体管n31与晶体管n32）和下半部分两个晶体管（晶体管n33与晶体管n34）的栅极分别短接在一起，并且它们紧邻前一高位的晶体管（即左数第二列（a2）的晶体管（n21~n24））已经合并在一起，所以根据预设条件，上半部分两个晶体管（晶体管n31与晶体管n32）和下半部分两个晶体管（晶体管n33与晶体管n34）可以分别两两合并，合并后的版图如图5b的左数第三列（a3'）所示。最后考虑最低列（a4），这四个晶体管（n41~n44）只有中间两个晶体管（晶体管n42和晶体管n43）的栅极短接在一起，然而中间这两个晶体管（晶体管n42和晶体管n43）的紧邻前一高位的晶体管（晶体管n32和晶体管n33）并没有合并，所以这四个晶体管（n41~n44）不满足预设条件，不能合并，因此，最低列（a4）的四个晶体管（n41~n44）没有任何两个晶体管可以合并，所以最后行译码器合并后的版图如图5b所示。其中，图5b的电路原理图如图5c所示，在图5c中虚线框内的晶体管合并在一起。

[0094] 这里需要说明的是，合并是指晶体管在版图上原属于不同行的晶体管的有源区（如图5a中的灰色区域（SS））可以融合。经过融合，可以使有源区宽度增加，即晶体管的宽度增加，可以获得更高的驱动电流（或等效来看，可以使导通

电阻更低)；且相互分离的有源区的边缘之间必须满足制程最小间隔要求的设计规则，而融合之后不需要考虑此规则，对掩膜版制作和光刻的要求都可以得到降低，对制程良率有很大的改善。

[0095] 以下以图6a和图6b对合并后的行译码器的优势作进一步说明。

[0096] 如图6a所示，考虑0001行被选中的情形。在没有合并的情况下，电流只能从本行的4个串联的TFT流过。在合并的情况下，电流向高位流动时可迅速分散到更宽的路径中（如图6b所示）。由于电阻和电流路径宽度成反比，越到高位，电阻越小，所以对使能端放电的总电阻比不合并的小，即译码速度加快。

[0097] 假设，不合并情况下单个晶体管开启后的有效电阻是 R ，两个晶体管合并后有效电阻降为 $R/2$ 。所以不合并情况下，每一行的放电总电阻为 $4 \times R$ ；合并情况下的放电总电阻为 $R \times (1 + 1/2 + 1/4 + 1/8) < 2 \times R$ （等比级数）。考虑一个4096行的屏幕，需要14位地址，14个晶体管串联。不合并情况下总电阻为 $14 \times R$ ，合并后总电阻是 $R \times (1 + 1/2 + 1/4 + 1/8 + \dots + 1/4096) < 2 \times R$ 。根据等比级数的特性可以看出合并后的总放电电阻不会随着分辨率行数的增加而等比例增加，而是存在一个上限，因此放电时间即译码时间在合并后即不受分辨率增加的影响。所以合并技术使得本发明的行译码设计可以支持高分辨率屏幕，使得译码速度基本和增加的地址线无关。

[0098] 驱动模块12，其包括与使能模块11的使能信号输出端连接、用于接收使能信号输出端输出的使能信号的使能信号输入端，以及用于根据使能信号输出驱动信号的驱动信号输出端，驱动信号输出端连接与驱动模块12对应设置的行的栅线，以将驱动信号发送至对应行的栅线，选通对应行。

[0099] 可选的，该驱动模块12所输出的驱动信号为脉冲信号。其中，该驱动模块12可以为脉冲发生器。

[0100] 本发明实施例的方案，提供了一种支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对该部分区域进行编程，且由于图像不变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。

- [0101] 另外，本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元10出现缺陷时，其余GOA单元10的功能不会受到影响，使屏幕的良率和评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，时钟线不需要直接驱动GOA单元10中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元10对动态功耗的影响。
- [0102] 本发明的GOA电路适用于高分辨率、大尺寸屏幕。
- [0103] 本发明的重置模块13有两种实施例，下面分别说明。
- [0104] 如图7所示，为本发明重置模块13第一实施例的电路原理图。在该实施例中，是以P型晶体管组成的译码器的任意一行与该行对应设置的重置模块13的一个实施例。
- [0105] 如图7所示，该重置模块13可以包括复位晶体管。
- [0106] 该复位晶体管的第一电极连接使能模块11的使能信号输出端，复位晶体管的第二电极接地信号(GND)，复位晶体管的栅极连接外部时钟信号(CLKR)。这里需要说明的是，该外部时钟信号(CLKR)为由外部提供的额外的时钟信号。进一步地，该实施例是以P型晶体管组成的行译码器，当采用N型晶体管组成的行译码器时，其极性与P型晶体管组成的行译码器完全对称，在此不再赘述。
- [0107] 图7以P型晶体管做译码器、译码输出为高电平作示例。
- [0108] 如图7所示，当外部时钟信号(CLKR)的高脉冲到来时，复位晶体管打开，对该行译码器的输出端被下拉到低电平，该行译码器的输出端被重置为低电平。
- [0109] 如图8所示，为本发明重置模块13第二实施例的电路原理图。在该实施例中，是以P型晶体管组成的译码器的任意一行与该行对应设置的重置模块13的一个实施例。
- [0110] 如图8所示，该重置模块13包括下拉晶体管135、第一级正边沿触发器132、第一级反相器131、第二级正边沿触发器134和第二级反相器133。
- [0111] 第一级正边沿触发器132的正输入端(D)和第一级反相器131的输入端一并连接使能模块11的使能信号输出端，第一级正边沿触发器132的反输入端连接第一级反相器131的输出端，第一级正边沿触发器132的时钟信号输入端(CK)连接与第二级反相器133的输入端一并连接内部时钟信号(CLK)；第二级正边沿触

发器134的正输入端（D）连接第一级正边沿触发器132的正输出端（Q），第二级正边沿触发器134的反输入端连接第一级正边沿触发器132的反输出端，第二级正边沿触发器134的时钟信号输入端连接第二级反相器133的输出端，第二级正边沿触发器134的正输出端（Q）连接下拉晶体管135的栅极。其中，下拉晶体管135的第一电极连接使能模块11的使能信号输出端，下拉晶体管135的第二电极接地信号（GND）。

[0112] 该实施例中，重置模块13不需要额外的重置时钟，其与本级锁存器共用一个内部时钟信号（CLK）及其反向信号。

[0113] 如图8所示，本实施例的重置模块13是由两级级联的正边沿触发器和反相器组成的。其中，正边沿触发器是数字逻辑电路中的基本电路之一，其基本功能是：只在输入时钟的上升沿将输入端（D）的信号存储并送到输出端（Q），其他时刻不管输入端（D）如何变化，输出端（Q）的信号保持不变。基于该原理，本实施例中重置模块13的重置原理为：EN被选中、输出高电平时，在CLK上升沿锁存该高电位，并在CLK的下一个下降沿传递到下拉晶体管135的栅极（NRES端），打开下拉晶体管135，将EN重置到低电平；EN没被选中、输出为低电平时，触发器无输出，下拉晶体管135的栅极（NRES端）始终为低电平，下拉晶体管135关闭，不影响EN电位。

[0114] 本发明实施例中，正边沿触发器具有多种实现形式，本发明不局限于该触发器的具体实现。以下以一个具体实施例进行说明。具体的，如图9所示，在该实施例中，所应用的正边沿触发器可以为主从触发器，其可以由两级锁存器组成。

[0115] 如图9所示，第一级正边沿触发器132和第二级正边沿触发器134均包括主触发器1301、从触发器1302和主从反相器1303。

[0116] 主触发器1301的输入端（S）为正边沿触发器的正输入端（D），主触发器1301的正输出端连接从触发器的输入端（S），主触发器的复位端（R）为正边沿触发器的反输入端，主触发器1301的反输出端连接从触发器1302的复位端（R）；从触发器1302的正输出端（Q）为正边沿触发器的正输出端（Q），从触发器1302的反输出端为正边沿触发器的反输出端，从触发器1302的时钟信号输入端（CP）连接主从反相器1303的输出端，主从反相器1303的输入端和主触发器1301的

时钟信号输入端（CP）的连接端为正边沿触发器的时钟信号输入端（CK）。

[0117] 如图10所示，本发明实施例的驱动模块12可以包括：可以同时产生两种不同宽度脉冲的脉冲发生器。

[0118] 本发明的脉冲发生器有两种实施例，下面分别加以说明。

[0119] 图10所示是本发明的GOA电路的脉冲发生器的第一种实施例。

[0120] 如图10所示，脉冲发生器的数据输入端连接时钟信号，脉冲发生器的时钟输入端连接使能模块的使能信号输出端，脉冲发生器的输出端作为驱动模块12的驱动信号输出端连接与驱动模块12对应设置的行的栅线。

[0121] 脉冲发生器包括第一脉冲发生器121和第二脉冲发生器122；时钟信号包括第一时钟信号（CLKL）和第二时钟信号（CLKS）。与驱动模块12对应设置的行的栅线包括：与第一脉冲发生器121对应设置的行的第一栅线和与第二脉冲发生器122对应设置的行的第二栅线。

[0122] 第一脉冲发生器121的数据输入端连接第一时钟信号（CLKL），第一脉冲发生器121的时钟输入端连接使能模块11的使能信号输出端（EN），第一脉冲发生器121的输出端（OUTL）连接与第一脉冲发生器121对应设置的行的第一栅线。

[0123] 第二脉冲发生器122的数据输入端连接第二时钟信号（CLKS），第二脉冲发生器122的时钟输入端连接使能模块11的使能信号输出端（EN），第二脉冲发生器122的输出端（OUTS）连接与第二脉冲发生器122对应设置的行的第二栅线。

[0124] 这里，第一脉冲发生器121的数据输入端和第二脉冲发生器122的数据输入端形成脉冲发生器的数据输入端，第一脉冲发生器121的时钟输入端和第二脉冲发生器122的时钟输入端形成脉冲发生器的时钟输入端，第一脉冲发生器121的输出端和第二脉冲发生器122的输出端形成脉冲发生器的输出端。

[0125] 进一步地，如图10所示，第一脉冲发生器121包括：第一锁存器和第一缓冲放大器。

[0126] 第一锁存器的第一数据输入端（S1）连接第一时钟信号（CLKL），第一锁存器的第一使能端（CP1）连接使能模块11的使能信号输出端（EN），第一锁存器的第一输出端（Q1）连接第一缓冲放大器的输入端，第一缓冲放大器的输出端连接与第一脉冲发生器121对应设置的行的第一栅线。其中，第一锁存器的第

一数据输入端（S1）为第一脉冲发生器121的数据输入端，第一锁存器的第一使能端（CP1）为第一脉冲发生器121的时钟输入端，第一缓冲放大器的输出端为第一脉冲发生器121的输出端（OUTL）。

[0127] 进一步地，如图10所示，第二脉冲发生器122包括：第二锁存器和第二缓冲放大器。

[0128] 第二锁存器的第二数据输入端（S2）连接第二时钟信号（CLKS），第二锁存器的第二使能端（CP2）连接使能模块11的使能信号输出端（EN），第二锁存器的第二输出端（Q2）连接第二缓冲放大器的输入端，第二缓冲放大器的输出端连接与第二脉冲发生器122对应设置的行的第二栅线；

[0129] 第二锁存器的第二数据输入端（S2）为第二脉冲发生器122的数据输入端，第二锁存器的第二使能端（CP2）为第二脉冲发生器的时钟输入端，第二缓冲放大器的输出端为第二脉冲发生器122的输出端（OUTS）。

[0130] 其中，在图10中，每一个GOA单元10包括基于P型TFT的行译码器（使能模块11）、重置模块13、脉冲发生器（驱动模块12），其中，脉冲发生器为由第一锁存器和第一缓冲放大器组成的第一脉冲发生器121、和由第二锁存器和第二缓冲放大器组成的第二脉冲发生器122。在图10中，VDD表示输入直流高电平，S[0：N]表示输入选址信号，EN表示使能模块11的使能信号输出端，第一时钟信号（CLKL）表示输入长时钟，第二时钟信号（CLKS）表示输入短时钟，Buf表示缓冲放大器，OUTL表示第一脉冲发生器121的输出端，OUTS表示第二脉冲发生器122的输出端。

[0131] 可选的，本发明实施例所采用的锁存器均为带有门控功能的锁存器，其工作原理为：

[0132] 以锁存器的使能端高电平有效的锁存器为例：

[0133] 当锁存器的使能端电位为低电平时，锁存器的输出端保持不变，锁存器的数据输入端的信号不影响其输出端。

[0134] 当锁存器的使能端电位为高电平时，锁存器的输出端的二进制信号随着锁存器的数据输入端的输入电位变化。可以理解地，锁存器有多种实施方案，本发明不局限于锁存器的某一种具体实施方案。本发明通过在每个GOA单元10中采用

锁存器可以产生以下优势：利用锁存原理，可以有效抑制电路内部交流信号或毛刺信号偶合到输出端，且锁存器具有波形重建功能，即使外部时钟小型因为RC延时产生变形，经过锁存器重建以后，也能输出高质量方波脉冲。

[0135] 其中，最常用的锁存器为SR型锁存器。此处对SR型锁存器的两种典型的实施例展开说明。

[0136] 如图11所示，在一个具体的实施例中，第一锁存器包括：锁存反相器1210、第一与门1211、第二与门1212、第一或非门1213和第二或非门1214。

[0137] 锁存反相器1210的输入端与第一与门1211的第一输入端一并连接内部时钟信号（CLK），锁存反相器1210的输出端连接第二与门1212的第二输入端，第一与门1211的第二输入端和第二与门1212的第一输入端一并连接使能模块11的使能信号输出端（EN）；第一与门1211的输出端连接第一或非门1213的第一输入端，第一或非门1213的第二输入端连接第二或非门1214的输出端，第一或非门1213的输出端连接第二或非门1214的第一输入端，第一或非门1213的输出端还连接缓冲放大电路122的输入端；第二或非门1214的第二输入端连接第二与门1212的输出端。

[0138] 其中，第一与门1211的第一输入端和锁存反相器1210的输入端的连接端为第一锁存器的第一数据输入端，第一与门1211的第二输入端和第二与门1212的第一输入端的连接端为第一锁存器的第一使能端，第一或非门1213的输出端为第一锁存器的第一输出端。

[0139] 同样地，第二锁存器也可以采用与第一锁存器相同的结构，其具体结构组成和连接关系如前述，在此不再赘述。且同样地，第一与门1211的第一输入端和锁存反相器1210的输入端的连接端为第二锁存器的第二数据输入端，第一与门1211的第二输入端和第二与门1212的第一输入端的连接端为第二锁存器的第二使能端，第一或非门1213的输出端为第二锁存器的第二输出端。

[0140] 进一步地，如图12所示，在锁存器的第二种具体的实施例中，第一锁存器可以包括：第一非门1201、第二非门1202、第三非门1203、第一晶体管1204、第二晶体管1205和第三晶体管1206。这里，第一晶体管和第三晶体管是N型晶体管，第二晶体管是P型晶体管。

[0141] 第一非门1201的输入端连接第三晶体管1206的第二电极，第一非门1201的输出端连接第一晶体管1204的第一电极，第一晶体管1204的第二电极分别连接第三非门1203的输入端和第二非门1202的输出端，第一晶体管1204的第三电极分别连接第二晶体管1205的第三电极和第三晶体管1206的第三电极；第三非门1203的输出端连接第二晶体管1205的第一电极，第二晶体管1205的第二电极分别连接第二非门1202的输入端和第三晶体管1206的第一电极。

[0142] 其中，第一非门1201的输入端和第三晶体管1206的第二电极为第一锁存器的第一数据输入端；第三非门1023的输出端为第一锁存器的第一输出端；第一晶体管1204的第三电极、第二晶体管1205的第三电极和第三晶体管1206的第三电极为第一锁存器的第一使能端。

[0143] 该实施例中，第二锁存器也可以采用与第一锁存器相同的结构，其具体的结构组成和连接关系如前述，在此不再赘述。同样地，第一非门1201的输入端和第三晶体管1206的第二电极也可以作为第二锁存器的第一数据输入端；第三非门1203的输出端也可以作为第二锁存器的第二输出端；第一晶体管1204的第三电极、第二晶体管1205的第三电极和第三晶体管1206的第三电极也可以作为第二锁存器的第二使能端。同样地，这里的第一晶体管和第三晶体管是N型晶体管，第二晶体管是P型晶体管。

[0144] 如图13所示，为本发明实施例提供的缓冲放大器的电路原理图。

[0145] 本发明实施例提供的第一缓冲放大器 and 第二缓冲放大器均可以由两级反相器或者多级级联的反相器组成。

[0146] 若第一缓冲放大器有n级，n为大于或等于2的偶数，则第一锁存器的第一数据输入端（S1）连接第一时钟信号（CLKL），第一锁存器的第一使能端（CP1）连接使能模块11的使能信号输出端（EN），第一锁存器的第一输出端（Q1）连接第1级反相器的输入端，第n级反相器的输出端作为第一缓冲放大器的输出端（OUTL）连接与第一脉冲发生器121对应设置的行的第一栅线。

[0147] 若第二缓冲放大器有n级，n为大于或等于2的偶数，则第二锁存器的第二数据输入端（S2）连接第二时钟信号（CLKS），第二锁存器的第二使能端（CP2）连接使能模块11的使能信号输出端（EN），第二锁存器的第二输出端（Q2）连

接第1级反相器的输入端，第n级反相器的输出端作为第二缓冲放大器的输出端（OUTL）连接与第二脉冲发生器122对应设置的行的第二栅线。

[0148] 进一步地，本发明实施例中多级级联的反相器中所采用的反相器均可以由晶体管组成。

[0149] 具体的，如图13所示，每一个反相器均可以包括：P型晶体管和N型晶体管。

[0150] 具体的，P型晶体管的第一电极连接恒压高电位（VGH），P型晶体管的第二电极连接N型晶体管的第一电极，N型晶体管的第二电极连接恒压低电位（VGL），P型晶体管的栅极和N型晶体管的栅极连接，P型晶体管的第二电极和N型晶体管的第一电极连接。

[0151] 其中，P型晶体管的栅极和N型晶体管的栅极为反相器的输入端，P型晶体管的第二电极和N型晶体管的第一电极为反相器的输出端。

[0152] 这里需要说明的是，本发明实施例中，每一个GOA单元10中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。每一个GOA单元10中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。而且，本发明实施例为基于互补极性的晶体管的GOA电路，即在面板上可以同时存在N型和P型晶体管的情况。

[0153] 参考图14，为采用的脉冲发生器第一实施例（即图10的电路图）的工作时序图。

[0154] 如图14所示，输入行地址信号激活译码器，EN抬升，EN输出为高期间，第一锁存器和第二锁存器开启，输出第一脉冲信号和第二脉冲信号，其中，第一脉冲信号为长脉冲信号，第二脉冲信号为短脉冲信号。重置模块13激活，EN下降，第一锁存器和第二锁存器关闭，不再输出脉冲。

[0155] 图15，为本发明中GOA电路采用的脉冲发生器的第二实施例的电路原理图。

[0156] 如图15所示，在该实施例中，第一脉冲发生器121包括：第一级与门和第一缓冲放大器。

[0157] 第一级与门的第一输入端连接第一时钟信号（CLKL），第一与门的第二输入端连接使能模块11的使能信号输出端，第一与门的输出端连接第一缓冲放大器的输入端，第一缓冲放大器的输出端连接与第一脉冲发生器121对应设置的行的

第一栅线；第一级与门的第一输入端为第一脉冲发生器121的数据输入端，第一级与门的第二输入端为第一脉冲发生器121的时钟输入端，第一缓冲放大器的输出端为第一脉冲发生器121的输出端（OUTL）。

[0158] 第二脉冲发生器122包括：第二级与门和第二缓冲放大器。

[0159] 第二级与门的第一输入端连接第二时钟信号（CLKS），第二级与门的第二输入端连接使能模块11的使能信号输出端，第二级与门的输出端连接第二缓冲放大器的输入端，第二缓冲放大器的输出端连接与第二脉冲发生器122对应设置的行的第二栅线；第二级与门的第一输入端为第二脉冲发生器122的数据输入端，第二级与门的第二输入端为第二脉冲发生器122的时钟输入端，第二缓冲放大器的输出端为第二脉冲发生器122的输出端（OUTS）。

[0160] 如图15所示，该实施例中，每一个GOA单元10包括：基于P型TFT的行译码器（使能模块11）、重置模块13、脉冲发生器（驱动模块12），其中，脉冲发生器为由第一级与门和第一缓冲放大器组成的第一脉冲发生器121、由第二级与门和第二缓冲放大器组成的第二脉冲发生器122。在具体实施中，与门可以用与非门+反相器代替，其中反相器并入缓冲放大器中；或者，在其他一些实施例中，与门还可以替换为反相器+或非门。该实施例以简单的逻辑门电路代替第一实施例中使用的锁存器。

[0161] 参考图16，为采用图15的脉冲发生器的工作时序图。

[0162] 如图16所示，输入选址信号激活译码器，EN抬升；EN输出为高电平期间，第一级与门和第二级与门打开，输出第一脉冲信号和第二脉冲信号；重置模块13激活，EN下降，第一级与门和第二级与门关闭，不再输出脉冲。

[0163] 由前文描述可知，本发明实施例的GOA电路的各个组件（重置模块13、锁存器、脉冲发生器）存在多种实施例，将各个组件的不同实施例排列组合，可以得到多种可能的电路实施方案。而且不同的方案可以在面积、功耗、可靠性、抗干扰能力和波形质量各方面取得不同的折中。

[0164] 以下列举三个具体的完整实施方案，并提供对应的级联方案和时序图，同时提供仿真验证结果和工作时序图的比较。

[0165] 为了简化电路原理图，本发明实施例提供的原理图只以四位地址为例（此时译

码器只包含四个晶体管)。仿真以8位地址为例(地址总线以S[0: N]标示)。需要说明的是,在实际实施中,可以扩展到任意多位。

[0166] 参考图17,本发明提供的第一种GOA电路的电路原理图。

[0167] 在该实施例中,重置模块13采用第二实施例,脉冲发生器采用第一实施例。其单级工作时序图和仿真时序图如图18所示。由图18中可以看出,其理论工作时序与仿真时序的验证结果相当。

[0168] 参考图19,为本发明提供的第二种GOA电路的电路原理图。

[0169] 在该实施例中,重置模块13采用第二实施例,脉冲发生器采用第二实施例。如前述,本实施例的脉冲发生器采用第二实施例时,可以用非门和或非门代替最初原理图中的与门。可以理解地,在一些实施例中,在某些工艺制程中,或非门可能取得比与门、与非门更好的电路性能,或者具有更小的面积。其单级工作时序图和仿真时序图如图20所示。由图20可以看出,本实施例关键节点的时序图和图17的第一种GOA电路的时序图一致,且本实施例与图17的实施例相比,具有占用面积小、使用晶体管数少。

[0170] 参考图21,为本发明提供的第一种GOA电路、第二种GOA电路的级联方式示意图。

[0171] 其中,图22给出了采用图17的第一种GOA电路级联的全局时序,而图23为采用图17的第一种GOA电路级联的全局时序的仿真图。对比图22和图23可以看出,采用图17的第一种GOA电路级联的全局工作时序与仿真时序相当。

[0172] 参考图24本发明提供采用图19所示第二种GOA电路级联的全局时序图,图25为其仿真时序图。由图24和图25可以看出,该种电路的全局输入、输出波形无论在原理图还是在仿真图中都与图22和图23的几乎相同。

[0173] 参考图26,为本发明提供的第三种GOA电路的电路原理图。

[0174] 在该实施例中,重置模块13采用第一实施例的电路,脉冲发生器采用第二实施例的电路。本实施例与图20的第二种GOA电路相比,使用晶体管更少、面积更小。

[0175] 参考图27,为图26的单级时序图。这里,仅显示全局使用最少时钟数目的情况。其中仿真时序图如图28所示,可以看出,其工作时序与仿真时序结果相当。

- [0176] 参考图29，为本发明提供的第三种GOA电路的级联方式示意图。其全局时序图和仿真时序图分别如图30和图31所示。由图30和图31对比可以看出，其工作时序与仿真时序结果相当。
- [0177] 本发明提供了一种支持随机寻址的GOA电路，该GOA电路允许数据不按照行的顺序写入屏幕，在屏幕大部分区域是静态图像，只有少部分区域不断变化时，只需要对该部分区域进行编程，且由于图像不变的行未选通，所以动态功耗有效降低，同时可以增加留给图像改变的每一行的时间，使得在显示尺寸和显示功率、显示刷新率之间可以实现实时、动态调整的可能。
- [0178] 本发明的GOA电路中后级触发不依赖于前级的触发，所以当孤立一级GOA单元出现缺陷时，其余GOA单元的功能不会受到影响，使屏幕的和评级得到提升，提供了动态修理屏幕的可能。而且本发明的GOA电路不使用传统的自举结构，在某些实施例中时钟线不需要直接驱动GOA单元中的输出晶体管，因此，可以大大减少(N-1)级非活跃GOA单元对动态功耗的影响。本发明的GOA电路适用于高分辨率、大尺寸屏幕。
- [0179] 另外，本发明的GOA电路可以使得面板显示电路中的像素电路具有如下优势：高驱动P型晶体管提供充足发光电流、节省像素面积；低漏电流N型晶体管保持电压数据完整，允许可变刷新率；输入驱动波形简单，对存储电容的要求不高；发光电流完全由驱动晶体管决定，对OLED老化不敏感；具有内部补偿功能，可以对由于工艺波动、电学压力、材料老化或者机械应力造成的高驱动P型晶体管的阈值电压的临时或永久波动进行自动补偿，从而延长屏幕的使用寿命、提高屏幕的均一性。
- [0180] 进一步地，本发明实施例提供的GOA电路通过引入前述实施例的脉冲发生器，可以产生用于驱动各行像素的长、短脉冲信号，可以与像素电路直接配合使用。相比已有的GOA电路只能提供一种宽度的扫描脉冲，本发明实施例提供的GOA电路可以满足具有内部补偿功能的像素电路同时需要两种宽度的扫描脉冲的需求，且不会增加边框面积和功耗。
- [0181] 如图32所示，本发明还提供了一种与本发明的GOA配合工作的具有内部补偿效果的像素电路。

[0182] 其中，图32为本发明提供的具有内部补偿效果的像素电路的第一实施例的电路原理图。

[0183] 如图32所示，该像素电路包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、电容C_s、节点（nst）以及发光单元（OLED）。

[0184] 其中，第一晶体管T1的第二电极接入数据信号（Data），第一晶体管T1的第一电极连接第四晶体管T4的第二电极和第二晶体管T2的第一电极，第一晶体管T1的第三电极和第五晶体管的第三电极连接驱动模块12的第二输出端；第四晶体管T4的第一电极连接高电平（Vdd），第四晶体管的第三电极和第三晶体管T3的第三电极连接驱动模块12的第一输出端，第二晶体管T2的第二电极和第三晶体管T3的第二电极一并连接第五晶体管T5的第一电极，第五晶体管T5的第二电极连接发光单元（OLED）的正极，发光单元（OLED）的负极连接低电平（Vss）；第三晶体管T3的第一电极依次通过连接节点（nst）和电容C_s连接高电平（Vdd），节点（nst）还连接第二晶体管T2的第三电极。

[0185] 第四晶体管T4的第三电极和第三晶体管T3的第三电极与第一脉冲发生器121对应设置的行的第一栅线；第一晶体管T1的第三电极和第五晶体管T5的第三电极与第二脉冲发生器122对应设置的行的第二栅线。第一脉冲发生器121的第一输出端为驱动模块12的第一输出端，第二脉冲发生器122的第二输出端为驱动模块12的第二输出端。

[0186] 如图10或者图15所示，第一脉冲发生器121的第一输出端输出的第一脉冲信号（En）为长脉冲信号，第二脉冲发生器122的第二输出端输出的第二脉冲信号（Gn）为短脉冲信号，即第一脉冲信号（En）的高电平脉冲宽度大于第二脉冲信号（Gn）的高电平脉冲宽度。

[0187] 进一步地，上述由5个晶体管和1个电容（即5T1C）实现的像素电路的工作时序如图33所示，结合图33对该实施例的电路的工作过程进行说明：

[0188] 第一阶段：当第一脉冲发生器121输出的第一脉冲信号（En）为高电平，第二脉冲发生器122输出的第二脉冲信号（Gn）为低电平时，第一晶体管T1和第四晶体管T4关闭，第三晶体管T3和第五晶体管T5打开，节点（nst）通过第三晶体管

T3、第五晶体管T5、发光单元（OLED）放电到低电平（Vss）。

[0189] 第二阶段：第一晶体管T1打开，数据信号（Data）通过第二晶体管T2、第三晶体管T3对节点（nst）充电，节点（nst）电压终止于Vdata-Vt，实现对第二晶体管T2阈值电压的采样。其中，Vt为第二晶体管的阈值电压。

[0190] 第三阶段：第四晶体管T4、第二晶体管T2、第五晶体管T5打开，第一晶体管T1、第三晶体管T3关闭。发光单元（OLED）发光，第二晶体管T2（Vgs）电压为（Vdd-Vdata+Vt），故取得Vt的补偿效果。

[0191] 或者，在另一个实施例中，如图34所示，与本发明的GOA电路配合工作的像素电路包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、电容Cs、节点（nst）以及发光单元（OLED）。

[0192] 第一晶体管T1的第二电极接入数据信号（Data），第一晶体管T1的第一电极连接第四晶体管T4的第二电极和第二晶体管T2的第一电极，第一晶体管T1的第三电极连接第二脉冲发生器122的第二输出端；第四晶体管T4第一电极连接高电平（Vdd），第四晶体管的第三电极和第三晶体管T3的第三电极连接第一脉冲发生器121的第一输出端，第二晶体管T2的第二电极和第三晶体管T3的第二电极一并连接发光单元（OLED）的正极，发光单元（OLED）的负极连接低电平（Vss）；第三晶体管T3的第一电极依次通过连接节点（nst）和电容Cs。连接高电平（Vdd），节点（nst）还连接第二晶体管T2的第三电极。

[0193] 第四晶体管T4的第三电极和第三晶体管T3的第三电极与第一脉冲发生器121对应设置的行的第一栅线；第一晶体管T1的第三电极与第二脉冲发生器122对应设置的行的第二栅线。

[0194] 上述像素电路的第二实施例中，像素电路由4个晶体管和1个电容（即4T1C）实现。其具体工作时序如图33所示，其中，该实施例的电路工作过程与前述实施例相同，在此不再赘述。

[0195] 进一步地，本发明实施例所提供的像素电路中所采用的第一晶体管T1和第三晶体管T3为N型晶体管，第二晶体管T2、第四晶体管T4、第五晶体管T5为P型晶体管。每一个像素电路中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。每一个像素电路

中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。

[0196] 本发明的显示装置中的像素电路具有如下优势：高驱动P型晶体管提供充足发光电流、节省像素面积；低漏电流N型晶体管保持电压数据完整，允许可变刷新率；输入驱动波形简单，对存储电容的要求不高发光电流完全由驱动晶体管决定，对OLED老化不敏感；具有内部补偿功能，可以对由于工艺波动、电学压力、材料老化或者机械应力造成的高驱动P型晶体管的阈值电压的临时或永久波动进行自动补偿，从而延长屏幕的使用寿命、提高屏幕的均一性。

[0197] 进一步地，本发明还提供了一种显示装置，该显示装置包括前述实施例的GOA电路和具有内部补偿效果的像素电路。其中，该显示装置包括但不限于LTPS显示装置、AMOLED显示装置。

[0198] 参考图35，为本发明实施例提供的一种显示器的驱动方法的流程示意图。如图35所示，该显示器的驱动方法可以包括以下步骤：

[0199] 步骤S1、输入寻址信号至显示器的GOA电路的各行译码器。

[0200] 步骤S2、选通与所述寻址信号对应的行译码器。

[0201] 步骤S3、通过选通的行译码器输出使能信号至所述GOA电路中的脉冲发生器。

[0202] 步骤S4、通过所述脉冲发生器产生脉冲信号驱动对应行的像素工作。

[0203] 本发明实施例中，该显示器的驱动方法中的GOA电路可以为前述实施例所提供的GOA电路。

[0204] 进一步地，本发明实施例中，脉冲发生器分别产生短脉冲信号和长脉冲信号，以分别驱动不同行的像素工作，即本发明实施例的GOA电路可以同时产生两种宽度的脉冲信号。可以理解地，这里的短脉冲信号即为前述的第二脉冲信号，长脉冲信号即为前述的第一脉冲信号。

[0205] 进一步地，脉冲发生器还接收长时钟信号和短时钟信号，并分别根据长时钟信号和短时钟信号产生长脉冲信号和短脉冲信号。可以理解地，这里的长时钟信号为前述的第一时钟信号（CLKL），短时钟信号为前述的第二时钟信号（CLKS）。

[0206] 本发明实施例中，脉冲发生器可以包括第一脉冲发生器和第二脉冲发生器，其中，长时钟信号输入第一脉冲发生器的数据输入端，短时钟信号输入第二脉冲

发生器的数据输入端，使能信号输入第一脉冲发生器的时钟输入端和第二脉冲发生器的时钟输入端。

[0207] 进一步地，本发明实施例的显示器的驱动方法还包括：对开启的行译码器输出的使能信号复位。其中，对开启的行译码器输出的使能信号复位可以通过复位电路执行。

[0208] 进一步地，本发明实施例的显示器的驱动方法还包括：输入长时钟信号或者短时钟信号至复位电路，该复位电路根据长时钟信号或者短时钟信号对使能信号进行复位。

[0209] 以上实施例只为说明本发明的技术构思及特点，其目的在于让熟悉此项技术的人士能够了解本发明的内容并据此实施，并不能限制本发明的保护范围。凡跟本发明权利要求范围所做的均等变化与修饰，均应属于本发明权利要求的涵盖范围。

[0210] 应当理解的是，对本领域普通技术人员来说，可以根据上述说明加以改进或变换，而所有这些改进和变换都应属于本发明所附权利要求的保护范围。

权利要求书

- [权利要求 1] 一种GOA电路，其特征在于，包括多个相互独立的GOA单元，每一个所述GOA单元包括一个使能模块以及与所述使能模块对应设置的驱动模块；
- 所述使能模块包括用于接收行地址信号的地址输入端，以及用于根据所述行地址信号输出使能信号的使能信号输出端；
- 所述驱动模块包括用于接收所述使能信号输出端输出的使能信号的使能信号输入端，以及用于根据所述使能信号输出脉冲宽度不同的驱动信号的驱动信号输出端，所述驱动信号输出端连接与所述驱动模块对应设置的行的栅线，以将所述驱动信号发送至所述对应行的栅线，选通所述对应行。
- [权利要求 2] 根据权利要求1所述的GOA电路，其特征在于，所述使能模块为基于二进制编码的行译码器或者基于格雷码编码的行译码器。
- [权利要求 3] 根据权利要求2所述的GOA电路，其特征在于，所述每一行译码器包括多个串联的晶体管，且相邻行、同一列的两个晶体管在满足预设条件时合并为一个晶体管。
- [权利要求 4] 根据权利要求3所述的GOA电路，其特征在于，所述相邻行、同一列的两个晶体管满足预设条件包括：
- 两个晶体管的栅极短接在一起，且各自是本行译码器的最高位的晶体管，或者两个晶体管的栅极短接在一起，且紧邻前一高位的晶体管合并在一起。
- [权利要求 5] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元还包括与所述使能模块的使能信号输出端连接、用于在所述驱动模块输出驱动信号并将所述对应行选通后、将所述使能模块重置的重置模块。
- [权利要求 6] 根据权利要求5所述的GOA电路，其特征在于，所述重置模块包括复位晶体管；
- 所述复位晶体管的第一电极连接所述使能模块的使能信号输出端，所

述复位晶体管的第二电极接地信号，所述复位晶体管的栅极连接外部时钟信号。

- [权利要求 7] 根据权利要求5所述的GOA电路，其特征在于，所述重置模块包括下拉晶体管、第一级正边沿触发器、第一级反相器、第二级正边沿触发器和第二级反相器；
- 所述第一级正边沿触发器的正输入端和所述第一级反相器的输入端一并连接所述使能模块的使能信号输出端，所述第一级正边沿触发器的反输入端连接所述第一级反相器的输出端，所述第一级正边沿触发器的时钟信号输入端与所述第二级反相器的输入端一并连接内部时钟信号；
- 所述第二级正边沿触发器的正输入端连接所述第一级正边沿触发器的正输出端，所述第二级正边沿触发器的反输入端连接所述第一级正边沿触发器的反输出端，所述第二级正边沿触发器的时钟信号输入端连接所述第二级反相器的输出端，所述第二级正边沿触发器的正输出端连接所述下拉晶体管的栅极；
- 所述下拉晶体管的第一电极连接所述使能模块的使能信号输出端，所述下拉晶体管的第二电极接地信号。

- [权利要求 8] 根据权利要求7所述的GOA电路，其特征在于，所述第一级正边沿触发器和所述第二级正边沿触发器均包括主触发器、从触发器和主从反相器；
- 所述主触发器的输入端为正边沿触发器的正输入端，所述主触发器的正输出端连接所述从触发器的输入端，所述主触发器的复位端为正边沿触发器的反输入端，所述主触发器的反输出端连接所述从触发器的复位端；
- 所述从触发器的正输出端为正边沿触发器的正输出端，所述从触发器的反输出端为正边沿触发器的反输出端，所述从触发器的时钟信号输入端连接所述主从反相器的输出端，所述主从反相器的输入端和所述主触发器的时钟信号输入端为正边沿触发器的时钟信号输入端。

- [权利要求 9] 根据权利要求1所述的GOA电路，其特征在于，所述驱动模块包括：
脉冲发生器；
所述脉冲发生器的数据输入端连接时钟信号，所述脉冲发生器的时钟输入端连接所述使能模块的使能信号输出端，所述脉冲发生器的输出端作为所述驱动模块的驱动信号输出端连接与所述驱动模块对应设置的行的栅线。
- [权利要求 10] 根据权利要求9所述的GOA电路，其特征在于，所述脉冲发生器包括：
第一脉冲发生器和第二脉冲发生器；所述时钟信号包括：第一时钟信号和第二时钟信号；所述与所述驱动模块对应设置的行的栅线包括：
与所述第一脉冲发生器对应设置的行的第一栅线和与所述第二脉冲发生器对应设置的行的第二栅线；
所述第一脉冲发生器的数据输入端连接所述第一时钟信号，所述第一脉冲发生器的时钟输入端连接所述使能模块的使能信号输出端，所述第一脉冲发生器的输出端连接与所述第一脉冲发生器对应设置的行的第一栅线；
所述第二脉冲发生器的数据输入端连接所述第二时钟信号，所述第二脉冲发生器的时钟输入端连接所述使能模块的使能信号输出端，所述第二脉冲发生器的输出端连接与所述第二脉冲发生器对应设置的行的第二栅线。
- [权利要求 11] 根据权利要求10所述的GOA电路，其特征在于，所述第一脉冲发生器包括：第一锁存器和第一缓冲放大器；
所述第一锁存器的第一数据输入端连接所述第一时钟信号，所述第一锁存器的第一使能端连接所述使能模块的使能信号输出端，所述第一锁存器的第一输出端连接所述第一缓冲放大器的输入端，所述第一缓冲放大器的输出端连接与所述第一脉冲发生器对应设置的行的第一栅线；
所述第一锁存器的第一数据输入端为所述第一脉冲发生器的数据输入端，所述第一锁存器的第一使能端为所述第一脉冲发生器的时钟输入端。

端，所述第一缓冲放大器的输出端为所述第一脉冲发生器的输出端。

[权利要求 12]

根据权利要求11所述的GOA电路，其特征在于，所述第二脉冲发生器包括：第二锁存器和第二缓冲放大器；

所述第二锁存器的第二数据输入端连接所述第二时钟信号，所述第二锁存器的第二使能端连接所述使能模块的使能信号输出端，所述第二锁存器的第二输出端连接所述第二缓冲放大器的输入端，所述第二缓冲放大器的输出端连接与所述第二脉冲发生器对应设置的行的栅线；
所述第二锁存器的第二数据输入端为所述第二脉冲发生器的数据输入端，所述第二锁存器的第二使能端为所述第二脉冲发生器的时钟输入端，所述第二缓冲放大器的输出端为所述第二脉冲发生器的输出端。

[权利要求 13]

根据权利要求12所述的GOA电路，其特征在于，所述第一锁存器和第二锁存器均包括：锁存反相器、第一与门、第二与门、第一或非门和第二或非门；

所述锁存反相器的输入端与所述第一与门的第一输入端连接，所述锁存反相器的输出端连接所述第二与门的第二输入端，所述第一与门的第二输入端和所述第二与门的第一输入端连接；

所述第一与门的输出端连接所述第一或非门的第一输入端，所述第一或非门的第二输入端连接所述第二或非门的输出端，所述第一或非门的输出端连接所述第二或非门的第一输入端；所述第二或非门的第二输入端连接所述第二与门的输出端；

所述第一锁存器的第一数据输入端和第二锁存器的第二数据输入端均为所述第一与门的第一输入端和所述锁存反相器的输入端的连接端；
所述第一锁存器的第一输出端和第二锁存器的第二输出端均为所述第一或非门的输出端；

所述第一锁存器的第一使能端和第二锁存器的第二使能端均为所述第一与门的第二输入端和所述第二与门的第一输入端的连接端。

[权利要求 14]

根据权利要求13所述的GOA电路，其特征在于，所述第一锁存器和第二锁存器均包括：第一非门、第二非门、第三非门、第一晶体管、

第二晶体管 and 第三晶体管；所述第一晶体管和第三晶体管是N型晶体管，所述第二晶体管是P型晶体管；

所述第一非门的输入端连接所述第三晶体管的第二电极，所述第一非门的输出端连接所述第一晶体管的第一电极，所述第一晶体管的第二电极分别连接所述第三非门的输入端和所述第二非门的输出端，所述第一晶体管的第三电极分别连接所述第二晶体管的第三电极和所述第三晶体管的第三电极；

所述第三非门的输出端连接所述第二晶体管的第一电极，所述第二晶体管的第二电极分别连接所述第二非门的输入端和所述第三晶体管的第一电极；

所述第一锁存器的第一数据输入端和第二锁存器的第二数据输入端均为所述第一非门的输入端和所述第三晶体管的第二电极的连接端；

所述第一锁存器的第一输出端和第二锁存器的第二输出端均为所述第三非门的输出端；

所述第一锁存器的使能端和第二锁存器的使能端均为所述第一晶体管的第三电极、所述第二晶体管的第三电极和所述第三晶体管的第三电极的连接端。

[权利要求 15] 根据权利要求10所述的GOA电路，其特征在于，所述第一脉冲发生器包括：第一级与门和第一缓冲放大器；

所述第一级与门的第一输入端连接所述第一时钟信号，所述第一级与门的第二输入端连接所述使能模块的使能信号输出端，所述第一级与门的输出端连接所述第一缓冲放大器的输入端，所述第一缓冲放大器的输出端连接与所述第一脉冲发生器对应设置的行的第一栅线；

所述第一级与门的第一输入端为所述第一脉冲发生器的数据输入端，所述第一级与门的第二输入端为所述第一脉冲发生器的使能输入端，所述第一缓冲放大器的输出端为所述第一脉冲发生器的输出端。

[权利要求 16] 根据权利要求15所述的GOA电路，其特征在于，所述第二脉冲发生器包括：第二级与门和第二缓冲放大器；

所述第二级与门的第一输入端连接所述第二时钟信号，所述第二级与门的第二输入端连接所述使能模块的使能信号输出端，所述第二级与门的输出端连接所述第二缓冲放大器的输入端，所述第二缓冲放大器的输出端连接与所述第二脉冲发生器对应设置的行的第二栅线；
所述第二级与门的第一输入端为所述第二脉冲发生器的数据输入端，所述第二级与门的第二输入端为所述第二脉冲发生器的使能输入端，所述第二缓冲放大器的输出端为所述第二脉冲发生器的输出端。

[权利要求 17] 根据权利要求16所述的GOA电路，其特征在于，所述第一缓冲放大器和所述第二缓冲放大器均包括：n级级联的反相器，其中，n为大于或等于2的偶数；
所述第一缓冲放大器的输入端和所述第二缓冲放大器的输入端均为第1级反相器的输入端，所述第一缓冲放大器的输出端和所述第二缓冲放大器的输出端均为第n级反相器的输出端。

[权利要求 18] 根据权利要求17所述的GOA电路，其特征在于，所述n级级联的反相器中的每一个反相器均包括：P型晶体管和N型晶体管；
所述P型晶体管的第一电极连接恒压高电位，所述P型晶体管的第二电极连接所述N型晶体管的第一电极，所述N型晶体管的第二电极连接恒压低电位，所述P型晶体管的栅极和所述N型晶体管的栅极连接，所述P型晶体管的第二电极和所述N型晶体管的第一电极连接；
其中，所述P型晶体管的栅极和所述N型晶体管的栅极为反相器的输入端，所述P型晶体管的第二电极和所述N型晶体管的第一电极为反相器的输出端。

[权利要求 19] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。

[权利要求 20] 根据权利要求1所述的GOA电路，其特征在于，每一个所述GOA单元中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。

[权利要求 21] 一种具有内部补偿效果的像素电路，与权利要求1-20任一项所述的G

OA电路配合工作，其特征在于，包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、电容C_s、节点以及发光单元；

所述第一晶体管T1的第二电极接入数据信号，所述第一晶体管T1的第一电极连接所述第四晶体管T4的第二电极和所述第二晶体管T2的第一电极，所述第一晶体管T1的第三电极和所述第五晶体管T5的第三电极连接所述GOA电路中的驱动模块的第二输出端；

所述第四晶体管T4的第一电极连接高电平，所述第四晶体管T4的第三电极和所述第三晶体管T3的第三电极连接所述GOA电路中的驱动模块的第一输出端，所述第二晶体管T2的第二电极和所述第三晶体管T3的第二电极一并连接所述第五晶体管T5的第一电极，所述第五晶体管T5的第二电极连接所述发光单元的正极，所述发光单元的负极连接低电平；所述第三晶体管T3的第一电极依次通过连接节点和所述电容C_s连接高电平，所述节点还连接所述第二晶体管T2的第三电极。

[权利要求 22] 根据权利要求21所述的具有内部补偿效果的像素电路，其特征在于，所述第一晶体管T1和第三晶体管T3为N型晶体管，所述第二晶体管T2、所述第四晶体管T4和所述第五晶体管T5为P型晶体管。

[权利要求 23] 根据权利要求21所述的具有内部补偿效果的像素电路，其特征在于，每一个所述像素电路中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。

[权利要求 24] 根据权利要求21所述的具有内部补偿效果的像素电路，其特征在于，每一个所述像素电路中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。

[权利要求 25] 一种具有内部补偿效果的像素电路，与权利要求1-20任一项所述的GOA电路配合工作，其特征在于，包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、电容C_s、节点以及发光单元；

所述第一晶体管T1的第二电极接入数据信号，所述第一晶体管T1的第一电极连接所述第四晶体管T4的第二电极和所述第二晶体管T2的第一电极，所述第一晶体管T1的第三电极连接所述GOA电路中的驱动模块的第二输出端；

所述第四晶体管T4第一电极连接高电平，所述第四晶体管的第三电极和所述第三晶体管T3的第三电极连接所述GOA电路中的驱动模块的第一输出端，所述第二晶体管T2的第二电极和所述第三晶体管T3的第二电极一并连接所述发光单元的正极，所述发光单元的负极连接低电平；所述第三晶体管T3的第一电极依次通过连接节点和所述电容C_s连接高电平，所述节点还连接所述第二晶体管T2的第三电极。

[权利要求 26] 根据权利要求25所述的具有内部补偿效果的像素电路，其特征在于，所述第一晶体管T1和第三晶体管T3为N型晶体管，所述第二晶体管T2和所述第四晶体管T4为P型晶体管。

[权利要求 27] 根据权利要求25所述的具有内部补偿效果的像素电路，其特征在于，每一个所述像素电路中的P型晶体管是低温多晶硅、无定型硅、或者是由碳、硅、锗三种元素按任意比例混合的材料制作沟道的薄膜晶体管。

[权利要求 28] 根据权利要求27所述的具有内部补偿效果的像素电路，其特征在于，每一个所述像素电路中的N型晶体管是基于金属氧化物制作沟道的薄膜晶体管。

[权利要求 29] 一种显示装置，其特征在于，包括权利要求1-20任一项所述的GOA电路和权利要求21或25所述的具有内部补偿效果的像素电路。

[权利要求 30] 一种显示器的驱动方法，其特征在于，包括：
输入寻址信号至显示器的GOA电路的各行译码器；
选通与所述寻址信号对应的行译码器；
通过选通的行译码器输出使能信号至所述GOA电路中的脉冲发生器；
通过所述脉冲发生器产生脉冲信号驱动对应行的像素工作。

- [权利要求 31] 根据权利要求30所述的显示器的驱动方法，其特征在于，所述脉冲发生器分别产生短脉冲信号和长脉冲信号，以分别驱动不同行的像素工作。
- [权利要求 32] 根据权利要求31所述的显示器的驱动方法，其特征在于，所述脉冲发生器接收长时钟信号及短时钟信号而分别产生所述长脉冲信号和短脉冲信号。
- [权利要求 33] 根据权利要求32所述的显示器的驱动方法，其特征在于，所述脉冲发生器包括第一脉冲发生器和第二脉冲发生器；所述长时钟信号输入所述第一脉冲发生器的数据输入端，所述短时钟信号输入所述第二脉冲发生器的数据输入端，使能信号输入所述第一脉冲发生器的时钟输入端和所述第二脉冲发生器的时钟输入端。
- [权利要求 34] 根据权利要求30所述的显示器的驱动方法，其特征在于，还包括：对开启的行译码器输出的使能信号复位。
- [权利要求 35] 根据权利要求34所述的显示器的驱动方法，其特征在于，所述对开启的行译码器复位通过复位电路执行。
- [权利要求 36] 根据权利要求35所述的显示器的驱动方法，其特征在于，还包括：输入长时钟信号或者短时钟信号至所述复位电路；所述复位电路根据所述长时钟信号或者短时钟信号对所述使能信号进行复位。

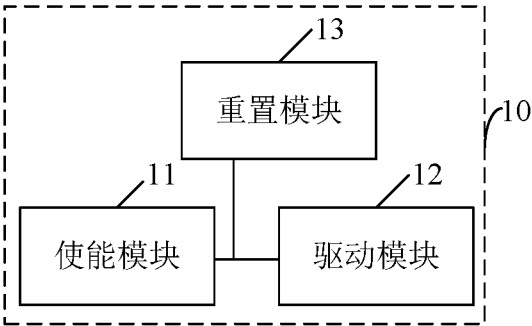


图 1

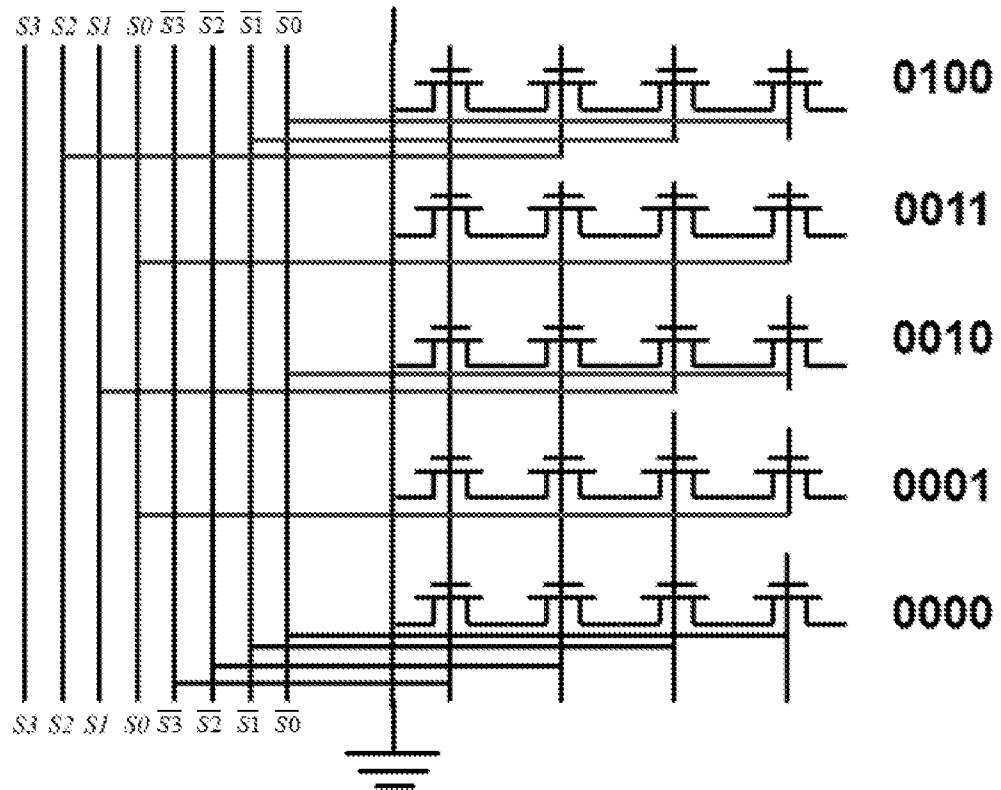


图 2

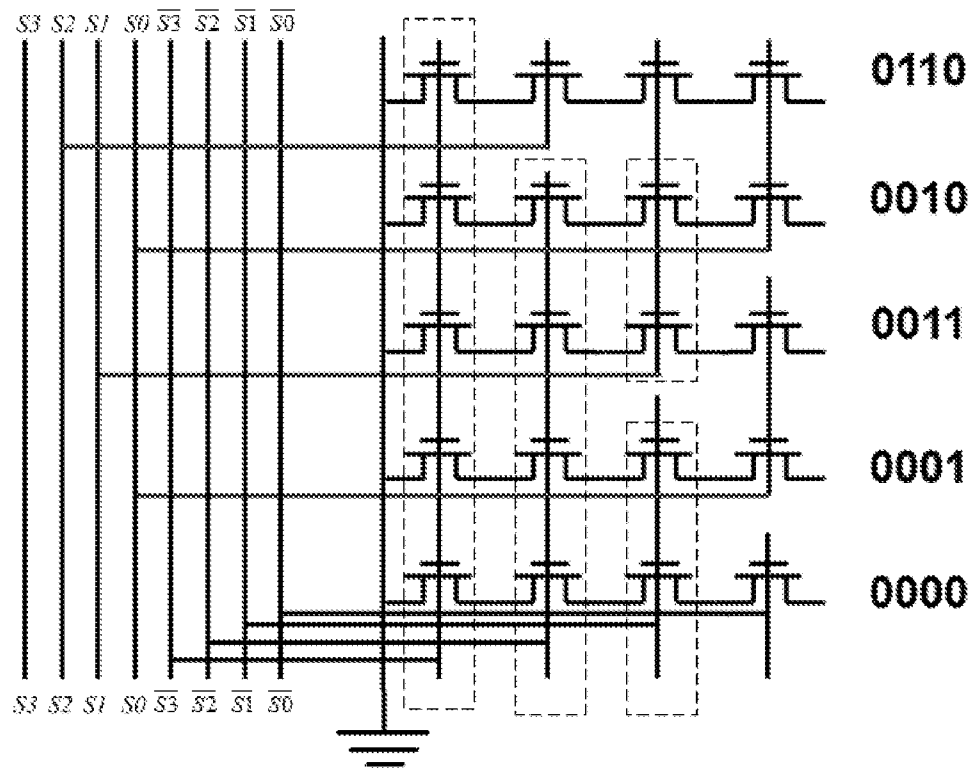


图 3

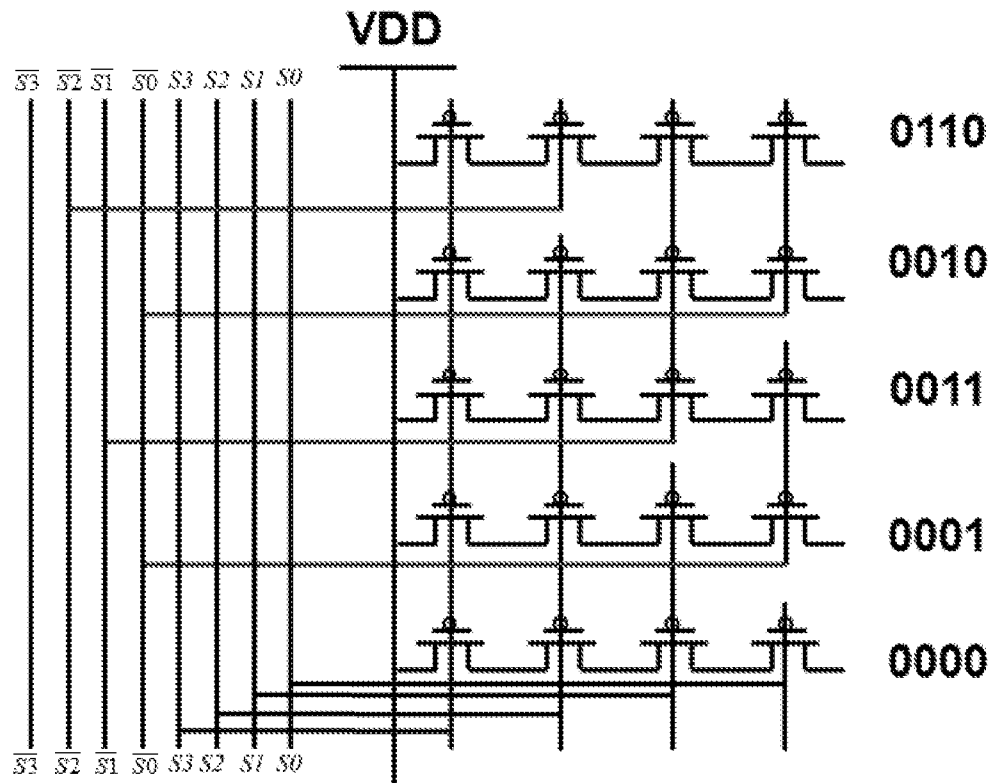


图 4

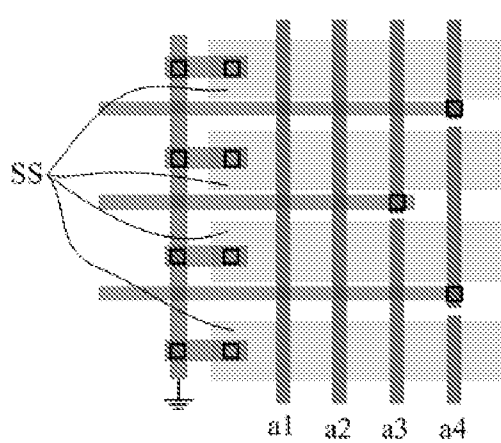


图 5a

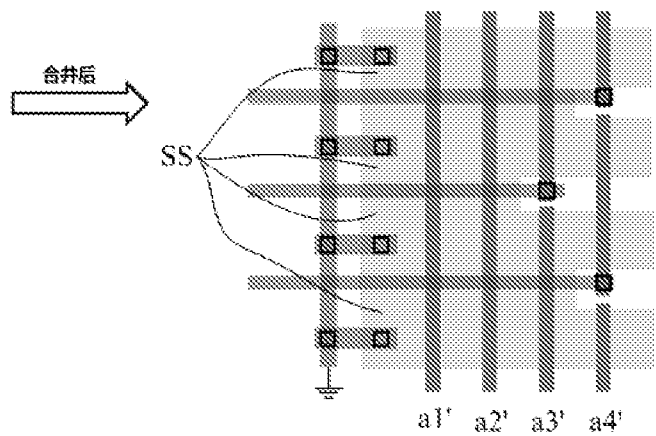


图 5b

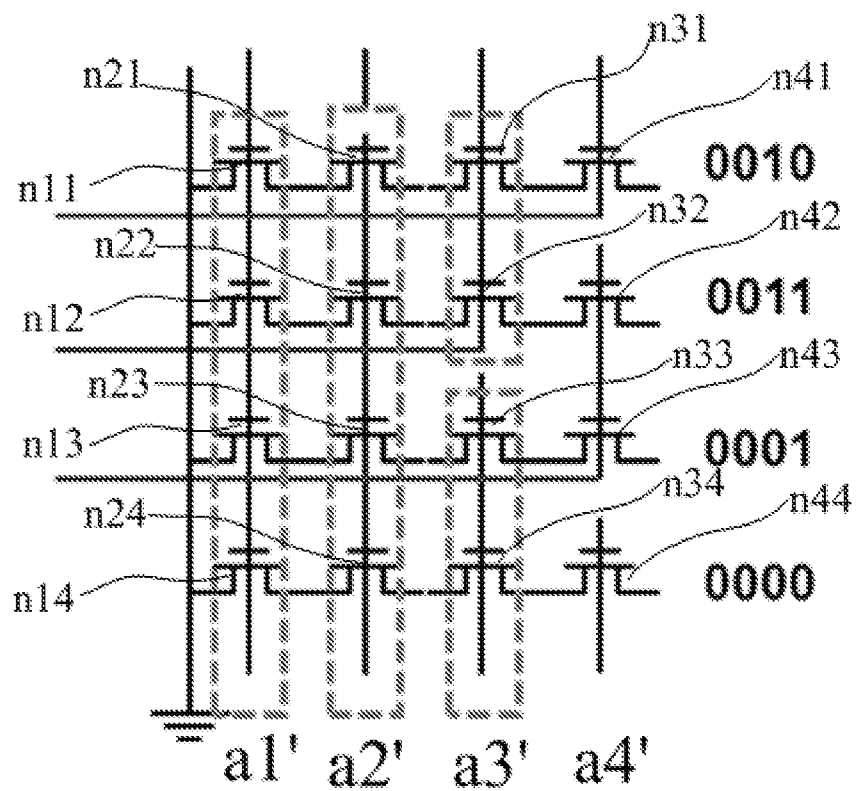


图 5c

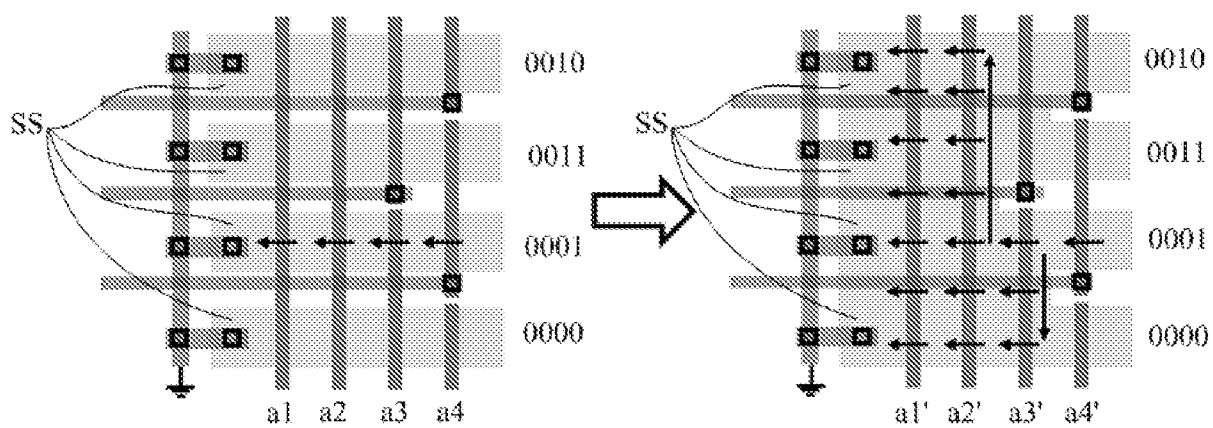


图 6a

图 6b

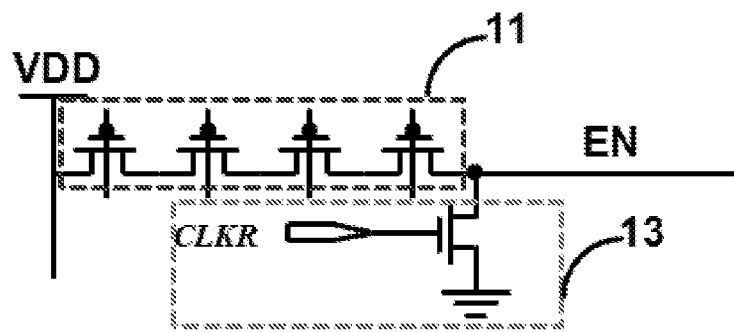


图 7

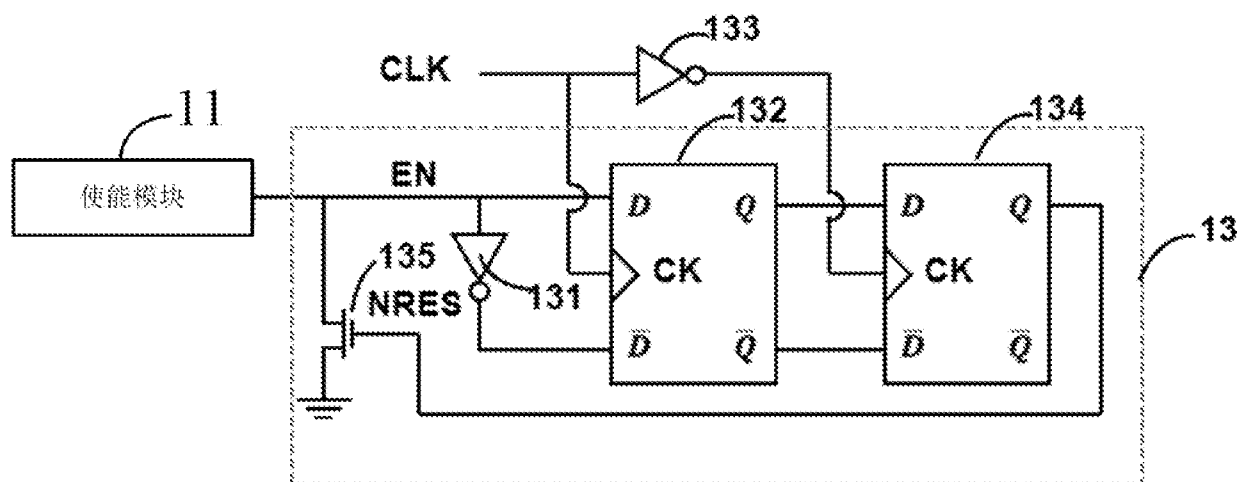


图 8

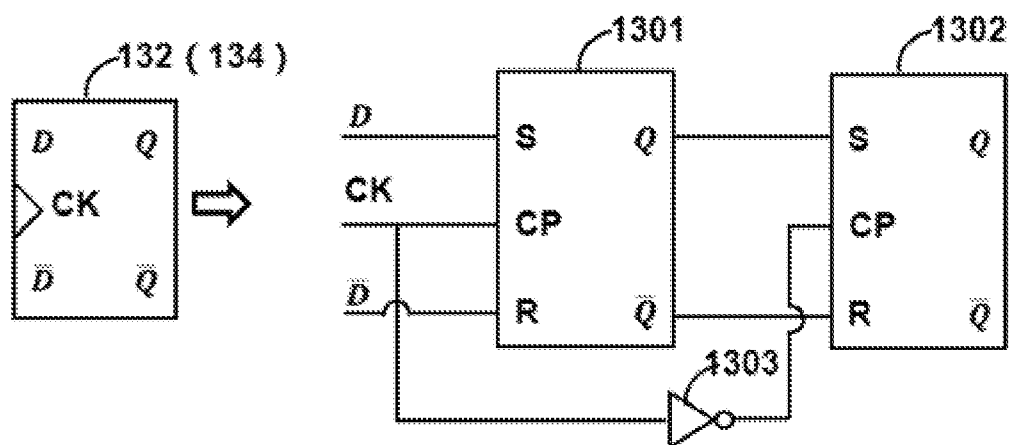


图 9

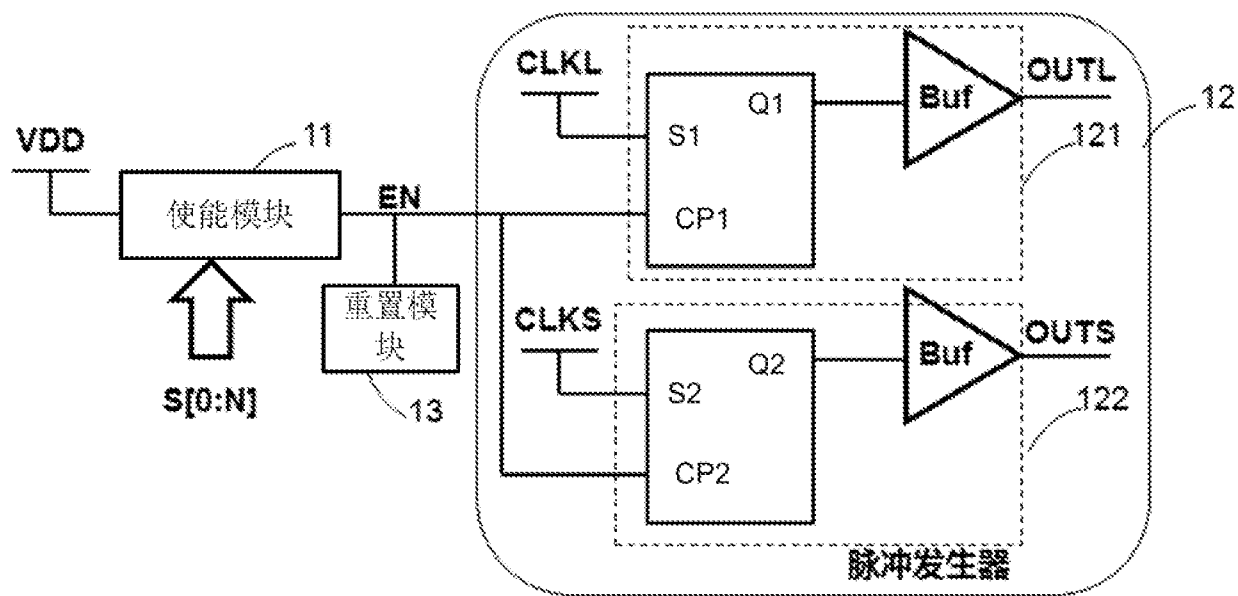


图 10

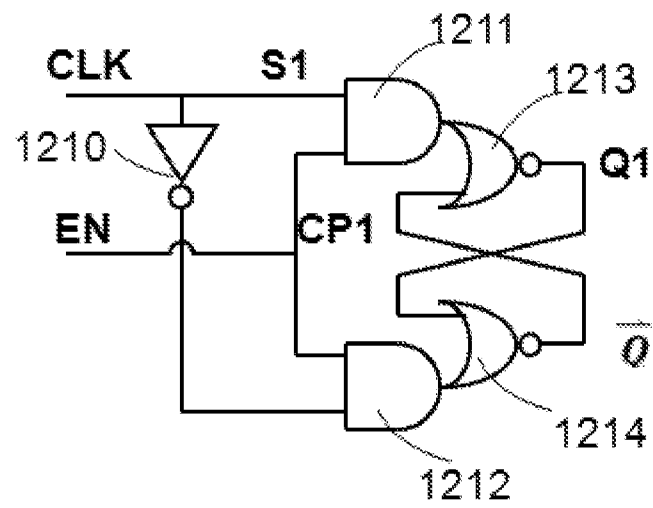


图 11

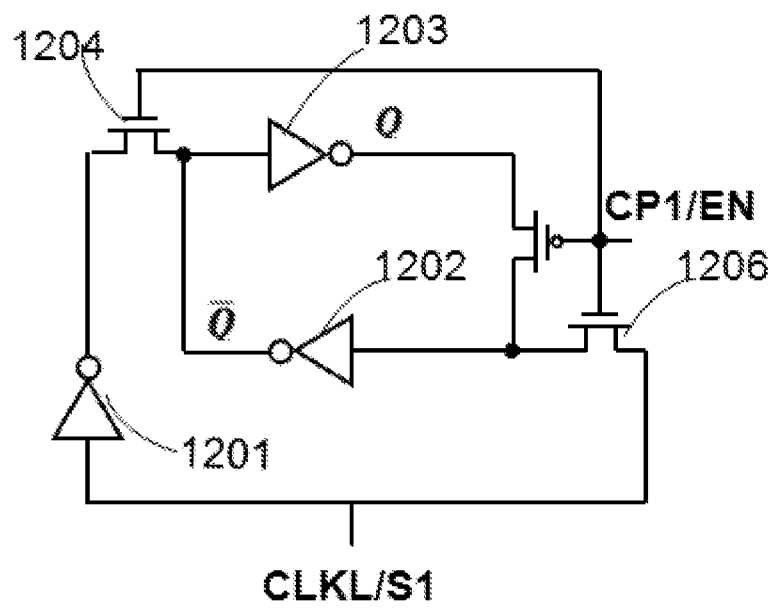


图 12

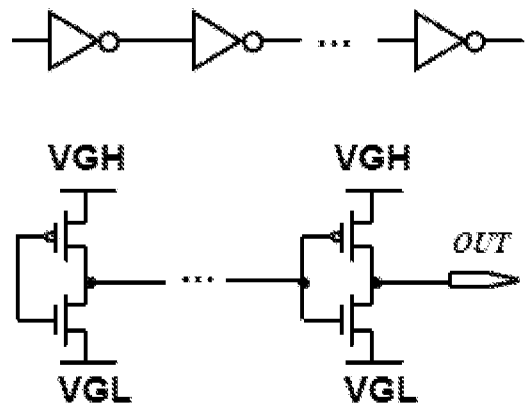


图 13

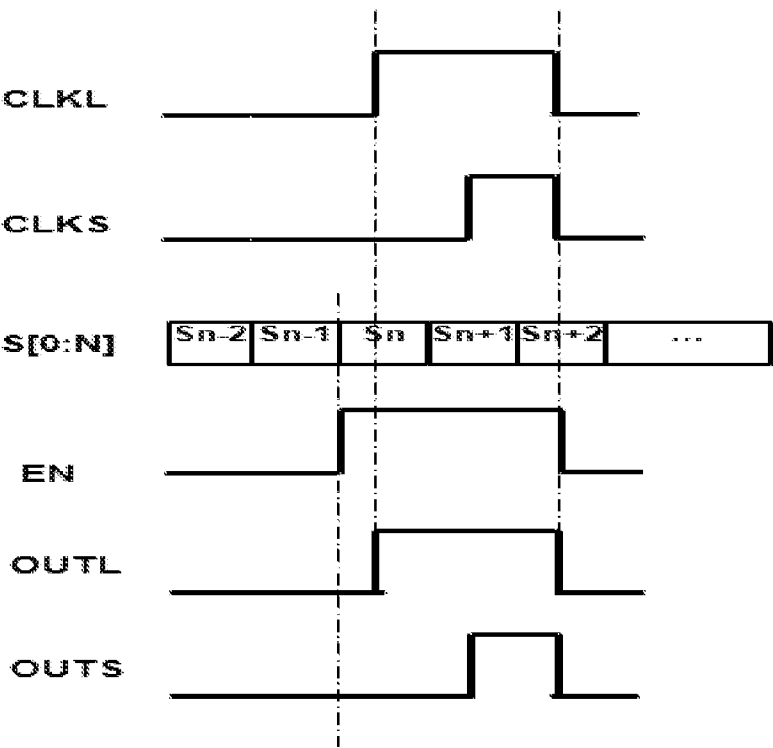


图 14

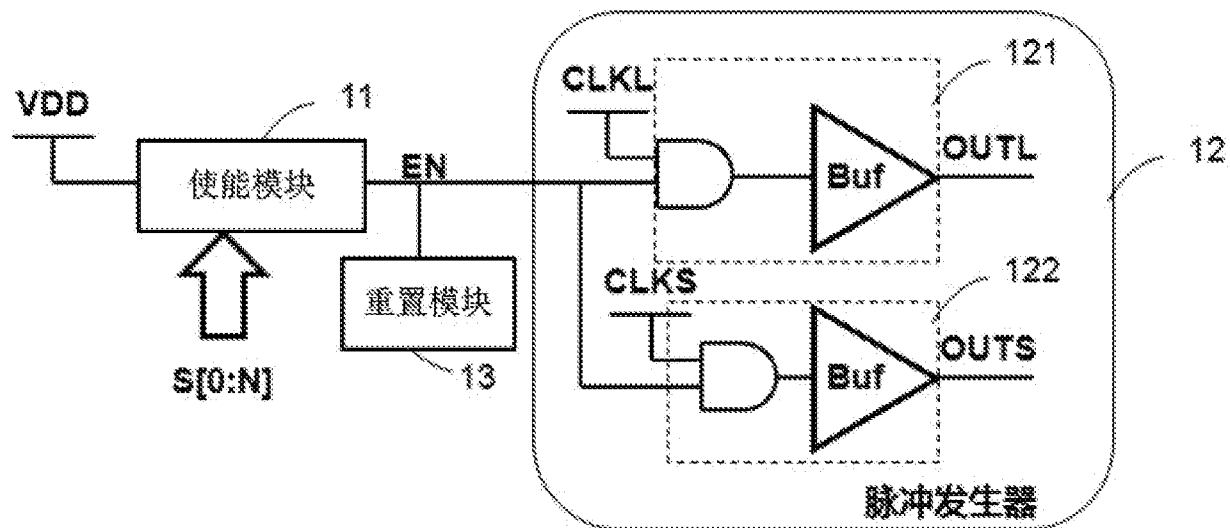


图 15

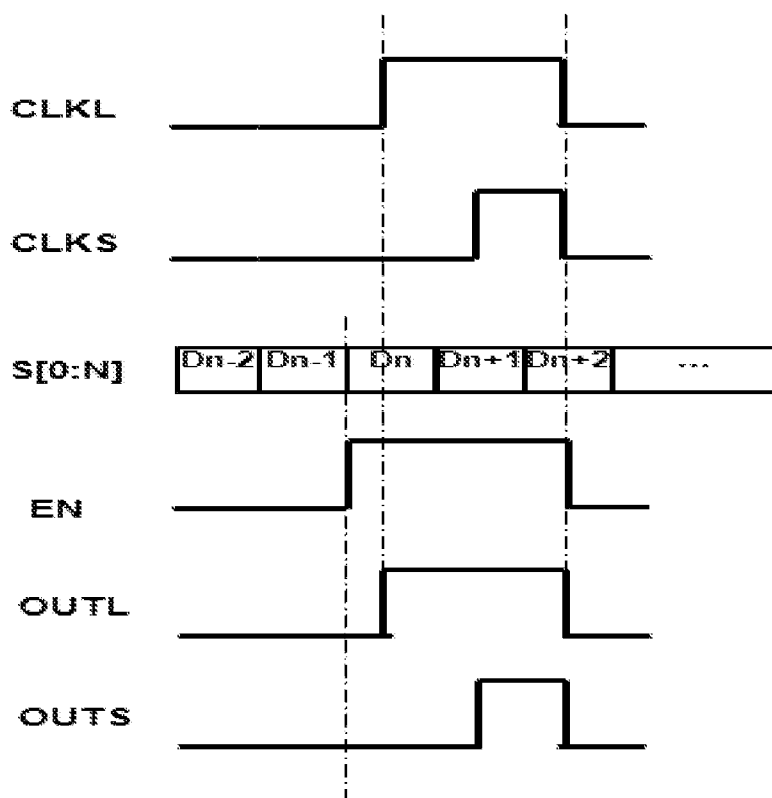


图 16

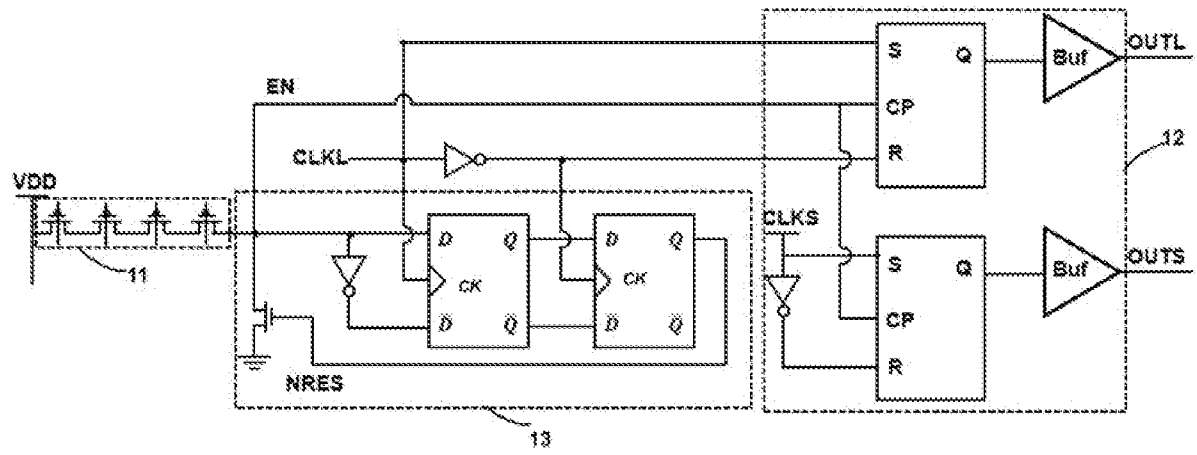


图 17

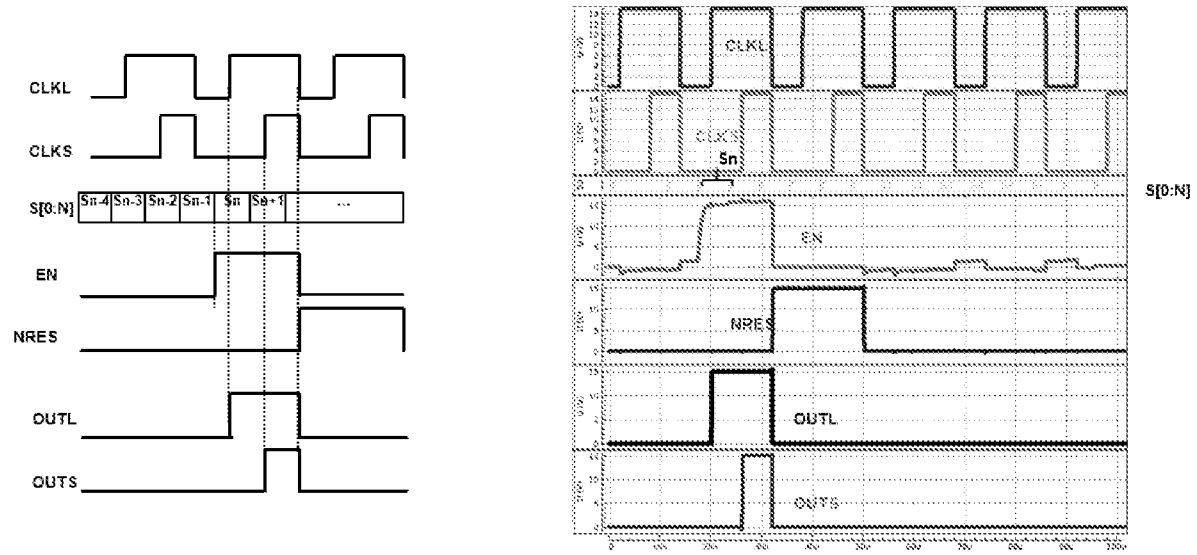


图 18

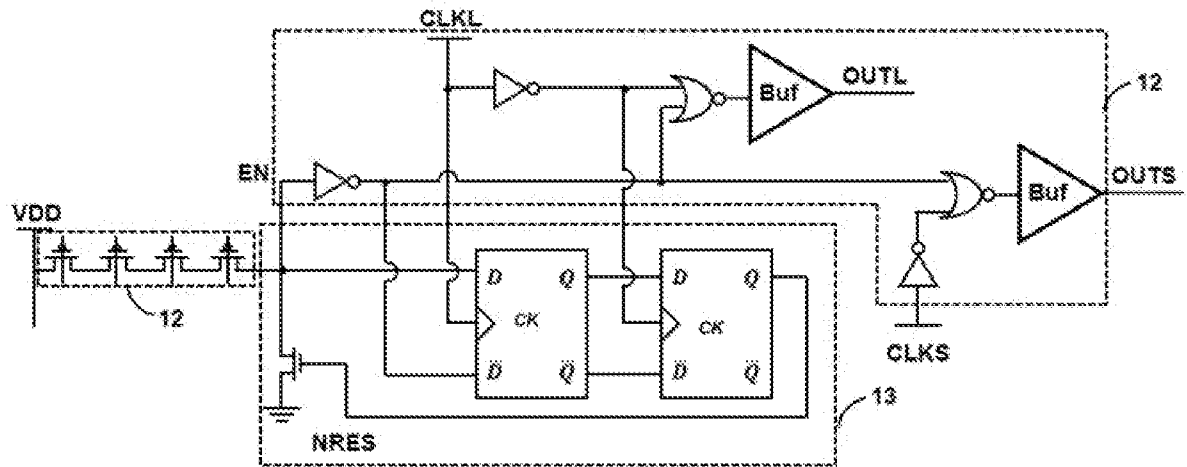


图 19

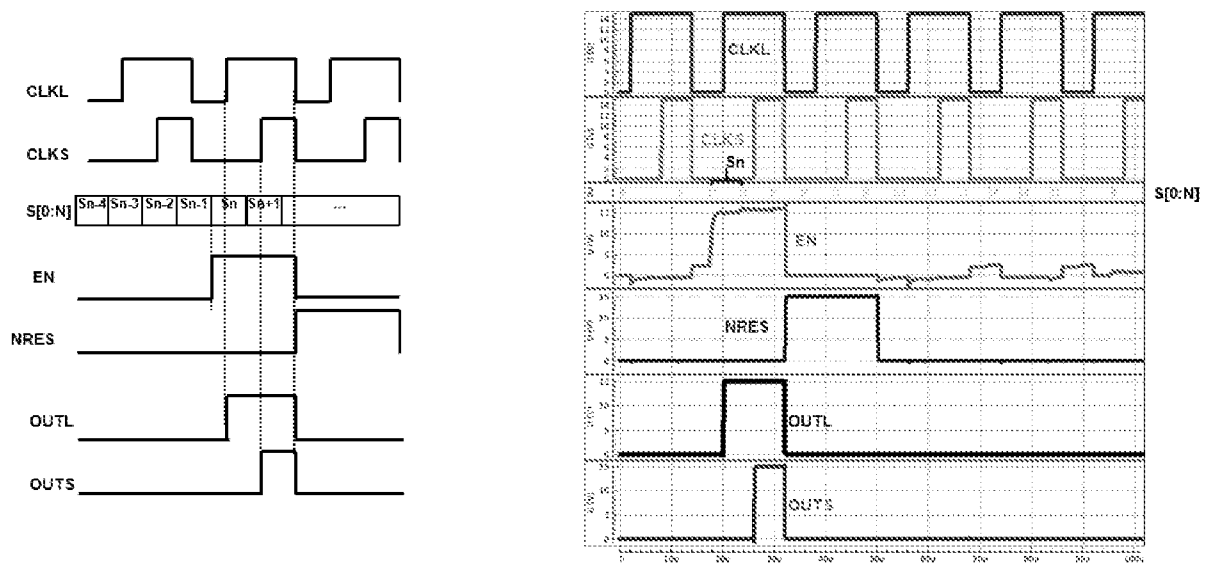


图 20

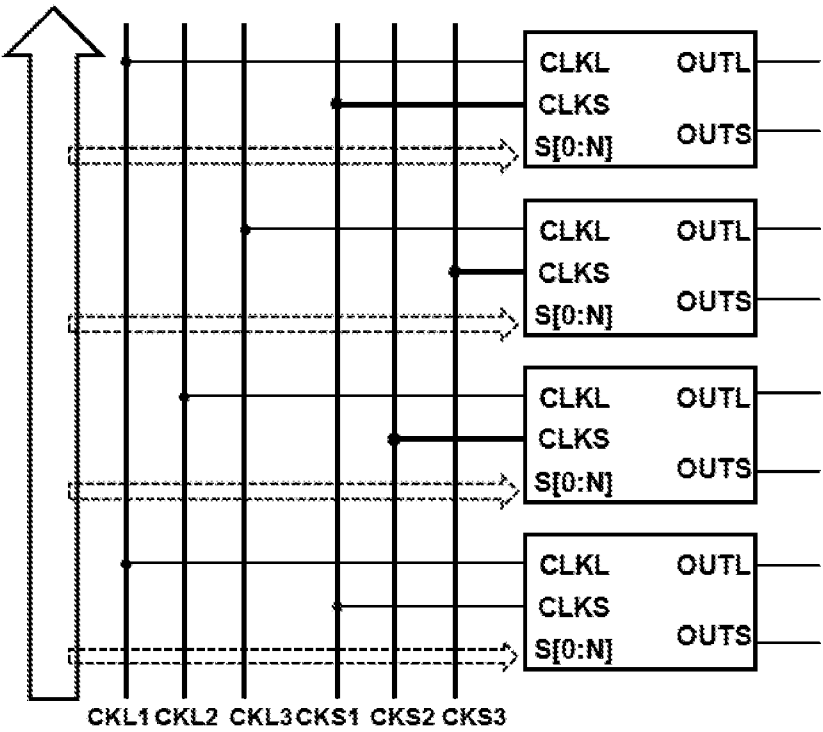


图 21

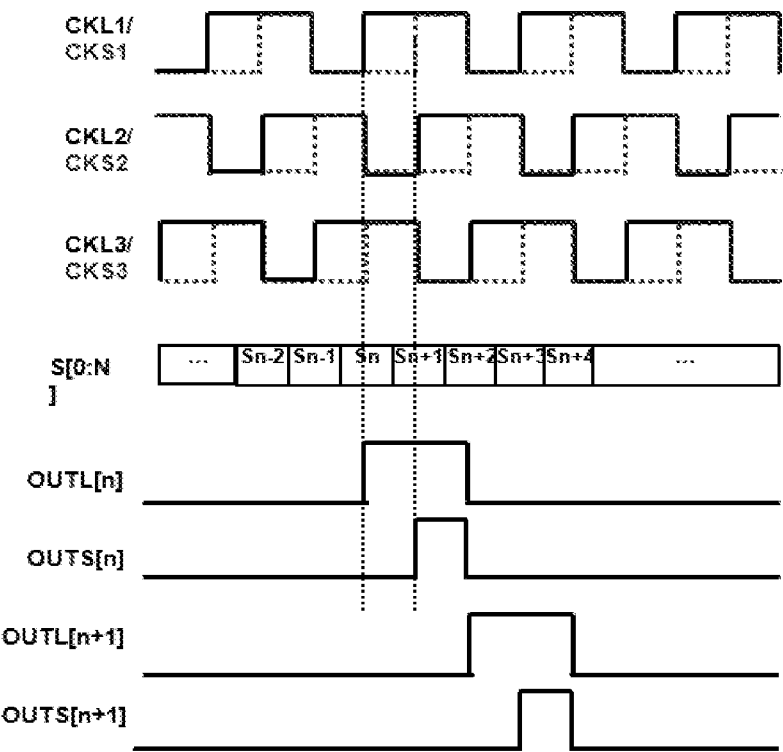


图 22

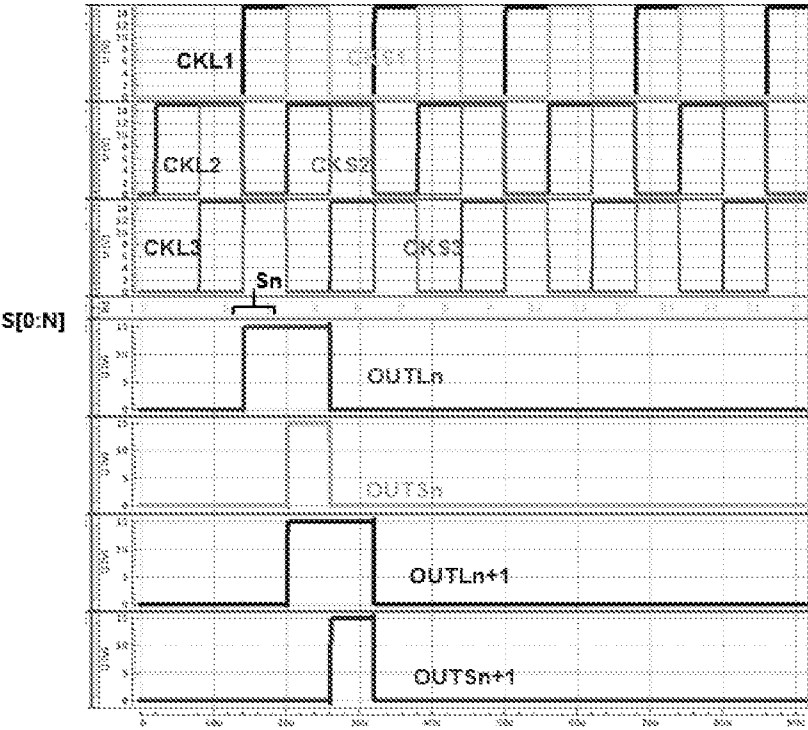


图 23

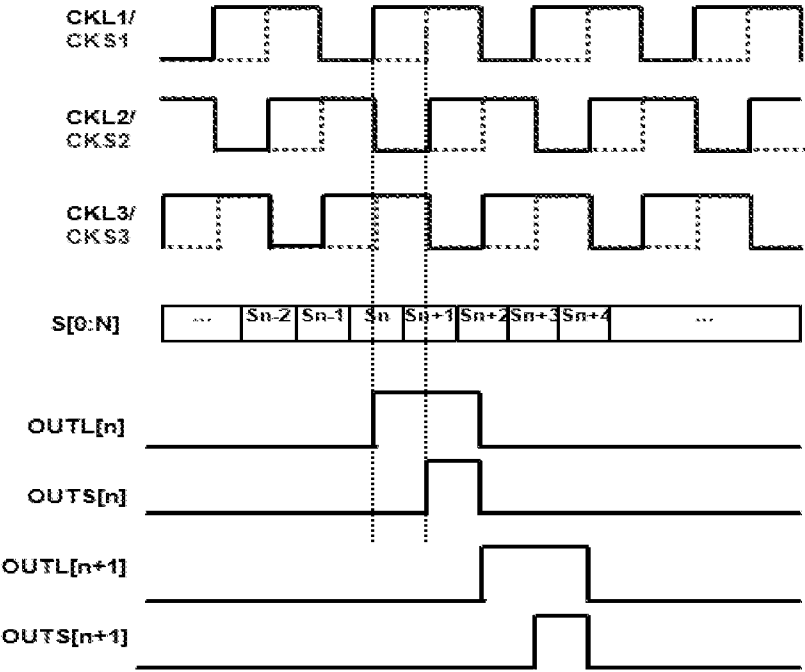


图 24

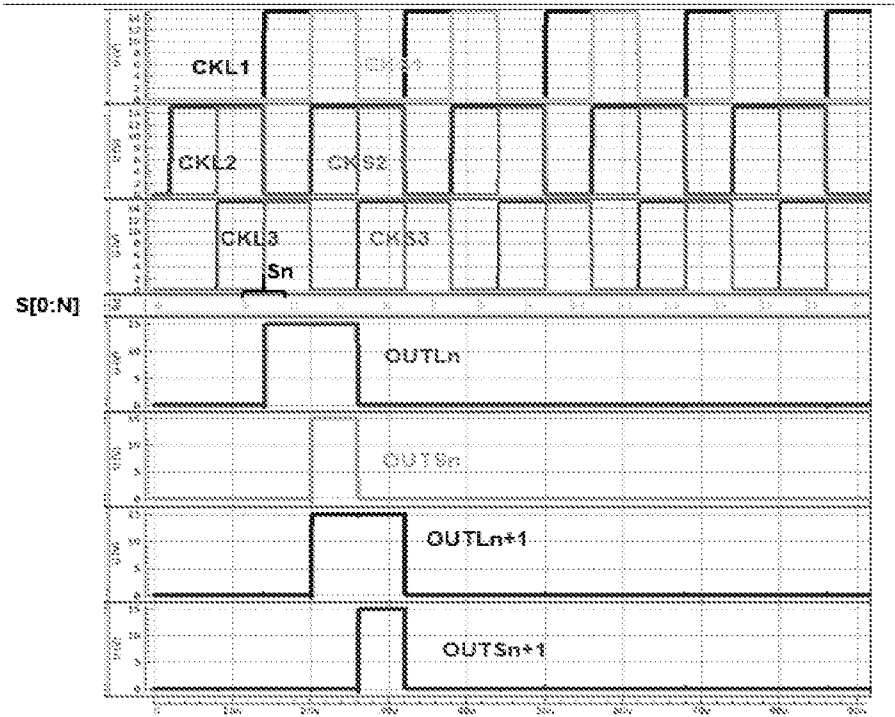


图 25

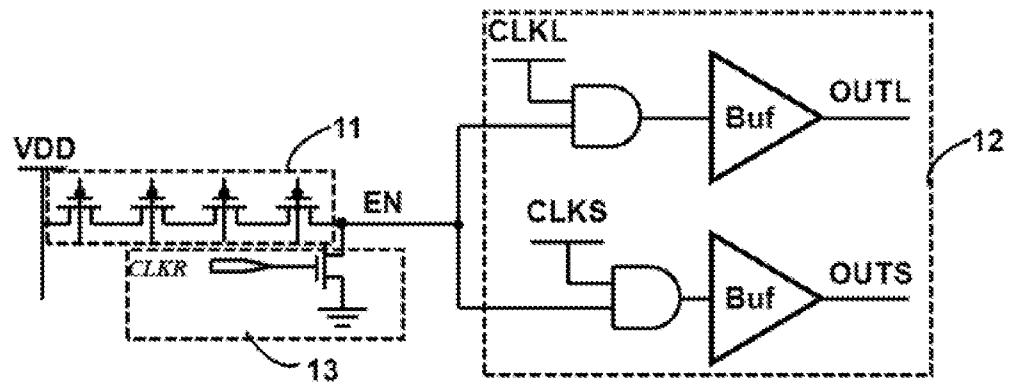


图 26

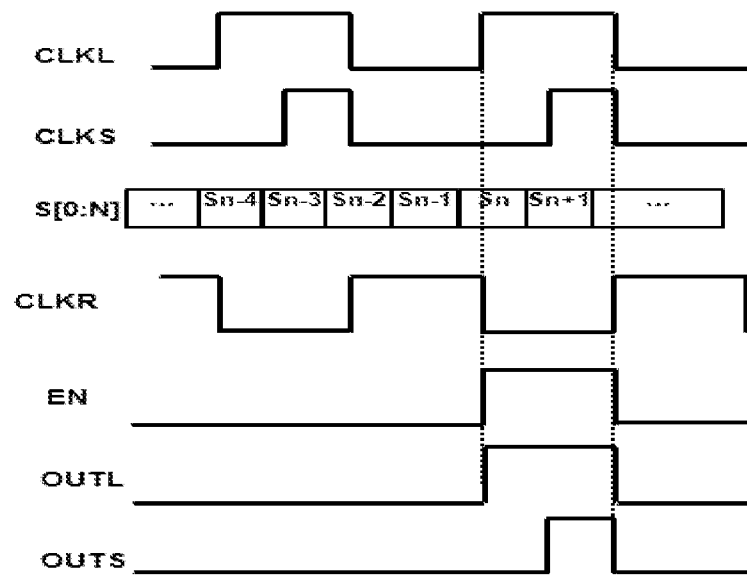


图 27



图 28

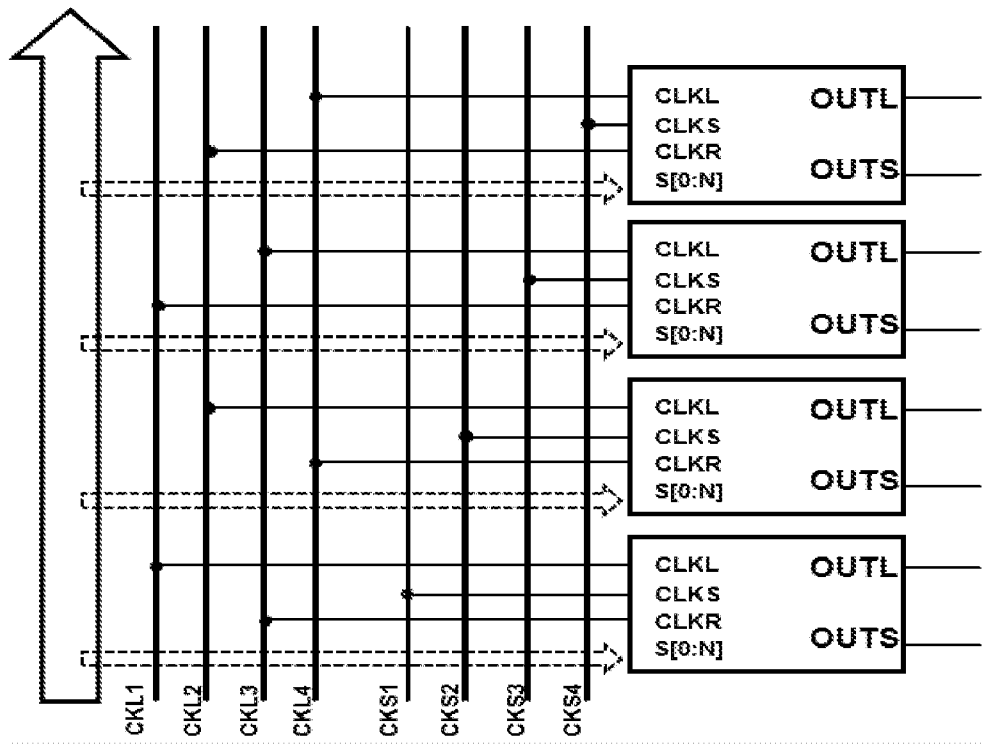


图 29

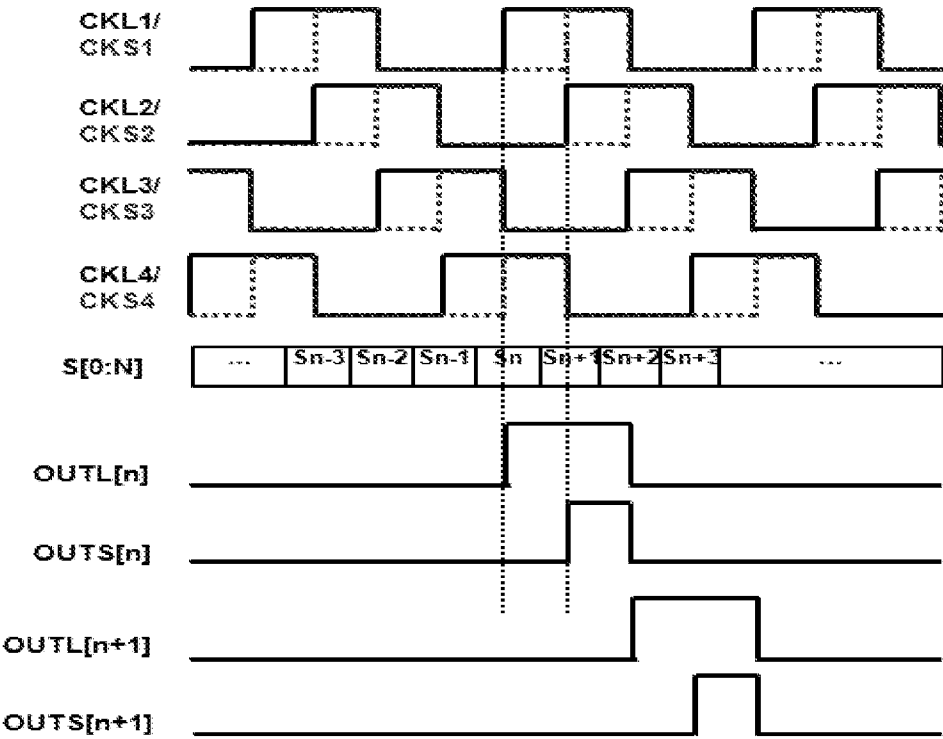


图 30

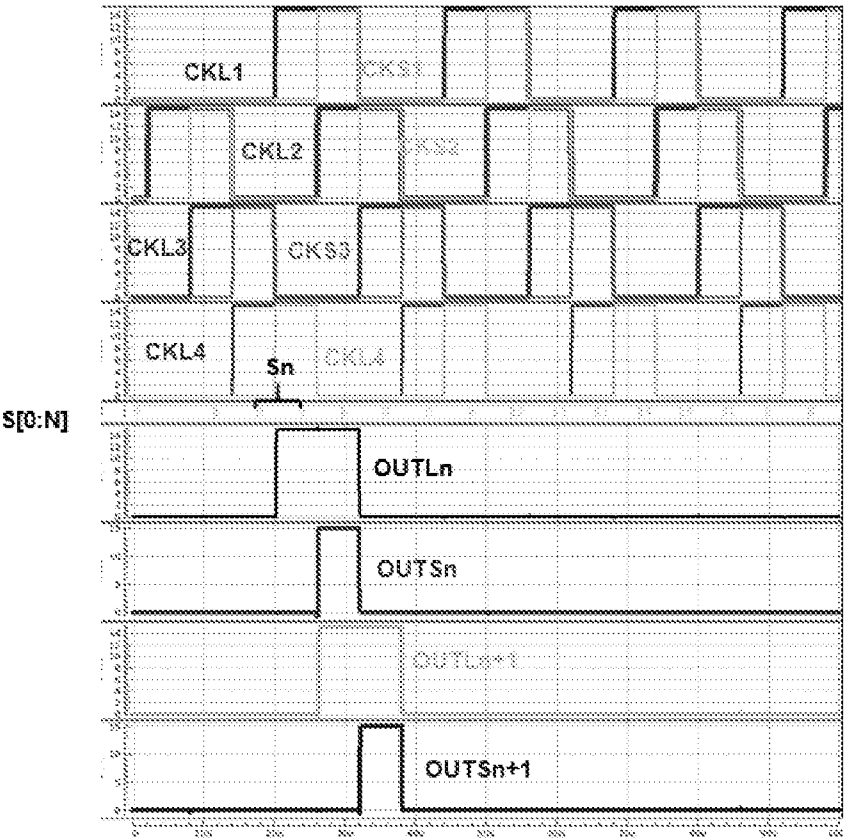


图 31

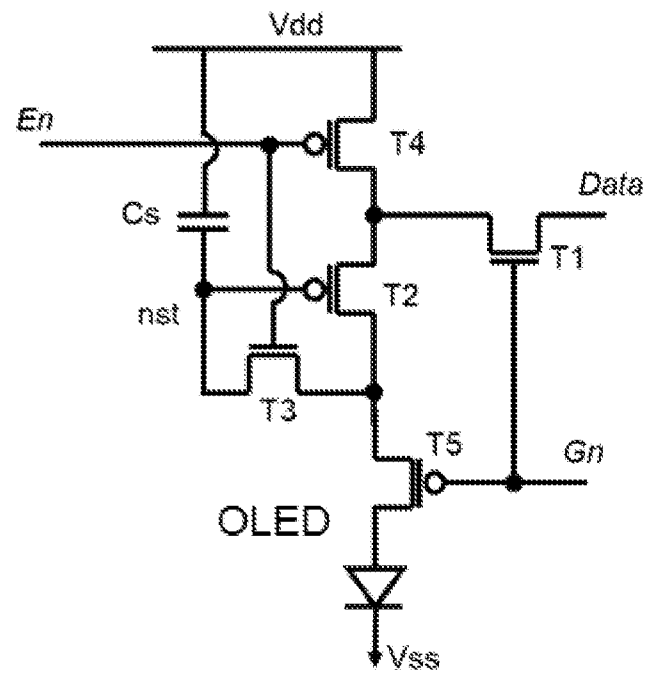


图 32

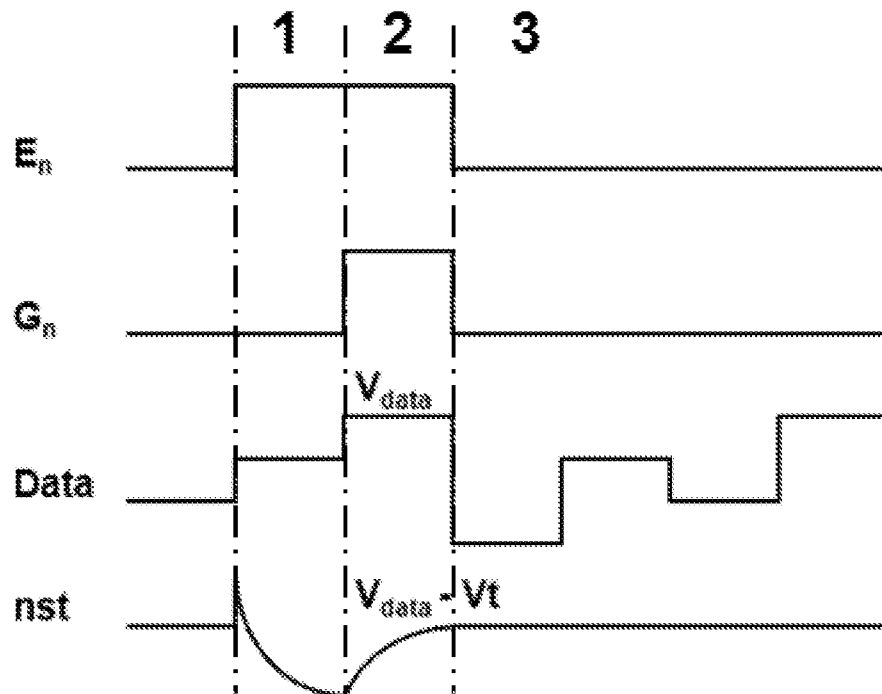


图 33

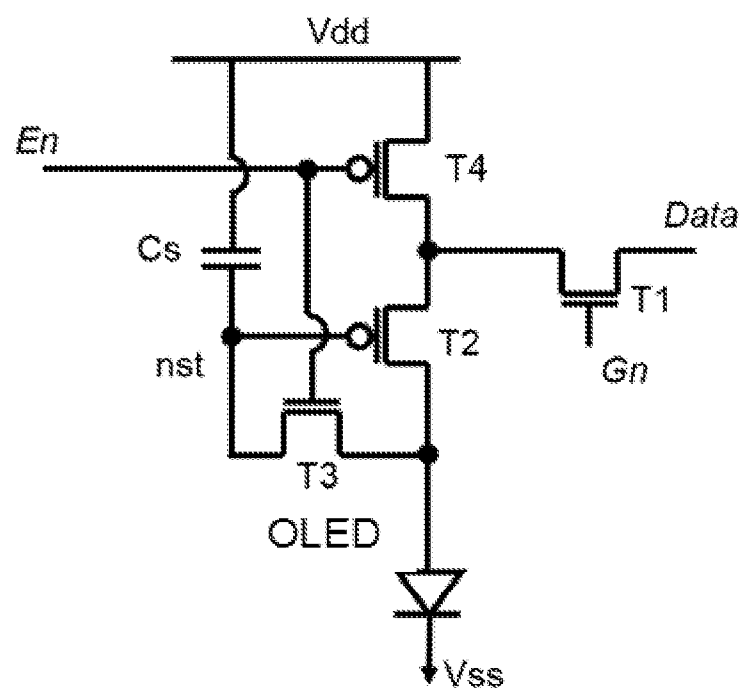


图 34

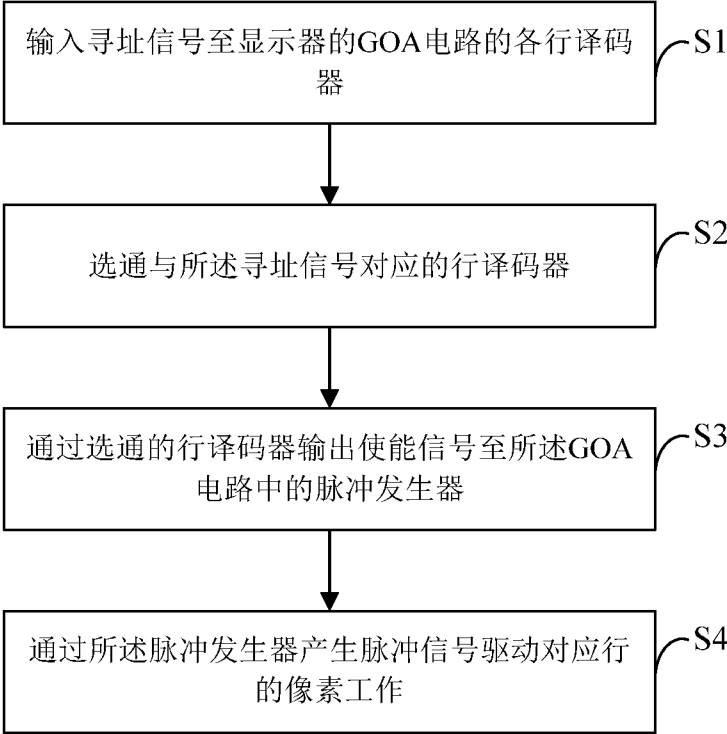


图 35

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/120050

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 栅极, 驱动, 译码, 脉冲, GOA, gate, driv+, code, translat+, convert+, decoder, pulse

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108447436 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 August 2018 (2018-08-24) description paragraphs [0047]-[0067], figures 1-6	30, 34, 35
A	CN 103730147 A (MACRONIX INTERNATIONAL CO., LTD.) 16 April 2014 (2014-04-16) entire document	1-36
A	CN 1700291 A (NOVATEK MICROELECTRONICS CORP.) 23 November 2005 (2005-11-23) entire document	1-36
A	JP H09261967 A (SHARP K.K.) 03 October 1997 (1997-10-03) entire document	1-36
A	US 2008048965 A1 (INNOLUX DISPLAY CORP.) 28 February 2008 (2008-02-28) entire document	1-36
A	US 2004130542 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 July 2004 (2004-07-08) entire document	1-36



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 May 2019

Date of mailing of the international search report

27 June 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/120050

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108447436	A	24 August 2018	None			
CN	103730147	A	16 April 2014	CN	103730147	B	04 May 2016
CN	1700291	A	23 November 2005	CN	100389448	C	21 May 2008
JP	H09261967	A	03 October 1997	JP	3108626	B2	13 November 2000
US	2008048965	A1	28 February 2008	TW	200807369	A	01 February 2008
US	2004130542	A1	08 July 2004	JP	2004205725	A	22 July 2004
				US	7538753	B2	26 May 2009

国际检索报告

国际申请号

PCT/CN2018/120050

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC: 栅极, 驱动, 译码, 脉冲, GOA, gate, driv+, code, translat+, convert+, decoder, pulse

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108447436 A (京东方科技集团股份有限公司 等) 2018年 8月 24日 (2018 - 08 - 24) 说明书第[0047]-[0067]段、附图1-6	30, 34, 35
A	CN 103730147 A (旺宏电子股份有限公司) 2014年 4月 16日 (2014 - 04 - 16) 全文	1-36
A	CN 1700291 A (联咏科技股份有限公司) 2005年 11月 23日 (2005 - 11 - 23) 全文	1-36
A	JP H09261967 A (SHARP K.K.) 1997年 10月 3日 (1997 - 10 - 03) 全文	1-36
A	US 2008048965 A1 (INNOLUX DISPLAY CORP.) 2008年 2月 28日 (2008 - 02 - 28) 全文	1-36
A	US 2004130542 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2004年 7月 8日 (2004 - 07 - 08) 全文	1-36

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 5月 20日

国际检索报告邮寄日期

2019年 6月 27日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

谢建军

电话号码 86-(10)-53962524

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/120050

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	108447436	A	2018年 8月 24日	无	
CN	103730147	A	2014年 4月 16日	CN	103730147 B 2016年 5月 4日
CN	1700291	A	2005年 11月 23日	CN	100389448 C 2008年 5月 21日
JP	H09261967	A	1997年 10月 3日	JP	3108626 B2 2000年 11月 13日
US	2008048965	A1	2008年 2月 28日	TW	200807369 A 2008年 2月 1日
US	2004130542	A1	2004年 7月 8日	JP	2004205725 A 2004年 7月 22日
				US	7538753 B2 2009年 5月 26日