

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成30年2月8日(2018.2.8)

【公表番号】特表2017-503303(P2017-503303A)

【公表日】平成29年1月26日(2017.1.26)

【年通号数】公開・登録公報2017-004

【出願番号】特願2016-544821(P2016-544821)

【国際特許分類】

G 1 1 C 11/401 (2006.01)

G 0 6 F 12/00 (2006.01)

G 1 1 C 11/406 (2006.01)

G 1 1 C 11/407 (2006.01)

G 0 6 F 11/10 (2006.01)

【F I】

G 1 1 C 11/34 3 7 1 K

G 0 6 F 12/00 5 5 0 B

G 0 6 F 12/00 5 9 7 D

G 1 1 C 11/34 3 7 1 C

G 1 1 C 11/34 3 6 3 F

G 1 1 C 11/34 3 6 2 T

G 0 6 F 11/10 6 6 2

【手続補正書】

【提出日】平成29年12月22日(2017.12.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アプリケーションプロセッサ(AP)ピンを含むAPと、  
ピンを含む少なくとも1つのダイナミックランダムアクセスメモリ(DRAM)と、  
前記APピンを前記ピンに結合するバックチャネルラインと  
を含み、

前記APは、前記バックチャネルラインを通して前記少なくとも1つのDRAMからリフレッシュ要求を含むリフレッシュアラート情報を受信するように構成される、  
メモリシステム。

【請求項2】

前記APピンはクロックイネーブル(CKE)ピンであり、

前記ピンはDRAM CKEピンであり、

前記バックチャネルラインは、前記AP CKEピンを前記少なくとも1つのDRAM CKEピンに  
結合するクロックイネーブルラインであり、

前記APは、前記CKEラインを通して前記少なくとも1つのDRAMから前記リフレッシュ要求  
を含むリフレッシュアラート情報を受信するように構成される、

請求項1に記載のメモリシステム。

【請求項3】

前記APピンはチップセレクト(CS)ピンであり、

前記ピンはDRAM CSピンであり、

前記バックチャネルラインは、前記AP CSピンを前記少なくとも1つのDRAM CSピンに結合するチップセレクトラインであり、

前記APは、前記CSラインを通して前記少なくとも1つのDRAMから前記リフレッシュ要求を含むリフレッシュアラート情報を受信するように構成される、

請求項1に記載のメモリシステム。

【請求項 4】

前記少なくとも1つのDRAMが、高電圧または低電圧のうちの1つに結合されるように構成される外部ボールを含む、請求項1～3のいずれか一項に記載のメモリシステム。

【請求項 5】

前記少なくとも1つのDRAMがカウンタをさらに含み、前記少なくとも1つのDRAMは、前記カウンタがカウンタの前半であるとき、前記CSラインを通して伝送するように構成される、請求項4に記載のメモリシステム。

【請求項 6】

第2のDRAMであって、

前記バックチャネルラインに結合される第2のピンと、

前記少なくとも1つのDRAMとは異なる、前記高電圧または前記低電圧のうちの他方に結合されるように構成される第2の外部ボールと、

第2のカウンタであって、前記第2のDRAMは、前記第2のカウンタが前記カウンタの後半であるとき、前記バックチャネルラインを通して伝送するように構成される、第2のカウンタと

を含む第2のDRAM

をさらに含む、請求項5に記載のメモリシステム。

【請求項 7】

前記APが、前記少なくとも1つのDRAMまたは前記第2のDRAMのうちのどちらが前記カウンタのうちのどちらの半分において伝送するかを識別するように構成されるレジスタをさらに含む、請求項6に記載のメモリシステム。

【請求項 8】

前記バックチャネルラインに結合される第2のDRAMと、

第2のAPピンを通して前記APに結合される第2のバックチャネルラインと、

前記第2のバックチャネルラインに結合される第3のDRAMと、

前記第2のバックチャネルラインに結合される第4のDRAMと

をさらに含む、請求項1に記載のメモリシステム。

【請求項 9】

前記少なくとも1つのDRAMを前記第2のDRAMに結合する第1の通信ラインと、前記第3のDRAMを前記第4のDRAMに結合する第2の通信ラインとをさらに含み、前記第1の通信ラインが前記少なくとも1つのDRAMと前記第2のDRAMとの間で調停信号を伝達するように構成される、請求項8に記載のメモリシステム。

【請求項 10】

前記バックチャネルラインが、前記少なくとも1つのDRAMから前記APに時分割多重信号を提供するように構成される、請求項1に記載のメモリシステム。

【請求項 11】

ダイナミックランダムアクセスメモリ(DRAM)からアプリケーションプロセッサ(AP)に情報を提供するための方法であって、

APピンを含むAPを提供するステップと、

ピンを含む少なくとも1つのDRAMを提供するステップと、

前記APピンを前記ピンに結合するバックチャネルラインを提供するステップと、

前記APにおいて、前記バックチャネルラインを通して前記少なくとも1つのDRAMからリフレッシュ要求を含むリフレッシュアラート情報を受信するステップと

を含む、方法。

【請求項 12】

前記APピンはクロックイネーブル(CKE)ピンであり、  
前記ピンはDRAM CKEピンであり、  
前記バックチャネルラインは、前記AP CKEピンを前記少なくとも1つのDRAM CKEピンに結合するクロックイネーブルラインであり、  
前記方法は、前記APにおいて、前記CKEラインを通して前記少なくとも1つのDRAMから前記リフレッシュ要求を含むリフレッシュアラート情報を受信するステップを含む、  
請求項11に記載の方法。

【請求項 13】

前記APピンはチップセレクト(CS)ピンであり、  
前記ピンはDRAM CSピンであり、  
前記バックチャネルラインは、前記AP CSピンを前記少なくとも1つのDRAM CSピンに結合するチップセレクトラインであり、  
前記方法は、前記APにおいて、前記CSラインを通して前記少なくとも1つのDRAMから前記リフレッシュ要求を含むリフレッシュアラート情報を受信するステップを含む、  
請求項11に記載の方法。

【請求項 14】

前記バックチャネルラインを複数のDRAMに結合するステップをさらに含む、請求項11～13のいずれか一項に記載の方法。

【請求項 15】

前記複数のDRAMから前記APへの通信を可能にするために前記複数のDRAM間で調停するステップをさらに含む、請求項14に記載の方法。