

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年10月16日(2008.10.16)

【公表番号】特表2008-530769(P2008-530769A)

【公表日】平成20年8月7日(2008.8.7)

【年通号数】公開・登録公報2008-031

【出願番号】特願2007-551253(P2007-551253)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/28 (2006.01)

H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 301G

H 01 L 21/28 301B

H 01 L 21/28 301R

H 01 L 29/78 617M

H 01 L 29/78 617J

【手続補正書】

【提出日】平成20年8月27日(2008.8.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に設けられた界面層と、

前記界面層上に設けられた高誘電率(k)の誘電体と、

前記高誘電率(k)の誘電体上に設けられたTiCゲート金属と

を含む、半導体構造。

【請求項2】

前記半導体基板が、Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP、他のII/IV族またはIII/VI族の化合物半導体、有機半導体、または層状半導体の1つを含む、請求項1に記載の半導体構造。

【請求項3】

前記半導体基板がSi含有半導体材料である、請求項2に記載の半導体構造。

【請求項4】

前記界面層がSi、O、および任意選択的にNの原子を含む、請求項1に記載の半導体構造。

【請求項5】

前記界面層がSiO<sub>2</sub>、SiON、およびそれらのシリケートを含む、請求項4に記載の半導体構造。

【請求項6】

前記界面層が4.0乃至20の誘電率および0.1乃至5nmの厚さを有する、請求項1に記載の半導体構造。

【請求項7】

前記界面層が1乃至80原子パーセントのSi含有量を有する、請求項1に記載の半導

体構造。

【請求項 8】

前記界面層が段階的に変動し得る Si 含有量を有する、請求項 1 に記載の半導体構造。

【請求項 9】

前記高誘電率 (k) の誘電体が、4.0 よりも大きい誘電率および 0.1 乃至 10 nm の厚さを有する、請求項 1 に記載の半導体構造。

【請求項 10】

前記高誘電率 (k) の誘電体が、酸化物、窒化物、酸窒化物、シリケート、またはそれの混合物を含む、請求項 1 に記載の半導体構造。

【請求項 11】

前記高誘電率 (k) の誘電体が Hf ベースの材料である、請求項 1 に記載の半導体構造。

【請求項 12】

前記界面層が SiO<sub>2</sub> または SiON を含み、および前記高誘電率 (k) の誘電体が HfO<sub>2</sub>、Hf シリケート、または Hf 酸窒化物を含む、請求項 1 に記載の半導体構造。

【請求項 13】

前記 TiC が 4.75 および 5.3 eV の間の仕事関数を有する、請求項 1 に記載の半導体構造。

【請求項 14】

前記 TiC 層の上に Si 含有導電材料を更に含む、請求項 1 に記載の半導体構造。

【請求項 15】

前記界面層、前記高誘電率 (k) の誘電体、および前記 TiC ゲート金属がゲート領域にパターン化される、請求項 1 に記載の半導体構造。

【請求項 16】

TiC 金属化合物を製造する方法であつて、

Ti ターゲットと、He 希釀された炭素 (C) 源および Ar を含む雰囲気とを準備するステップと、

前記雰囲気において前記 TiC ターゲットから TiC 膜をスパッタするステップとを含む、方法。

【請求項 17】

前記炭素源がアルカン、アルケン、またはアルキンである、請求項 16 に記載の方法。

【請求項 18】

前記炭素源がアルキンおよび C<sub>2</sub>H<sub>2</sub> である、請求項 16 に記載の方法。

【請求項 19】

前記 He が、前記炭素源を希釀するために 70 乃至 99 % の量で使用される、請求項 16 に記載の方法。

【請求項 20】

前記 Ar が 1 乃至 100 sccm の流量で提供され、前記 He 希釀された炭素源が 1 乃至 100 sccm の流量で提供される、請求項 16 に記載の方法。

【請求項 21】

高誘電率 (k) の誘電体および界面層を含む積層体を基板の表面上に設けるステップと、TiC ターゲットと He によって希釀された炭素 (C) 源および Ar を含む雰囲気とを準備することにより前記積層体上に TiC 膜を形成するステップと、

前記雰囲気において前記 TiC ターゲットから TiC 膜をスパッタするステップとを含む、半導体構造を形成する方法。

【請求項 22】

前記 TiC 膜の上に Si 含有導電材料を形成するステップを更に含む、請求項 21 に記載の方法。

【請求項 23】

前記 TiC 膜と、前記高誘電率 (k) の誘電体および前記界面層を含む前記積層体とを、パターン化されたゲート領域にパターン化するステップを更に含む、請求項 21 に記載の方法。

【請求項 24】

前記 Si 含有導電材料と、前記 TiC 膜と、前記高誘電率 (k) の誘電体および前記界面層を含む前記積層体とを、パターン化されたゲート領域にパターン化するステップを更に含む、請求項 22 に記載の方法。